公告本

89年10月26日 修正補充

申請日期	86. 10. 22.
案號	86115624
類別	G11C 8/00

（以上各欄由本局填註）

中文說明書修正本(89年10月)

A4
C4

434570

發明 新型 專利說明書

一、發明 新型 名稱	中文	用於控制同步半導體記憶裝置的行選擇線之電路及其控制方法
	英文	"CIRCUIT FOR CONTROLLING COLUMN SELECTION LINE OF SYNCHRONOUS SEMICONDUCTOR MEMORY DEVICE AND CONTROLLING METHOD THEREOF"
二、發明 創作 人	姓名	1.徐東一 2.尹世昇
	國籍	1-2 均韓國
	住、居所	1.大韓民國京畿道水原市八達區遠川洞35番地住公APT.108棟805號 2.大韓民國漢城市龍山區漢江露3街40-194番地
三、申請人	姓名（名稱）	韓商三星電子股份有限公司
	國籍	韓國
	住、居所（事務所）	大韓民國京畿道水原市八達區梅灘洞416番地
	代表人姓名	尹鍾龍

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

經濟部智慧財產局員工消費合作社印製

裝 訂 線

煩請委員明示修正本有無變更實質內容是否准予修正。
89年10月26日所提之

434570

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
韓國	1997年3月31日	97-11826	□有☑無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS) A4 規格 (210 X 297 公釐)

五、發明說明（1）

1.發明範圍

本發明與同步半導體記憶裝置，以及同步半導體記憶裝置的可控制行選擇線，及其控制裝置。

2.相關技藝說明

近年來，業界已發展出高績效的半導體記憶裝置，並改善其設計與作業程序。本系統整體改善受到限制，原因在於半導體記憶裝置的運作績效趕不上快速的CPU進展。因此，業界已預定許多方案，希望改善記憶體裝置的績效。基於此，推出含有系統時脈的同步記憶體。

同步記憶體裝置，尤其是同步DRAM被歸類為含有管線結構的同步DRAM，並具有先取結構。具管線結構、位址與指令的同步DRAM，可以由外輸入到系統時脈的每個週期中，在啟動系統時脈週期時，行位址會選擇行選擇線。然而，同步具管線結構的DRAM仍有缺失，因為它可能會在高頻的系統時脈中造成故障。因此，具先取結構的同步DRAM應保證在高頻的系統時脈中仍能運作正常。在具先取結構的同步DRAM中，可以由外部系統時脈的兩週期，輸入位址與指令，亦可以在啟動外部系統時脈的兩週期時，由兩行選擇線選擇至少兩行位址。這類的運作通常可參照2N規則或2-位元先取。

圖1為一概要圖，解釋同步DRAM中的行選擇線之功能。參照圖1，記憶體單元陣列11包括多個記憶體單元，可儲存以位元線組所傳輸的資料(BLi，BLiB，其中的"i"代表由1到n)。當行選擇線CSLi啟動時，切換部份連接各別位元線

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（2）

組（BLi及BLiB）到輸入/輸出線路組（IOi及IOiB，其中的“i”代表由1到n）。因此，在讀取動作時，儲存在記憶體單元陣列11的記憶體單元，會經過位元線路組、切換部份12與輸入/輸出線路組而輸出到晶片中。相反地，在寫入動作中，外部晶片的資料輸入會經由輸入/輸出路線組、位元線路組、切換部份12，然後儲存在記憶體單元陣列11的記憶體單元。切換部份12包括NMOS電晶體，其中每個NMOS電晶體的閘道連接到CSLi，任一來源與汲極連接到位元線路，而剩餘的來源與汲極連接到輸入/輸出線路。NMOS電晶體通常指的是行選擇閘。

圖2為一概要圖，依傳統的同步DRAM之科技顯示控制行選擇線路的電路。

參照圖2，控制行選擇線的傳統電路包括，行解碼器21，行選擇線控制器22，第一內部時脈產生器23，第二內部時脈產生器24，選擇器25，行位址計數器26，行位址緩衝器27，與行位址預先解碼器28。行選擇線控制器22包括，行選擇線啟動控制信號產生器22a與行選擇線關閉控制信號產生器22b。在圖2中，“CLSi”代表行選擇線，“A1”為由外部晶片輸入行位址，“A2”為遞增的行選擇位址，“CAi”為緩衝位址，“DCAij”為預先解碼的位址，“CLK”為外部晶片的外部時脈輸入資料。“PCLK1”與“PCLK2”代表第一與第二內部時脈，“PCLKS”為在“PCLK1”與“PCLK2”之間選擇的內部時脈，“PCSLE”為行選擇線啟動控制信號，“PCSLD”為行選擇線關閉控制信號。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（3）

圖3為概要圖，顯示在圖2中表示的行選擇線控制電路的行解碼器。參照圖3，行解碼器包括，具來源的電晶體P1，具可供應電壓VCC的來源，以及供應的DCAij的預先解碼位址，具來源的電晶體P2的位址，連接到PMOS電晶體P1的汲極，供應行選擇線啟動信號PCSLE的閘，連接到行選擇線CSLi的汲極，具連接至行選擇線CSLi的汲極之NMOS電晶體N1，可供應行選擇線關閉控制信號PCSLD之閘道，以及接地電壓VSS的來源，和儲存傳輸至行選擇線CSLi之電路鎖存器31。在此，電路鎖存器31包括第一反相器11，用以反相傳輸至行選擇線CSLi之信號，及第二變流器12，用以變相第一反相器11之輸出信號，以及輸出變相信號至行選擇線CSLi。

圖4為一電路圖，表示圖2之行選擇線控制電路之行選擇線啟動信號產生器。參照圖4，行選擇線啟動控制信號產生器，為一種反相延遲裝置，包括可反相內部時脈PCLKS之第一反相器13，可反相第一反相器13的輸出資料之第二反相器14，以及可反相第二反相器14之輸出信號之第三反相器15，和輸出行選擇線啟動控制信號PCSLE。

圖5為一電路圖，說明在圖2中所顯示之行選擇線電路之行選擇線關閉控制信號產生器。參照圖5，行選擇線關閉控制信號產生器，為一種延遲裝置，包括用以反相內部時脈PCLKS之第一反相器16，及第二反相器17，用以反相第一反相器16之輸出信號，以及輸出行選擇線關閉控制信號PCSLD。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（4）

圖6為計時圖，說明在圖2中所顯示之行選擇線電路之運作情形。參照圖6，當同步DRAM以管線結構來運作時，第一內部時脈PCLK1可以內部時脈PCLKS來選擇。還有，在外部時脈CLK的週期中，啟動信號行選擇線。也就是說，行選擇線CLS0，CSL1，CSL2，CSL3可維持每一週期的啟動狀態。

在管線結構的寫入週期中，輸入資料DIN，例如，D0，D1，D2，D3會在外部時脈CLK、行選擇線CLS0，CSL1，CSL2，CSL3啟動時，依序輸入晶片的內部，D0，D1，D2，D3會依CLS0，CSL1，CSL2，CSL3行選擇線來儲存在記憶體單元，經由在圖2中預先決定的路線。

圖7為一計時概要圖，顯示在圖2中所顯示之行選擇線電路之運作情形。當同步DRAM以2-位元先取結構來運作。

參照圖7，當同步DRAM以2-位元先取結構來運作時，第二內部時脈PCLK2的週期加倍了週期，而第一內部時脈被選為內部時脈PCLKS。另外，二行選擇線路啟動作為外部時脈的2週期之用。也就是，行選擇線路CSL0與CSL1維持外部時脈CLK之下兩個週期，而CSL2及CSL3維持了外部時脈CLK之下兩個週期。因此，由於晶片內部之運作頻率降為一半，而外部時脈CLK，自記憶體單元讀取資料之時間邊際增加，在2-位元先取結構之讀取週期之下。

在2-位元先取結構的寫入週期，如同在圖6所顯示的寫入管線結構週期，輸入資料DIN，例如D0，D1，D2，D3，隨著外部時脈CLK之外升邊緣會依序輸入到晶片中。另外，如

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（5）

同之前所描述的，在2-位元的先取結構中，CSL0與CSL1在同時間內啟動，可作為外部時脈CLK之初始週期，而CSL2與CSL3同步啟動作為外部時脈CLK之下兩個週期之用。

然而，經由預先決定路線的D0，D1，D2，D3，未顯示在圖式2中，會遲滯一段預先決定的時間。因此，D0與D2的情形，由於寫入動作在前部份已開始(區域"a"與"c")，其中CSL0與CSL2已啟動，因此有足夠時間在記憶體單元中寫入資料。在D1與D3中，寫入動作在區域之後部份開始(區域"b"與"d")，在每個CSL1與CSL3啟動後，仍留有掃瞄時間可作為在記憶體單元中寫入。

因此，依據傳統行選擇線控制電路，例如外部時脈，例如系統時脈會變得較快，而在2位元先取結構的寫入週期之時間邊際會逐漸變得不足。

發明總結

為解決以上的問題，本發明的目標為提供同步半導體記憶體裝置之行選擇線控制電路，包括管線結構以及2-位元或更多的先取結構，或只有2-位元或更多的先取結構，在此的2-位元先取結構的寫入週期之時間邊際會逐漸增加。

本發明的另一目標為提供同步半導體記憶體裝置之控制選擇線，包括管線結構以及2-位元或更多的先取結構，或只有2-位元或更多的先取結構，在此的2-位元先取結構的寫入週期之時間邊際會逐漸增加。

因此，為要達成第一個目標，提供了同步半導體記憶體裝置之行選擇控制電路，包括管線結構與2-位元或更多的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（6）

先取結構，此電路包括：對應於預先解碼過的位址之行解碼器可驅動行選擇，行解碼器可驅動行選擇線，來對應預解碼位址，行選擇線可啟動控制信號，行選擇線亦可關閉控制信號。行選擇線控制器可產生行選擇線啟動控制信號，以及行選擇線關閉控制信號，可利用內部時脈的接收來對應於第一與第二控制信號，以延滯行選擇線的啟動時間點與關閉時間。在同步半導體以先取結構來運作時，會啟動第一控制信號，而在先取結構的寫入週期時，會啟動第二控制信號。

行選擇線控制器可以產生行選擇線啟動控制信號以及行選擇線關閉控制信號，而依第一控制信號來接收內部時脈，並在2-位元先取結構的讀取與寫入週期的啟動與關閉的時間行選擇線。

行選擇線控制電路包括：可產生第一內部時脈的內部時脈產生器，接收同步半導體記憶體裝置之外部時脈輸入資料；可產生第二內部時脈的內部時脈產生器，接收同步半導體記憶體裝置之外部時脈輸入資料；行選擇線可啟動控制信號，行選擇線亦可關閉控制信號。行選擇線控制器可產生行選擇線啟動控制信號，以及行選擇線關閉控制信號，可利用內部時脈的接收來對應於第一與第二控制信號，以延滯行選擇線的啟動時間點與關閉時間。

為要獲取第二目標用於控制同步半導體記憶裝置的行選擇線之電路及其控制裝置，包括同步管線結構與2-位元結構，或多個先取結構，或僅有一個2-位元結構，或多個先

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（7）

取結構。在先取結構的寫入結構之記憶體單元中，寫入輸入資料的時間會增加。這類電路包括行解碼器與行選擇線控制器。行解碼器可驅動行選擇線，來對應預解碼位址，行選擇線可啟動控制信號，行選擇線亦可關閉控制信號。行選擇線控制器可產生行選擇線啟動控制信號，以及行選擇線關閉控制信號，可利用內部時脈的接收來對應於第一與第二控制信號，以延滯行選擇線的啟動時間點與關閉時間。在同步半導體以先取結構來運作時，會啟動第一控制信號，而在先取結構的寫入週期時，會啟動第二控制信號。

圖式概要說明

本發明之目標與優點在說明下面的圖式時可加以說明：

圖1為概要圖，說明同步DRAM行選擇線功能；

圖2為概要圖，說明傳統同步DRAM行選擇線功能；

圖3為在圖2所顯示之行選擇線之解碼電路圖；

圖4為在圖2所顯示之行選擇線控制電路中，行選擇線啟動控制信號產生器之電路概要圖；

圖5為在圖2所顯示之行選擇線控制電路中，行選擇線啟動控制信號產生器之電路概要圖；

圖6為在圖2所顯示之行選擇線控制電路運作情形，當同步DRAM以管線結構來運作時；

圖7當同步DRAM以管線結構來運作時，顯示圖2之行選擇線控制電路之運作；

圖8為概要圖，依本發明說明行選擇線控制電路之同步

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（8）

DRAM；

圖9為顯示在圖8中的行選擇線控制電路之行選擇控制電路產生器之電路圖；

圖10為顯示在圖8中的行選擇線控制電路之行選擇控制電路產生器之電路圖；及

圖11為當同步DRAM以2-位元先取結構運作時，顯示在圖8中的行選擇線控制電路之運作情形。

圖示元件符號說明

11	記憶體單元陣列
12	切換部分
21, 81	行解碼器
22, 82	行選擇線控制器
22a, 82a	行選擇線啟動控制信號產生器
22b, 82b	行選擇線關閉控制信號產生器
23, 83	第一內部時脈產生器
24, 84	第二內部時脈產生器
25, 85	選擇器
26, 86	行位址計數器
27, 87	行位址緩衝器
31	電路鎖存器
91	第一反相延遲器
92	第一延遲器
93	第一選擇器
101	第二延遲器
102	第三延遲器

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（9）

相關圖式之說明

參照圖8，依據本發明，行選擇線控制電路包括，行解碼器81，行選擇線控制器82，第一內部時脈產生器83，第二內部時脈產生器84，選擇器85，行位址86，行位址緩衝器87，與行預先解碼器88。

行解碼器81驅動行選擇線CSLi，以對應預先解碼位址DCAij，行選擇線啟動控制信號PCSLE與行選擇線關閉控制信號PCSLD。在同步DRAM包括管線結構與2-位元或多個先取結構的情形下，行選擇線控制器82接收內部時脈PCLKS並產生行選擇線啟動控制信號PCSLE與行選擇線關閉控制信號PCSLD，相對應於第一與第二控制信號P2N與PWR，以在2-位元結構的寫入週期內的延遲時間的啟動點與時間的關閉點。為要在2-位元結構的寫入週期內的延遲時間的啟動點與時間的關閉點，行選擇線控制器82可以產生行選擇線啟動控制信號PCSLE與行選擇線關閉控制信號PCSLD，以對應第一控制信號P2N。在同步DRAM包括管線結構與2-位元或多個先取結構的情形下，行選擇線控制器82接收內部時脈PCLKS並產生行選擇線啟動控制信號PCSLE與行選擇線關閉控制信號PCSLD。

行選擇線控制器82包括行選擇啟動控制信號產生器82a與行選擇關閉控制信號產生器82b，可接收內部時脈PCLKS並產生行選擇線啟動控制信號PCSLE與行選擇線關閉控制信號PCSLD，相對應於第一與第二控制信號P2N與PWR。在此，第一控制信號P2N在同步DRAM以2-位元先取結構來運作

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（10）

時，會變得“高”邏輯，而第二控制信號PWR在同步DRAM以2-位元先取結構來運作時，會變得“高”邏輯。

第一內部時脈產生器83接收外部晶片的外部時脈CLK輸入，如系統時脈，並產生第一內部時脈PCLK1，其中頻率與外部時脈的頻率相同。第二內部時脈產生器84接收外部晶片的外部時脈CLK輸入，如系統時脈，並產生第一內部時脈PCLK1，其中頻率與外部時脈的頻率相同。選擇器85選擇第一或第二內部時脈PCLK1或PCLK2來當成內部時脈PCLKS。仔細而言，當同步DRAM以管線結構來運作時，選擇器85選擇第一內部時脈PCLK1來當成內部時脈PCLKS，以對應於預先決定的控制信號，而當同步DRAM以2-位元先取結構來運作時，選擇器85選擇第二內部時脈PCLK2來當成內部時脈PCLKS，以對應於預先決定的控制信號。行位址計數器86接收外部晶片的行位址A1，並產生遞增的行位址A2，相對於內部時脈PCLKS。因此當同步DRAM以管線結構來運作時，行位址計數器86接收第一內部時脈PCLK1為內部時脈PCLK，因此產生外部時脈CLK週期的遞增行位址A2。當同步DRAM以2-位元先取結構運作時，行位址計數器86接收到第二內部時脈PCLK2為內部時脈PCLKS，因此會產生一個遞增行位址A2以作為外部時脈CLK的兩週期使用。行位址緩衝87與行位址A1與遞增行位址A2並產生了一個緩衝位址CAi。行預先解碼器88執行解碼緩衝地址CAi並產生預先解碼位址DCAij。

參照圖9，行選擇線啟動控制信號產生器，包括第一反相

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（11）

延遲器91，可反相並延遲內部時脈PCLKS，第一延遲器92可延遲第一反相延遲器91的輸出信號，第一邏輯表示ND1執行邏輯運作，以執行第一與第二控制信號P2N與PWR，而第一選擇器93可選擇第一反相延遲器91的輸出信號，而第一延遲器92可對應於第一邏輯ND1的輸出信號，以及輸出行選擇線啟動控制信號PCSLE。

第一反相延遲器91包括反相器I8，可反相內部時脈PCLKS，反相器19可反向反相器I8的輸出信號，以及反相器I10可反向反相器I9的輸出信號。第一延遲器92包括反相器I11可反向反相器I10所輸出的信號，以及可反相器I11的輸出信號。第一邏輯表示ND1為NAND閘，可執行NAND操作，接收第一與第二的控制信號P2N與PWR。第一延遲器92可延遲第一反相延遲器91的輸出信號，第一邏輯表示ND1執行邏輯運作，以執行第一與第二控制信號P2N與PWR，而第一選擇器93可選擇第一反相延遲器91的輸出信號，而第一延遲器92可對應於第一邏輯ND1的輸出信號，以及輸出行選擇線啟動控制信號TM1與TM2的傳輸閘。

行選擇線的操作可啟動控制信號產生器會在以下描述。

當同步DRAM以管線結構來運作時，第一控制信號P2N會變“低”。因此，第一邏輯裝置ND1的輸出信號變得“高”，而第一切換裝置會啟動，而第二切換表示關閉。因此，內部時脈PCLKS受到反相，並且由第一反相延遲器91來延遲，而第一反相延遲器91的輸出信號會以行選擇線控制信號PCSLE來輸出。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（12）

當同步DRAM以2-位元先取結構來運作時，第一控制信號P2N會變“低”。因此，第一讀取週期裝置ND1的輸出信號變得“高”，而第一切換裝置會啟動，而第二切換表示關閉。因此，內部時脈PCLKS受到反相，並且由第一反相延遲器91來延遲，而第一反相延遲器91的輸出信號會以行選擇線控制信號PCSLE來輸出。在2-位元先取結構的寫入週期中，第一控制信號P2N變得“高”與第二控制信號PWR變得“高”。因此，第一邏輯裝置ND1變得較“低”，而第一開關裝置TM1關閉，而第二開關裝置TM2則開啟。因此，內部時脈變到反相，且在第一反相延遲器92中延遲，而第一反相延遲器91在第一延遲器92中延遲，而輸出為行選擇線路控制信號PCSLE。

參照圖10，行選擇線路關閉控制信號產生器包括第二延遲器101可延遲內部時脈PCLKS，第三延遲器102可延遲第二延遲器101之輸出信號，而第二邏輯裝置ND2，可執行第一與第二控制信號P2N與PWR之運作，而第二選擇器可選擇第三延遲器102與第二延遲器101之輸出信號，相對於第二邏輯裝置ND2之輸出信號，以及輸出行選擇線路關閉控制信號PCSLD。當同步DRAM以2-位元結構運作時，內部時脈PCLKS在第二延遲器101中延遲，而第二延遲器101之輸出信號，在第三延遲器102延遲以後，被當成行選擇線路關閉控制信號PCSLD。

第二延遲101包括反相器I14可反相內部時脈PCLKS與反相器I15可反向反相器I14的輸出信號。延遲器102包括反相器I16，可反向反相器I15的輸出信號，與反相器I17可反向反

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（13）

相器I16的輸出資料。第二邏輯裝置ND2為NAND閘道，可執行NAND操作，藉著接收第一與第二控制信號P2N與PWR。第二選擇器103包括第三切換裝置TM3，可輸出第二延遲器101之輸出信號，在對應第二邏輯裝置ND2之輸出信號時，當為選擇電路關閉控制信號PCSLD。而第四切換裝置TM4，可輸出第三延遲器102之輸出信號，在對應第二邏輯裝置102時，成為欄選擇線路關閉控制信號。在此的第三與第四切換裝置TM3與TM4當傳輸閘。

行選擇線關閉控制信號產生器，可像圖9所顯示的行選擇線啟動控制信號產生器來運作。相關部份的說明如下。

當同步DRAM以管線結構運作時，內部時脈PCLKS在第二延遲器101延遲，而第二延遲器101的輸出信號會以行選擇線關閉控制信號PCSLD來輸出。

當同步DRAM以管線結構來運作時，內部時脈PCLKS在第二延遲器101中延遲，而第二遲滯器101之輸出信號為行選擇線關閉控制信號PCSLD之輸出。

圖11為一計時圖，說明圖8中行選擇線控制電路的運作情形。當同步DRAM以2位元先取結構來運作時，依在圖11所顯示的本發明的控制行選擇線。

參照圖11，說明圖8中行選擇線控制電路的運作情形。當同步DRAM以2位元先取結構來運作時，依在圖11所顯示的本發明的控制行選擇線。

第一內部時脈產生器83接收內部時脈CLK輸入，自晶片外部，並產生第一內部時脈PCLK1，具與外部時脈相同的週期。第二內部時脈產生器84接收第一內部時脈PCLK1，並產

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（14）

生第二內部時脈PCLK2，其中的週期是第一內部時脈的兩倍。當同步DRAM以管線結構運作時，選擇器85選取第一內部時脈PCLK1為內部時脈PCLKS。同時，當同步DRAM以2-位元先取結構運作時，選擇器85選取第二內部時脈PCLK2為內部時脈PCLKS。另外，行選擇線啟動控制信號產生器82a與行選擇線關閉控制信號產生器82b，接收第一與第二控制信號P2N與PWR，並產生控制信號(如圖9與10所示之輸出信號ND1與ND2)，其中在2-位元寫入結構之寫入運作時會起作用。如之前所述，第一控制信號P2N當啟動為“高”，當同步DRAM以2-位元先取結構來運作，而第二控制信號PWR啟動為“高”，在2-位元先取結構之寫入週期。圖11為同步DRAM以2-位元結構來運作之圖示。

接下來，行選擇線啟動控制信號產生器82a反相內部時脈PCLKS並延遲轉換時脈為輸出的延遲時脈，當控制信號使用中時，可啟動控制信號PCSLE。當控制信號變得無作用，反相內部時脈輸出，而不需如同行選擇線路啟動控制信號一樣延遲。也就是說，當同步DRAM以2-位元先取結構來運作寫入結構時，反相內部時脈受到延遲，並輸出為行選擇線路啟動控制信號PCSLE。另外，行選擇線關閉控制信號產生器82會延遲內部時脈，為行選擇線路關閉控制信號PCSLD，當控制信號開始作用時。當控制信號無作用時，內部時脈PCLKS輸出而無需延遲為行選擇線路關閉控制信號PCSLD。也就是說，當同步DRAM以2-位元先取結構之寫入週期來運作時，內部時脈受到延遲為行選擇線路關閉控制信號PCSLD。因此，行解碼器81啟動行選擇線路CSL0，CSL1，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（15）

CSL2，CSL3，當行選擇線路啟動控制信號PCSLE開始作用時，如在滑落時。當行選擇線路關閉控制信號PCSLD開始作時，如在升起階段時，行解碼器81會關閉行選擇線路CSL0，CSL1，CSL2，CSL3。也就是說，同步DRAM以2-位元先取結構運作時，可啟動行選擇線CSL0，CSL1，CSL2，CSL3之啟動與關閉時間點，而由延遲行選擇線路啟動控制信號PCSLE與延遲行選擇線關閉信號PCSLD來延遲。

還有如之前所述的，當同步DRAM以2-位元先取結構運作時，兩行選擇線可在外部時脈CLK的兩週期中啟動。也就是說，行選擇線CSL0與CSL1同步地啟動在行選擇電線啟動控制信號，並同時在行選擇電線關閉控制信號PCSLD將升起時啟動。行選擇線CSL2與CSL3同步啟動在行選擇線啟動控制信號PCSLD的下一個下降邊際，並在下行選擇線啟動控制信號PCSLD的升起時關閉。因此，當同步DRAM以2-位元先取結構運作時，它是寫入週期，而行選擇線CSL0，CSL1，CSL2，CSL3的時間啟動與關閉點會受到延遲，因此由外部晶片所輸入的DIN資料亦會增加。

如以上所述，同步DRAM的行選擇線之電路與控制裝置，為當同步DRAM以2-位元先取結構來運作時，它是寫入週期，而寫入輸入資料的時間邊際，會由延遲行選擇線的啟動與關閉時間點而增加。

讀者應注意本發明並未受到相關圖式的限制，而明顯的是相關技藝的更正並不會影響到本發明的精神與範疇。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

A5
B5

四、中文發明摘要（發明之名稱：用於控制同步半導體記憶裝置的行選擇線之電路及其控制方法）

用於控制同步半導體記憶裝置的行選擇線之電路及其控制裝置，包括同步管線結構與2-位元結構，或多個先取結構，或僅有一個2-位元結構，或多個先取結構。在先取結構的寫入結構之記憶體單元中，寫入輸入資料的時間會增加。這類電路包括行解碼器與行選擇線控制器。行解碼器可驅動行選擇線，來對應預解碼位址，行選擇線可啟動控制信號，行選擇線亦可關閉控制信號。行選擇線控制器可產生行選擇線啟動控制信號，以及行選擇線關閉控制信號，可利用內部時脈的接收來對應於第一與第二控制信號，以延滯行選擇線的啟動時間點與關閉時間。在同步半導體以先取結構來運作時，會啟動第一控制信號，而在先取結構的寫入週期時，會啟動第二控制信號。

英文發明摘要（發明之名稱：CIRCUIT FOR CONTROLLING COLUMN SELECTION LINE OF SYNCHRONOUS SEMICONDUCTOR MEMORY DEVICE AND CONTROLLING METHOD THEREOF）

A control circuit and a controlling method for a column selection line of a synchronous semiconductor memory device including concurrently both a pipeline structure and 2-bit or more prefetch structure or only the 2-bit or more prefetch structure are disclosed, by which time margin for writing input data on a memory cell in a write cycle of the prefetch structure is increased. The circuit includes a column decoder and a column selction line controller. The column decoder drives a column selection line in response to a predecoded address, a column selection line enable control signal and a column selection line disable control signal. The column selection line controller generates the column selection line enable control signal and the column selection line disable control signal in response to first and second control signals by receiving an internal clock, in order to delay an enabling point of time and a disabling point of time of the column selection line. The first control signal becomes active when the synchronous semiconductor operates as the prefetch structure and the second control signal becomes active in a write cycle of the prefetch structure.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

1. 一種同步半導體記憶裝置的行選擇線控制電路，同時包括管線結構與2-位元或多個先取結構，該電路包括：

一行解碼器，可對應預先解碼的位址來驅動行選擇線，行選擇線啟動控制信號與行選擇線關閉控制信號；

行選擇線控制器，可產生行選擇線啟動控制信號與行選擇線關閉控制信號，可利用接收內部時脈，來對應第一與第二控制信號，以延遲行選擇線的啟動時間點與關閉時間點。

2. 如申請專利範圍第1項之行選擇線控制電路，包括：

第一內部時脈產生器，可利用接收同步半導體記憶裝置的外部之外部時脈輸入資料，來產生第一時脈；

第二內部時脈產生器，可利用接收第一內部時脈，來產生第二時脈；

一可選擇第一與第二內部時脈為該內部時脈的選擇器；

一行位址計數器，可利用接收產生同步半導體記憶裝置的外部行位址輸入資料，來對應該內部時脈，以產生遞增之行位址；

一行位址緩衝器，可緩衝行位址與遞增的行位址，並產生緩衝的位址；與

一行預先解碼器，可預先解碼緩衝的位址，以產生該預先解碼的位址。

3. 如申請專利範圍第1項之行選擇線控制電路，其中的第一控制信號，在同步半導體記憶裝置以先取結構運作時啟

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

動。

4. 如申請專利範圍第1項之行選擇線控制電路，其中該第二控制信號為一種信號，可在同步半導體記憶裝置之寫入週期時啟動。

5. 如申請專利範圍第2項之行選擇線控制電路，其中該第一內部時脈的週期與該內部時脈的週期相同。

6. 如申請專利範圍第2項之行選擇線控制電路，其中該第二內部時脈的週期是該內部第一時脈的週期兩倍。

7. 如申請專利範圍第1項之行選擇線控制電路，其中該行選擇線控制器包括：

一行選擇線啟動控制信號產生器，可利用接收內部時脈，對應第一與第二控制信號，來產生行選擇啟動控制信號；及

一行選擇線關閉控制信號產生器，可利用接收內部時脈，對應第一與第二控制信號，來產生行選擇關閉控制信號。

8. 如申請專利範圍第7項之行選擇線控制電路，其中該行選擇線啟動控制信號產生器包括：

一第一反向延遲器，可反向並延遲內部時脈；

一第一延遲器，可延遲第一反向延遲器的輸出信號；

第一邏輯裝置可利用接收第一與第二控制信號來執行邏輯運作；與

一第一選擇器，可選擇第一反向延遲器的輸出信號，以及第一延遲器的輸出信號，以對應第一邏輯裝置的輸

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

出信號，並產生選擇信號作為行選擇線啟動控制信號。

9. 如申請專利範圍第8項之行選擇線控制電路，第一邏輯裝置可藉接收第一與第二控制信號來執行NAND運算。

10. 如申請專利範圍第8項之行選擇線控制電路，其中的第一選擇器包括：

第一切換裝置，可以行選擇線啟動控制信號輸出第一反向延遲器的輸出信號，以對應於該第一邏輯裝置的輸出信號；與

第二切換裝置，可以行選擇線啟動控制信號輸出第一反向延遲器的輸出信號，以對應於該第一邏輯裝置的輸出信號。

11. 如申請專利範圍第7項之行選擇線控制電路，其中行選擇線關閉控制信號產生器包括：

一第二反向延遲器，可延遲內部時脈；

一第三延遲器，可延遲第二延遲器的輸出信號；

第二邏輯裝置可利用接收第一與第二控制信號來執行邏輯運作；與

一第二選擇器，可選擇第二延遲器的輸出信號，以及該第三延遲器的輸出信號之一，以對應第二邏輯裝置的輸出信號，並產生選擇信號作為行選擇線關閉控制信號。

12. 如申請專利範圍第11項之行選擇線控制電路，其中第二邏輯裝置可利用接收第一與第二控制信號執行NAND操作。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

13. 如申請專利範圍第11項之行選擇線控制電路，其中第二選擇器包括：

第三切換裝置，可以行選擇線關閉控制信號輸出第二反向延遲器的輸出信號，以對應於該第二邏輯裝置的輸出信號；與

第四切換裝置，可以行選擇線關閉控制信號輸出第三反向延遲器的輸出信號，以對應於該第二邏輯裝置的輸出信號。

14. 一種同步半導體記憶裝置的行選擇線控制電路，包括管線結構與2-位元或多個先取結構，該電路包括：

一行解碼器，可對應預先解碼的位址來驅動行選擇線，行選擇線啟動控制信號與行選擇線關閉控制信號；

一行選擇線控制器，可產生行選擇線啟動控制信號與行選擇線關閉控制信號，可利用接收內部時脈，來對應第一控制信號，以延遲行選擇線的啟動時間點與關閉時間點。

15. 如申請專利範圍第14項之行選擇線控制電路，包括：

第一內部時脈產生器，可利用接收同步半導體記憶裝置的外部之外部時脈輸入資料，來產生第一內部時脈；

第二內部時脈產生器，可利用接收第一內部時脈，來產生第二內部時脈；

一可選擇第一與第二內部時脈為該內部時脈的選擇器；

一行位址計數器，可利用接收產生同步半導體記憶裝

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

置的外部行位址輸入資料，來對應該內部時脈，以產生遞增之行位址；

一行位址緩衝器，可緩衝行位址與遞增的行位址，並產生緩衝的位址；與

一行預先解碼器，可預先解碼緩衝的位址，以產生該預先解碼的位址。

16. 如申請專利範圍第14項之行選擇線控制電路，其中的第一控制信號，在同步半導體記憶裝置以先取結構運作時啟動。

17. 一種同步半導體記憶裝置的行選擇線控制電路，包括2-位元或多個先取結構，該電路包括：

一行解碼器，可對應預先解碼的位址來驅動行選擇線，行選擇線啟動控制信號與行選擇線關閉控制信號；

一行選擇線控制器，可產生行選擇線啟動控制信號與行選擇線關閉控制信號，可利用接收內部時脈，來對應第二控制信號，以延遲行選擇線的啟動時間點與關閉時間點。

18. 如申請專利範圍第17項之行選擇線控制電路，包括：

第一內部時脈產生器，可利用接收同步半導體記憶裝置的外部之外部時脈輸入資料，來產生第一內部時脈；

第二內部時脈產生器，可利用接收第一內部時脈，來產生第二內部時脈；

一可選擇第一與第二內部時脈為該內部時脈的選擇器；

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

一行位址計數器，可利用接收產生同步半導體記憶裝置的外部行位址輸入資料，來對應該內部時脈，以產生遞增之行位址；

一行位址緩衝器，可緩衝行位址與遞增的行位址，並產生緩衝的位址；與

一行預先解碼器，可預先解碼緩衝的位址，以產生該預先解碼的位址。

19. 如申請專利範圍第14項之行選擇線控制電路，其中第二控制信號為一種信號，可在同步半導體記憶裝置之寫入週期時啟動。

20. 一種同步記憶體裝置的行選擇線控制方法，該記憶體裝置同時包括管線結構與2-位元或多個先取結構或是只有2-位元或多個先取結構，該控制方法包括下列步驟：

利用從同步記憶體裝置外部接收外部時脈輸入來產生第一內部時脈；

利用接收第一內部時脈來產生第二內部時脈；

選擇第一與第二內部時脈之一作為內部時脈；

產生在先取結構的寫入週期啟動的控制信號；

反向內部時脈；

延遲反向內部時脈以及內部時脈和輸出各延遲時脈，以分別為行選擇線啟動控制信號以及行選擇線關閉控制信號，在控制信號啟動時；

分別輸出反向內部時脈與內部時脈，以為行選擇線啟動控制信號以及行選擇線關閉控制信號，在控制信號非

經濟部中央標準局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

為啟動狀態時，不需要延遲；以及

在行選擇線啟動控制信號啟動時，可啟動行選擇線，而在行選擇線關閉控制信號啟動時，可關閉行選擇線。

21. 如申請專利範圍第20項之行選擇線控制方法，其中第一內部時脈的週期與該外部時脈的週期相同。

22. 如申請專利範圍第20項之行選擇線控制方法，其中第二內部時脈的週期是該內部第一時脈的週期兩倍。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

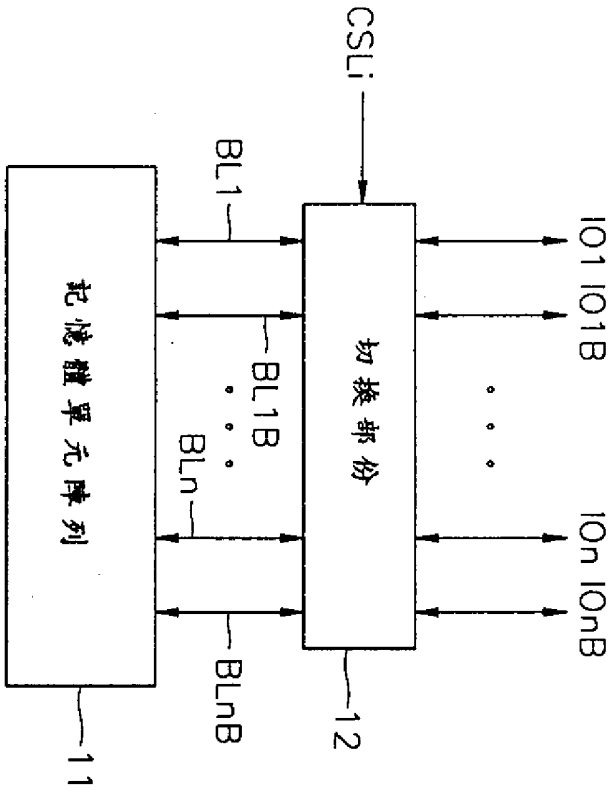


圖 1

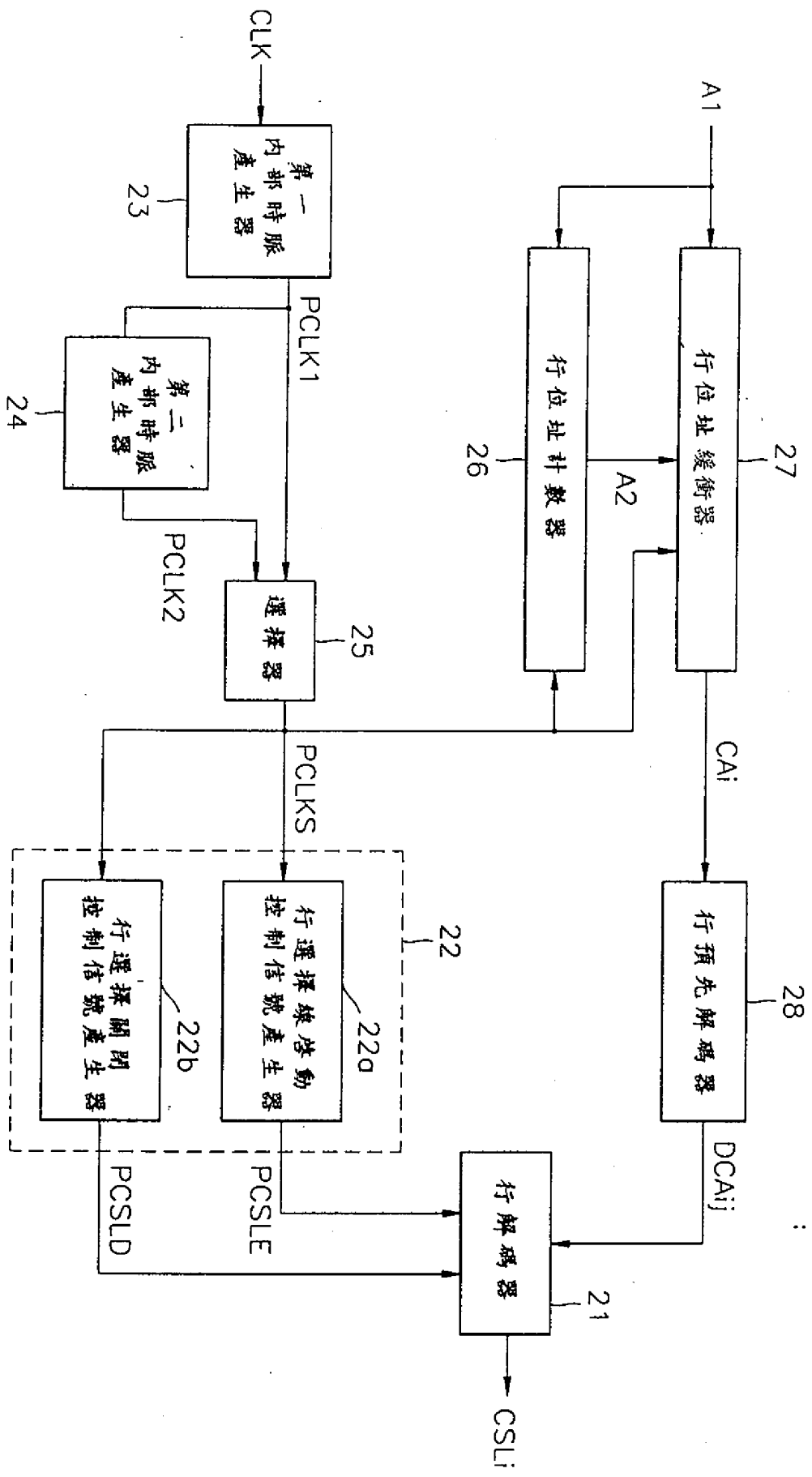

A1
CLK
第一內部時脈產生器
23
PCLK1
第二內部時脈產生器
24
PCLK2
選擇器
25
PCLKS
行位址計數器
26
A2
行位址緩衝器
27
CAi
行預先解碼器
28
DCAij
22
行選擇線啓動控制信號產生器
22a
行選擇關閉控制信號產生器
22b
PCSLE
PCSLD
行解碼器
21
CSLi

圖 2

圖 3

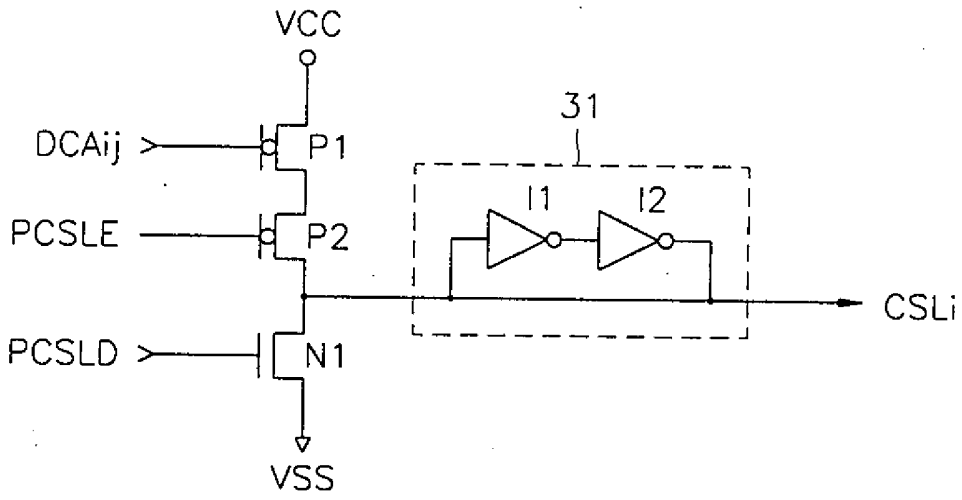

VCC
DCAij
P1
PCSLE
P2
PCSLD
N1
VSS
31
I1
I2
CSLi

圖 4

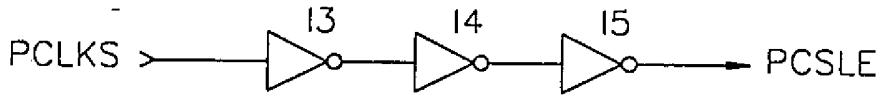

PCLKS
I3
I4
I5
PCSLE

圖 5

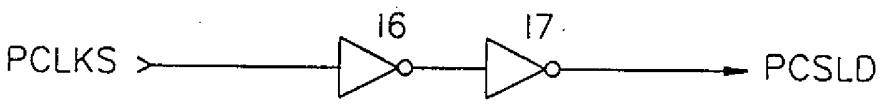

PCLKS
I6
I7
PCSLD

圖 6

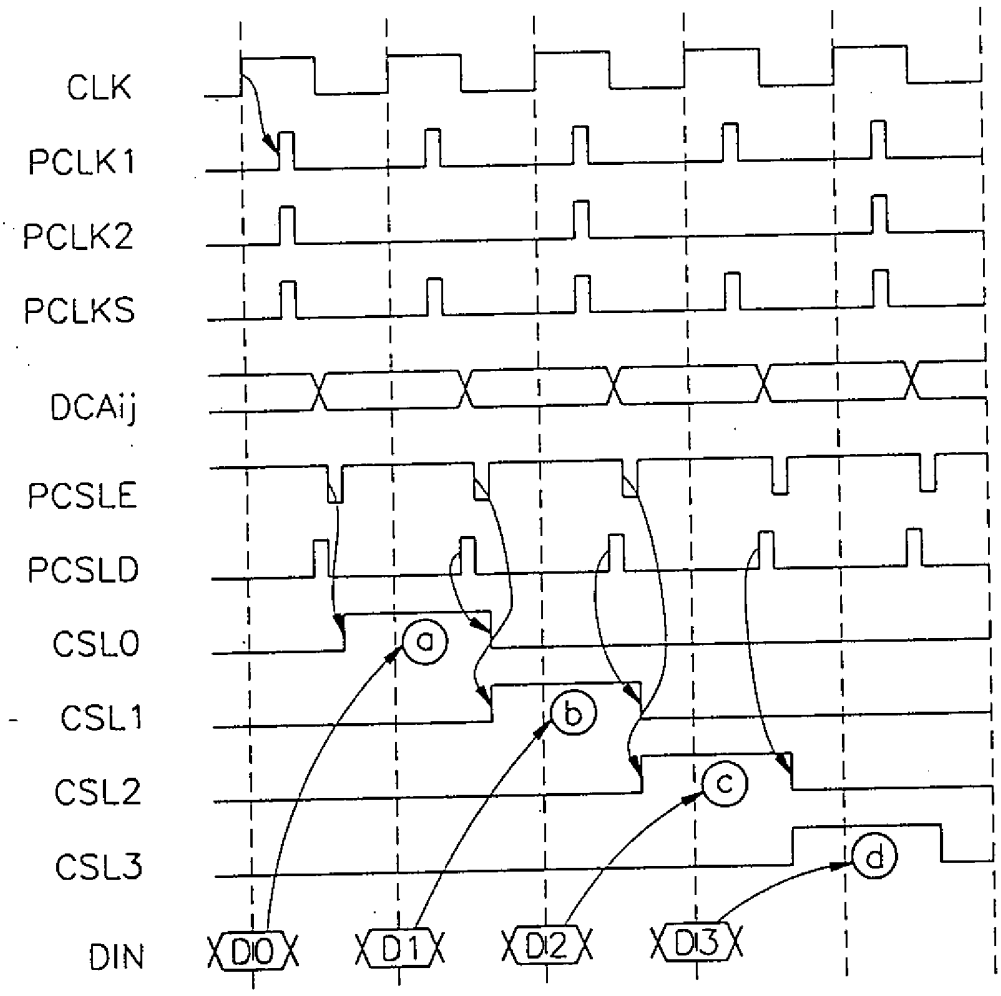
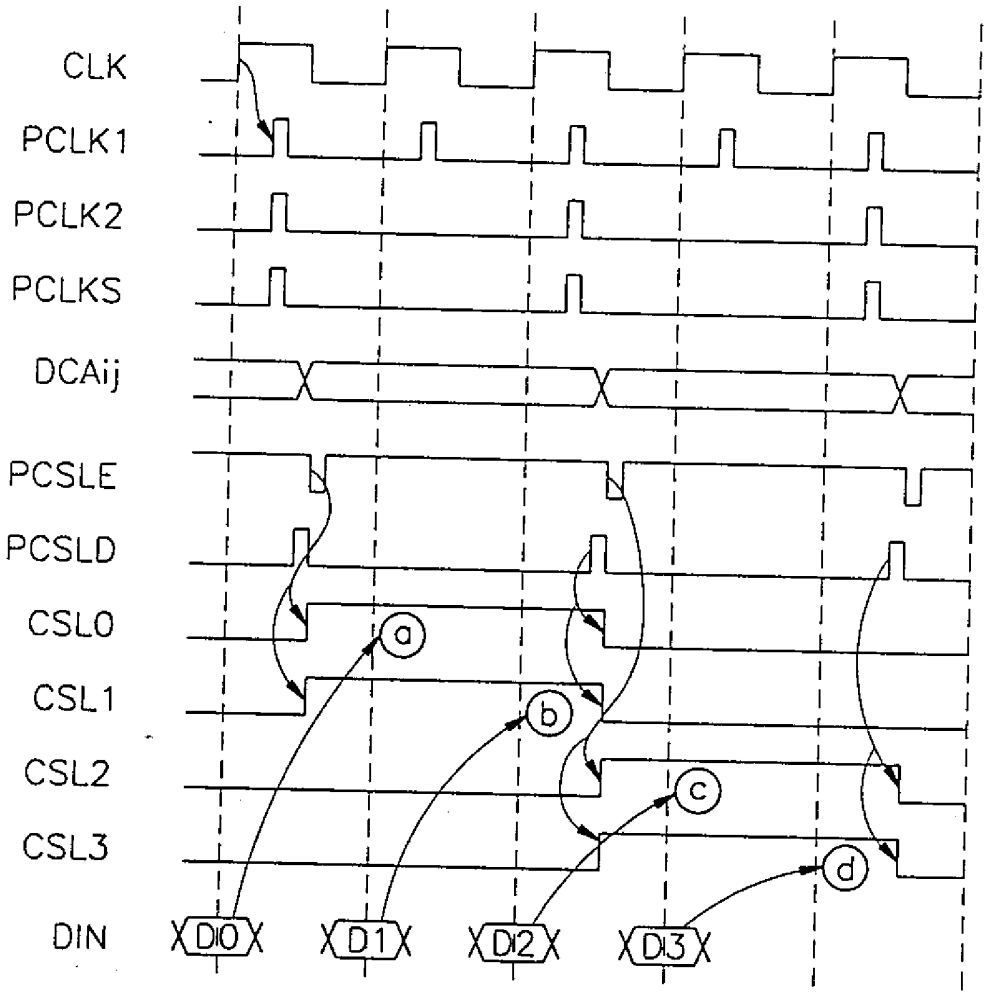

CLK
PCLK1
PCLK2
PCLKS
DCAij
PCSLE
PCSLD
CSL0
CSL1
CSL2
CSL3
DIN
a
b
c
d
D0
D1
D2
D3

圖 7


CLK
PCLK1
PCLK2
PCLKS
DCAij
PCSLE
PCSLD
CSL0
CSL1
CSL2
CSL3
DIN
D0
D1
D2
D3
a
b
c
d

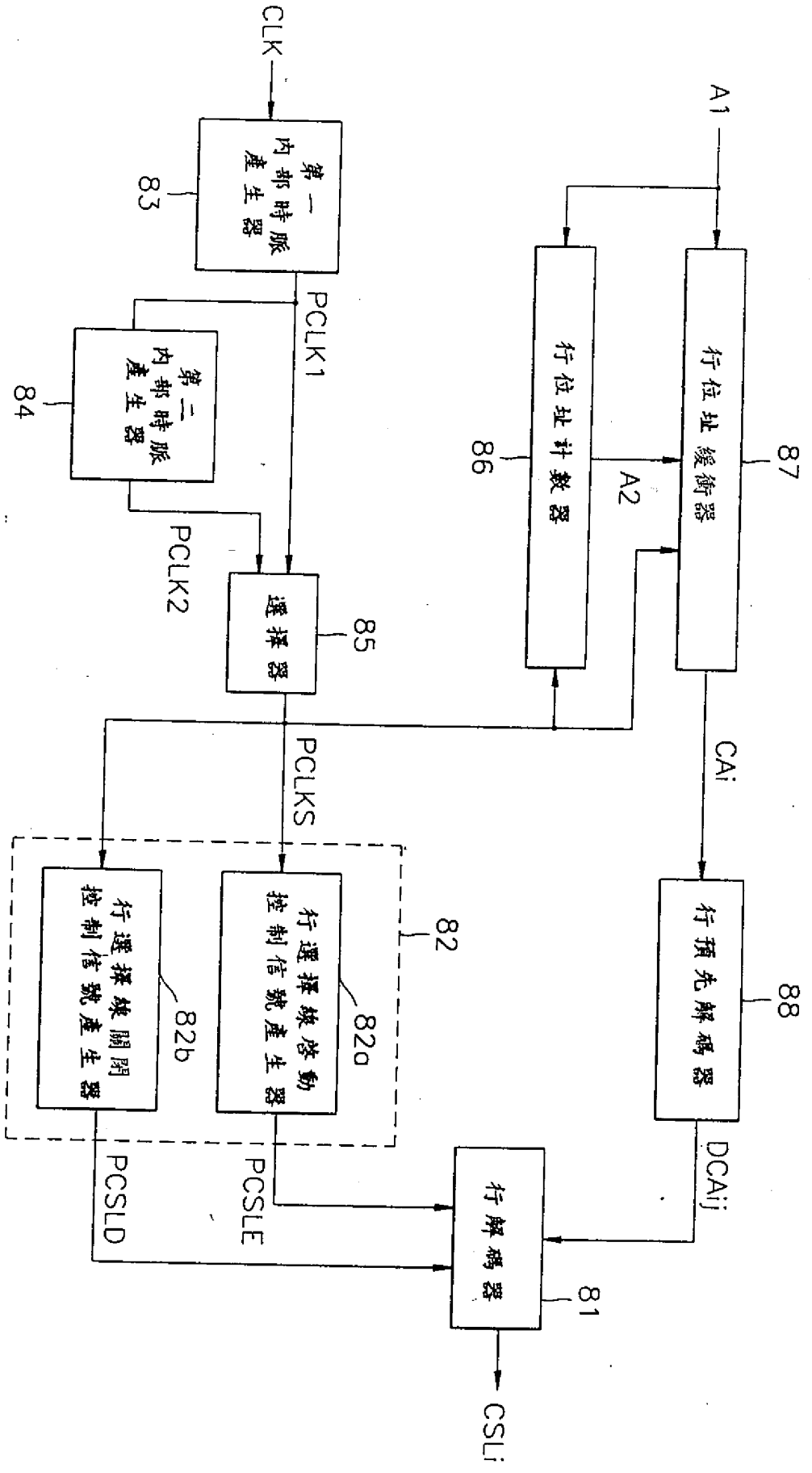

A1
CLK
第一內部時脈產生器
83
PCLK1
第二內部時脈產生器
84
PCLK2
選擇器
85
PCLKS
行位址計數器
86
A2
行位址緩衝器
87
CAi
行預先解碼器
88
DCAij
行解碼器
81
CSLi
82
行選擇線啓動控制信號產生器
82a
PCSLE
行選擇線關閉控制信號產生器
82b
PCSLD

圖 8

圖 9

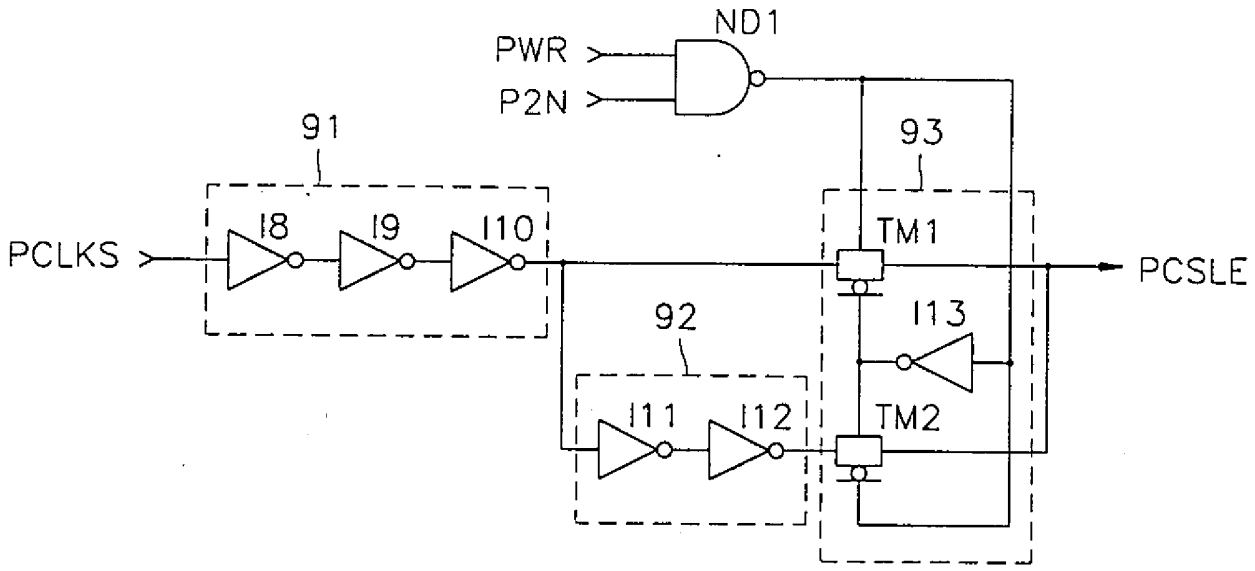

ND1
PWR
P2N
91
93
PCLKS
I8
I9
I10
TM1
PCSLE
92
I13
I11
I12
TM2

圖 10

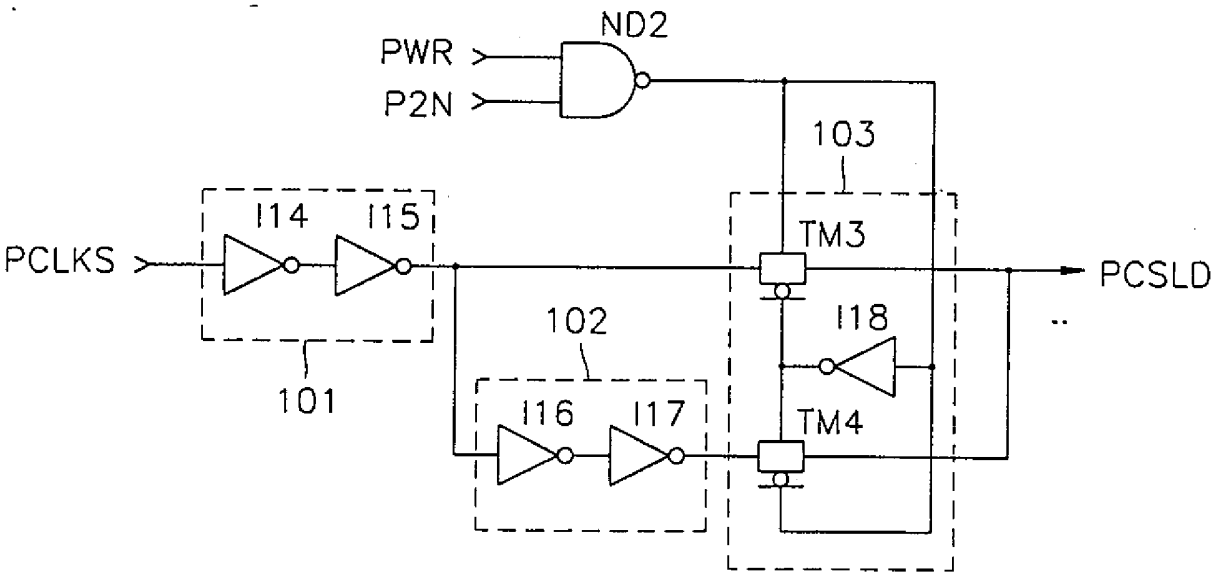
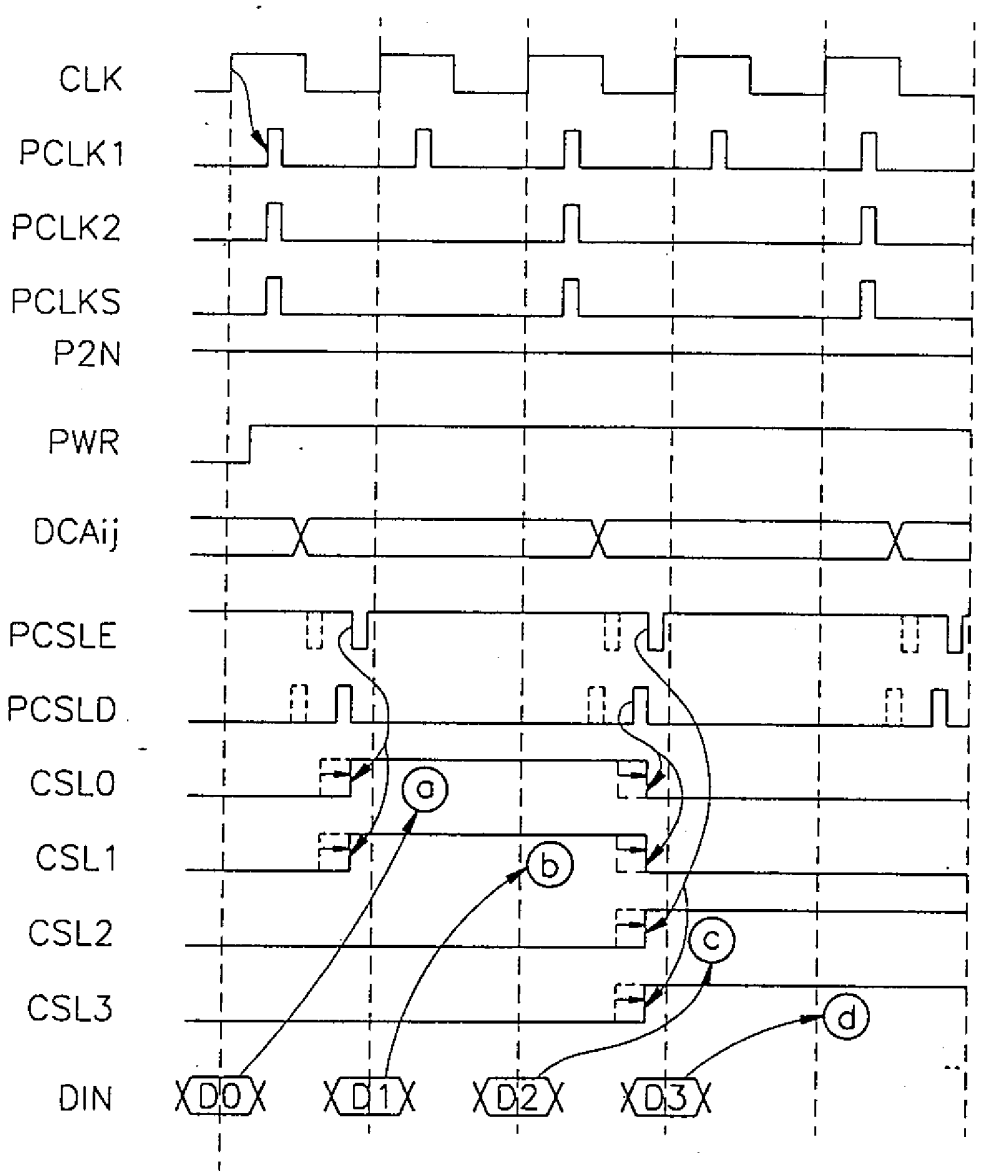

ND2
PWR
P2N
103
I14
I15
PCLKS
TM3
PCSLD
102
I18
101
I16
I17
TM4

圖 11


CLK
PCLK1
PCLK2
PCLKS
P2N
PWR
DCAij
PCSLE
PCSLD
CSL0
CSL1
CSL2
CSL3
DIN
D0
D1
D2
D3
a
b
c
d

公告本

89年10月26日 修正補充

申請日期	86. 10. 22.
案號	86115624
類別	G11C 8/00

（以上各欄由本局填註）

中文說明書修正本(89年10月)

A4
C4

434570

發明 新型 專利說明書

一、發明 新型 名稱	中文	用於控制同步半導體記憶裝置的行選擇線之電路及其控制方法
	英文	"CIRCUIT FOR CONTROLLING COLUMN SELECTION LINE OF SYNCHRONOUS SEMICONDUCTOR MEMORY DEVICE AND CONTROLLING METHOD THEREOF"
二、發明 創作 人	姓名	1.徐東一 2.尹世昇
	國籍	1-2 均韓國
	住、居所	1.大韓民國京畿道水原市八達區遠川洞35番地住公APT.108棟805號 2.大韓民國漢城市龍山區漢江露3街40-194番地
三、申請人	姓名（名稱）	韓商三星電子股份有限公司
	國籍	韓國
	住、居所（事務所）	大韓民國京畿道水原市八達區梅灘洞416番地
	代表人姓名	尹鍾龍

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

經濟部智慧財產局員工消費合作社印製

裝 訂 線

煩請委員明示修正本有無變更實質內容是否准予修正。
89年10月26日所提之