(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0046415
(43) 공개일자 2010년05월07일

(51) Int. Cl.
G06F 9/30 (2006.01) *G06F 1/32* (2006.01)
G06F 12/08 (2006.01)
(21) 출원번호 10-2008-0105245
(22) 출원일자 2008년10월27일
심사청구일자 2008년10월27일

(71) 출원인
고려대학교 산학협력단
서울 성북구 안암동5가1 고려대학교 내
(72) 발명자
정성우
서울 용산구 이촌1동 한가람아파트 217-1002
장형범
서울특별시 송파구 문정2동 훼미리아파트 304-801
이종성
경기 의정부시 호원동 우성아파트 201동 206호
(74) 대리인
조영현, 나승택

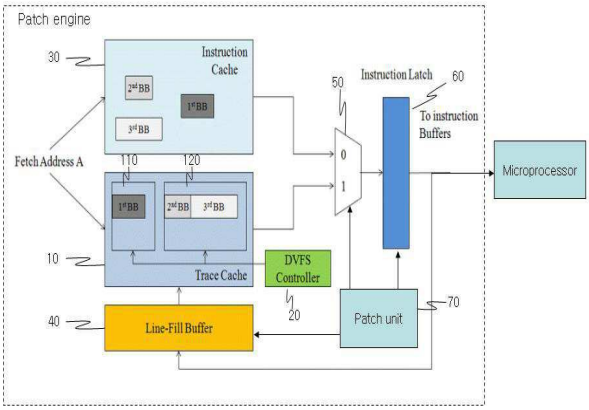
전체 청구항 수 : 총 4 항

(54) 패치 엔진

(57) 요 약

본 발명은 패치 엔진에 관한 것으로, 더욱 상세하게는 추적 캐시(Trace cache)를 동적 명령어 트레이스들(traces)의 베이직 블럭을 저장하는 제 1 저장부와 상기 베이직 블록 이외의 트레이스들을 저장하는 제 2 저장부로 구분하여 저장하고, DVFS 컨트롤러에 의해 상기 저장부에 따라 서로 다른 전압을 공급하여 전체 파워 소모를 감소시킬 수 있는 패치 엔진에 관한 것이다.

대 표 도 - 도1



특허청구의 범위

청구항 1

파워 소모가 많은 명령어 트레이스들을 저장하는 제 1 저장부와 파워 소모가 적은 명령어 트레이스들을 저장하는 제 2 저장부를 구비하는 추적 캐시와;

추적 캐시에 저장된 명령어 트레이스를 마이크로 프로세서로 출력하는 경우 상기 제 1저장부 및 제 2저장부에 저장된 명령어 트레이스에 공급되는 전압을 제어하는 DVFS 컨트롤러를 포함하는 것을 특징으로 하는 패치 엔진.

청구항 2

제 1항에 있어서,

상기 제 1 저장부는 분기 명령어들이 존재하지 않는 동적 명령어로 구성된 베이직 블럭이 저장되고, 제 2 저장부는 상기 베이직 블록 이외의 분기 명령에 대한 결과를 포함하는 명령어들로 구성된 트레이스들이 저장되는 것을 특징으로 하는 패치 엔진.

청구항 3

제 2항에 있어서,

상기 DVFS 컨트롤러는

상기 제 1 저장부에 저장된 트레이스를 마이크로 프로세서에 출력하는 경우 처리능력에 영향을 미치지 않도록 필요한 적정 전압을 공급하고,

상기 제 2 저장부에 저장된 트레이스를 마이크로 프로세서에 출력하는 경우 상기 제 1 저장부에 공급되는 전압보다 낮은 전압을 공급하여 파워 소모를 감소시키도록 제어하는 것을 특징으로 하는 패치 엔진.

청구항 4

제 3항에 있어서,

상기 DVFS 컨트롤러는

상기 제 2 저장부에 저장된 트레이스를 마이크로 프로세서에 출력하는 경우 동작에 필요한 최소 전압을 공급하는 것을 특징으로 하는 패치 엔진.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 패치 엔진에 관한 것으로, 더욱 상세하게는 추적 캐시(Trace cache)를 동적 명령어 트레이스들(traces)의 베이직 블럭을 저장하는 제 1 저장부와 상기 베이직 블록 이외의 트레이스들을 저장하는 제 2 저장부로 구분하여 저장하고, DVFS 컨트롤러에 의해 상기 저장부에 따라 구동 주파수 또는 전압을 조절하여 전체 파워 소모를 감소시킬 수 있는 패치 엔진에 관한 것이다.

배 경 기 술

[0002] 최근의 마이크로 프로세서 설계 경향에 따라 dispatch/issue window의 크기는 점점 커져가고 있으며, 더 많은 스펙(deeper speculation)을 위해 기능 유닛(functional unit)의 개수와 레지스터 파일(resister files)의 크기가 점점 커져가고 있다.

[0003] 그러나, 상기와 같은 하드웨어의 발전에도 불구하고 여전히 마이크로 프로세서의 처리능력(throughput)을 감소시키는 병목현상이 존재한다.

[0004] 종래의 명령어 캐시(Instruction cache)는 명령어들이 컴파일 된 순서에 의하여 연속적으로 명령어들을 저장한다. 따라서 길고 불연속적인 명령어들은 패치 유닛에 의해서 프로세서에게 연속적으로 패치될 수 없으며, 이는 하드웨어의 발전과 무관하게 처리능력을 감소시키는 요소가 된다.

[0005] 이를 해결하기 위해 추적 캐시(trace cache)라는 새로운 캐시 구조가 제안되었다. 상기 추적 캐시는 명령의 패치 대역폭(fetch bandwidth)를 늘이기 위해 고안된 구조로 명령어들을 여러 개의 베이직 블럭과 동적인 명령어 트레이스들로 쪼개어 저장하게 된다.

[0006] 그리고 상기와 같은 구조를 이용하여 패치 유닛이 한 번에 여러 개의 명령어 트레이스들을 프로세서에 전달하여 패치 대역폭을 늘일 수 있다.

[0007] 점차 기술이 발전해감에 따라 최근의 마이크로 프로세서는 빠르게 데이터를 처리하면서도 다양한 기능을 구현하도록 요구되지고 있으며, 상기와 같은 요구조건을 만족시키기 위해서 하나의 칩에 수많은 트랜지스터들이 집적되어 칩상 전력 밀도(on-chip power density)가 지수적으로 증가하는 원인이 되고 있다.

[0008] 특히, 마이크로 프로세서의 캐시는 칩 상에서 큰 면적을 차지하고 있기 때문에 다른 어떤 유닛보다 파워를 많이 소모하게 되며, 파워의 소모량이 증가함에 따라서 비이상적으로 유닛의 온도가 높아기제 되며, 이는 칩의 수명을 단축시키고 신뢰성을 떨어뜨리는 원인이 된다.

[0009] 따라서, 캐시, 특히 추적 캐시의 성능을 유지하면서 파워 소모를 줄이기 위한 효율적인 방법이 필요하다.

발명의 내용

해결 하고자하는 과제

[0010] 상기와 같은 문제점을 해결하기 위해 안출된 것으로써 본 발명의 목적은 추적 캐시에 저장되는 공간을 동적 명령어 트레이스들(traces)의 베이직 블럭을 저장하는 제 1 저장부와 상기 베이직 블록 이외의 트레이스들을 저장하는 제 2 저장부로 구분하여 저장하고, DVFS 컨트롤러에 의해 상기 저장부에 따라 구동 주파수 또는 전압을 조절하여 전체 파워 소모를 감소시킬 수 있는 패치 엔진을 제공하는 데 있다.

과제 해결수단

[0011] 상기와 같은 목적을 달성하기 위해 본 발명에 따른 패치 엔진은 파워 소모가 많은 명령어 트레이스들을 저장하는 제 1 저장부와 파워 소모가 적은 명령어 트레이스들을 저장하는 제 2 저장부를 구비하는 추적 캐시와 추적 캐시에 저장된 명령어 트레이스를 마이크로 프로세서로 출력하는 경우 상기 제 1저장부 및 제 2저장부에 저장된 명령어 트레이스에 공급되는 전압을 제어하는 DVFS 컨트롤러를 포함하는 것을 특징으로 한다.

[0012] 여기서, 상기 제 1 저장부는 분기 명령어들이 존재하지 않는 동적 명령어로 구성된 베이직 블럭이 저장되고, 제 2 저장부는 상기 베이직 블록 이외의 분기 명령에 대한 결과를 포함하는 명령어들로 구성된 트레이스 들이 저장되는 것을 특징으로 한다.

[0013] 그리고, 상기 DVFS 컨트롤러는 상기 제 1 저장부에 저장된 트레이스를 마이크로 프로세서에 출력하는 경우 처리능력에 영향을 미치지 않도록 필요한 적정 전압을 공급하고, 상기 제 2 저장부에 저장된 트레이스를 마이크로 프로세서에 출력하는 경우 상기 제 1 저장부에 공급되는 전압보다 낮은 전압을 공급하여 파워 소모를 감소시키

도록 제어하는 것을 특징으로 한다.

[0014] 또한, 상기 DVFS 컨트롤러는 상기 제 2 저장부에 저장된 트레이스를 마이크로 프로세서에 출력하는 경우 동작에 필요한 최소 전압을 공급하는 것을 특징으로 한다.

효 과

[0015] 상기에서 살펴본 바와 같이, DVFS 기술이 적용된 추적 캐시 기법을 사용함으로써, 명령어 수행을 위해 우선적으로 필요한 동적 명령어의 베이직 블록이 저장되는 제 1 저장부와 나머지 동적 명령어 트레이스들이 저장되는 제 2 저장부에 서로 다른 전압을 공급함으로써, 상기 제 1 저장부에는 처리능력(Throughput)에 지장을 주지 않도록 전압을 공급해주고, 상기 제 2 저장부에는 파워 소모를 감소시키기 위해 상기 제 1 저장부에 공급되는 전압보다 낮은 전압을 공급하여 마이크로 프로세서에 명령어를 출력하는 패치 엔진의 전체 파워 소모를 감소시킬 수 있는 탁월한 효과가 발생한다.

발명의 실시를 위한 구체적인 내용

[0016] 이하, 본 발명의 바람직한 실시예에 대하여 도면을 참조하여 상세하게 설명하기로 한다.

[0017] 도 1은 본 발명의 바람직한 실시예에 따른 패치 엔진을 개략적으로 도시한 블럭도이다.

[0018] 도 1을 참조하면, 패치 엔진은 추적 캐시(10), DVFS 컨트롤러(20), 명령어 캐시(30), Line-Fill 버퍼(40), 비교기(50), 명령어 래치(60), 패치 유닛(70)을 포함하여 구성될 수 있다.

[0019] 여기서, 상기 Line-Fill 버퍼(40)는 상기 추적 캐시(10)에 저장할 동적 트레이스(경로)들을 만들어 주는 역할을 담당하고, decode 또는 retire가 된 명령어들을 베이직 블럭과 동적 트레이스로 구분해서 트레이스들을 구성해 주는 역할을 담당한다.

[0020] 그리고, 상기 비교기(50)는 상기 추적 캐시(10)에 저장되어 있지 않은 명령은 명령어 캐시(30)로부터 가져다 사용하기 위해 선택적으로 디코딩하는 구성으로, 필요에 따라서 추적 캐시(10) 또는 명령어 캐시(30)로부터 명령어들을 프로세서에 공급하게 된다.

[0021] 또한, 상기 명령어 래치(Instruction latch, 60)는 상기 비교기(50)를 통해 출력된 명령어를 일시 저장하는 역할을 담당하고, 패치 유닛(70)은 실기간으로상기 추적 캐시(10) 또는 명령어 캐시(30)에 저장된 명령어를 프로세서에 공급을 제어하는 역할을 담당한다.

[0022] 상기와 같이 구성되는 패치 엔진의 세부 구성 및 작용은 본 발명의 통상의 지식을 가진 당업자에게 자명할 뿐만 아니라, 발명의 핵심에서 벗어나므로 구체적인 설명은 생략하고, 본 발명의 핵심 구성에 해당하는 추적 캐시와 DVFS 컨트롤러에 대해서만 상세하게 설명하기로 한다.

[0023] 도 2는 본 발명의 바람직한 실시예에 따른 패치 엔진의 전력 소모 감소를 위한 모식도이다.

[0024] 도 2를 참조하면, 본 발명은 상기 추적 캐시(10)를 전력 소모 감소가 불가능한 부분(빠른 처리가 필요한 부분)과 전력 소모 감소가 가능한 부분(빠른 처리가 필요없는 부분)을 분리 구성하고, 상기 DVFS 컨트롤로(20)가 상기 분리 구성된 추적 캐시에 따라 서로 다른 전압을 공급하도록 제어하여 파워 소모를 감소시키는 것을 특징으로 한다.

[0025] 여기서, 상기 DVFS 컨트롤러에서 적용되는 DVFS 기술은 프로세서(CPU)의 전력소모가 주파수에 비례하는 특징을 이용하여 프로세서의 동작 주파수를 줄임으로써 그에 비례하여 구동전압을 감소시키는 기술로서 시스템의 공급 전압과 클럭 주파수를 변경하여 마이크로 프로세서 및 그 주변 회로의 전력소모를 조절하는 기술을 말한다.

[0026] 보다 구체적으로, 상기 추적 캐시(10)는 명령어 수행을 위해 우선적으로 필요한 분기 명령어 들이 존재하지 않은 동적 명령어들로 구성된 베이직 블럭이 저장되는 제 1 저장부(110)와 분기 명령어들에 대한 결과를 포함하는 명령어들로 구성된 나머지 동적 명령어 트레이스들이 저장되는 제 2 저장부(120)로 분리 구성된다.

[0027] 여기서, 상기 제 1 저장부(110)에 저장된 베이직 블럭들은 처리능력(Throughput)에 영향을 미치는 요소이므로 처리능력을 향상시키기 위해 가능한 빨리 마이크로 프로세서의 프론트 엔드(front end)에 동적 명령어 트레이

스들을 공급해 줄 필요가 있으나, 상기 제 2 저장부(120)에 저장된 트레이스들은 처리능력에 영향을 미치는 요소가 아니므로 마이크로 프로세서의 프론트 엔드(front end)에 빠르게 동적 명령어 트레이스들을 공급해 줄 필요가 없다.

[0028] 즉, 제 1 저장부(110)에 저장된 베이직 블럭들은 성능을 높이기 위해 특정 전압에서 최대 크기의 주파수를 사용하여야 하므로 파워 소모 감소가 불가능한 트레이스들을 저장한 것이고, 제 2 저장부(120)에 저장된 트레이스들은 성능에 영향을 미치지 않는 트레이스들이므로 파워 소모 감소가 가능한 트레이스들을 저장한 것이다.

[0029] 따라서, 상기 DVFS 컨트롤러(20)는 상기 추적 캐시의 트레이스 들을 마이크로 프로세서에 공급해 줄 때 상기 제 1 저장부의 베이직 블럭은 처리능력의 성능 저하에 영향이 없도록 적정 전압(V_1)을 공급해주고, 제 2 저장부의 트레이스는 파워 소모를 감소시키기 위해 상기 제 1 저장부의 트레이스 처리에 공급되는 전압보다 낮은 전압(V_2)을 공급하여 전체 파워 소모를 감소시킬 수 있다. 즉, 제 2 저장부의 트레이스는 동작이 가능한 최소 전압만을 공급하여 파워 소모를 감소시킬 수 있다. 여기서, 상기 제 1 저장부 및 제 2 저장부에 공급되는 전압은 추적 캐시 용량, 프로세서의 설계에 따라 달라질 수 있다.

[0030] 이상에서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 본 발명의 보호범위는 상기 실시예에 한정되는 것이 아니며, 해당 기술분야의 통상의 지식을 갖는 자라면 본 발명의 사상 및 기술영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

[0031] 도 1은 본 발명의 바람직한 실시예에 따른 패치 엔진을 개략적으로 도시한 블럭도이다.

[0032] 도 2는 본 발명의 바람직한 실시예에 따른 패치 엔진의 전력 소모 감소를 위한 모식도이다.

[0033] *도면의 주요 부분에 대한 부호의 설명*

[0034] 10 : 추적 캐시 20 : DVFS 컨트롤러

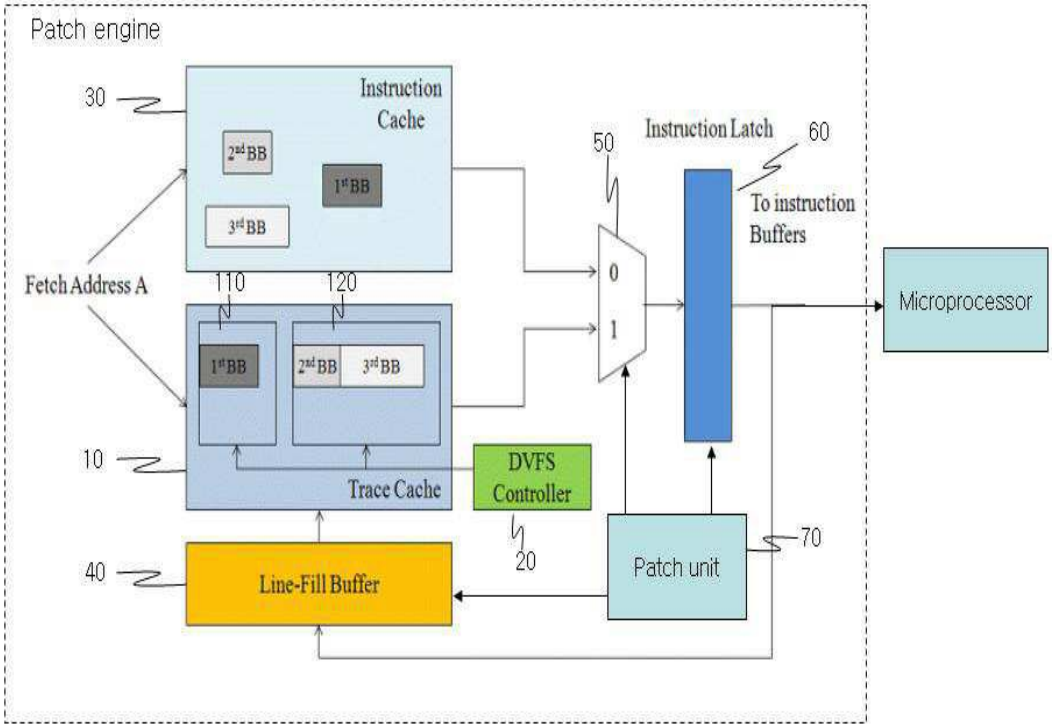
[0035] 30 : 명령어 캐시 40 : Line-Fill 버퍼

[0036] 50 : 비교기 60 : 명령어 래치

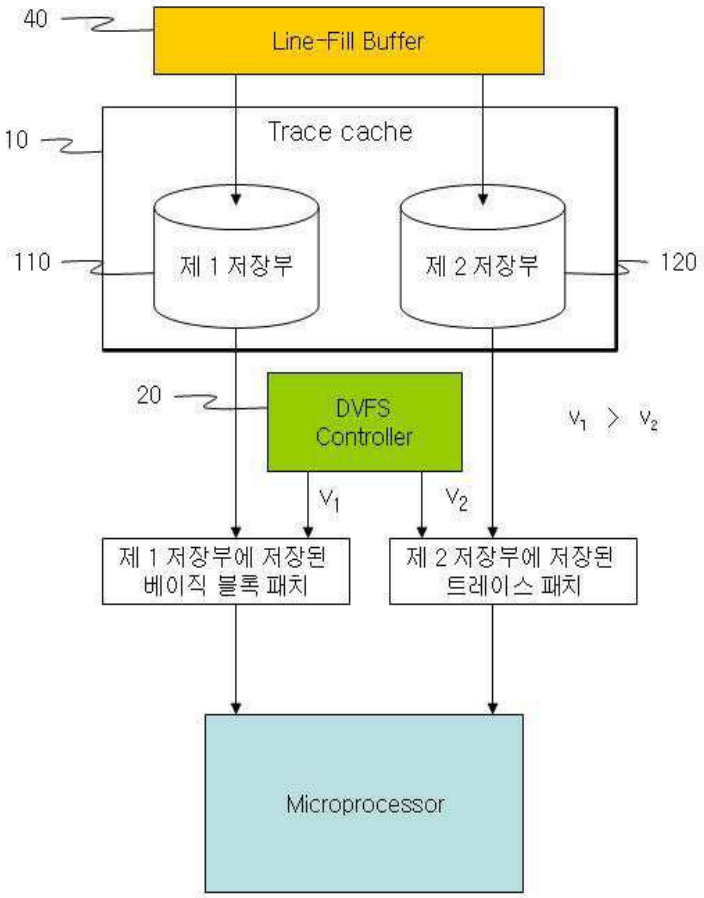
[0037] 70 : 패치 유닛

도면

도면1


Patch engine
30
Instruction Cache
2nd BB
1st BB
3rd BB
Fetch Address A
110
120
1st BB
2nd BB
3rd BB
10
Trace Cache
DVFS Controller
20
40
Line-Fill Buffer
50
Instruction Latch
60
To instruction Buffers
0
1
Microprocessor
Patch unit
70

도면2


40
Line-Fill Buffer
10
Trace cache
110
제 1 저장부
제 2 저장부
120
20
DVFS
Controller
$V_1 > V_2$
V_1
V_2
제 1 저장부에 저장된
베이직 블록 패치
제 2 저장부에 저장된
트레이스 패치
Microprocessor