

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-140361

(P2010-140361A)

(43) 公開日 平成22年6月24日 (2010.6.24)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G06F 11/30 (2006.01)</b>	G06F 11/30 320B	5B042
	G06F 11/30 310H	

審査請求 未請求 請求項の数 10 O L (全 19 頁)

(21) 出願番号	特願2008-317493 (P2008-317493)	(71) 出願人	308014341
(22) 出願日	平成20年12月12日 (2008.12.12)		富士通マイクロエレクトロニクス株式会社 神奈川県横浜市港北区新横浜二丁目10番 23
		(74) 代理人	100090273 弁理士 園分 孝悦
		(72) 発明者	久米 隆之 東京都新宿区西新宿二丁目7番1号 富士 通マイクロエレクトロニクス株式会社内
		(72) 発明者	南里 洋亮 東京都新宿区西新宿二丁目7番1号 富士 通マイクロエレクトロニクス株式会社内
		Fターム(参考)	5B042 GA32 GC08 JJ23 KK02

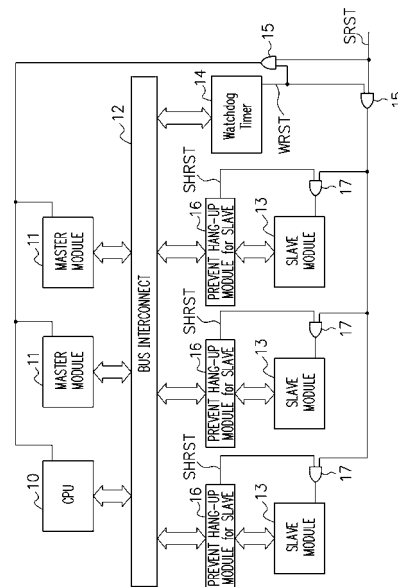
(54) 【発明の名称】 コンピュータシステム及び異常検出回路

(57) 【要約】

【課題】 コンピュータシステム全体に対する初期化を行うことなく、ハングアップしたモジュールを初期化し再起動できるようにする。

【解決手段】 バスを介して通信を行うマスターモジュール及びスレーブモジュールを有するコンピュータシステムにて、バスの信号を監視し通信に係るハングアップを検出するバスハングアップ防止モジュールをスレーブモジュール毎に配置し、ハングアップを検出した場合には、対応するスレーブモジュールのみの再起動を指示する信号を出力するようにして、コンピュータシステム全体に対する初期化を行わずに、ハングアップしたスレーブモジュールのみを初期化し再起動できるようにする。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

バスを介して通信を行う複数のモジュールと、  
前記モジュール間の通信に係る前記バスの信号を監視してハングアップを検出する異常検出回路とを有し、

前記異常検出回路は、前記複数のモジュールのうちの一部のモジュールに対応して各々が配置され、前記ハングアップを検出した場合に、対応するモジュールのみの再起動を指示する信号を生成し出力することを特徴とするコンピュータシステム。

## 【請求項 2】

前記異常検出回路は、前記モジュール間の通信において要求に対する対応するモジュールからの応答がない状態が一定期間継続した場合に、前記ハングアップであると判定することを特徴とする請求項 1 記載のコンピュータシステム。

10

## 【請求項 3】

前記異常検出回路は、前記ハングアップの判定に係る前記一定期間を設定するレジスタを有することを特徴とする請求項 2 記載のコンピュータシステム。

## 【請求項 4】

前記異常検出回路は、前記ハングアップを検出したことを示すレジスタを有することを特徴とする請求項 1 ~ 3 の何れか 1 項に記載のコンピュータシステム。

## 【請求項 5】

前記異常検出回路は、前記ハングアップを検出した場合に、リセット信号又は割り込み信号を出力するかを設定するレジスタを有することを特徴とする請求項 1 ~ 4 の何れか 1 項に記載のコンピュータシステム。

20

## 【請求項 6】

前記異常検出回路は、前記ハングアップを検出した場合に、当該ハングアップしたモジュールに代わって通信に係る応答を返す応答回路を有することを特徴とする請求項 1 ~ 5 の何れか 1 項に記載のコンピュータシステム。

## 【請求項 7】

前記異常検出回路は、前記応答回路が返す応答の種類を設定するレジスタを有することを特徴とする請求項 6 記載のコンピュータシステム。

## 【請求項 8】

前記異常検出回路の各々でのハングアップの検出結果に基づいて、システム内におけるハングアップの発生状況を一覧可能に示すレジスタを有することを特徴とする請求項 1 ~ 7 の何れか 1 項に記載のコンピュータシステム。

30

## 【請求項 9】

前記モジュール毎に独立して 1 つの前記異常検出回路が配置されていることを特徴とする請求項 1 ~ 8 の何れか 1 項に記載のコンピュータシステム。

## 【請求項 10】

バスを介して通信を行う複数のモジュールを有するコンピュータシステムにて、前記複数のモジュールのうちの一部のモジュールを単位にハングアップを検出する異常検出回路であって、

40

前記モジュール間の通信に係る前記バスの信号を監視して、対応するモジュールのハングアップを検出する検出回路と、

前記検出回路により前記ハングアップを検出した場合に、対応するモジュールのみの再起動を指示する信号を生成し出力する信号生成回路とを有し、

前記検出回路は、前記モジュール間の通信において要求に対する対応するモジュールからの応答がない状態が一定期間継続した場合に前記ハングアップであると判定することを特徴とする異常検出回路。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

50

本発明は、バス上におけるハングアップ状態を検出する異常検出回路、及びそれを有するコンピュータシステムに関する。

【背景技術】

【0002】

CPU等の1つ以上のマスターモジュールと、1つ以上のスレーブモジュールとを有するコンピュータシステムにおいて、モジュール間での通信を行うためには、互いに共通のインタフェースにより各モジュールが接続されなければならない。モジュール間の通信は、一般的にバスを介して行われる。

【0003】

ここで、マスターモジュールとバスの間、又はバスとスレーブモジュールの間において、プロトコル上のシーケンスが何らかの物理的又は論理的なエラーによって止まった場合、システムがハングアップした状態になる。従来のコンピュータシステムでは、ウォッチドッグタイマー(watchdog timer)を用いたハングアップの検出及びシステムの再起動が行われている。

10

【0004】

ウォッチドッグタイマーは、所定の時間が経過する度にカウンタ値がデクリメントされるダウンカウンタを有し、カウンタ値が0になるとリセット信号(又は割り込み信号)を生成する。ウォッチドッグタイマーを起動した後、正常な場合には定期的にウォッチドッグタイマーのカウンタ値を初期値に戻すタスクが実行される。

【0005】

しかし、システムにおいてハングアップ等が発生した場合には、タスクによるウォッチドッグタイマーのカウンタ値の初期化が行われず、カウンタ値が0に達してリセット信号又は割り込み信号が出力される。このようにして、システム全体に対してリセットをかけて初期化を行い、又は割り込みを発生させ割り込みハンドラ内でシステム全体の初期化を行い、システムの再起動が行われる。

20

【0006】

また、1つのマスターと1つ以上のスレーブとからなるシステムにおいて、マスターが各スレーブの電源投入状況を検出することで、システム立ち上げ時の電源未投入によるハングアップを早期に発見する方法が提案されている(例えば、特許文献1参照)。また、多重バス・システムにおいて、複数のマスターからの実質的に同時のバス制御要求により作り出されたデッドロック状態を検出すると、一方のバス制御要求をランダム期間マスクレッドロック状態を回避する装置が提案されている(例えば、特許文献2参照)。

30

【0007】

【特許文献1】特開平4-266112号公報

【特許文献2】特開平6-236329号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

上述のようにウォッチドッグタイマーを用いたハングアップの検出及びシステムの再起動を行うことで、永久的なハングアップを防げる。しかしながら、ハングアップが発生した場合にはシステム全体に対して初期化を行うために、正常に動作している部分までも初期化される。すなわち、ウォッチドッグタイマーによる初期化動作を行うことにより、ハングアップが発生した以前の動作状態に復元することは不可能となる。

40

【0009】

また、コンピュータシステムにおいて、システム全体の再起動は多大な時間を要する。例えば、リアルタイムシステムのような敏速な応答性と安定性が要求されるシステムでは、再起動が行われることによる不都合が非常に大きい。以上より、ハングアップが発生した場合に、システム全体に影響を与えることなく、安全かつ速やかに継続動作させる機構が求められている。

【0010】

50

本発明は、コンピュータシステム全体に対する初期化を行うことなく、ハングアップしたモジュールを初期化し再起動できるようにすることを目的とする。

【課題を解決するための手段】

【0011】

本発明の一観点によれば、バスを介して通信を行う複数のモジュールと、モジュール間の通信に係るバスの信号を監視してハングアップを検出する異常検出回路とを有するコンピュータシステムが提供される。異常検出回路は、複数のモジュールのうちの一部のモジュールに対応して各々が配置され、ハングアップを検出した場合には、対応するモジュールのみの再起動を指示する信号を生成し出力する。

【発明の効果】

10

【0012】

異常検出回路がハングアップを検出した場合に、出力される再起動を指示する信号によって、対応するモジュールのみが初期化され再起動されるので、コンピュータシステム全体に対する初期化を行わずに、ハングアップしたモジュールを再起動することができる。したがって、ハングアップが発生した場合に、コンピュータシステム全体に影響を与えることなく、一部のモジュールに対して初期化を行う動作のみで、ハングアップを解消することができ、安定した継続動作が可能となる。

【発明を実施するための最良の形態】

【0013】

以下、本発明の実施形態を図面に基づいて説明する。

20

【0014】

本発明に係る背景技術について説明する。

図1は、コンピュータシステムの構成例を示すブロック図である。図1に示すコンピュータシステムは、例えば、1つ又は複数のマスターモジュールと1つ又は複数のスレーブモジュールを1つの集積回路にまとめたシステムLSI (Large Scale Integration) である。

【0015】

図1に示すコンピュータシステムは、CPU10、複数のマスターモジュール11、バスインターコネク12、複数のスレーブモジュール13、ウォッチドッグタイマー (watchdog timer) 14を有する。CPU10と複数のマスターモジュール11と複数のスレーブモジュール13とは、バスインターコネク12を介して通信可能に接続されている。

30

【0016】

CPU10は、コンピュータシステム内の各モジュール11、13、14を統括的に制御する。

【0017】

マスターモジュール11は、能動的にスレーブモジュール13にバスインターコネク12を介してアクセスを行うバスマスターとしての機能を有するモジュールである。マスターモジュール11は、例えばDMA (Direct Memory Access) コントローラやUSB (Universal Serial Bus) 等のホストコントローラ等である。なお、CPU10についてはマスターモジュール11と分けて示しているが、CPU10もマスターモジュールの1種である。

40

【0018】

スレーブモジュール13は、CPU10やマスターモジュール11からのアクセス要求に応じて各種機能を行うバススレーブとして機能するモジュールである。スレーブモジュール13は、例えばメモリコントローラ等である。

【0019】

バスインターコネク12は、各モジュール10、11、13、14間の通信に用いられ、バス及びアドレスデコード等の機能を有する。例えば、バスインターコネク12は、アクセス要求に係るアドレスをデコードして、当該アドレスに対応するモジュールに対

50

して選択信号（例えば、バリッド信号等）を出力（アサート）する。

【0020】

ウォッチドッグタイマー14は、所定の時間が経過する度にカウンタ値がデクリメントされるダウンカウンタを有し、カウンタ値が0になるとリセット信号（ウォッチドッグリセット）WRSTを生成する。なお、リセット信号WRSTに代えて、CPU10に対する割り込み信号を生成するようにしても良い。

【0021】

ウォッチドッグタイマー14は、起動後、CPU10から定期的にカウンタ値を初期値に戻すタスクが実行される。しかし、システムにおいてハングアップが発生した場合などタスクによるカウンタ値の初期化が実行されないと、カウンタ値が0に達しリセット信号WRSTが出力（アサート）される。

【0022】

ウォッチドッグタイマー14から出力されたリセット信号WRST、及び外部からのリセット信号（システムリセット）SRSTは、AND回路（論理積演算回路）15を介して、CPU10、マスターモジュール11、及びスレーブモジュール13にそれぞれ出力される。なお、図1に示す例において、リセット信号WRST及びリセット信号SRSTは、ネゲートされているときハイレベル（“H”）であり、アサートされているときローレベル（“L”）である。

【0023】

したがって、図1に示すコンピュータシステムでは、リセット信号WRST又はリセット信号SRSTがアサートされると、システム全体（CPU10、マスターモジュール11、及びスレーブモジュール13）の初期化が行われる。このようにシステム内でハングアップが発生した場合にシステム全体の初期化を行い再起動させると、正常に動作しているモジュールまでもが初期化されてしまうととも、通常状態となるまでに多大な時間を要する。

【0024】

そこで、以下に説明する本発明の実施形態では、図1に示したような複数のモジュールを有するコンピュータシステムにおいて、ハングアップを検出する異常検出モジュール（バスハングアップ防止モジュール）を設ける。異常検出モジュールの各々は、複数のモジュール（マスターモジュール（CPUを含む）やスレーブモジュール）のうちの一部のモジュールに対応させ配置する。

【0025】

異常検出モジュールがハングアップを検出した場合には、システム全体に対する初期化を行うことなく、当該異常検出モジュールに対応するマスターモジュール又はスレーブモジュールのみに対し再起動を指示して局所的な初期化を行い再起動させる。その他のマスターモジュールやスレーブモジュールは通常動作状態を維持させる。このようにして、異常検出モジュールによりハングアップが検出された場合に、当該異常検出モジュールに対応するマスターモジュール又はスレーブモジュールのみについて動作が停止されるだけで、システム動作を継続できるようにする。

【0026】

（第1の実施形態）

本発明の第1の実施形態について説明する。

図2は、第1の実施形態に係るコンピュータシステムの一構成例を示すブロック図である。図2において、図1に示した構成要素と同一の構成要素には同一の符号を付し、重複する説明は省略する。

【0027】

図2に示すコンピュータシステムは、図1に示したコンピュータシステムにおけるスレーブモジュール13毎に独立して1つのバスハングアップ防止モジュール（異常検出モジュール）16を配置したものである。すなわち、図2に示すコンピュータシステムにおいては、バスインターコネクタ12と各スレーブモジュール13との間に、バスハングアッ

10

20

30

40

50

ブ防止モジュール 16 がそれぞれ接続されている。各スレーブモジュール 13 は、対応するバスハングアップ防止モジュール 16 を介して、マスターモジュール 11 等の他のモジュールと通信を行う。

【0028】

バスハングアップ防止モジュール 16 は、対応するスレーブモジュール 13 と他のモジュールとの間の通信において送受信される信号を監視してハングアップを検出する。例えば、バスハングアップ防止モジュール 16 は、対応するスレーブモジュール 13 とバスインターコネクト 12 との間のバス上の信号を監視することでハングアップを検出する。

【0029】

また、バスハングアップ防止モジュール 16 は、ハングアップを検出した場合には、対応するスレーブモジュール 13 のみの再起動を指示するハングアップリセット信号 S H R S T を生成し出力する。なお、本実施形態において、ハングアップリセット信号 S H R S T は、ネゲートされているとき “ H ” であり、アサートされているとき “ L ” である。

【0030】

バスハングアップ防止モジュール 16 から出力されたハングアップリセット信号 S H R S T は、AND 回路 17 を介して対応するスレーブモジュール 13 に入力される。ここで、AND 回路 17 には、AND 回路 15 の出力、すなわちウォッチドッグタイマー 14 から出力されたリセット信号 W R S T 及び外部からのリセット信号 S R S T の演算結果も入力されている。AND 回路 17 の出力が “ L ” となると、それを受けるスレーブモジュール 13 では初期化が行われ再起動される。

【0031】

ここで、本実施形態において、マスターモジュール 11 ( C P U 10 を含む ) とスレーブモジュール 13 との間の通信は、ハンドシェイクを基本としたバスプロトコルで行われるとする。以下の説明では、本実施形態におけるモジュール間の通信は、一般的にもよく使用されるバリッド信号 ( V A L I D ) とレディ信号 ( R E A D Y ) を使用したハンドシェイクを基にした同期式バス方式で行うものとする。

【0032】

本実施形態におけるモジュール間の通信について、図 3 ( A ) に示すように、マスターモジュール 11 がアドレス ( A D D R E S S ) を出してスレーブモジュール 13 がそれを受ける場合を一例に説明する。バリッド信号 ( V A L I D ) は、アドレスやデータの送信側が有効なアドレスやデータとともに受信側に送信する信号である。レディ信号 ( R E A D Y ) は、アドレスやデータの受信側がアドレスやデータを受け取ることができる状態の時に送信側に送信する信号である。図 3 ( B ) に示すように、バリッド信号 ( V A L I D ) 及びレディ信号 ( R E A D Y ) がともにアサートされているとき、他のバス信号 ( アドレス、データ、制御信号等 ) が有効となる。なお、スレーブモジュール 13 がデータを出してマスターモジュール 11 がそれを受ける場合も、スレーブモジュール 13 からデータ及びバリッド信号 ( V A L I D ) を出力し、マスターモジュール 11 からレディ信号 ( R E A D Y ) を出力することで同様に行える。

【0033】

バスハングアップ防止モジュール 16 は、上述のようなハンドシェイクを成立させるために送受信されるバス上の信号 ( 図 3 においては、バリッド信号 ( V A L I D ) 及びレディ信号 ( R E A D Y ) ) を監視する。そして、一定期間の間、ハンドシェイクが成立しない場合、すなわち要求に相当するバリッド信号 ( V A L I D ) がアサートされてから応答に相当するレディ信号 ( R E A D Y ) がネゲートされている場合に、ハングアップとして検出する。なお、図 3 に示したバスプロトコルに限らず、バスに有効なトランザクションが出ているがトランザクションの相手からの応答がない状態が一定期間継続した場合に、ハングアップとして検出可能なプロトコルであれば、本実施形態は適用可能である。

【0034】

図 4 は、第 1 の実施形態におけるバスハングアップ防止モジュール 16 の構成例を示すブロック図である。バスハングアップ防止モジュール 16 は、スレーブインタフェース 1

10

20

30

40

50

01、マスターインタフェース102、ハングアップ監視回路103、制御回路104、及びリセット生成回路105を有する。

【0035】

スレーブインタフェース101は、マスターモジュールと通信する側のインタフェースであり、マスターモジュール側との入出力を行う。マスターインタフェース102は、スレーブモジュール13と通信する側のインタフェースであり、スレーブモジュール13側との入出力を行う。スレーブインタフェース101及びマスターインタフェース102のそれぞれは、バスインタフェース12やスレーブモジュール13に対して、アドレスやデータ、及びバリッド信号やレディ信号の授受を行う。なお、スレーブインタフェース101及びマスターインタフェース102の入出力ポートには、使用するバスプロトコルに合わせた信号線が用意されている。

10

【0036】

ハングアップ監視回路103は、スレーブインタフェース101とマスターインタフェース102との間でやりとりされる信号を基にハングアップを検出する。ハングアップ監視回路103は、スレーブインタフェース101とマスターインタフェース102との間に接続され、ハングアップが発生していないとき、スレーブモジュール側の入出力信号とマスターモジュール側の入出力信号をバイパスする。

【0037】

ハングアップ監視回路103は、バリッド信号とレディ信号を監視しており、バリッド信号がアサートされてからの時間をハングアップ時間カウンタ106によりカウント（計測）する。そして、ハングアップ監視回路103は、バリッド信号がアサートしているにもかかわらずレディ信号がアサートしていない、すなわちハングアップ条件を満たしている状態が一定の時間継続した場合にはハングアップであると判定し、制御回路104に通知する。

20

【0038】

制御回路104は、バスハングアップ防止モジュール16内の各機能部を制御する。例えば、制御回路104は、ハングアップ監視回路103からハングアップを検出した旨の通知を受けると、それに応じた処理を行うよう各機能部に対する制御を行う。制御回路104は、例えばステートマシンやCPU等である。

【0039】

リセット生成回路105は、ハングアップ監視回路103がハングアップを検出した場合に、制御回路104による制御に基づいて、バスハングアップ防止モジュール16に対応するスレーブモジュール13の再起動を指示するハングアップリセット信号SHRSTをアサート（出力）する。

30

【0040】

図5は、第1の実施形態におけるバスハングアップ防止モジュール16の詳細な構成例を示す図である。図5において、図4に示した構成要素と同一の構成要素には同一の符号を付し、重複する説明は省略する。図5においては、マスターモジュール側からの送信をスレーブモジュール側で受け取る場合のスレーブ側のハングアップ検出を対象とする構成を示している。

40

【0041】

マスターモジュール側からのアドレス信号（ADDRESS）S00及びバリッド信号（VALID）S01は、スレーブインタフェース101に入力される。入力されたアドレス信号S00及びバリッド信号S01は、ハングアップ監視回路103及びマスターインタフェース102を介してスレーブモジュール側に出力される。

【0042】

また、スレーブモジュール側からのレディ信号（READY）S08及びレスポンス信号（RESPONSE）S09は、マスターインタフェース102に入力され、レディ信号S06及びレスポンス信号S07としてハングアップ監視回路103に出力される。なお、レスポンス信号は使用するプロトコルに応じて規定されており、例えばOKレスポンス

50

ス、エラーレスポンス、リトライレスポンス等がある。

【0043】

ハングアップ監視回路103のセレクタ205は、マスターインタフェース102から出力されたレディ信号S06及び疑似応答回路203から出力されたレディ信号S12が入力される。セレクタ205は、制御回路104からの疑似応答要求信号S11に応じて、レディ信号S06又はレディ信号S12を出力する。詳細には、セレクタ205は、通常においてマスターインタフェース102より出力されたレディ信号S06を出力し、ハングアップが検出されると疑似応答回路203より出力されたレディ信号S12を出力する。

【0044】

同様に、ハングアップ監視回路103のセレクタ204は、マスターインタフェース102から出力されたレスポンス信号S07及び疑似応答回路203から出力されたレスポンス信号S13が入力される。セレクタ204は、制御回路104からの疑似応答要求信号S11に応じて、レスポンス信号S07又はレスポンス信号S13を出力する。詳細には、セレクタ204は、通常においてマスターインタフェース102より出力されたレスポンス信号S07を出力し、ハングアップが検出されると疑似応答回路203より出力されたレスポンス信号S13を出力する。

【0045】

ここで、疑似応答回路203は、ハングアップを検出した場合に、ハングアップしたスレーブモジュールに代わって応答を返すための回路である。疑似応答回路203は、ハングアップが検出された場合に、制御回路104からの疑似応答要求信号S11に応じて疑似的なレディ信号S12及びレスポンス信号S13を生成し出力する。

【0046】

ハングアップ監視回路103のセレクタ205、204の出力S04、S05は、スレーブインタフェース101を介してレディ信号S02、レスポンス信号S03としてマスターモジュール側に出力される。

【0047】

比較器201は、ハングアップ時間カウンタ106のカウント値及びハングアップ閾値202が入力され、その比較結果を制御回路104に出力する。ハングアップ閾値202としては固定値が予め設定されている。なお、図5においては、説明の便宜上、ハングアップ時間カウンタ106、比較器201、及びハングアップ閾値202は、ハングアップ監視回路103の外部に図示しているが、これらはハングアップ監視回路103内に設けられている。

【0048】

ハングアップ監視回路103は、比較器201によりハングアップ時間カウンタ106のカウント値とハングアップ閾値202との比較を行う。その結果、ハングアップ時間カウンタ106のカウント値がハングアップ閾値202を超える、すなわちバリッド信号がアサートしているにもかかわらずレディ信号がアサートしていないハングアップ条件を閾値時間継続していた場合、ハングアップであると判定する。そして、ハングアップ監視回路103は、ハングアップを検出したことを制御回路104に通知する。

【0049】

ハングアップ監視回路103からハングアップを検出した通知を受けると、制御回路104は、ハングアップを解消するための動作を行うために、ハングアップ監視回路103及びリセット生成回路105に指示を与える。

【0050】

ハングアップ監視回路103は、制御回路104からの疑似応答要求信号S11を受信すると、疑似応答回路203によりレディ信号及びレスポンス信号を生成しマスターモジュールに対して発行する。これにより、マスターモジュールは、ハングアップした状態が解消され、バストランザクションを継続できるようになる。また、同時に、リセット生成回路105は、制御回路104からのリセット要求信号S14を受信すると、スレーブモ

10

20

30

40

50



ジュールの再起動を指示するハングアップリセット信号 S H R S T ( S 1 5 ) を生成し対応するスレーブモジュールに対して発行する。

【 0 0 5 1 】

なお、リセット信号の生成については、バスハングアップ防止モジュール 1 6 内にリセット生成回路 1 0 5 を設けずに、対応するスレーブモジュールのみをリセットするよう外部にあるシステム上のリセットコントローラ等に指示する構成であってもよい。また、CPU に対する割り込みを発生させ、CPU からシステム上のリセットコントローラ等を制御することで、スレーブモジュールをリセットする構成であってもよい。

【 0 0 5 2 】

図 6 は、図 5 に示したバスハングアップ防止モジュール 1 6 の動作例を示すタイミングチャートである。なお、ハングアップ閾値 2 0 2 は、“ 0 x F F F F ” に設定されているものとする。

10

【 0 0 5 3 】

時刻 T 1 において、マスターモジュール側からのバリッド信号 S 0 1 は“ H ”になっている（アサートされている）が、スレーブモジュール側からのレディ信号 S 0 8 は“ L ”である（ネゲートされている）。そのため、時刻 T 1 において、ハングアップ監視回路 1 0 3 内のハングアップ時間カウンタ 1 0 6 は、カウントを開始する。

【 0 0 5 4 】

バリッド信号 S 0 1 及びレディ信号 S 0 8 が変化せずに、時刻 T 2 において、ハングアップ時間カウンタ 1 0 6 のカウンタ値が、ハングアップ閾値 2 0 2 の値 “ 0 x F F F F ” を超えると、ハングアップ監視回路 1 0 3 はハングアップが発生したと判定する。そして、ハングアップ監視回路 1 0 3 は、スレーブモジュールに代わり、レディ信号を送信するとともに、トランザクションが失敗したことを示すエラー（ E R R O R ）レスポンスを返す。このようにして、バスハングアップ防止モジュール 1 6 からレディ信号 S 0 2 及びレスポンス信号 S 0 3 がマスターモジュール側に対して発行される。

20

【 0 0 5 5 】

なお、バスプロトコルによっては、レスポンス信号（エラーレスポンス）の受け渡しも、バリッド信号及びレディ信号を用いたハンドシェイクで行う場合もある。そのようなバスの場合には、ハングアップ監視回路 1 0 3 が、レスポンス信号（エラーレスポンス）の受け渡しのためのバリッド信号（レディ信号）の制御を行う。

30

【 0 0 5 6 】

時刻 T 2 において、レディ信号 S 0 2 及びレスポンス信号 S 0 3 がバスハングアップ防止モジュール 1 6 から送信されることにより、マスターモジュール側からみるとトランザクションが終了する。そして、時刻 T 3 において、レディ信号を受信したマスターモジュールがバリッド信号及びデータ等を引き下げる。それと同時に、バスハングアップ防止モジュール 1 6 は、対応するスレーブモジュールに対するハングアップリセット信号 S H R S T ( S 1 5 ) をアサート（出力）しリセットをかける。リセットの解除、すなわちハングアップリセット信号 S H R S T ( S 1 5 ) のネゲートは、一定期間が経過した後に自動解除される。

【 0 0 5 7 】

40

ここで、ハングアップしたスレーブモジュールのリセット（初期化）中、及びリセット後にスレーブモジュールが通常動作に入るまでは、バスハングアップ防止モジュール 1 6 （詳細には、ハングアップ監視回路 1 0 3 ）が、他のマスターモジュールからのアクセスに対してエラーレスポンスを返す。これにより、ハングアップしたスレーブモジュールのリセットを開始してから通常動作を開始するまでの間、システムの継続動作が可能となる。

【 0 0 5 8 】

第 1 の実施形態によれば、ハングアップを検出するバスハングアップ防止モジュール 1 6 をスレーブモジュール 1 3 毎に配置し、ハングアップを検出すると、再起動を指示するハングアップリセット信号 S H R S T を対応するスレーブモジュール 1 3 に出力する。こ

50

れにより、システム内にてハングアップを検出した場合に、コンピュータシステム全体に対する初期化を行うことなく、局所的にハングアップしたスレーブモジュール13のみを初期化し再起動することができる。したがって、ハングアップが発生しても、コンピュータシステム全体に影響を与えることなく、ハングアップしたスレーブモジュール13に対してのみ初期化を行うだけで、ハングアップを解消することができる。また、ハングアップしたスレーブモジュール13が初期化され通常状態になるまでは、そのスレーブモジュール13に代わってバスハングアップ防止モジュール16が適切なバス応答（エラー応答等）を行うことで、システムを停止させることなく継続動作が可能となる。

【0059】

（第2の実施形態）

次に、本発明の第2の実施形態について説明する。

第2の実施形態に係るコンピュータシステムの全体構成は、図2に示した第1の実施形態に係るコンピュータシステムの構成と同様である。

【0060】

図7は、第2の実施形態におけるバスハングアップ防止モジュール16の構成例を示すブロック図である。図7において、図4に示した構成要素と同一の構成要素には同一の符号を付し、重複する説明は省略する。

【0061】

第2の実施形態におけるバスハングアップ防止モジュール16は、レジスタインタフェース301及びレジスタ群302を設けることで、バスハングアップ防止モジュール16の機能に拡張性を持たせている。

【0062】

レジスタインタフェース301は、レジスタ群302内のレジスタに情報を設定したり、レジスタから情報を読み出したりするインタフェースである。レジスタインタフェース301は、バスインターコネクタ12に対して接続されるようにしても良いし、バスインターコネクタ12とは異なるバス（例えば、制御用の低速バス等）に接続されるようにしても良い。

【0063】

レジスタ群302のレジスタの各々は、CPU10等のマスターモジュールからアクセス可能なレジスタとしてメモリマップ上に配置されており、例えばソフトウェアにより設定や確認を行うことができる。レジスタ群302は、例えばステータスレジスタ303、制御レジスタ304、ハングアップ閾値レジスタ305を有する。

【0064】

ステータスレジスタ303は、バスハングアップ防止モジュール16の状態を示すレジスタである。ステータスレジスタ303は、例えば、ハングアップの検出の有無、ハングアップしたスレーブモジュールの初期化が終了したか否か、マスターモジュール側及びスレーブモジュール側のどちらにハングアップが発生したか、等の情報を示す。なお、ハングアップが発生していない場合、ステータスレジスタ303には正常値が示される。

【0065】

制御レジスタ304は、制御方法を設定するレジスタである。制御レジスタ304は、ハングアップが発生した際のリセットの解除（リセット時間等）に係る設定、バスハングアップ防止モジュールの使用の有無の設定等を行うことができる。また、制御レジスタ304は、ハングアップを検出した場合にリセット信号を出力させるか否かの設定や、ハングアップを検出した場合に割り込み信号を出力させるか否かの設定等を行うことができる。また、制御レジスタ304は、ハングアップを検出した場合に、レスポンス信号によりどのような種類（タイプ）のレスポンス（エラー、リトライ等）を返すかを設定することができる。制御レジスタ304を設けることにより、ハングアップが発生したときの動作等をソフトウェアにより設定することが可能となる。

【0066】

ハングアップ閾値レジスタ305は、ハングアップであると判定するまでのカウンタ値

10

20

30

40

50

を設定するレジスタである。すなわち、ハングアップ閾値レジスタ305には、バリッド信号がアサートしているにもかかわらずレディ信号がアサートしていないハングアップ条件がどれだけの期間継続された場合にハングアップと判定するかの閾値時間に相当するカウンタ値が設定される。ハングアップ閾値レジスタ305を設けることにより、ハングアップであると判定するまでの閾値時間をソフトウェアにより変更することができ、コンピュータシステムに応じて動的に閾値時間を設定することができる。

#### 【0067】

ここで、レジスタ群302に設けるレジスタは任意であり、ステータスレジスタ303、制御レジスタ304、ハングアップ閾値レジスタ305のすべてを設けるようにしても良いし、これらの一部を設けるようにしても良い。また、他のレジスタを設けても良い。なお、ハングアップ閾値レジスタ305を設けない場合には、第1の実施形態と同様にし、予め設定された固定値を閾値時間に相当するカウンタ値として供給するようにすれば良い。

10

#### 【0068】

図8は、第2の実施形態におけるバスハングアップ防止モジュール16の詳細な構成例を示す図である。図8において、図4及び図7に示した構成要素と同一の構成要素には同一の符号を付し、重複する説明は省略する。

#### 【0069】

比較器201には、ハングアップ閾値レジスタ305に設定された閾値時間に相当するカウンタ値が入力される。また、例えば、制御レジスタ304を通して、制御回路104にハングアップ状態のクリアを行うクリア信号S16等を出力することができる。また、例えば、ステータスレジスタ303は、制御回路104からバスハングアップ防止モジュールの状態を示すステータス信号S17が供給され、それを保持する。なお、ハングアップの検出及びその状態を解消するための動作は、図5に示した第1の実施形態におけるバスハングアップ防止モジュール16と同様であるので、説明は省略する。

20

#### 【0070】

図9は、図8に示したバスハングアップ防止モジュール16の動作例を示すタイミングチャートである。なお、ハングアップ閾値レジスタ305には、閾値時間に相当するカウンタ値として“0xFFFF”が設定されているものとする。

#### 【0071】

時刻T13までは、図6に示した第1の実施形態における動作と同様であり、時刻T11が図6における時刻T1に対応し、時刻T12が図6における時刻T2に対応する。なお、第2の実施形態では、時刻T12においてハングアップであると判定されると、制御回路104によりステータスレジスタ303にハングアップを検出したことを示すステータス“HANG”が示される。

30

#### 【0072】

ここで、時刻T12においてバスハングアップ防止モジュール16から送信されたエラーレスポンスをマスターモジュールが受信すると、マスターモジュールがCPU10である場合には、通常はデータアポート例外、又はプリフェッチアポート例外が発生する。CPU10は、これらのアポートハンドラ内で、各バスハングアップ防止モジュール16のステータスレジスタ303をチェックすることでハングアップの発生元のスレーブモジュールの検索を行う。また、マスターモジュールがCPU以外の場合には、エラーレスポンスを受信したときにCPU10に対する割り込みを発生させるようにすることで、割り込みを受けたCPU10での割り込みハンドラ内で上述のアポートハンドラと同様の処理を行い、ハングアップの発生元のスレーブモジュールの検索を行う。

40

#### 【0073】

CPU10がアポート処理実行中、ステータスレジスタ303がハングアップ状態(“HANG”)を示しているスレーブモジュールを発見した場合、そのスレーブモジュールにかけているリセットを制御レジスタ304により解除する。また、スレーブモジュールのレジスタを再設定する等の再起動処理を行う。

50

## 【 0 0 7 4 】

C P U 1 0 がバスハングアップ防止モジュール 1 6 の制御レジスタ 3 0 4 にハングアップリセットの解除を設定すると、クリア信号 S 1 6 がアサートされリセットの解除が行われる（時刻 T 1 4）。それと同時に、バスハングアップ防止モジュール 1 6 のステータスレジスタ 3 0 3 がハングアップ状態（“ H A N G ”）から正常状態（“ O K ”）に復帰するとともに、ハングアップ時間カウンタ 1 0 6 のカウンタ値が 0 に戻される。

## 【 0 0 7 5 】

第 2 の実施形態によれば、第 1 の実施形態と同様に、システム内にてハングアップを検出した場合に、システム全体に対する初期化を行うことなく、局所的にハングアップしたスレーブモジュール 1 3 のみを初期化し再起動することができる。これにより、ハングアップが発生しても、コンピュータシステム全体に影響を与えることなく、ハングアップを解消することができる。また、ハングアップしたスレーブモジュールが初期化され通常状態になるまでは、バスハングアップ防止モジュール 1 6 が適切なバス応答を行うことで、システムを停止させることなく継続動作が可能となる。

10

## 【 0 0 7 6 】

（他の実施形態）

なお、上述した第 1 及び第 2 の実施形態では、スレーブモジュールに対してバスハングアップ防止モジュール（異常検出モジュール）を配置するようにしているが、本発明は、これに限定されるものではない。スレーブモジュールに対するバスハングアップ防止モジュールに加え、マスターモジュールに対してバスハングアップ防止モジュールを配置する

20

## 【 0 0 7 7 】

図 1 0 は、本発明の一実施形態に係るコンピュータシステムの他の構成例を示すブロック図である。図 1 0 において、図 1 及び図 2 に示した構成要素と同一の構成要素には同一の符号を付し、重複する説明は省略する。

## 【 0 0 7 8 】

図 1 0 に示すコンピュータシステムは、スレーブモジュール 1 3 に対してバスハングアップ防止モジュール 1 6 を配置するとともに、マスターモジュール（C P U 1 0 及びマスターモジュール 1 1）に対してバスハングアップ防止モジュール 1 8 を配置したものである。すなわち、図 1 0 に示すコンピュータシステムにおいては、バスハングアップ防止モジュール 1 8 が、バスインターコネクタ 1 2 と各マスターモジュール 1 0、1 1 との間にそれぞれ接続されている。各マスターモジュール 1 0、1 1 は、対応するバスハングアップ防止モジュール 1 8 を介して他のモジュールと通信を行う。

30

## 【 0 0 7 9 】

バスハングアップ防止モジュール 1 8 は、対応するマスターモジュール 1 0、1 1 とバスインターコネクタ 1 2 との間のバス上の信号を監視してハングアップを検出する。また、バスハングアップ防止モジュール 1 8 は、ハングアップを検出した場合に、対応するマスターモジュール 1 0、1 1 のみの再起動を指示するハングアップリセット信号 M H R S T を生成し出力する。なお、本実施形態において、ハングアップリセット信号 M H R S T は、ネゲートされているとき“ H ”であり、アサートされているとき“ L ”である。

40

## 【 0 0 8 0 】

バスハングアップ防止モジュール 1 8 から出力されたハングアップリセット信号 M H R S T は、A N D 回路 1 9 を介して対応するマスターモジュール 1 0、1 1 に入力される。A N D 回路 1 9 の出力が“ L ”となると、それを受けるマスターモジュール 1 0、1 1 では初期化が行われ再起動される。

## 【 0 0 8 1 】

なお、バスハングアップ防止モジュール 1 8 の基本的な動作シーケンスは、スレーブモジュールがハングアップが発生した場合のバスハングアップ防止モジュール 1 6 と同様である。しかし、一般的にはスレーブモジュールに対するエラーレスポンスを持つバスプロトコルはないので、バスハングアップ防止モジュール 1 8 がエラーレスポンスを返すこと

50

はしない。代わりにスレーブモジュールが待ち状態のまま停滞してしまわないよう、バスハングアップ防止モジュール 18 は、ライトデータ等のマスターモジュールが出力しなければならない信号の制御を行い、スレーブモジュールが継続動作できるようにする。

【0082】

また、図 10 においては、スレーブモジュール及びマスターモジュールの両方に対してバスハングアップ防止モジュールを配置するようにしているが、マスターモジュールに対してのみバスハングアップ防止モジュールを配置するようにしても良い。

【0083】

また、上述した各実施形態では、マスターモジュール毎やスレーブモジュール毎に独立して 1 つのバスハングアップ防止モジュールをそれぞれ配置するようにしている。本発明は、これに限定されるものではなく、2 つ以上のマスターモジュール又は 2 つ以上のスレーブモジュールからなるモジュール群に対して 1 つのバスハングアップ防止モジュールを設けるようにしても良い。

10

【0084】

図 11 は、本発明の一実施形態に係るコンピュータシステムのその他の構成例を示すブロック図である。図 11 において、図 1 及び図 2 に示した構成要素と同一の構成要素には同一の符号を付し、重複する説明は省略する。

【0085】

図 11 に示すコンピュータシステムにおいては、バスインターコネクタ (A) 12A のスレーブ側にバスインターコネクタ (B) 12B が接続されている。そして、バスインターコネクタ (A) 12A とバスインターコネクタ (B) 12B との間に接続されているバスハングアップ防止モジュール 16 が、バスインターコネクタ (B) 12B に接続されている 2 つのスレーブモジュール 13 のハングアップを監視している。

20

【0086】

このように構成することで、バスインターコネクタ (B) 12B に接続されている 2 つのスレーブモジュール 13 のうち、どちらか一方のスレーブモジュール 13 がハングアップした状態に陥った場合には、システム全体ではなく、バスインターコネクタ (B) 12B に接続されている 2 つのスレーブモジュール 13 のみにリセットをかける。これにより、バスインターコネクタ (B) 12B に接続されている 2 つのスレーブモジュール 13 のみが初期化され再起動され、他のモジュールについては継続動作させることができる。

30

例えば、図 11 に示すように、バスが複数に分かれてカスケード接続されている場合には、各バスインターコネクタの領域を単位として大域的にハングアップ監視を行うことができる。

【0087】

ここで、CPU 10 が、ハングアップが検出された箇所の特定を行う場合、各バスハングアップ防止モジュール内のステータスレジスタを逐次モニタリングする方法では多くの処理時間が必要となる。これを改善するためにすべてのバスハングアップ防止モジュール 16、18 の状態を集約してハングアップの発生状況を一覧表示するモジュール (レジスタ) をコンピュータシステム内に設けるようにしてもよい。

【0088】

図 12 は、本発明の一実施形態に係るコンピュータシステムのその他の構成例を示すブロック図である。図 12 において、図 1、図 2 及び図 10 に示した構成要素と同一の構成要素には同一の符号を付し、重複する説明は省略する。図 12 に示すコンピュータシステムは、ハングアップの発生状況を一覧表示するモニタモジュール 20 を設けたものである。なお、図 12 において、21 はペリフェラルバスであり、例えばレジスタアクセス用の低速バスである。

40

【0089】

図 12 に示すコンピュータシステムにおいては、システム内のすべてのバスハングアップ防止モジュール 16、18 から、対応するモジュール 10、11、13 がハングアップしているか否かを示す信号 SH0 ~ SH2、MH0 ~ MH2 を引き出す。これらの信号 S

50

H0～SH2、MH0～MH2を1つのモジュール20に集約し、各ビットと各バスハングアップ防止モジュール16、18を1対1の対応で示すレジスタを設ける。

【0090】

モジュール20のレジスタをCPU10からアクセス可能なメモリマップ上に配置しておき、CPU10はこのレジスタの値をソフトウェアにより監視する。これにより、CPU10はモジュール20のレジスタの判定を行うのみで、すべてのバスハングアップ防止モジュール16、18におけるハングアップの検出状態を知ることができる。したがって、バスハングアップ防止モジュール内のステータスレジスタを1つずつモニタリングする処理が不要となり、ハングアップを検出したモジュールの検索を行う処理を軽減することができる。

10

【0091】

また、上述した各実施形態では、スレーブモジュールに対してバスハングアップ防止モジュールを設ける場合には、すべてのスレーブモジュールがハングアップの検出対象となるようにバスハングアップ防止モジュールを設けている。また、マスターモジュールに対してバスハングアップ防止モジュールを設ける場合には、すべてのマスターモジュールがハングアップの検出対象となるようにバスハングアップ防止モジュールを設けている。しかしながら、これに限定されるものではなく、すべてのスレーブモジュールに対してではなく、一部のスレーブモジュールに対してバスハングアップ防止モジュールを設けるようにしても良い。同様に、すべてのマスターモジュールに対してではなく、一部のマスターモジュールに対してバスハングアップ防止モジュールを設けるようにしても良い。

20

また、図2等に示しているように、バスハングアップ防止モジュールとウォッチドッグタイマーとを併用しても良い。

【0092】

なお、前記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

本発明の諸態様を付記として以下に示す。

【0093】

(付記1) バスを介して通信を行う複数のモジュールと、

30

前記モジュール間の通信に係る前記バスの信号を監視してハングアップを検出する異常検出回路とを有し、

前記異常検出回路は、前記複数のモジュールのうちの一部のモジュールに対応して各々が配置され、前記ハングアップを検出した場合に、対応するモジュールのみの再起動を指示する信号を生成し出力することを特徴とするコンピュータシステム。

(付記2) 前記異常検出回路は、前記モジュール間の通信において要求に対する対応するモジュールからの応答がない状態が一定期間継続した場合に、前記ハングアップであると判定することを特徴とする付記1記載のコンピュータシステム。

(付記3) 前記異常検出回路は、前記ハングアップの判定に係る前記一定期間を設定するレジスタを有することを特徴とする付記2記載のコンピュータシステム。

40

(付記4) 前記異常検出回路は、前記ハングアップを検出したことを示すレジスタを有することを特徴とする付記1～3の何れか1項に記載のコンピュータシステム。

(付記5) 前記異常検出回路は、前記ハングアップを検出した場合に、リセット信号又は割り込み信号を出力するかを設定するレジスタを有することを特徴とする付記1～4の何れか1項に記載のコンピュータシステム。

(付記6) 前記異常検出回路は、前記ハングアップを検出した場合に、当該ハングアップしたモジュールに代わって通信に係る応答を返す応答回路を有することを特徴とする付記1～5の何れか1項に記載のコンピュータシステム。

(付記7) 前記異常検出回路は、前記応答回路が返す応答の種類を設定するレジスタを有することを特徴とする付記6記載のコンピュータシステム。

50

(付記 8) 前記異常検出回路の各々でのハングアップの検出結果に基づいて、システム内におけるハングアップの発生状況を一覧可能に示すレジスタを有することを特徴とする付記 1 ~ 7 の何れか 1 項に記載のコンピュータシステム。

(付記 9) 前記モジュール毎に独立して 1 つの前記異常検出回路が配置されていることを特徴とする付記 1 ~ 8 の何れか 1 項に記載のコンピュータシステム。

(付記 10) 少なくとも 1 つの前記異常検出回路が、2 つ以上の前記モジュールを含むモジュール群に対応して配置されていることを特徴とする付記 1 ~ 8 の何れか 1 項に記載のコンピュータシステム。

(付記 11) 前記複数のモジュールのうち、スレーブ側の前記モジュールに対して前記異常検出回路が配置されていることを特徴とする付記 1 ~ 10 の何れか 1 項に記載のコンピュータシステム。

(付記 12) 前記複数のモジュールのうち、マスター側の前記モジュールに対して前記異常検出回路が配置されていることを特徴とする付記 1 ~ 11 の何れか 1 項に記載のコンピュータシステム。

(付記 13) 前記モジュールの再起動を指示する信号を、前記異常検出回路の外部で生成し出力することを特徴とする付記 1 ~ 12 の何れか 1 項に記載のコンピュータシステム。

(付記 14) バスを介して通信を行う複数のモジュールを有するコンピュータシステムにて、前記複数のモジュールのうちの一部のモジュールを単位にハングアップを検出する異常検出回路であって、

前記モジュール間の通信に係る前記バスの信号を監視して、対応するモジュールのハングアップを検出する検出回路と、

前記検出回路により前記ハングアップを検出した場合に、対応するモジュールのみの再起動を指示する信号を生成し出力する信号生成回路とを有し、

前記検出回路は、前記モジュール間の通信において要求に対する対応するモジュールからの応答がない状態が一定期間継続した場合に前記ハングアップであると判定することを特徴とする異常検出回路。

(付記 15) 前記ハングアップの判定に係る前記一定期間を設定するレジスタを有することを特徴とする付記 14 記載の異常検出回路。

(付記 16) 対応するモジュールのハングアップを検出したことを示すレジスタを有することを特徴とする付記 14 又は 15 記載の異常検出回路。

(付記 17) 対応するモジュールのハングアップを検出した場合に、リセット信号又は割り込み信号を出力するかを設定するレジスタを有することを特徴とする付記 14 ~ 16 の何れか 1 項に記載の異常検出回路。

(付記 18) 対応するモジュールのハングアップを検出した場合に、当該モジュールに代わって通信に係る応答を返す応答回路を有することを特徴とする付記 14 ~ 17 の何れか 1 項に記載の異常検出回路。

(付記 19) 前記応答回路が返す応答の種類を設定するレジスタを有することを特徴とする付記 18 記載の異常検出回路。

【図面の簡単な説明】

【0094】

【図 1】コンピュータシステムの構成例を示す図である。

【図 2】第 1 の実施形態に係るコンピュータシステムの構成例を示す図である。

【図 3】本実施形態におけるバスプロトコルの一例を説明するための図である。

【図 4】第 1 の実施形態におけるバスハングアップ防止モジュールの構成例を示す図である。

【図 5】第 1 の実施形態におけるバスハングアップ防止モジュールの詳細な構成例を示す図である。

【図 6】第 1 の実施形態におけるバスハングアップ防止モジュールの動作例を示すタイミングチャートである。

【図 7】第 2 の実施形態におけるバスハングアップ防止モジュールの構成例を示す図であ

10

20

30

40

50

る。

【図 8】第 2 の実施形態におけるバスハングアップ防止モジュールの詳細な構成例を示す図である。

【図 9】第 2 の実施形態におけるバスハングアップ防止モジュールの動作例を示すタイミングチャートである。

【図 10】本発明の実施形態に係るコンピュータシステムの他の構成例を示す図である。

【図 11】本発明の実施形態に係るコンピュータシステムのその他の構成例を示す図である。

【図 12】本発明の実施形態に係るコンピュータシステムのその他の構成例を示す図である。

10

【符号の説明】

【0095】

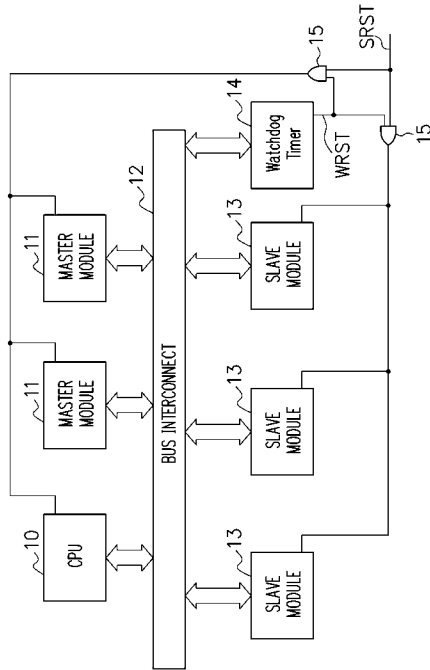
- 10 CPU (マスターモジュール)
- 11 マスターモジュール
- 12 バスインターコネクト
- 13 スレーブモジュール
- 14 ウォッチドッグタイマー
- 16、18 バスハングアップ防止モジュール
- 20 モニタモジュール
- 101 スレーブインタフェース
- 102 マスターインタフェース
- 103 ハングアップ監視回路
- 104 制御回路
- 105 リセット生成回路
- 106 ハングアップ時間カウンタ
- 203 疑似応答回路
- 303 ステータスレジスタ
- 304 制御レジスタ
- 305 ハングアップ閾値レジスタ
- S H R S T、M H R S T ハングアップリセット信号

20

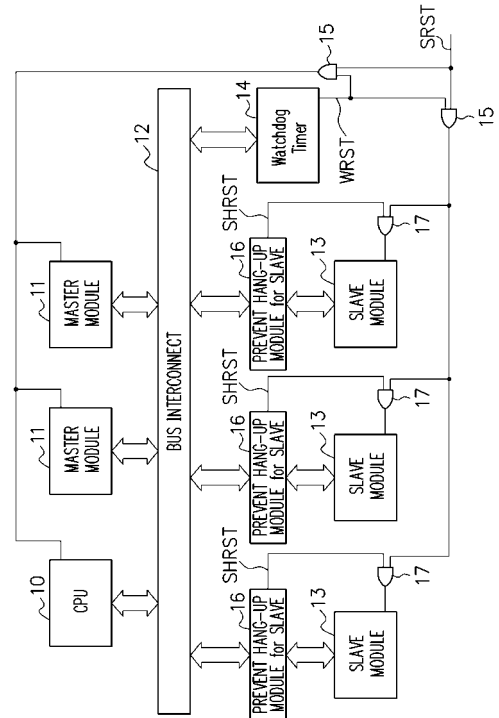
30



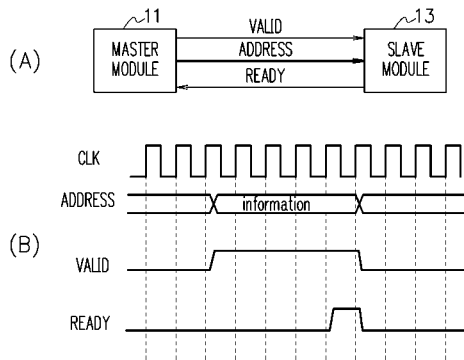
【 図 1 】



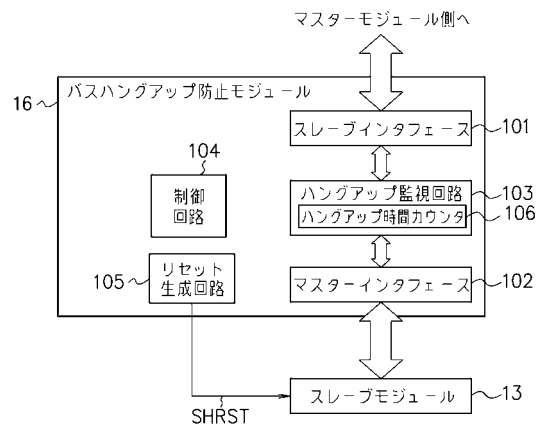
【 図 2 】



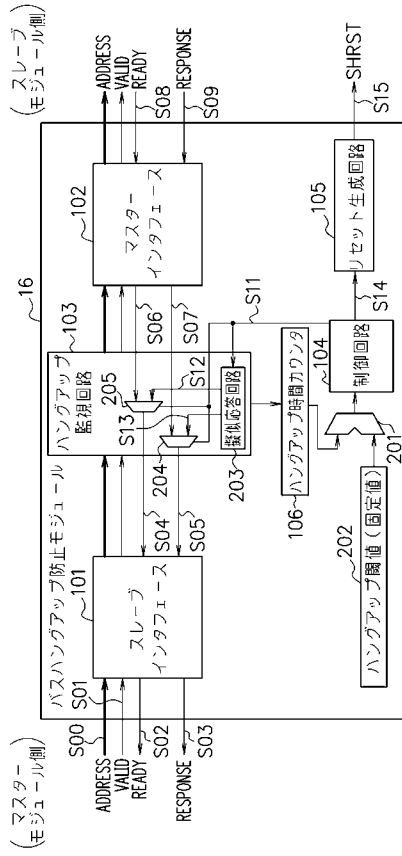
【 図 3 】



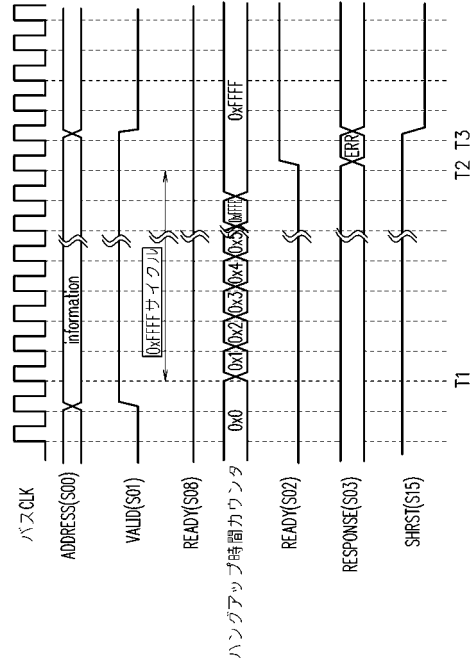
【 図 4 】



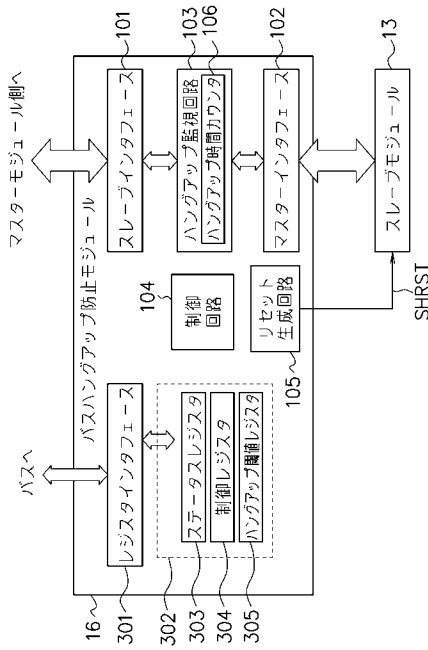
【図5】



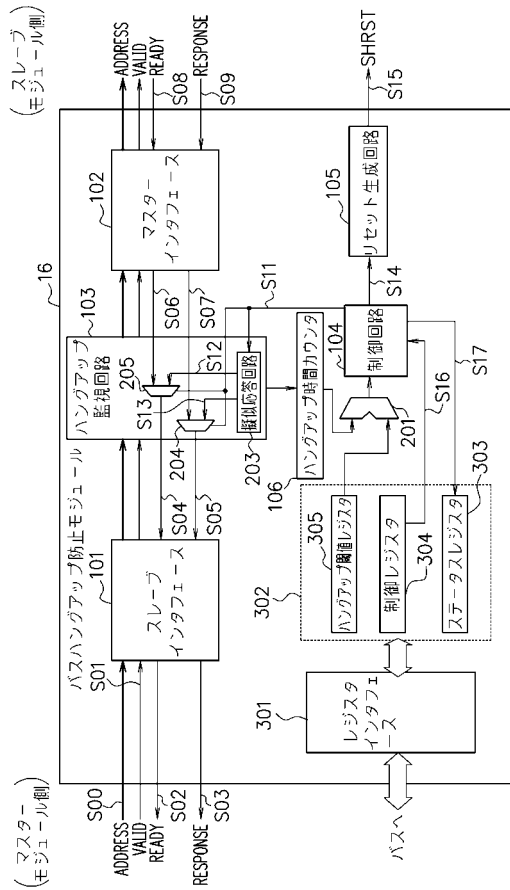
【図6】



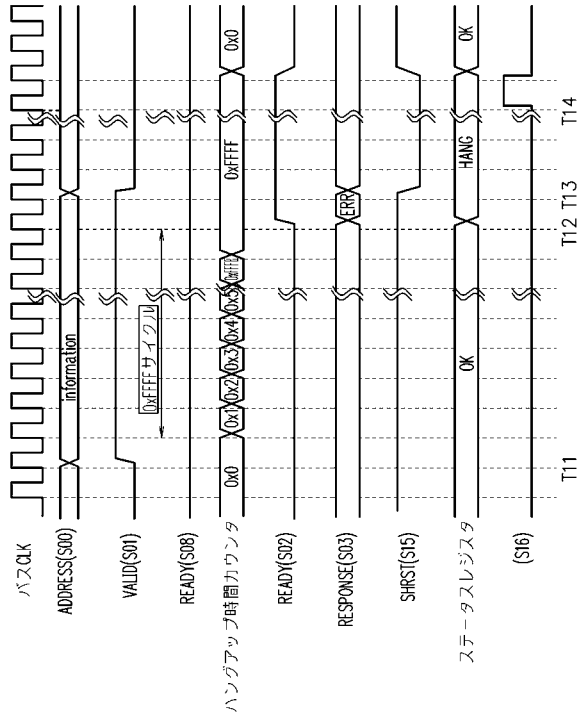
【図7】



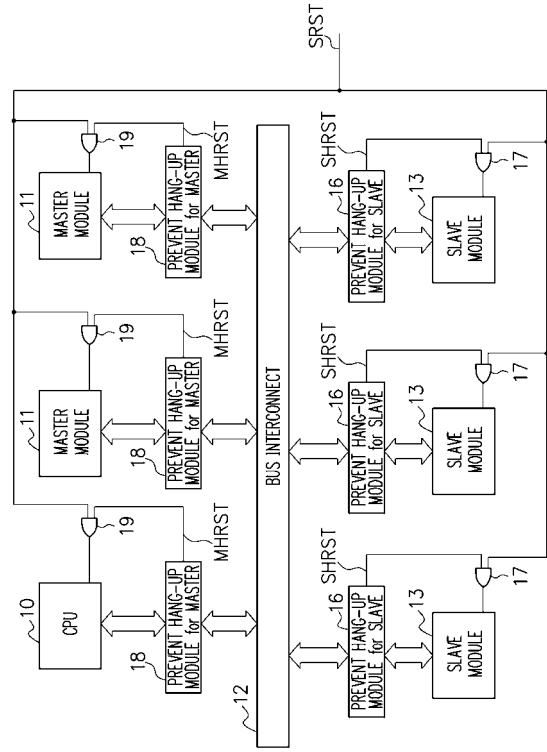
【図8】



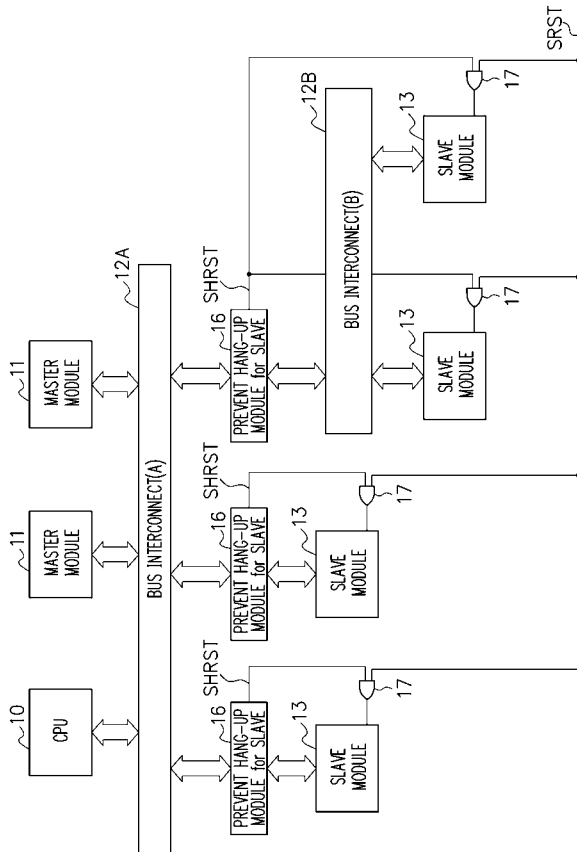
【図 9】



【図 10】



【図 11】



【図 12】

