(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3608278号

(P3608278)

(45)発行日　平成17年1月5日(2005.1.5)　(24)登録日　平成16年10月22日(2004.10.22)

(51)Int.Cl.[7]	F I		
G02F 1/133	G02F	1/133	505
G09G 3/20	G02F	1/133	550
G09G 3/36	G09G	3/20	V
H04N 5/66	G09G	3/36	
	H04N	5/66	102B

請求項の数 13　(全 17 頁)

(21)出願番号　特願平7-332211
(22)出願日　平成7年12月20日(1995.12.20)
(65)公開番号　特開平8-227065
(43)公開日　平成8年9月3日(1996.9.3)
審査請求日　平成14年12月20日(2002.12.20)
(31)優先権主張番号　特願平6-316988
(32)優先日　平成6年12月20日(1994.12.20)
(33)優先権主張国　日本国(JP)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100095728
弁理士　上柳　雅誉
(72)発明者　青木　透
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内
(72)発明者　内藤　恵二郎
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内
(72)発明者　山崎　康二
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

最終頁に続く

(54)【発明の名称】画像表示装置

(57)【特許請求の範囲】

【請求項１】

画素がマトリクス状に配置された表示部と、

複数の画素信号を有する信号列から、正極性を有する画素信号の信号列と負極性を有する画素信号の信号列とを作成する画像信号出力回路と、

前記正極性を有する画素信号の信号列と前記負極性を有する画素信号の信号列との一方を選択して出力する複数のセレクタと、

前記複数のセレクタの出力を受信して、複数のサンプリングホルダーで前記画素信号の各々を指定された組み合わせにしたがって保持することにより展開し、複数の第一の展開画像信号を並列に生成する相展開回路と、

前記複数の第一の展開画像信号を受信するための複数の選択手段を有し、且つ前記複数の第一の展開画像信号のいずれかを指定された組み合わせにしたがって選択して複数の第二の展開画像信号を並列に生成するローテーション回路と、

前記複数の第二の展開画像信号を受信して、前記複数の第二の展開画像信号をサンプリングすることによって前記画素を駆動するための画像信号を生成する、サンプリングスイッチと、

第一の特定期間毎に前記複数のサンプリングホルダーで前記画素信号を保持する前記組み合わせを前記相展開回路に変更させ、前記ローテーション回路に前記複数の第二の展開画像信号を生成する前記組み合わせを前記複数の画素信号の配列と前記画素の配列とが適切になるように変更させるとともに、前記第一の特定期間と同期した第二の特定期間毎に前

記複数のセレクタの選択を変更させる、タイミング制御回路、
とを具備した画像表示装置。
【請求項２】
請求項１において、前記タイミング制御回路は、前記相展開回路に、前記複数のサンプリングホルダーで前記画素信号の各々を保持する前記組み合わせを一定の順序で変更させることを特徴とする画像表示装置。
【請求項３】
請求項１において、前記タイミング制御回路は、前記相展開回路に、前記複数のサンプリングホルダーで前記画素信号の各々を保持する前記組み合わせをランダムに変更させることを特徴とする画像表示装置。
【請求項４】
請求項１において、前記第一の特定期間は、前記表示部の水平走査と同期されることを特徴とする画像表示装置。
【請求項５】
請求項１において、前記第一の特定期間は、前記表示部の水平および垂直走査に同期されることを特徴とする画像表示装置。
【請求項６】
請求項１において、前記選択手段は複数のアナログスイッチを有しており、
各々の前記アナログスイッチは前記複数のサンプリングホルダーから供給される前記複数の第一の展開画像信号のいずれか１個を選択して前記複数の第二の展開画像信号を前記サンプリングスイッチのいずれかに供給することを特徴とする画像表示装置。
【請求項７】
請求項６において、前記タイミング制御回路は、前記複数のサンプリングホルダーのいずれかを前記サンプリングスイッチに結合する組み合わせを変更することを特徴とする画像表示装置。
【請求項８】
請求項１において、前記選択手段は、前記複数のサンプリングホルダーの一部分のいずれかを選択することを特徴とする画像表示装置。
【請求項９】
請求項１において、前記タイミング制御回路手段は、複数のサンプリングホルダーを前記サンプリングスイッチのいずれかに結合する組み合わせを変更することを特徴とする画像表示装置。
【請求項１０】
請求項１において、前記表示部は液晶パネルであり、画素は薄膜トランジスタならびに液晶を挟む２個の画素電極から成ることを特徴とする画像表示装置。
【請求項１１】
請求項１において、前記表示部は透過型液晶パネルおよび投写用光源を備えた投写型の表示手段であり、前記ローテーション回路は前記透過型液晶パネルのデータ側駆動部に前記画素信号を供給することを特徴とする画像表示装置。
【請求項１２】
請求項１において、前記第二の特定期間は、前記表示部の水平走査または垂直走査に同期されることを特徴とする画像表示装置。
【請求項１３】
光源と、
前記光源からの光を変調する前記画像表示手段と、
前記画像表示手段によって変調された光を投写するレンズと、をさらに備えた請求項１２に記載の画像表示装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】

本発明は画像を表示するための装置に関する。更に詳しくは液晶パネルを用いた画像表示装置において、その表示特性を向上させるための駆動方法に関する。

【０００２】

【従来の技術】

図１５（Ａ）に従来の画像表示装置の一例を示してある。この装置は、画像を表示するために液晶パネルを用いており、液晶パネルブロック１０、タイミング回路ブロック２０、およびデータ処理回路ブロック３０を備えている。液晶パネルブロック１０は、更に、画像信号駆動回路１０１、液晶パネル１０２、および走査信号駆動回路１０３を備えている。液晶パネル１０２には、マトリクスの列配線１１３と行配線１１７の交点に複数の画素ユニット１１４が配置されている。また、図１５Ｂによれば、画素ユニット１１４は、薄膜トランジスタ１１５と、液晶を間に挟む二個の画像素子電極を有する画素１１６から成る。画像信号駆動回路１０１には、シフトレジスタ１１１とサンプリングスイッチ１１２が設けられている。画像信号処理回路３０には、増幅および反転回路３０２が装備されている。

【０００３】

タイミング回路ブロック２０は、源振クロック信号ＣＬＫならびに同期信号ＳＹＮＣを受信して、シフトレジスタ１１１と走査信号駆動回路１０８とに制御信号を供給する。一方、入力画像信号ＶＩＤＥＯは、画像処理装置のような外部装置によって、画像信号処理回路３０に供給される。この画像信号は増幅および反転回路３０２によって増幅され、その電圧レベルは、必要に応じて極性反転され、液晶パネル１０２の駆動に要する電圧に変更され、駆動用の画像信号として液晶パネルブロック１０の入力端子Ｖｉｎに出力される。

【０００４】

タイミング回路ブロックは、垂直走査期間のとき、即ち、各々１回の画像表示期間のときに、水平走査信号を走査信号駆動回路１０３に供給する。走査信号駆動回路１０３からの水平走査信号は、行配線１１７に次々と供給され、薄膜トランジスタ１１５をオンにする。各々の水平表示期間の際、シフトレジスタ１１１は、タイミング回路ブロック２０からの信号に基づいて、サンプリングスイッチ１１２へサンプリング信号を出力する。サンプリングスイッチ１１２は、各画素１１６に対応した画像信号をサンプリングし、画像信号の駆動電圧を、画素１１６の二個の画像素子電極を活性化し列配線１１３へ画像信号の駆動電圧を出力する。

【０００５】

この画像装置により、液晶パネルブロック１０のガラス基板に形成された薄膜トランジスタに、多結晶シリコン薄膜トランジスタ（以下、ｐ－ｓ－ｉ－ＴＦＴとする）が使用されている。しかし、同時に、画像信号駆動回路１０１および走査駆動回路１０３用のトランジスタを同じガラス基板に形成する場合は、ｐ－ｓ－ｉ－ＴＦＴを用いて両方のトランジスタを形成することが可能である。これら回路１０１と１０３をｐ－ｓ－ｉ－ＴＦＴで形成することにより、画像表示装置のサイズを更に小型化できる。しかしながら、ｐ－ｓ－ｉ－ＴＦＴの実際の動作速度は、画像信号駆動回路１０１ならびに走査信号駆動回路１０３で信号を処理するために必要な速度と比べて遅くなる。

【０００６】

低速ｐ－ｓ－ｉ－ＴＦＴを使用するための考えられる一つの解決法は、サンプリングスイッチ１１２の特性と入力画像信号ＶＩＤＥＯの周波数の間の関係をマッチングさせるために入力画像信号ＶＩＤＥＯの相を展開することである。

図１２に、入力画像信号ＶＩＤＥＯを各画素信号毎に６つの相に展開する画像表示装置の回路の一例を示す。図１３は、図１２の回路の信号波の形を示す。入力画像信号ＶＩＤＥＯは、水平期間のときの複数の画素数に対応する画素信号ｅ１、ｅ２、ｅ３．．．から成る。画像処理回路３０の相展開回路３０１は、入力画像信号ＶＩＤＥＯを受信して、それを６相Ｖ（１）～Ｖ（６）に展開する。増幅器３０２はこれら展開された画像信号を増幅し、これら信号をサンプリングスイッチ１１２に供給するための端子ＯＵＴ１～ＯＵＴ６にこれらを出力する。

【０００７】
この回路では、画素信号ｅ１、ｅ２、ｅ３、～ｅｎ（ｎは画素列の総数を表す）と呼ばれる画素の複数の画像信号列である入力画像信号ＶＩＤＥＯは、水平同期信号ＳＹＮＣのタイミングを図ることによって供給される。回路３０の相展開回路３０１は、各々の画素信号ｅの出力タイミングを展開し、画像信号Ｖ（ｉ）（ここでｉ＝１～６）を生成して画素を駆動する。すなわち、画像信号Ｖ（ｉ）は、６個おきの画素数が含まれている展開した画素信号Ｅｉの並びである。例えば、画像信号Ｖ（１）は、展開した画素信号Ｅ１、Ｅ７、Ｅ１３等から成っている。また、画像信号Ｖ（１）～Ｖ（６）は、１画素信号だけ互いにシフトされる。画像信号Ｖ（１）～Ｖ（６）は、各々、信号配線１１４を介して、端子ＯＵＴ１～ＯＵＴ６ならびにサンプリング回路１１２に供給される。サンプリングスイッチは、これら画像信号Ｖ（１）～Ｖ（６）をサンプリングして、画素を駆動するための実際の画像信号を送信する。従って、パネル駆動用画像信号Ｖ（ｉ）の周波数は入力画像信号ＶＩＤＥＯの周波数より遅くなる。このため、サンプリングスイッチのトランジスタがｐ－ｓ－ｉ－ＴＦＴで作成されていたとしても、サンプリングスイッチ１１２はサンプル画素信号を正確にサンプリングできる。サンプリングスイッチ１１２は、画像駆動信号を、列配線１１３を介してｉ番目の列画素に供給する。

【０００８】
【発明が解決しようとする課題】
しかしながら、上記した従来技術によれば、個々の相回路を具備する相展開回路３０１には、個々の回路の特性またはその組立状態のばらつきまたは経時変化の問題があり、回路構成が同一であったとしても利得の相違やオフセットを生じる可能性がある。従って、例えば入力画像信号ＶＩＤＥＯが均一な輝度の画素信号を有している場合でさえ、相展開回路３０１の後で個々の相の画素信号の輝度が異なる場合がある。このため、同レベルの輝度を備えなくてはならないはずの画素が、液晶パネル１０２上で異なる輝度レベルを表示することがある。例えば、相展開回路３０１に６つの個別相回路があるとき、画素信号ｅ１、ｅ７、ｅ１３に対応した個別相回路の特性が他の相回路のそれと異なる場合に、ディスプレイ上に繰り返される各画素の輝度を図１４に示す。その結果、６本おきに暗い縦ラインむらが認められ、見る者にとって不快となると思われる。個別回路に起因する利得の相違やオフセットを回避するために考えられる一つの方法は、製造工程で利得の相違およびオフセットを調整することである。しかしながら、この工程の高精度作業には液晶の光学的特性のマッチングが要求され、また、このような調整は、相展開の数が増すのに伴って難しさを増す。更に、調整用の装置を追加すると回路構成が複雑になる。このような調整作業を排除するために考えられる別の解決方法は、高精度素子を追加することである。しかしながら、この方法ではコストが増すし、また、素子の精度を上げただけでは、回路全体でみれば完全にそれらの特性を一致されることは容易ではない。

【０００９】
そこで本発明の主たる目的は、相展開回路の各々の個別回路の特性が異なっている場合でもディスプレイに暗い縦ラインむらがでない、優れた画像品質を提供することである。また、本発明の別の目的は、単純な回路を利用して回路特性間の相違の影響によって生じる画素の輝度の不均一を分散することにより、小型で高性能な画像表示装置を提供することである。

【００１０】
【課題を解決するための手段】
本発明は、主として、反転信号出力回路、極性信号選択回路、相展開回路、ローテーション回路、サンプリング手段、およびそれらの制御回路から成る。反転信号出力回路は、複数の画素信号を有する信号列から、正極性を有する画素信号の信号列と負極性を有する画素信号の信号列とを作成する。極性信号選択回路は、前記正極性を有する画素信号の信号列と前記負極性を有する画素信号の信号列との一方を選択して出力する。相展開回路は、複数の画素信号より成るシリアルデータ（以下信号列と称す）を受信するための複数のサンプリングホルダーを有しており、各々の画素信号を展開し、展開した画素信号を有する

複数個の第一の展開画像信号を並列に生成する。
【００１１】
ローテーション回路は、展開した画素信号より成る複数の第一の展開画像信号を受信する複数の選択回路を有する。各選択回路は、第一の展開画像信号を選択し、第二の展開画像信号を並列に生成する。サンプリングスイッチは、第二の展開画像信号を受信して、第二の展開画像信号をサンプリングすることによって、画素を駆動する画像信号を生成する。
【００１２】
制御回路は、第一の特定期間毎に前記複数のサンプリングホルダーで前記画素信号を保持する前記組み合わせを前記相展開回路に変更させ、前記ローテーション回路に前記複数の第二の展開画像信号を生成する前記組み合わせを前記複数の画素信号の配列と前記画素の配列とが適切になるように変更させるとともに、前記第一の特定期間と同期した第二の特定期間毎に前記複数のセレクタの選択を変更させる。
【００１３】
従って、相展開回路にトランジスタのような素子の特性のばらつきがあり、そのようなばらつきが各画素の均一輝度に影響を及ぼしたとしても、これら特性差を打ち消し合わせることが可能である。その結果、表示部に均一な高解像度の画像を表示できる。
【００１４】
ローテーション手段と相展開手段におけるの多重組み合わせと、それに対応する展開手順とは、タイミング制御回路によって、ランダムまたは特定順序通りに変更できる。更に、組み合わせと対応展開手順とは、表示部の水平走査と同期を取って、または水平および垂直走査と同期を取って変更することも可能である。また、正極性を有する画素信号の信号列と前記負極性を有する画素信号の信号列との一方を選択して出力する複数のセレクタの出力の切り替えは、表示部の水平走査または垂直走査と同期を取って変更することも可能である。
【００１５】
更に、画像表示装置の表示部は液晶パネルのような表示手段である。あるいは、画像表示装置の表示部は、透過形液晶パネルと投写用光源を備えた投写式表示手段にもできる。
さらに他の実施の形態では、本発明の表示装置は、光源と、前記光源からの光を変調する前記画像表示手段と、前記画像表示手段によって変調された光を投写するレンズと、をさらに備えている。
【００１６】
【発明の実施の形態】
図１に画像表示装置用の本発明の回路ブロック図の概略構成を示す。この回路ブロックは、主として、液晶パネルブロック１０、タイミング回路ブロック２０、および画像処理回路３０から成っている。液晶パネルブロック１０は、画像信号駆動回路１０１、液晶パネル１０２、および走査信号駆動回路１０３を備えている。画像信号駆動回路１０１は、シフトレジスタ１１１とサンプリングスイッチ１１２を備えている。画像処理回路３０は、反転回路４０、相展開回路５０、ローテーション回路６０、およびこれら回路を制御するためのタイミング制御回路３５を備えている。図２に画像処理回路３０の詳細図を示す。図３と図１６とは、図１と図２のブロック図で利用される制御および画像信号波形である。
【００１７】
タイミング回路ブロック２０は、源振クロック信号ＣＬＫと水平および垂直同期信号ＳＹＮＣを受信して、シフトレジスタならびに走査信号駆動回路１０３へ制御信号を供給する。一方、入力画像信号ＶＩＤＥＯは画像信号処理回路３０に供給される。
【００１８】
タイミング回路ブロック２０は、一回の垂直走査期間のときに水平走査信号ＳＹＮＣＨを走査信号駆動回路１０３へ供給する。水平走査信号ＳＹＮＣＨは行配線１１７に次々と供給され、画素ユニット１１４の薄膜トランジスタ１１５をオンにする。各々の水平走査期間のとき、シフトレジスタ１１１は、タイミング回路ブロック２０からの制御信号に基づ

いたサンプリング信号を、サンプリングスイッチ１１２に出力する。サンプリングスイッチ１１２は、各画素ユニット１１４に対応した画像信号をサンプリングして、その画像信号の駆動電圧を列配線１１３に出力し、列配線１１３は画素ユニット１１４の画素１１６を活性化する。図３と図１６とに記載の画素信号ｅ（１）、ｅ（２）、ｅ（３）、．．．ｅ（ｎ）の連続した信号列である入力画像信号ＶＩＤＥＯは、反転回路４０のＶＩＤＥＯ　ＩＮに供給される。

【００１９】

反転回路４０の画像信号出力回路４１は、入力画像信号ＶＩＤＥＯに基づいて二種類の画像信号、すなわち入力画像信号の通常の正極性信号と反転入力画像信号の負極性信号を生成し、それらの２個のセレクタ４２ａと４２ｂに供給する。これらのセレクタ４２ａと４２ｂは、タイミング制御回路３５からの制御信号によって制御される。正および負の画像信号を生成することの主目的は、一方の極性の電圧信号を液晶に連続的に印加することによって生じる焼き付きと呼ばれる液晶の劣化を避けるためである。

【００２０】

第一水平走査期間１Ｈのときに、セレクタ４２ａからの画素信号ｅ（１）、ｅ（３）、ｅ（５）．．．の信号列である正画像信号ＶＰは、サンプリングホルダーＳＨ１、ＳＨ３、およびＳＨ５に供給される。セレクタ４２ｂからの画素信号ｅ（２）、ｅ（４）、ｅ（６）．．．の信号列である負画像信号ＶＮは、サンプリングホルダーＳＨ２、ＳＨ４、およびＳＨ６に供給される。サンプリングホルダー制御回路５２は、クロック信号ＣＬＫと水平走査信号ＳＹＮＣＨに基づいて、サンプリングホルダークロック信号Ｓｈ１～Ｓｈ６を、各々、サンプリングホルダーＳＨ１～ＳＨ６に供給する。これらクロック信号の立ち上がり時間は、信号列の各画素信号の開始と同期が取られる。次いで、サンプリングホルダーＳＨ１は、期間ｔ１１のときに画素信号ｅ（１）を保持し、期間ｔ１２のときに画素信号ｅ（７）を保持し、展開した画素信号Ｅ（１）、Ｅ（７）、Ｅ（１３）．．．の第１の信号列から成る第一の展開画像信号Ｖ１（１）を生成する。サンプリングホルダーＳＨ２は、期間ｔ１１のときに画素信号ｅ（２）を保持し、期間ｔ１２のときに画素信号ｅ（８）を保持し、展開した画素信号Ｅ（２）、Ｅ（８）、Ｅ（１４）．．．の第１の信号列から成る第一の展開画像信号Ｖ１（２）を生成する。サンプリングホルダークロック信号Ｓｈ２の立ち上がり時間は、画素信号ｅ（１）の期間の分だけ、信号Ｓｈ１のそれからシフトされる。同じようにして、他のサンプリングホルダーＳＨ３～ＳＨ６も、サンプリングホルダークロック信号Ｓｈ３～Ｓｈ６を受信して、初期期間ｔ１１のときに、各々、画素信号ｅ（３）～ｅ（６）を保持し、第２期間ｔ１２のときに、各々、画素信号ｅ（９）～ｅ（１２）を保持することによって、展開した画素信号Ｅ（３）、Ｅ（９）、Ｅ（１５）．．．の第一の信号列から成る第一の展開画像信号Ｖ１（３）から　展開した画素信号Ｅ（６）、Ｅ（１２）、Ｅ（１８）．．．の第１の信号列から成る第一の展開画像信号Ｖ１（６）迄を生成する。

【００２１】

一方、　第二水平走査期間２Ｈのときに、セレクタ４２ａからの画素信号ｅ（２）、ｅ（４）、ｅ（６）．．．の信号列である負の画像信号ＶＮは、サンプリングホルダーＳＨ１、ＳＨ３、およびＳＨ５に供給され、セレクタ４２ｂからの画素画像信号ｅ（１）、ｅ（３）、ｅ（５）．．．の信号列である正画像信号ＶＰは、サンプリングホルダーＳＨ２、ＳＨ４、およびＳＨ６に供給される。これらのセレクタを切り換えるタイミングは、タイミング制御回路３５の制御信号によって制御される。すなわち、サンプリングホルダー制御回路５２からのサンプリングホルダークロック信号Ｓｈ１～Ｓｈ６の立ち上がり時間は、第一水平走査期間１Ｈのそれと比較して１個の画素信号の期間だけシフトされる。サンプリングホルダーＳＨ１は、展開した画素信号Ｅ（ｎ）、Ｅ（６）、Ｅ（１２）．．．の第１の信号列から成る第一の展開画像信号Ｖ２（１）を生成する。更に、サンプリングホルダーＳＨ２は、サンプリングホルダークロック信号Ｓｈ２を受信して時間ｔ２１のときに画素信号ｅ（１）を保持し、期間ｔ２２のときに画像信号ｅ（７）を保持することによって、展開した画素信号Ｅ（１）、Ｅ（７）、Ｅ（１３）．．．の第１の信号列から成る

第一の展開画像信号Ｖ２（２）を生成する。同じようにして、他のサンプリングホルダーＳＨ３～ＳＨ６も、初期期間ｔ２１のときに、各々、画像信号ｅ（２）～ｅ（５）を保持し、ｔ２２のときに、各々、画素信号ｅ（８）～ｅ（１１）を保持して、展開した画素信号Ｅ（２）、Ｅ（８）、Ｅ（１４）．．．の第一の信号列から成る第一の展開画像信号Ｖ２（３）から、展開した画素信号Ｅ（５）、Ｅ（１１）、Ｅ（１７）．．．の第一の信号列から成る第一の展開画像信号Ｖ２（６）迄を生成する。

【００２２】

本実施例において異なる水平同期期間ごとに異なるサンプリングホルダークロック信号をサンプリングホルダーＳＨ１～ＳＨ６に供給する主たる理由は、先行技術について記述された個別サンプリングホルダーの回路特性の影響によって生じる画素信号の輝度の反復的な不均一を回避するためであり、そのような不均一を分散するためである。

【００２３】

これら第一の展開画像信号は、ローテーション回路６０に供給される。サンプリングホルダーＳＨ１～ＳＨ６が、ローテーション回路６０無しで出力端子ＯＵＴ１～ＯＵＴ６を介して信号配線１００と画素１１６に直に結合されると、第一の展開画像信号は、各信号配線１００ならびに各画素ユニット１１４に正確に供給されない。例えば、期間２Ｈのとき、第一の展開画像信号Ｖ２（１）は信号配線１００－１と画素Ｐ－１と画素Ｐ－７に供給される。しかし、第一の展開画像信号Ｖ２（１）は、不適切な展開画素信号Ｅ（ｎ）とＥ（６）を含んでおり、それらは配線１００－６ならびに画素Ｐ－６とＰ－ｎに供給されるべきものである。従って、ローテーション回路６０の主機能は、Ｖ１（１）～Ｖ１（６）ならびにＶ２（１）～Ｖ２（６）から適切な第一の展開画像信号を選択することによってそのような不適切さを調整し、第二の展開画像信号Ｖ（１）～Ｖ（６）を生成して、そのような第二の展開画像信号を各信号配線１００の適切な信号線に供給することである。

【００２４】

ローテーション回路６０は、ローテーション制御回路６１と、６個の６入力１出力のアナログスイッチ６２ａ～６２ｆを備えている。第一水平走査期間１Ｈのとき、アナログスイッチ６２ａは第一の展開画像信号Ｖ１（１）を選択して、第二の展開画像信号Ｖ（１）を出力端子ＯＵＴ１に供給し、６２ｂは第一の展開画像信号Ｖ１（２）を選択して第二の展開画像信号Ｖ（２）を出力端子ＯＵＴ１に供給し、６２ｃは第一の展開画像信号Ｖ１（３）を選択して第二の展開画像信号Ｖ（３）を出力端子ＯＵＴ３に供給し、６２ｄは第一の展開画像信号Ｖ１（４）を選択して第二の展開画像信号Ｖ（４）を出力端子ＯＵＴ４に供給し、６２ｅは第一の展開画像信号Ｖ１（５）を選択して第二の展開画像信号Ｖ（５）を出力端子ＯＵＴ５に供給し、６２ｆは第一の展開画像信号Ｖ１（６）を選択して第二の展開画像信号Ｖ（６）を出力端子ＯＵＴ６に供給する。

【００２５】

一方、第二水平走査期間２Ｈでは、スイッチ６２ａは、展開した画素信号Ｅ（１）、Ｅ（７）、Ｅ（１３）．．．の第一の信号列から成る第一の展開画像信号Ｖ２（２）を選択して、第二の展開画像信号Ｖ（１）を出力端子ＯＵＴ１に出力し、６２ｂは、展開した画素信号Ｅ（２）、Ｅ（８）．．．の信号列から成る第一の展開画像信号Ｖ２（３）を選択して、第二の展開画像信号Ｖ（２）を出力端子ＯＵＴ２に出力し、６２ｃは、展開した画素信号Ｅ（３）、Ｅ（９）．．．の列から成る第一の展開画像信号Ｖ２（４）を選択して、第二の展開画像信号Ｖ（３）を出力端子ＯＵＴ３に出力し、６２ｄは、展開した画素信号Ｅ（４）、Ｅ（１０）．．．の信号列から成る第一の展開画像信号Ｖ２（５）を選択して、第二の展開画像信号Ｖ（４）を出力端子ＯＵＴ４に出力し、６２ｅは、展開した画素信号Ｅ（５）、Ｅ（１１）．．．の信号列から成る第一の展開画像信号Ｖ２（６）を選択して、第二の展開画像信号Ｖ（５）を出力端子ＯＵＴ５に出力し、６２ｆは第一の展開画像信号Ｖ２（１）を選択して、第二の展開画像信号Ｖ（６）を出力端子ＯＵＴ６に出力する。

【００２６】

更に、第三水平走査期間３Ｈのとき、展開した画素信号Ｅ（１）、Ｅ（７）．．．の信号

列から成る第一の展開画像信号Ｖ３（３）は、スイッチ６２ａによって第二の展開画像信号Ｖ（１）としてＯＵＴ１に供給される。（以下同様）　従って、更に別の各水平走査期間１Ｈ～６Ｈに関する、アナログスイッチ６２ａと６２ｆから出力される第二の展開画像信号Ｖ（ｉ）（ｉ＝１～６）と、アナログスイッチに入力される第一の展開画像信号Ｖｋ（ｉ）（ｋ＝１～６：　水平走査期間を意味する）の関係は次表の通りである。

【００２７】

【表１】

第二画像信号Ｖ（ｉ）

走査期間	(V1)	(V2)	(V3)	(V4)	(V5)	(V6)
1H(S1)	V1(1)	V1(2)	V1(3)	V1(4)	V1(5)	V1(6)
2H(S2)	V2(2)	V2(3)	V2(4)	V2(5)	V2(6)	V2(1)
3H(S2)	V3(3)	V3(4)	V3(5)	V3(6)	V3(1)	V3(2)
4H(S3)	V4(4)	V4(5)	V4(6)	V4(1)	V4(2)	V4(3)
5H(S4)	V5(5)	V5(6)	V5(1)	V5(2)	V5(3)	V5(4)
6H(S5)	V6(6)	V6(1)	V6(2)	V6(3)	V6(4)	V6(5)

【００２８】

Ｓ１～Ｓ６は、各々の水平走査期間のときにアナログスイッチ６２ａ～６２ｆに上記の第一の展開画像信号Ｖｋ（ｉ）の組み合わせを選択させるセレクト信号を表している。

【００２９】

ローテーション制御回路６１はセレクト信号Ｓ１～Ｓ６を保持し、各水平期間のときに１個のセレクト信号をアナログスイッチ６２ａ～６２ｆに供給する。例えば、期間１Ｈのとき、セレクト信号Ｓ１はアナログスイッチ６２ａ～６２ｆに供給される。このセレクト信号に基づいて、各々のアナログスイッチは一個の第一の展開画像信号Ｖｋ（ｉ）を選択して、上記組み合わせ表に基づいて各出力端子ＯＵＴ（ｉ）に第二の展開画像信号Ｖ（ｉ）を供給する。

【００３０】

図４に、連続水平走査期間用に配列されたローテーション管理回路６１からのセレクト信号Ｓ１～Ｓ６をどのように選択するかを示す。この図では、セレクト信号は水平走査信号ＳＹＮＣＨと同期してＳ１からＳ６まで変化する。そのようなセレクト信号を生成するローテーション制御回路６１は、カウンタ回路等を具備している。

【００３１】

出力端子ＯＵＴ１～ＯＵＴ６は、各々、図１に記載の画像データ配線１００－１～１００－６ならびにサンプリングスイッチ１１２－１～１１２－６に結合されている。サンプリングスイッチ１１２－７～１１２－ｎ（ｎ：画素の列番号）も、データ配線１００－１～１００－６に結合されている。従って、サンプリングスイッチ１１２－１～１１２－６は、シフトレジスタ１１１からのサンプリングホルダークロック信号Ｓｈ１～Ｓｈ６と同様なタイミング信号に基づいて、第二の展開画像信号Ｖ（１）～Ｖ（６）を取り上げる。サンプリングスイッチ１１２－１～１１２－６は画像信号Ｖ’（１）～Ｖ’（６）を供給して、液晶パネル１０２の各画素Ｐ－１～Ｐ－６を駆動する。駆動用の画像信号Ｖ’（１）は、図３と図１６とに記載の画素画像信号ｅ’（１）、ｅ’（７）、ｅ’（１３）等である。水平走査信号ＳＹＮＣＨが走査制御回路１０３を介して薄膜トランジスタ１１５のゲートに供給されると、薄膜トランジスタ１１５はＯＮ状態となって画像信号を受け入れ、それらを画素Ｐ－１～Ｐ－６の電極に供給する。

【００３２】

図５に、上記第一実施例に基づいて消散された暗画素の分布を示す。サンプリングホルダーＳＨ１から生成された展開した第一の展開画像信号Ｖ１が、他のサンプリングホルダーと異ならせるサンプリングホルダーＳＨ１のトランジスタの不均一特性のために、他の第一の展開画像信号と比較して常に暗い場合、第一の展開画像信号Ｖ１（ｉ）に基づいた暗画素の分布パターンは、図５に記載された状態となる。従って、見る者に認識された先行技術で示された垂直方向の暗い線は、解消される。

【００３３】
更に、ローテーション回路６０では、水平走査期間と同期をとって、アナログスイッチ６２ａ～６２ｆに供給されるセレクト信号Ｓ１～Ｓ６をランダムに変えることもできる。図６に、第二実施例として、ローテーション制御回路６１で生成されるセレクト信号Ｓ１～Ｓ６をランダム化するものを示す。この実施例では、第一水平期間１Ｈのときに、セレクト信号Ｓ４がローテーション制御回路６１からアナログスイッチ６２ａ～６２ｆに供給される。セレクト信号Ｓ５は、第一水平期間２Ｈのときにローテーション制御回路６１からアナログスイッチ６２ａ～６２ｆに供給される（以下同様）。各セレクト信号Ｓｉには、前記表１に基づいた第一の展開画像信号Ｖｉ（ｋ）と第二の展開画像信号Ｖ（ｋ）の特定の組み合わせがある。しかし、セレクト信号Ｓｉと水平走査期間の関係がランダム化されている。この実施例では、サンプリングホルダーＳＨ１から集められた展開した第一の展開画像信号Ｖ１が、他の第一の展開画像信号と比較して常に暗い場合、図７－Ａ～７－Ｃに記載の、暗画素消散パターンが存在する。すなわち、セレクト信号Ｓ１～Ｓ６のタイミングが第一垂直走査期間１Ｖのときに図６に記載された状態のようにランダム化されると、この期間中の暗画素のパターンは図７－Ａのような状態となる。更に、図６に記載のように次に第二の垂直走査期間２Ｖのときにランダム化の順序が変更されると、この期間中の暗画素のパターンは図７－Ｂに記載にような状態となる。従って、これらの期間の後にこれらのパターンを総合的に統合したものは、図７－Ｃのような状態となる。即ち、垂直同期期間のたびにランダム化の順序を変更すると、時間が経つにつれてこれらのパターンが統合されて、液晶パネル全体がほぼ同レベルの輝度を持っているように見える。換言すると、個々の相のサンプリングホルダーＳＨ１－ＳＨ６の増幅、反転等といった特性差の影響は、空間ならびに時間の両観点から、消散され一様化される。従って、液晶パネルに優れた画像品質を得ることができる。
【００３４】
図８に、別の相展開回路５０とローテーション回路６０に関する第三実施例を示す。特に、ローテーション回路６０は、ｍ入力（ｍはｎより小さい整数、この場合は３に設定されている）１出力のｎ個のアナログスイッチ６３ａ－６３ｆを利用している。各１個のアナログスイッチ６３ａ～６３ｆは、相展開回路５０のサンプリングホルダー５１ａ～５１ｃによって保持される第一の走査期間１Ｈのときの第一の展開画像信号Ｖ１（１）～Ｖ１（３）から１個の信号を選択し、出力端子ＯＵＴ１～ＯＵＴ３への第二の展開画像信号Ｖ（１）～Ｖ（３）を生成する。ローテーション制御回路６１はセレクト信号Ｓ１～Ｓ３をアナログスイッチ６３ａ～６３ｆに供給して、第一の展開画像信号Ｖ１（１）～Ｖ１（３）から１個の信号を選択する。更に、各一個のアナログ信号６３ｄ～６３ｆは、サンプリングホルダー５１ｄ～５１ｆによって保持される第一の展開画像信号Ｖ１（４）～Ｖ１（６）から１個の信号を選択し、出力端子ＯＵＴ１～ＯＵＴ３への第二の展開画像信号Ｖ（４）～Ｖ（６）を生成する。
【００３５】
この実施例では、第一実施例で使用された６種類のセレクト信号の代わりに、３種類のセレクト信号Ｓ１～Ｓ３が使用される。従って、別の連続水平走査期間が考えられる場合、別の各水平走査期間１Ｈ～６Ｈについて、アナログスイッチ６３ａ～６３ｆから出力される第二の展開画像信号Ｖ（ｉ）（ｉ＝１～６）と、アナログスイッチに入力される第一の展開画像信号Ｖｋ（ｉ）（ｋ＝１～６：　水平走査期間を意味する）の関係は、次表の通りである。
【００３６】
【表２】

第二画像信号Ｖ（ｉ）

走査期間	(V1)	(V2)	(V3)	(V4)	(V5)	(V6)
1H(S1)	V1(1)	V1(2)	V1(3)	V1(4)	V1(5)	V1(6)
2H(S2)	V2(2)	V2(3)	V2(4)	V2(5)	V2(6)	V2(1)
3H(S2)	V3(3)	V3(4)	V3(5)	V3(6)	V3(1)	V3(2)
4H(S3)	V4(1)	V4(2)	V4(3)	V4(4)	V4(5)	V4(6)
5H(S4)	V5(2)	V5(3)	V5(4)	V5(5)	V5(6)	V5(1)
6H(S5)	V6(3)	V6(4)	V6(5)	V6(6)	V6(1)	V6(2)

【００３７】

図９に、更に別の水平走査期間用に配列されたローテーション制御回路６１から、どのように信号Ｓ１～Ｓ３を選択するかを示す。この図では、セレクト信号Ｓ１～Ｓ３は水平走査信号ＳＹＮＣＨと同期を取って変更される。

【００３８】

図１０に、前述実施例に基づいて消散された暗画素の分布を示す。サンプリングホルダーＳＨ１から生成された第一の展開画像信号Ｖ１が、他のサンプリングホルダーと異ならせるサンプリングホルダーＳＨ１のトランジスタの不均一特性のために、他の第一の展開画像信号と比較して常に暗い場合、暗画素の分布パターンは、図１０に記載された状態となる。従って、先行技術で示された垂直方向の暗い線は、解消される。すなわち、異なる輝度レベルの画素は液晶パネル１０２全体に消散され、従って、重大な目に見える縦ラインむら障害としては現れず、優れた画像品質を提供する。

【００３９】

この実施例によれば、アナログスイッチ６３ａ～６３ｆへの入力の数は、これらのスイッチの出力の数と比較して減らすことが可能である。従って、回路構成を簡単にすることができ、そのような回路の設計ならびに組立が簡単になる。

【００４０】

更に、３入力１出力のアナログスイッチ６３ａ～６３ｆを利用するローテーション回路６０のセレクト信号Ｓ１～Ｓ３をランダムに変更することもできる。セレクト信号のランダム変更により、液晶パネル１０２での増幅、反転等から生じる利得の相違に起因する異なる輝度レベルを有する画素を空間的に分散するだけでなく、１回の水平走査サイクルで集められた各表示画像の暗画素の位置も変更される。従って、長時間にわたって統合が実施されると、サンプリングホルダーの特性差の影響が分散されて高画質な画像となる。

【００４１】

本発明の装置は、前述の実施例に限定されるものではない。例えば、セレクト信号を完全にランダムに変更する代わりに、画像信号の垂直同期信号に基づいてその順序を変更したり、あるいは、垂直走査期間に基づいてランダムにそれらを変更することも可能である。これらの変更により、サンプリングホルダーのような回路が相展開に利用されるときに現れる回路特性差の影響を、空間および時間の両方の観点から分散され、回路の画像表示への影響が分散され、高画質で高解像度の画像が生成される。

【００４２】

また、セレクト信号Ｓ１～Ｓ６またはＳ１～Ｓ３ならびに第一の展開画像信号Ｖｋ（ｉ）と第二の展開画像信号Ｖ（ｉ）の組み合わせは、表１と２に記載されている通りである必要はない。セレクト信号を生成ならびに供給する回路として、前述以外の多くの他タイプの回路を利用できる。

【００４３】

前述の実施例では、相展開回路５０の他に、ローテーション回路６０の内部のアナログスイッチ６２ａ～６２ｆの入力と出力の間にオフセットの相違が生じる場合がある。しかしながら、これらの相違は、一般に、サンプリングホルダーＳＨ１～ＳＨ６または相展開回路５０の増幅および反転回路の相違よりも、はるかに小さい。従って、ローテーション回路の設置は、第二の展開画像信号Ｖ（ｉ）間の電圧差すなわち液晶パネル１０２の画素輝度の相違に大して何ら実質的な影響がなく、従って、ローテーションの画像品質向上効果

が十分に発現される。更に、ローテーション回路の使用により、反転回路４０が実施する画像画素の画素の反転が単純化され、例えば反転回路によって垂直同期信号毎に極性を反転するだけでよいので、安定したＤＣレベルの画素信号を提供できる。この結果、信号オフセットが低減され、横クロストークが防止でき、より鮮明な画像が生成される。

【００４４】

また、ローテーション回路６０、あるいはローテーション回路を含んだデータ処理回路ブロック全体は、液晶パネルの外部のガラス基板上に構成しても良く、ＩＣ化することも可能である。特にＩＣ化に当たっては、本発明のローテーション回路を採用することにより相展開する際に必要な信号処理回路間のレベル調整が不要となる。また、ＩＣにこれらの回路を作り込む際にサンプリングホルダーにレベル差が多少あっても問題無く高画質の画像が得られるので、ＩＣ化は容易である。

【００４５】

基板上にこれらの回路を形成する場合に、素子のばらつきなどによる回路の利得差やオフセットを回避するために製造工程において回路の利得差やオフセットを調整しても良い。しかしながら、液晶の光学特性に合わせ込むためには、精度の高い調整作業が必要となるので相展開の数が多くなると、このような調整作業は実質的に不可能である。また、調整用の素子を付加するなどにより回路構成も複雑になる。これに大使、本例の画像表示装置のようにローテーション回路を用いれば、調整作業を回避でき、更に、構成度部品も不要となるので、コストを低減でき、表示された画像では部品の精度を上げた以上の効果を得ることができる。

【００４６】

図１１に、３板プリズム方式の光学システムを用いた投写型の画像表示装置（プロジェクタ）の概要を示してある。本例のプロジェクタ７０では、白色光源のランプユニット７１から投写された投写光がライトガイド７２の内部で、複数のミラー７７および２枚のダイクロイックミラー７３によってＲ、Ｇ、Ｂの三原色に分けられ、それぞれの色の画像を表示する３枚のＴＦＴ液晶パネル７４ｒ、７４ｇおよび７４ｂに導かれる。そして、それぞれのＴＦＴ液晶パネル７４ｒ、７４ｇおよび７４ｂによって変調された光はダイクロイックプリズム７５に三方向から入射される。ダイクロイックプリズム７５では、ＲおよびＢの光が９０°曲げられ、Ｇの光が直進するので各色の画像が合成され、投写レンズ７６を通してスクリーンなどにカラー画像が投写される。本発明に係る相展開機能およびローテーション機能を備えたデータ処理回路ブロックを介して入力画像信号ＶＩＤＥＯをそれぞれの液晶パネル７４ｒ、７４ｇおよび７４ｂに供給すると、それぞれの色の画像を液晶パネル７４ｒ、７４ｇおよび７４ｂによって、横ストロークや縦ラインむらのない高画質・高解像度で作成できる。従って、本プロジェクタ７０を用いることにより、大きく鮮明な画像をスクリーン等に表示することができる。

【００４７】

【発明の効果】

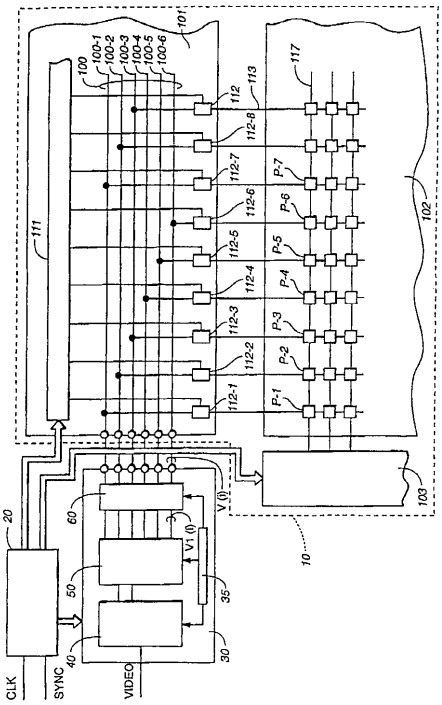
本発明の画像表示装置によれば、画像信号を相展開することによって高解像度の画像が得られると共に、相展開された画像信号をローテーションさせて画像の表示部に提供することにより、相展開による縦ラインむらを防止し高画質な画像を得ることができる。また、ローテーションさせることによって、極性を画素毎に反転する極性の反転も簡単に行えるので、横クロストークの発生も防止できる。

【００４８】

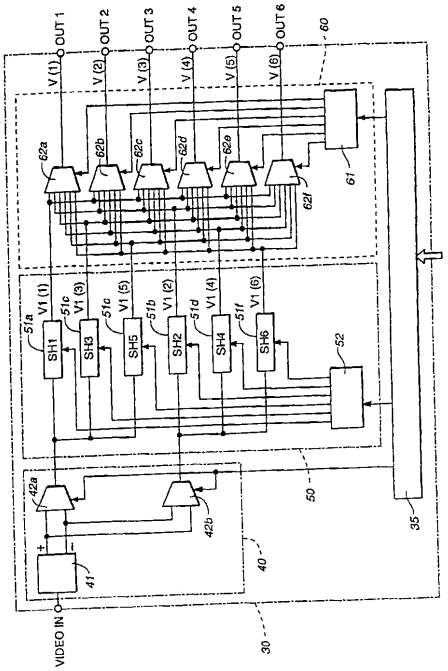
また、本発明の画像表示装置によれば、相展開に用いられるサンプリングホルダーなどの回路において処理を行う際にレベル差が多少あるなどの特性差が許容でき、この特性差による駆動用の画像信号の差を表示部の直前に相展開された画像信号とパネル駆動用の画像信号との組み合わせを入れ換えるローテーション回路によって表示部上では空間的に、また時間的に分散させることができる。従って、本発明の画像表示装置では、相展開する際の信号処理回路の間のレベル調整が不要となるので、回路設計や組立時にかかる手間やコストを低減し、小型で安価な高解像度・高画質の画像表示を提供することが可能となる。

【図面の簡単な説明】
【図１】本発明による画像表示装置の第一実施例を示すブロック図。
【図２】図１に記載された画像表示装置の画像処理回路の更なる詳細を示すブロック図。
【図３】図１と図２のブロック図で使用される制御および画像信号の第一水平期間における波形を示す図。
【図４】第一実施例の、セレクト信号と水平および垂直同期信号の関係を示す図。
【図５】第一実施例のマトリクスにおいて画素が暗くなっている状態を示す図。
【図６】第二実施例の、セレクト信号と水平および垂直同期信号の関係を示す図。
【図７】第二実施例のマトリクスの画素が暗くなっている状態を示す図。
【図８】第三実施例の、相展開回路とローテーション回路のブロック図を示す図。
【図９】第三実施例の、セレクト信号と水平および垂直同期信号の関係を示す図。
【図１０】第三実施例のマトリクスにおいて画素が暗くなっている状態を示す図。
【図１１】本発明に関するプロジェクタの概略構成を示す図。
【図１２】従来の画像表示装置の一つのブロック図。
【図１３】図１２に記載されたブロック図で使用される制御および画像信号の形を示す図。
【図１４】従来の画像表示装置のマトリクスにおいて画素が暗くなっている状態を示す図。
【図１５】他の従来画像表示装置のブロック図。
【図１６】図１と図２のブロック図で使用される制御および画像信号の第二水平期間における波形を示す図。
【符号の説明】
１０．液晶パネルブロック
２０．タイミング回路ブロック
３０．データ処理回路ブロック
３５．タイミング制御回路
４０．反転回路
４２．セレクタ
５０．相展開回路
５１．サンプリングホルダー
６０．ローテーション回路
６１．ローテーション制御回路
６２．アナログスイッチ
６３．アナログスイッチ
７０．プロジェクタ
７２．ライトガイド
７３．ダイクロイックミラー
７４．液晶パネル
７５．ダイクロイックプリズム
７７．ミラー
１００．信号配線
１１３．列配線
１１６．画素

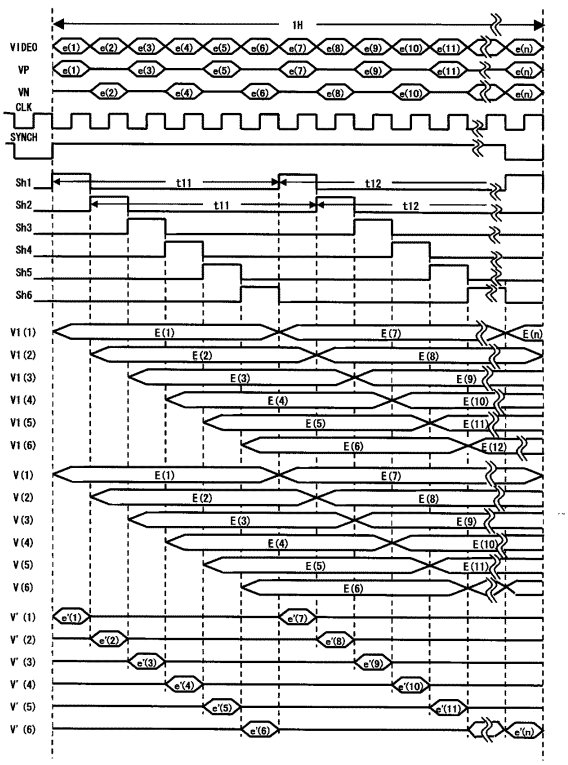
【図１】


101
100
100-1
100-2
100-3
100-4
100-5
100-6
111
112
113
117
112-8
112-7
112-6
112-5
112-4
112-3
112-2
112-1
P-7
P-6
P-5
P-4
P-3
P-2
P-1
102
103
10
20
60
50
40
30
35
V (i)
V1 (i)
CLK
SYNC
VIDEO

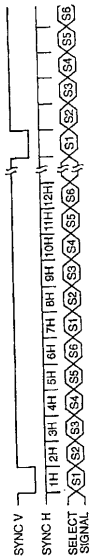
【図２】


OUT 1
OUT 2
OUT 3
OUT 4
OUT 5
OUT 6
V (1)
V (2)
V (3)
V (4)
V (5)
V (6)
60
62a
62b
62c
62d
62e
62f
61
V1 (1)
V1 (3)
V1 (5)
V1 (2)
V1 (4)
V1 (6)
51a
51c
51e
51b
51d
51f
SH1
SH3
SH5
SH2
SH4
SH6
52
50
42a
42b
41
40
35
30
VIDEO IN

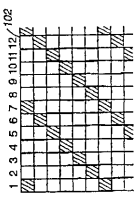
【図３】


1H
VIDEO
VP
VN
CLK
SYNCH
Sh1
Sh2
Sh3
Sh4
Sh5
Sh6
t11
t12
V1 (1)
V1 (2)
V1 (3)
V1 (4)
V1 (5)
V1 (6)
V (1)
V (2)
V (3)
V (4)
V (5)
V (6)
V' (1)
V' (2)
V' (3)
V' (4)
V' (5)
V' (6)

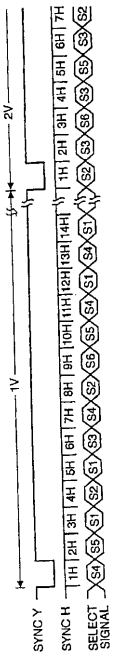
【図４】


SYNC V
SYNC H
SELECT SIGNAL
1H
2H
3H
4H
5H
6H
7H
8H
9H
10H
11H
12H
S1
S2
S3
S4
S5
S6

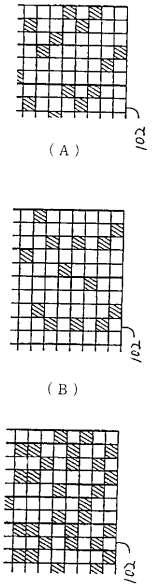
【図５】


102
1 2 3 4 5 6 7 8 9 10 11 12

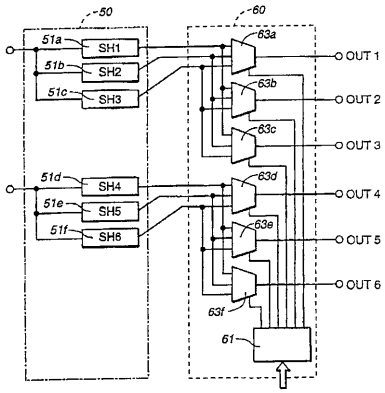
【図６】



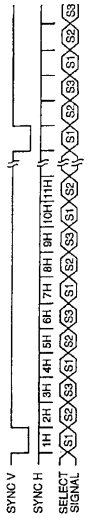
【図７】



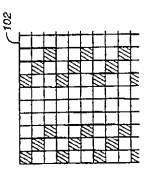
【図８】



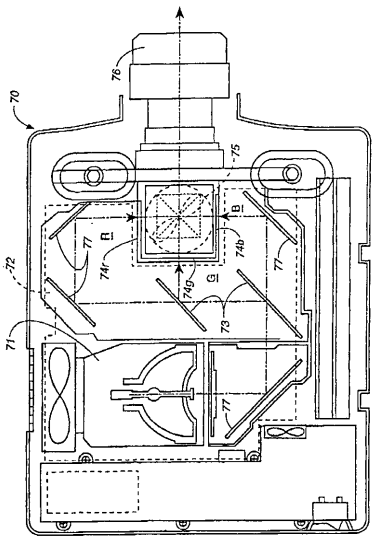
【図９】



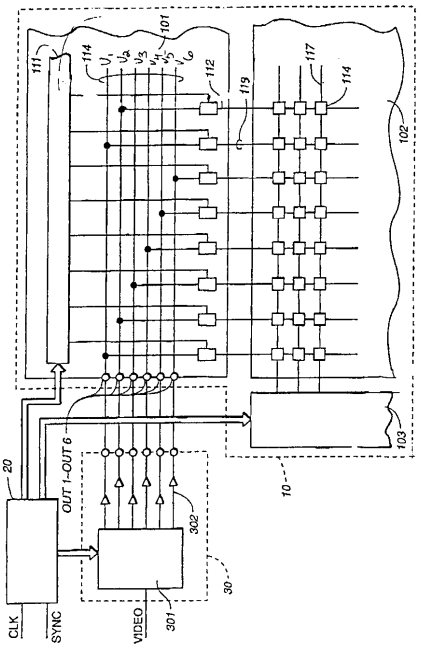
【図１０】



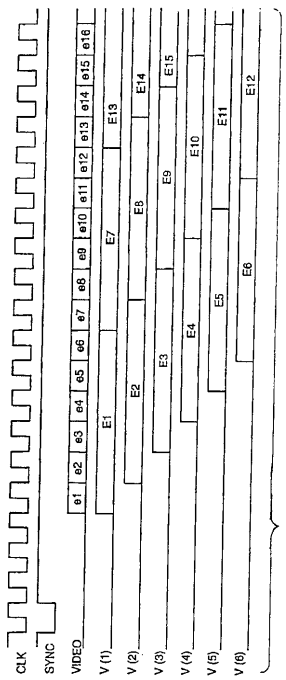
【図１１】



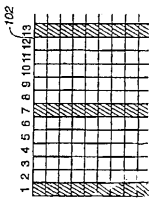
【図１２】



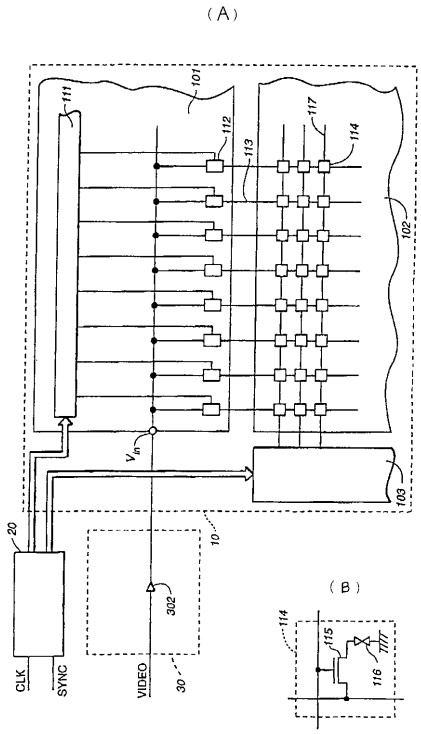
【図１３】



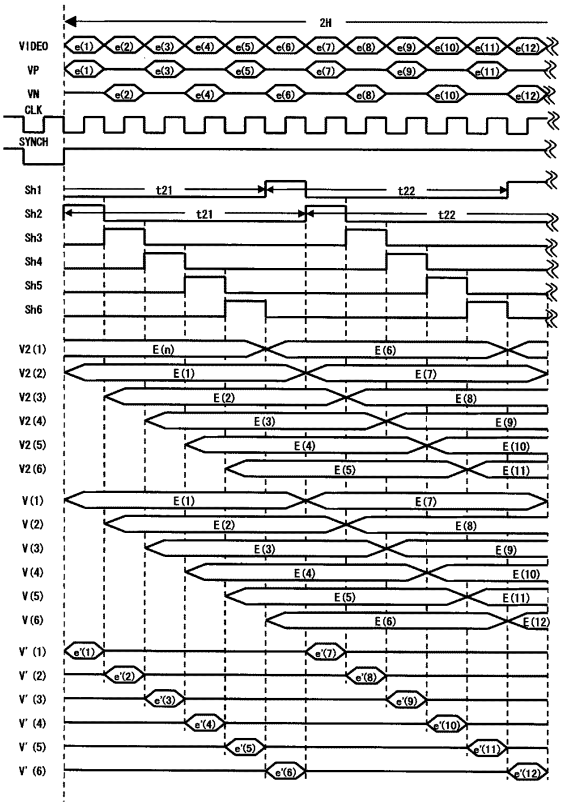
【図１４】



【図１５】


（A）
101
111
112
113
114
117
102
103
V_{in}
20
10
302
30
CLK
SYNC
VIDEO
（B）
114
115
116

【図１６】


2H
VIDEO
VP
VN
CLK
SYNCH
Sh1
Sh2
Sh3
Sh4
Sh5
Sh6
t21
t22
V2 (1)
V2 (2)
V2 (3)
V2 (4)
V2 (5)
V2 (6)
V (1)
V (2)
V (3)
V (4)
V (5)
V (6)
V' (1)
V' (2)
V' (3)
V' (4)
V' (5)
V' (6)

フロントページの続き

(72)発明者　小林　守
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

審査官　藤田　都志行

(56)参考文献　特開平０６－２２２７３７（ＪＰ，Ａ）
特開平０２－１８９５７９（ＪＰ，Ａ）
特開平０２－１５３３９１（ＪＰ，Ａ）
特開平０５－２２４６３０（ＪＰ，Ａ）
特開平０６－０８２７５４（ＪＰ，Ａ）
特開平０９－０８１０８７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G02F 1/133 505
G02F 1/133 550
G09G 3/20
G09G 3/36
H04N 5/66 102