

# 公告本

申請日期	89 年 12 月 21 日
案 號	89127571
類 別	H01K 29/28. 21/80. 27/12

A4  
C4

(以上各欄由本局填註)

564557

## 發 明 專 利 說 明 書

一、發明 名稱	中 文	半導體裝置及其製造方法
	英 文	SEMICONDUCTOR DEVICE AND PROCESS FOR PRODUCING THE SAME
二、發明 創作人	姓 名	(1) 早崎嘉城 (2) 高野仁路 (3) 鈴村正彦
	國 籍	(1) 日本                      (2) 日本                      (3) 日本
	住、居所	(1) 日本國大阪府門真市大字門真一〇四八番地 松下電工股份有限公司內  (2) 日本國大阪府門真市大字門真一〇四八番地 松下電工股份有限公司內  (3) 日本國大阪府門真市大字門真一〇四八番地 松下電工股份有限公司內
三、申請人	姓 名 (名稱)	(1) 松下電工股份有限公司 松下電工株式会社
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國大阪府門真市大字門真一〇四八番地
	代 表 人 姓 名	(1) 西田一成

經濟部智慧財產局員工消費合作社印製

申請日期	89 年 12 月 21 日
案 號	89127571
類 別	

A4  
C4

(以上各欄由本局填註)

# 發 明 專 利 說 明 書

## ~~發 明 新 型~~

一、發明 名稱	中 文	
	英 文	
二、發明人 創作	姓 名	(4) 鈴木裕二 (5) 白井良史 (6) 岸田貴司
	國 籍	(4) 日本                      (5) 日本                      (6) 日本
	住、居所	(4) 日本國大阪府門真市大字門真一〇四八番地 松下電工股份有限公司內  (5) 日本國大阪府門真市大字門真一〇四八番地 松下電工股份有限公司內  (6) 日本國大阪府門真市大字門真一〇四八番地 松下電工股份有限公司內
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 名 姓 名	

申請日期	89 年 12 月 21 日
案 號	89127571
類 別	

A4  
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書 <del>新 型</del>		
一、發明 名稱	中 文	
	英 文	
二、發明人 創作	姓 名	(7) 吉田岳司 (8) 吉原孝明
	國 籍	(7) 日本                      (8) 日本
	住、居所	(7) 日本國大阪府門真市大字門真一〇四八番地 松下電工股份有限公司內  (8) 日本國大阪府門真市大字門真一〇四八番地 松下電工股份有限公司內
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權  
 日本 1999年12月22日 11-364919 有主張優先權

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

訂

## 五、發明說明 ( 1 )

### 【發明領域】

本發明係關於當作開關元件來使用的半導體裝置。

### 【發明背景】

### 【習知技藝之說明】

最近開關 ( On / Off ) 高頻訊號的開關 ( Switch ) ，類比開關 ( Analogue switch ) 或半導體繼電器 ( Relay ) 等的半導體開關之需求 ( Needs ) 升高。為了使用這些半導體開關於高頻訊號的開關，在開狀態需要電流－電壓特性為線形 ( 無偏移 ( Offset ) ) 且低電阻，在關狀態為了使高頻截止 ( Cut-off ) 特性良好起見，需要減少輸出靜電電容。

可依照這種要求的半導體元件已知有 S O I ( 絕緣層上有矽， Silicon On Insulator ) - LDMOSFET ( 橫向雙擴散金屬－氧化物－半導體場效電晶體， Lateral Double-Diffused MOSFET ) 。

習知的 SOI-LDMOSFET 係使用在由單晶矽所構成的半導體基板 1 上，中介由氧化矽膜所構成的介電層 2，形成由單晶矽所構成的半導體層 3 之 S O I 基板，其構成如以下 ( 圖 1 0 ) 。

即此 SOI-LDMOSFET 如圖 1 0 所示，在 n 型半導體層 3 內，p<sup>+</sup> 型井區域 5 與 n<sup>++</sup> 型汲極區域 4 分離而形成，再者，於 p<sup>+</sup> 型井區域 5 形成 n<sup>++</sup> 型源極區域 6 。

此處，n<sup>++</sup> 型源極區域 6 係使 p<sup>+</sup> 型井區域 5 與 n 型

(請先閱讀背面之注意事項再填寫本頁)

訂

錄

## 五、發明說明(2)

半導體層 3 位在與  $n^{++}$  型汲極區域 4 之間來形成。

而且，在位於  $n^{++}$  型源極區域 6 與  $n^{++}$  型汲極區域 4 之間的  $p^+$  型井區域 5 上，中介閘極介電層 8 形成例如由多晶矽 ( Polysilicon ) 所構成的閘電極 9。此外，此閘電極 9 係考慮製造上的位置偏移裕度 ( Margin ) 等，在位於  $n^{++}$  型源極區域 6 與  $p^+$  型井區域 5 與  $n^{++}$  型汲極區域 4 之間的  $n$  型半導體層 3 ( 漂移區域 20 ) 上分別延伸來形成。

而在  $n^{++}$  型源極區域 6 上與  $n^{++}$  型汲極區域 4 上分別形成源極電極 11 與汲極電極 10。

在如以上所構成的圖 10 所示的習知例之 SOI-LDMOSFET 中，中介源極電極 11 與汲極電極 10，在  $n^{++}$  型源極區域 6 上與  $n^{++}$  型汲極區域 4 之間施加電壓的狀態下，藉由對閘電極 9 施加某一定以上的電壓，在閘電極 9 正下方的  $p^+$  型井區域 5 形成強反轉狀態的通道 ( Channel )，電流經由該通道在  $n^{++}$  型源極區域 6 與  $n^{++}$  型汲極區域 4 之間流動 ( ON 狀態 )。

而且，若降低閘極電壓的話， $p^+$  型井區域 5 變成原來的  $p$  型層，在  $p^+$  型井區域 5 與  $n^{++}$  型汲極區域 4 之間形成被施加逆偏壓 ( Bias ) 的 PN 接合，在  $n^{++}$  型源極區域 6 上與  $n^{++}$  型汲極區域 4 之間電流不會流通。

此處，在圖 10 的 SOI-LDMOSFET 中，位於形成通道的  $p^+$  型井區域 5 與  $n^{++}$  型汲極區域 4 之間的  $n$  型半導體層 3 稱為漂移區域，該漂移區域 20 的雜質濃度  $N_0$  設定

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

### 五、發明說明 ( 3 )

成滿足用以下的 ( 1 ) 式所表示的 RESURF 條件。

$$T_{s o i} \times N_0 \approx 1 \times 10^{12} (\text{a t m} / \text{c m}^2) \quad \dots(1)$$

此處， $T_{s o i}$  為 n 型半導體層 3 的膜厚。

如此，習知的 SOI-LDMOSFET 藉由設定漂移區域 2 0 的雜質濃度  $N_0$  成給與表面電場有關的最佳條件之上述 RESURF 條件，以實現高耐電壓特性。

此外，在此圖 1 0 A 的 SOI-LDMOSFET 中，漂移區域 2 0 的雜質濃度  $N_0$  均勻地設定在漂移區域 2 0 的全體 ( 圖 1 0 B )。而且，最近在圖 1 0 A 的 SOI-LDMOSFET 中，更有提高耐電壓特性的構造之美國專利申請第 5 3 0 0 4 4 8 號或美國專利申請第 5 4 1 2 2 4 1 號等被提出。

美國專利申請第 5 3 0 0 4 4 8 號所揭示的 SOI-LDMOSFET 如圖 1 1 所示，位於形成汲極接觸窗 ( Contact ) 5 6 的汲極區域 5 2 與形成源極接觸窗 5 4 的源極區域 5 1 之間的 n 型漂移區域 5 0，係隨著離開汲極區域 5 2，使該雜質濃度降低來形成。此外，在源極區域 5 1 與漂移區域 5 0 之間，中介閘極氧化膜 5 8 形成閘電極 5 9，形成用以形成通道的 p 型基極區域 6 0。藉由這種構成，美國專利申請第 5 3 0 0 4 4 8 號所揭示的 SOI-LDMOSFET 可均勻化漂移區域 5 0 內部的電場，可更提高耐電壓特性。

但是，美國專利申請第 5 3 0 0 4 4 8 號所揭示的 SOI-LDMOSFET 如圖 1 2 所示，中介用以依次使間隔變化而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(4)

形成的光阻(Resist)40，摻雜(Dope)規定的雜質到形成漂移區域的半導體層1後，藉由進行熱處理，因形成雜質濃度依次變化的漂移區域50，故有漂移區域50的長度(電流流動方向的長度)無法縮短的問題。美國專利申請第5300448號揭示漂移區域50的長度為40 $\mu\text{m}$ ~50 $\mu\text{m}$ 之要旨。

因此，美國專利申請第5300448號所揭示的SOI-LDMOSFET，因漂移區域50的長度長，故有ON狀態中的汲極/源極間的電阻變大之問題。

而且，美國專利申請第5300448號所提出的SOI-LDMOSFET，因提高耐壓，故必然地需要形成薄的漂移區域50，因此，有散熱不佳的問題。因此，有無法加大可容許的開電流的問題點。

美國專利申請第5412241號等所提出的SOI-LDMOSFET係穩定美國專利申請第5300448號所揭示的SOI-LDMOSFET的耐壓，更提供用以解決ON狀態中的汲極/源極間的電阻大之問題點的構造。

但是，美國專利申請第5412241號等所提出的SOI-LDMOSFET雖然提供可減小ON狀態中的汲極/源極間的電阻，且使耐電壓特性良好的構造，惟因具有閘極場電極(Gate field plate)構造，故有輸出靜電電容大的問題點。

而且，開關高頻訊號的開關雖然具有20~300V的耐電壓特性的開關之需要大，惟想以理想的構造參數來

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 5 )

構成該等級 ( Class ) 的 S O I - L D M O S 的話，漂移區域的長度之最佳值估計為  $1 \sim 1.5 \mu\text{m}$  左右，但是，美國專利申請第 5 3 0 0 4 4 8 號所揭示的 SOI-LDMOSFET 之製造方法因加工精度上的問題，有形成具有最佳值  $1 \sim 1.5 \mu\text{m}$  左右的長度之漂移區域困難的問題。

本發明乃鑒於上述事由所做的創作，其第一目的為提供在要求的耐壓中，可實現容許開電流的增大、輸出靜電電容的降低以及開電阻的降低之半導體裝置 ( Device )。

此外，本發明的第二目的為提供在要求的耐壓中，可精度優良地容易製造可實現容許開電流的增大、輸出靜電電容的降低以及開電阻的降低之半導體裝置的半導體裝置之製造方法。

### 【發明概要】

與本發明有關的半導體裝置具備形成於半導體基板上的半導體層，上述半導體層具備：

第一導電型汲極區域，形成於上述半導體層的一部分；

第二導電型井區域，在上述半導體層的一部分自上述汲極區域分離而形成；

第一導電型源極區域，自位於上述汲極區域側的上述井區域之一端分離，形成於上述井區域；

第一導電型漂移區域，在上述井區域的一端與上述汲極區域之間，接近上述井區域與上述汲極區域而形成，且

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(6)

設定其雜質濃度使其分別在平行於上述半導體層表面的橫方向以及在上述半導體層表面的垂直縱方向，分別隨著離開上述汲極區域而降低；

閘極氧化膜，形成於位於上述漂移區域與上述源極區域之間的井區域上；以及

閘電極，形成於上述閘極氧化膜上。

據此構成的話，因在前述漂移區域中，接近前述井層側空乏層(Depletion)有效地擴大，故可防止電場的集中，可獲得高的耐壓。而且，與本發明有關的半導體裝置因可設定較厚的上述半導體層的膜厚，故可採取寬廣的電流路徑的剖面，並且可有效地散逸產生的熱量，可增大容許的開電流。

而且，與本發明有關的半導體裝置中，上述半導體層中介介電層形成於上述半導體基板上較佳。

再者，與本發明有關的半導體裝置在上述漂移區域中，橫方向的雜質濃度隨著以自上述汲極區域的橫方向距離  $x$  為變數的高斯分布(Gaussian distribution)而變化，縱方向的雜質濃度隨著以自上述汲極區域的縱方向距離  $y$  為變數的高斯分布而變化較佳。

如此一來，在製造過程中，藉由來自上述汲極區域側的雜質熱擴散，可控制上述漂移區域的雜質濃度分布，具有可高精度且容易製造的功效。

而且，可容易製造具有當作開關高頻訊號的開關之要求大的  $20 \sim 300 \text{ V}$  等級的耐壓，且漂移長度約  $1 \sim$

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明(7)

1 5  $\mu$  m 的半導體裝置。

而且再者，與本發明有關的半導體裝置中，上述閘電極係用以覆蓋上述漂移區域的一部分延伸在上述漂移區域上來形成，設定位於上述閘電極正下方的漂移區域之雜質濃度比滿足 RESURF 條件的雜質濃度  $N(\text{RESURF})$  低較佳。

如此一來，可降低 ON 狀態中的 ON 電阻，且可有效地降低輸出靜電電容。

而且，與本發明有關的半導體裝置在上述漂移區域中，設定位於上述漂移區域附近部分的雜質濃度比滿足 RESURF 條件的雜質濃度  $N(\text{RESURF})$  高較佳。據此，可更降低 ON 電阻。

此處，所謂 RESURF 條件係指滿足以下的式。

$$T_{s o i} \times N_{0}(\text{RESURF}) \cong 1 \times 10^{12} \text{ ( a t m / c m }^2 \text{ )}$$

$T_{s o i}$  : 半導體層膜厚 ( c m )

$N(\text{RESURF})$  : 滿足 RESURF 條件的雜質濃度 ( a t m / c m <sup>3</sup> )

而且，與本發明有關的半導體裝置中，上述半導體層的膜厚  $t$  設定成滿足  $0.3 \mu\text{m} \leq t \leq 1.5 \mu\text{m}$  較佳。

而且，與本發明有關的半導體裝置中，上述半導體層的膜厚  $t$  設定成滿足  $0.5 \mu\text{m} \leq t \leq 1.5 \mu\text{m}$ ，可構成當作具有 25 V ~ 50 V 的耐電壓特性且高頻特性優良的開關元件之半導體裝置。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(8)

而且，與本發明有關的半導體裝置中，上述半導體層的膜厚  $t$  設定成滿足  $0.5 \mu\text{m} \leq t \leq 1.5 \mu\text{m}$ ，可構成當作具有  $2.5 \text{V} \sim 5.0 \text{V}$  的耐電壓特性且高頻特性優良的開關元件之半導體裝置。

而且，與本發明有關的半導體裝置中，從上述漂移區域的上述汲極區域端到上述井區域端的距離設定為  $1.5 \mu\text{m}$  以下較佳，據此，可降低 ON 電阻。

而且，若設定從上述汲極區域端到上述井區域端的距離為  $1.5 \mu\text{m}$  以下的話，在現實的時間藉由來自上述汲極區域側的雜質的熱擴散，可在上述漂移區域形成雜質分布。

而且，與本發明有關的半導體裝置的製造方法，其特徵包含：

在形成於半導體基板上的半導體層中，互相分離的第一導電型汲極區域與第一導電型源極區域係分離而形成，在該汲極區域與源極區域之間接近上述汲極區域形成漂移區域，接近上述源極區域形成通道區域，其中上述汲極區域摻雜第一導電型雜質，使該摻雜的雜質熱擴散到上述漂移區域。

如果依照本製造方法，在上述半導體裝置中，可形成橫方向的雜質濃度隨著以自上述汲極區域的橫方向距離  $x$  為變數的高斯分布而變化，縱方向的雜質濃度隨著以自上述汲極區域的縱方向距離  $y$  為變數的高斯分布而變化的漂移區域。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(9)

而且，如果依照本製造方法，可利用同一個罩幕（Mask）窗來進行前述汲極區域的雜質導入與前述漂移區域的雜質導入，可容易且高精度地製造半導體裝置。

### 【圖式之簡單說明】

圖 1 A 係本發明的實施形態一之 LD MOSFET 的剖面圖。

圖 1 B 係顯示圖 1 A 的 X - X' 剖面中的概略雜質濃度分布圖。

圖 1 C 係顯示圖 1 A 的 Y - Y' 剖面中的概略雜質濃度分布圖。

圖 2 係比較一般的 SOI 元件所顯示的圖 1 A 的 X - X' 剖面中的電場分布圖。

圖 3 係比較一般的 SOI 元件所顯示的本發明的實施形態一之 LD MOSFET 的 I - V 曲線圖。

圖 4 係顯示對本實施形態一中的半導體層 3 的膜厚之輸出靜電電容圖。

圖 5 係顯示對本實施形態一中的漂移距離之耐壓圖。

圖 6 係顯示對本實施形態一中的半導體層 3 的膜厚之（輸出靜電電容圖）×（開電阻）以及耐壓圖。

圖 7 A ~ 圖 7 H 係顯示本實施形態一的製造工程中的工程的流程剖面圖。

圖 8 A 係顯示本發明的實施形態二之 LD MOSFET 的剖面圖。

（請先閱讀背面之注意事項再填寫本頁）

裝  
訂

## 五、發明說明 (10)

圖 8 B 係顯示圖 1 A 的 X - X ' 剖面中的概略雜質濃度分布圖。

圖 8 C 係顯示圖 1 A 的 Y - Y ' 剖面中的概略雜質濃度分布圖。

圖 9 A ~ 圖 9 I 係顯示本實施形態二的製造工程中的工程的流程剖面圖。

圖 1 0 A 係顯示習知例的 LDMOSFET 的剖面圖。

圖 1 0 B 係顯示圖 1 0 A 的漂移區域的雜質濃度圖。

圖 1 1 係其他的習知例之 LDMOSFET 的剖面圖。

圖 1 2 係顯示其他的習知例之 LDMOSFET 的製造工程中的一工程的剖面圖。

### 【符號說明】

- 1 : 半導體基板
- 2 : 介電層
- 3、1 0 3 : n 型半導體層
- 4、1 0 4 : n<sup>++</sup> 型汲極區域
- 5、1 0 5 : p<sup>+</sup> 型井區域
- 6、1 0 6 : n<sup>++</sup> 型源極區域
- 2 0、5 0 : 漂移區域
- 5 1 : 源極區域
- 5 2 : 汲極區域
- 5 4 : 源極接觸窗
- 5 6 : 汲極接觸窗

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 11 )

- 5 8 : 閘極氧化膜
- 5 9 、 1 0 9 : 閘電極
- 6 0 : p 型基極區域
- 1 0 0 : SOI-LDMOSFET
- 1 0 6 : n<sup>++</sup> 型源極區域
- 1 0 7 : p<sup>++</sup> 型基底接觸窗區域
- 1 0 4 a 、 1 0 6 a : n 型雜質植入區域
- 1 0 7 a : p 型雜質植入區域
- 1 0 8 : 氧化矽膜
- 1 1 0 : 汲極電極
- 1 1 1 : 源極電極
- 1 1 2 : n 型漂移區域
- 1 1 3 : 閘極懸突體
- 1 5 0 : 通道區域
- 2 1 2 a : 低濃度區域
- 2 1 2 b : 中濃度區域
- 2 1 2 c : 高濃度區域
- 1 0 1 5 : 氧化膜
- 1 0 1 6 、 1 0 1 8 、 1 0 1 9 : 光阻罩幕
- 1 0 2 0 : 中間層
- 1 1 0 0 : LDMOSFET

## 【較佳實施例之詳細說明】

在以下實施形態中爲了說明的方便上，以申請專利範

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 12)

圖所揭示的第一導電型為 n 型，以申請專利範圍所揭示的第二導電型為 p 型來說明，惟 n 型與 p 型替換也可以。而且，雖然限定 SOI-LDMOSFET 來說明，但以形成於磊晶晶圓 ( Epitaxial wafer ) 上的 LDMOSFET 也可以。

### ( 實施形態一 )

本實施形態 1 的 SOI-LDMOSFET 係使用在由單晶矽所構成的半導體基板 1 上，中介由氧化矽膜所構成的介電層 2，形成由單晶矽所構成的半導體層 3 之 S O I 基板，其構成如以下。

即此 SOI-LDMOSFET 如圖 1 A 所示，在 n 型半導體層 3 內的規定位置，形成 p<sup>'</sup> 型井區域 1 0 5 到達介電層 2 的深度，自此 p<sup>'</sup> 型井區域 1 0 5 分離形成 n<sup>++</sup> 型汲極區域 1 0 4。

而且，在 p<sup>'</sup> 型井區域 1 0 5 形成 n<sup>++</sup> 型源極區域 1 0 6，鄰接該 n<sup>++</sup> 型源極區域 1 0 6，形成 p<sup>++</sup> 型基底接觸窗區域 1 0 7。

此處，n<sup>++</sup> 型源極區域 1 0 6 係使構成通道區域 1 5 0 的 p<sup>'</sup> 型井區域 1 0 5 與 n 型半導體層 3 ( 漂移區域 1 1 2 ) 位在與 n<sup>++</sup> 型汲極區域 1 0 4 之間來形成。

而且，在位於 n<sup>++</sup> 型源極區域 1 0 6 與 n<sup>++</sup> 型汲極區域 1 0 4 之間的 p<sup>'</sup> 型井區域 1 0 5 ( 通道區域 1 5 0 ) 上，中介閘極介電層 1 0 8 形成例如由多晶矽所構成的閘電極 1 0 9。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明 ( 13 )

此外，本說明書中，位於構成閘電極正下方的通道區域 1 5 0 之  $p^+$  型井區域 1 0 5 與  $n^{++}$  型汲極區域 1 0 4 之間的  $n$  型半導體層 1 0 3 稱為  $n$  型漂移區域 1 1 2。

在本實施形態一中，閘電極 1 0 9 係在  $n$  型漂移區域 1 1 2 上僅突出規定的長度而形成，突出於此  $n$  型漂移區域 1 1 2 的部分稱為閘極懸突體 ( Gate overhang ) 區域 1 1 3，其突出的長度稱為閘極懸突體長。

而在  $n^{++}$  型汲極區域 1 0 4 上形成汲極電極 1 1 0，橫跨  $n^{++}$  型源極區域 1 0 6 上與  $p^{++}$  型基底接觸窗區域 1 0 7 上，形成源極電極 1 1 1。

如以上所構成的圖 1 A 的實施形態一的 SOI-LDMOSFET 與習知例相同，藉由施加給閘電極的電壓，可開關汲極 / 源極間的電流，再者藉由以下的構成使  $n$  型漂移區域 1 1 2 與習知例比較，具有後述的優良特性。

即本實施形態一的 SOI-LDMOSFET 其  $n$  型漂移區域 1 1 2 的雜質濃度如圖 1 B 以及圖 1 C 所示，在縱方向 ( 半導體層的厚度方向 ) 以及橫方向 ( 平行於半導體層表面的方向 ) 之任一方向中，都可隨著離開  $n^{++}$  型汲極區域 1 0 4 而降低來設定。

圖 1 B 係顯示  $n$  型漂移區域 1 1 2 表面附近中的橫方向的表面雜質濃度分布圖，顯示對從橫方向的基準點 ( 與  $n$  型漂移區域 1 1 2 的  $n^{++}$  型汲極區域 1 0 4 之邊界 ) 起的距離  $X$  之表面附近的雜質濃度。

此外，圖 1 C 係顯示對從  $n$  型漂移區域 1 1 2 中的深

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明 ( 14)

度方向 ( 縱方向 ) 的表面起的距離 Y 的雜質濃度。

在如此所構成的實施形態一的 SOI-LDMOSFET 中，n 型漂移區域 112 的雜質濃度因設定為從 n<sup>++</sup> 型汲極區域 104 朝 p<sup>+</sup> 型井區域 105 慢慢地降低，故可緩和圖 2 所示的 p<sup>+</sup> 型井區域 105 與 n 型漂移區域 112 的接合部分所集中的電場，可使 n 型漂移區域 112 中的電場分布接近均勻分布。

據此，本實施形態一的 SOI-LDMOSFET 如圖 3 所示，可使耐電壓特性變佳。

而且，在本實施形態一的 SOI-LDMOSFET 中，p<sup>+</sup> 型井區域 105 與 n 型漂移區域 112 的接合部分附近的 n 型漂移區域 112 內被設定為低雜質濃度，特別是在介電層 107 的附近，因被設定為低 n 型半導體層 3 的初期濃度水平 ( Level )，故即使 n<sup>++</sup> 型汲極區域 104 未被施加電壓，藉由施加給 n<sup>++</sup> 型汲極區域 104 的正電壓，在 n 型漂移區域 112 內，空乏層有效地自 p<sup>+</sup> 型井區域 105 與 n 型漂移區域 112 的接合部分朝 n<sup>++</sup> 型汲極區域 104 側擴大。

據此，因可加大 OFF 狀態中的 n 型漂移區域 112 的空乏層寬度，故可減小源極 / 汲極間的靜電電容。

而且，本實施形態一的 SOI-LDMOSFET 不僅橫方向，連縱方向也令雜質濃度變化來構成，故可形成較厚的 n 型漂移區域 112。

據此，可採取寬的電流路徑的剖面，因可有效地散逸

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明 ( 15)

產生的熱，故可增大容許開電流，可構成在 ON 狀態下可流通較大的電流之 SOI-LDMOSFET。

如以上，如果依照本實施形態一的 SOI-LDMOSFET 100，理想上可獲得近似的耐壓，可增大可容許的開電流。

以下，說明關於實施形態一的 SOI-LDMOSFET 中的較佳形態。此外，本發明並非限定於以下的構成。

(1)、n 型漂移區域 112 的雜質濃度分布

在本發明中，n 型漂移區域 112 的雜質濃度分布依照以下的 (2) 式所表示的高斯分布而變化來設定較佳。

$$N(x,y) = N_{peak} \cdot \exp(-(x/L_x)^2) \cdot \exp(-(y/L_y)^2) \dots (2)$$

此處，(2) 式中的變數以及常數定義如下。

x：自 n 型漂移區域 112 的表面中的 n<sup>++</sup> 型汲極區域 104 端的距離

y：自 n 型漂移區域 112 中的半導體層表面的厚度方向的距離

N(x, y)：以座標 (x, y) 表示的位置的雜質濃度

N<sub>peak</sub>：n 型漂移區域 112 的最高雜質濃度

L<sub>x</sub>：n 型漂移區域 112 中的橫方向的雜質擴散長度

L<sub>y</sub>：n 型漂移區域 112 中的厚度方向的雜質擴散長度

依照此 n 型漂移區域 112 中的高斯分布而變化的雜

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明 ( 16)

質濃度分布因係以  $n^{++}$  型汲極區域 1 0 4 的端為基準，由自該基準的距離所定義，故可透過自  $n^{++}$  型汲極區域 1 0 4 側的雜質的熱擴散來控制。

因此，具有依照高斯分布而變化的雜質濃度分布之  $n$  型漂移區域 1 1 2，因無須對習知例的 SOI-LDMOSFET 的製造為不可欠缺的高精度罩幕加工，故可容易形成。

而且，因不受罩幕的精度加工所造成的限制，故可製作漂移長度短的 SOI-LDMOSFET。

因此，若使用具有依照高斯分布而變化的雜質濃度分布之  $n$  型漂移區域 1 1 2 的話，可高精度且容易製造具有當作開關高頻訊號的開關之要求大的 2 0 ~ 3 0 0 V 等級的耐壓且漂移長度約 1 ~ 1 5  $\mu$  m 的 SOI-LDMOSFET。

( 2 )、閘極懸突體 1 1 3 下的  $n$  型漂移區域 1 1 2 的雜質濃度

位於  $n$  型漂移區域 1 1 2 中的閘極懸突體 1 1 3 下的區域 ( 閘極懸突體下區域 ) 的雜質濃度，設定為比滿足以下的 ( 3 ) 式所給的 RESURF 條件的雜質濃度  $N$  ( RESURF ) 還低較佳。

$$T_{soi} \times N(\text{RESURF}) \cong 1 \times 10^{12} (\text{atm/cm}^2) \quad \dots ( 3 )$$

此處，( 3 ) 式中的變數以及常數定義如下。

$T_{soi}$  :  $n$  型半導體層 3 的膜厚 (  $cm$  )

$N$  ( RESURF ) : 滿足 RESURF 條件的雜質濃度 (  $atm/cm^3$  )

如以上，藉由設定  $n$  型漂移區域 1 1 2 中的懸突體 (

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明 ( 17)

Overhang) 下區域的雜質濃度為  $N(\text{RESURF})$  以下，在令閘極電壓為負或零電位的 OFF 狀態中，可在 n 型漂移區域 112 內更有效地擴大空乏層，因可加大 OFF 狀態中的 n 型漂移區域 112 的空乏層寬度，故可減小源極 / 汲極間的靜電電容。

特別是在 OFF 狀態中，在 n 型漂移區域 112 與 p<sup>+</sup> 型井區域 105 的接合部分附近，且因極度地降低介電層 2 附近的 n 型漂移區域 112 的雜質濃度，故在該雜質濃度極度低的區域中，空乏層非常容易擴大，其結果降低輸出靜電電容的效果更顯著地顯現。

此外，在閘電極 109 被施加開電壓（這種情形為正電壓）的狀態下，藉由該閘電極 109 的電位（Potential），因 n 型漂移區域 112 的閘極懸突體下區域儲存載子（Carrier）（電子），故設定該區域的雜質濃度為低也無妨（ $N(\text{RESURF})$  以下），ON 狀態下的載子濃度與設定雜質濃度為  $N(\text{RESURF})$  左右或大於  $N(\text{RESURF})$  相同，可較高。

因此，藉由設定閘極懸突體下區域的雜質濃度比  $N(\text{RESURF})$  低，可獲得理想的耐壓，同時可增大可容許的開電流，並且不增大開電阻，可有效地降低輸出靜電電容。

(3)、在 n<sup>+</sup> 型汲極區域 104 附近且 n 型漂移區域 112 表面附近（高濃度區域）的雜質濃度，設定為比滿足前述 RESURF 條件的雜質濃度  $N(\text{RESURF})$  還高較佳。

(請先閱讀背面之注意事項再填寫本頁)

裝訂

## 五、發明說明 ( 18 )

據此，在 n 型漂移區域 1 1 2 中，若雜質濃度形成比  $N$  ( RESURF ) 還高的高濃度區域的話，該高濃度區域中的載子濃度當然變高。因此，開 ( ON ) 時流動的電流因該電流的大部分流過表面附近，故藉由提高表面附近的載子濃度，可降低開電阻。

這種情形，更藉由設定閘極懸突體 1 1 3 正下方的 n 型漂移區域 1 1 2 的濃度比  $N$  ( RESURF ) 低，不增大開電阻，可抑制輸出靜電電容。

因此，在 n 型漂移區域 1 1 2 中，藉由形成雜質濃度比  $N$  ( RESURF ) 還高的高濃度區域，可獲得理想的耐壓，同時可增大可容許的開電流，並且不增大輸出靜電電容，可有效地降低開電阻。

( 實施形態一的 LD-MOSFET 的製造方法 )

其次，參照圖 7 A ~ 圖 7 H 說明關於本實施形態一的 LD-MOSFET 的製造方法。

此外，本製造方法係在 n 型漂移區域中，形成具有高斯分布的雜質濃度分布情形的方法。

首先，在單晶矽等的基板 1 上中介氧化矽膜等的介電層 2，在形成單晶矽等的半導體層 3 之 S O I 基板的表面形成氧化膜。

然後，藉由除去欲導入 p 型井區域以及  $n^{++}$  型汲極區域等的雜質之部位的氧化膜，形成氧化膜 1 0 1 5 ( 圖 7 A ) 。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明 ( 19 )

其次，以光阻罩幕 ( Resist mask ) 1 0 1 6 遮蔽欲形成  $n^{++}$  型汲極區域 1 0 4 的區域以外後，進行  $n$  型的雜質導入 ( 圖 7 B )，藉由熱處理使該  $n$  型雜質擴散成規定的擴散長度。藉由控制此熱處理工程的溫度以及時間，在  $n$  型漂移區域 1 1 2 中形成具有以 ( 2 ) 式表示的高斯分布之雜質擴散分布。此外，此分布的模樣在圖 1、圖 7 C 中係以複數條線來表示，惟此線係顯示等高線，實際上乃依照 ( 2 ) 式連續地變化。

其次，如圖 7 C 所示，利用氧化膜罩幕 1 0 1 5 與光阻罩幕 1 0 1 7 進行用以形成  $p$  型井區域 1 0 6 的雜質導入，藉由熱處理形成好像到達介電層 2 的  $p$  型井區域 1 0 6。

其次，形成用以形成  $n^{++}$  型源極區域 1 0 6 以及  $n^{++}$  型汲極區域 1 0 4 的光阻罩幕 1 0 1 8，以該光阻罩幕 1 0 1 8 以及氧化矽膜 1 0 1 5 為罩幕，藉由導入  $n$  型雜質，形成  $n$  型雜質植入區域 1 0 6 a、1 0 4 a ( 圖 7 D )。

其次，在除去光阻罩幕 1 0 1 8 後，形成用以形成  $p^{++}$  型基底接觸窗區域的光阻罩幕 1 0 1 9，藉由導入  $p$  型雜質，形成  $p$  型雜質植入區域 1 0 7 a ( 圖 7 E )。

在除去光阻罩幕 1 0 1 9 後，藉由熱處理擴散  $n$  型雜質植入區域 1 0 4 a、1 0 6 a 以及  $p$  型雜質植入區域 1 0 7 a 的各雜質，分別形成  $n^{++}$  型汲極區域 1 0 4、 $n^{++}$  型源極區域 1 0 6 以及  $p^{++}$  型基底接觸窗區域 1 0 7

## 五、發明說明 ( 20 )

。

然後，形成閘極氧化膜用的氧化矽膜 1 0 8 ( 圖 7 F ) 。

其次，在氧化矽膜 1 0 8 上形成閘電極 1 0 9 ，再者形成中間層 1 0 2 0 ，利用蝕刻除去應形成接觸窗區域的區域之中間層 1 0 2 0 ( 圖 7 G ) 。

然後，形成汲極電極 1 1 0 與源極電極 1 1 1 ，藉由形成保護膜 1 0 2 1 製造實施形態一的 LDMOSFET 。

以上所說明的實施形態一的 LDMOSFET 之製造方法因係以氧化膜 1 0 1 5 為罩幕，自對準地形成 n 型漂移區域的雜質濃度分布、井區域、汲極區域以及源極區域，故可精度良好地製造微細的半導體元件。

而且，n 型漂移區域 1 1 2 的雜質濃度分布可依照自 n<sup>+</sup> 型汲極區域的距離，具有高斯分布來構成。

( n 型漂移區域 1 1 2 的厚度與特性 )

其次，說明與本實施形態一中的 n 型漂移區域 1 1 2 ( n 型半導體層 3 ) 的厚度以及漂移長度與特性的關係。

( 1 ) 、 n 型漂移區域 1 1 2 的厚度為大約  $0.3 \mu\text{m}$  時

在本實施形態一的 SOI-LDMOSFET 中，可設定 n 型漂移區域 1 1 2 的厚度為大約  $0.3 \mu\text{m}$  ，即使在這種情形中也能獲得上述的各作用效果。

據此，藉由使 n 型半導體層 1 0 3 變得比較薄，因可

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明 ( 21)

縮小 n 型漂移區域 1 1 2 與 p 型井區域 1 0 5 之間的接合面積，故如圖 4 所示，大致與半導體層 3 的厚度成比例，可降低輸出靜電電容。

另一方面，本實施形態一的構成在 n 型漂移區域 1 1 2 中，自 n 型半導體層 3 的表面朝介電層 2 的縱方向中，雜質濃度好像慢慢地降低的雜質濃度分布藉由雜質的熱擴散來形成，惟 n 型半導體層 3 的膜厚若是  $0.3 \mu\text{m}$  左右的話，可形成這種雜質分布。

但是，若 n 型半導體層 3 的膜厚比  $0.3 \mu\text{m}$  薄的話，n<sup>++</sup> 型源極區域 1 0 6 與介電層 2 之間的距離變小，因透過內建電位 ( Built-in potential ) 形成從 n<sup>++</sup> 型源極區域 1 0 6 與 p 型井區域 1 0 5 間的接合擴大到 p 型井區域 1 0 5 內的空乏層，故 n<sup>++</sup> 型源極區域 1 0 6 與介電層 2 間的 p 型井區域 1 0 5 容易夾斷 ( Pinch off ) 。

據此，產生閘電極 1 0 9 正下方的 p 型井區域 1 0 5 的電位為不定狀態之所謂的本體浮置 ( Body floating ) 現象，有耐壓或容量降低之問題。

因此，本發明 n 型半導體層 3 的膜厚設定為  $0.3 \mu\text{m}$  以上較佳。

( 2 )、n 型漂移區域 1 1 2 的厚度為大約  $1.5 \mu\text{m}$  時

在本實施形態的 SOI-LDMOSFET 中，n 型半導體層 3 具有  $1.5 \mu\text{m}$  的厚度也可以。

此外，這種情形自沿著 n 型半導體層 3 表面的 p 型井

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明 ( 22 )

區域 1 0 5 端到 n<sup>+</sup> 型汲極區域 1 0 4 端的漂,移距離 ( n 型漂移區域 1 1 2 的寬度 ) 設定為 1 5  $\mu$  m 左右較佳。

據此，在本實施形態一的 SOI-LDMOSFET 中，即使 n 型半導體層 3 具有 1 5  $\mu$  m 的厚度，也能獲得上述種種的作用效果。

詳細而言，耐電壓特性與漂移距離之間大概有 ( 耐壓 )  $\propto$  ( 漂移距離 ) 的關係，若設定漂移距離為 1 5  $\mu$  m，則在當作開關高頻訊號的開關之要求大的  $\sim$  3 0 0 V 的耐壓等級中，經由實驗確認了最高耐壓可實現 3 0 0 V ( 圖 5 )。

如以上，關於 n 型半導體層 3 的膜厚，在大概 0 . 3  $\mu$  m 到 1 5  $\mu$  m 的範圍可確保比較良好的特性被發明者們的種種實驗結果確認。因此，即使耐電壓特性較低也可以，惟輸出靜電電容的降低對於必要的用途，若設定薄的 n 型半導體層 3 的膜厚較佳，且對於要求高耐電壓特性的用途，藉由設定厚的 n 型半導體層 3 來構成元件也可以。

此外，如此藉由設定厚的 n 型半導體層 3 的膜厚，因經由 n 型漂移區域 1 1 2 可有效率地排出熱，故元件的散熱特性佳。據此，可增大可容許的開電流。

但是，在具有 1 5  $\mu$  m 以上的厚度之 n 型漂移區域中，若想形成上述雜質濃度斜率的話，熱擴散雜質的工程時間變長，而且，在 1 5  $\mu$  m 以上的厚度之半導體層，若想自表面擴散雜質，則隨著擴散距離變大，擴散速度也變慢。因此，在本發明中設定 n 型半導體層 3 為 1 5  $\mu$  m 以下

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明 ( 23 )

較佳。

如此一來，如果依照與本實施形態一有關的 SOI-LDMOSFET，n 型漂移區域 1 1 2 的厚度可設定為 1.5  $\mu\text{m}$  左右，據此，可由現實的製造時間來製造，且可提供具有極高的耐電壓特性（約 300 V），並且可容許的開電流大的 SOI-LDMOSFET。

( 3 )、n 型漂移區域 1 1 2 的厚度為大約 0.5  $\mu\text{m}$  時

透過以下所說明的理由，在本發明中為了保持較小的輸出靜電電容，n 型漂移區域 1 1 2 的厚度設定為 0.5  $\mu\text{m}$  以上較佳。

n 型半導體層 3 的膜厚與輸出靜電電容、開電阻之間有（輸出靜電電容） $\times$ （開電阻） $\propto$ （n 型半導體層 3 的膜厚）的關係，若 n 型半導體層 3 的膜厚比 0.5  $\mu\text{m}$  左右小的話，（輸出靜電電容） $\times$ （開電阻）的值減少逐漸飽和已經由實驗確認（圖 6）。

但是，另一方面如圖 6 所示，若 n 型半導體層 3 的膜厚比 0.5  $\mu\text{m}$  左右小的話，耐電壓特性更加劣化。

即使 n 型半導體層 3 的膜厚比 0.5  $\mu\text{m}$  左右小，相較之下，犧牲耐電壓特性也無法降低（輸出靜電電容） $\times$ （開電阻）的值。

因此，藉由設定 n 型半導體層 3 的膜厚為 0.5  $\mu\text{m}$  左右以上，確保要求的耐壓後，降低（輸出靜電電容） $\times$ （開電阻）來設定較佳。

（請先閱讀背面之注意事項再填寫本頁）

裝  
訂

## 五、發明說明 ( 24 )

因此在本發明中，爲了確保更優良的耐壓，同時使容許開電流增大，並且有效地降低（輸出靜電電容）×（開電阻），設定 n 型半導體層 3 的膜厚爲  $0.5 \mu\text{m}$  以上較佳。

（4）、設定 n 型漂移區域 112 的厚度爲大約  $4 \mu\text{m}$ ，且設定漂移距離爲大約  $4 \mu\text{m}$  時的例子

在本發明的 SOI-LDMOSFET 中，n 型半導體層 3 大概設定爲  $4 \mu\text{m}$  的厚度，若設定自 p 型井區域 105 端到 n 型汲極區域 104 端的 n 型漂移區域 112 之距離（即漂移距離）爲大約  $4 \mu\text{m}$ ，則可獲得以下的特性。

如上述耐電壓與漂移距離係指有（耐壓） $\propto$ （漂移距離）的關係。

根據此關係，藉由設定漂移距離爲  $4 \mu\text{m}$  且設定 n 型半導體層 3 大概爲  $4 \mu\text{m}$  的厚度，經由實驗確認了可實現 100 V 等級的耐電壓（圖 5）。

再者，關於獲得真耐壓更藉由設定厚的 n 型半導體層 3，使元件的散熱變佳，故可更增大容許開電流。

因此，如果依照與本實施形態有關的 SOI-LDMOSFET，藉由設定漂移距離爲  $4 \mu\text{m}$  且設定 n 型半導體層 3 大概爲  $4 \mu\text{m}$  的厚度，可確保當作開關高頻訊號且較高耐電壓開關元件之要求大的 100 V 等級的耐電壓，而且可提供可增大容許開電流的元件。

由以上（1）～（4）所說明的，在本發明中到

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

## 五、發明說明 ( 25)

100 V 等級的耐電壓特性之要求，對於要求輸出靜電電容以及 ON 狀態中的 ON 電阻較小的特性之用途，設定 n 型半導體層 3 的膜厚在  $0.5 \mu\text{m} \sim 4 \mu\text{m}$  的範圍中符合要求的話較佳。

而且，在本發明中對於要求 100 V ~ 300 V 等級的耐電壓特性之用途，設定 n 型半導體層 3 的膜厚在  $4 \mu\text{m} \sim 15 \mu\text{m}$  的範圍中符合要求的話較佳。

(5)、與耐電壓特性為 25 ~ 50 V 的本發明有關的元件

其次，說明以本實施形態一的構成，實現具有當作開關高頻訊號的開關之需要最大的 25 ~ 50 V 的耐壓之元件的例子。

本例為考慮形成於 SOI 基板上的 n 型半導體層 3 具有大概  $0.5 \mu\text{m} \sim 1.5 \mu\text{m}$  的厚度誤差，以這種厚度誤差為前提，構成元件的例子。

具體上，設定自沿著 n 型半導體層 3 表面的 p 型井區域 105 端到 n<sup>++</sup> 型汲極區域 104 端的 n 型漂移區域 112 之距離（即漂移距離）為  $1 \sim 2 \mu\text{m}$ 。

如此，若設定漂移距離為  $1 \sim 2 \mu\text{m}$  的話，經由實驗確認了可實現具有當作開關高頻訊號的開關之要求最大的 25 ~ 50 V 的耐壓（圖 5）。

而關於 n 型半導體層 3 的膜厚，如 (3) 所說明的，為了有效地降低（輸出靜電電容）×（開電阻），獲知若

## 五、發明說明 ( 26 )

設定膜厚為大約  $0.5 \mu\text{m}$  較佳 ( 圖 6 ) 。

如以上，在所供給的 SOI 晶圓中，n 型半導體層 3 的膜厚因薄膜成長的控制界限，現狀中雖然具有約  $0.5 \sim 1.5 \mu\text{m}$  左右的誤差，惟如果依照本實施形態的 SOI-LDMOSFET，藉由設定漂移距離為  $1 \sim 2 \mu\text{m}$ ，可實現  $25 \sim 50 \text{V}$  等級的耐壓，且比較可降低 ( 輸出靜電電容 )  $\times$  ( 開電阻 )，並且比較可增大容許開電流。

### ( 實施形態二 )

本實施形態二的 LDMOSFET 如圖 8 A 所示，在實施形態一的 LD-MOSFET 中，取代具有連續變化的雜質濃度之 n 型漂移區域 112，除了具備雜質濃度呈階梯 ( Step ) 狀變化的 n 型漂移區域 112 之外，其構成與實施形態一的 LD-MOSFET 相同。

此外，在圖 8 A 中與圖 1 A 相同的元件附加相同的符號來顯示。

詳細說明的話，在本實施形態二的 LDMOSFET 中，n 型漂移區域 212 係由低濃度區域 212 a、中濃度區域 212 b、高濃度區域 212 c 所構成，設定雜質濃度在大致接近 n<sup>++</sup> 型汲極區域 104 的區域為高。

此處，在本實施形態二中，低濃度區域 212 a 係位於 n 型半導體層 3 的表面中間電極 109 的閘極懸突體區域 113 正下方來形成，高濃度區域 212 c 係接近 n<sup>++</sup> 型汲極區域 104 來形成。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明 ( 27 )

而且，在本實施形態二的 LDMOSFET 中，n 型漂移區域 2 1 2 的低濃度區域 2 1 2 a 的雜質濃度  $N_a$  設定成  $N(\text{RESURF})$  以下較佳，高濃度區域 2 1 2 c 的雜質濃度  $N_c$  設定成  $N(\text{RESURF})$  以上較佳。

再者，中濃度區域 2 1 2 b 的雜質濃度  $N_b$  設定成與低濃度區域 2 1 2 a 的雜質濃度  $N_a$  或高濃度區域 2 1 2 c 的雜質濃度  $N_c$  相同也可以，惟設定成滿足  $N_a < N_b < N_c$  較佳。

而且再者，在實施形態二的 LDMOSFET 中，n 型漂移區域 2 1 2 的低濃度區域 2 1 2 a、中濃度區域 2 1 2 b、高濃度區域 2 1 2 c 之各雜質濃度分別在各區域內，具有隨著離開  $n^{++}$  型汲極區域 1 0 4 而減少的分布也可以，此外，這種情形在接鄰的區域邊界雜質濃度係不連續地變化。

在如以上的構成之實施形態二的 LDMOSFET 中，位於閘極懸突體區域 1 1 3 正下方的低濃度區域 2 1 2 a 因雜質濃度  $N_a$  被設定為低，故在使閘極電壓為負或零電位的 OFF 狀態下，在低濃度區域 2 1 2 a 內可有效地擴大空乏層。據此，因可加大 OFF 狀態中的 n 型漂移區域 2 1 2 的空乏層寬度，故可減小源極 / 汲極間的靜電電容。

而且，在閘電極 1 0 9 被施加開電壓（這種情形為正電壓）的狀態下，藉由此閘電極 1 0 9 的電位，使低濃度區域 2 1 2 a 表面儲存載子（電子）。因此，在 ON 狀態

（請先閱讀背面之注意事項再填寫本頁）

裝訂

## 五、發明說明 ( 28 )

中，設定此低濃度區域 2 1 2 a 的雜質濃度為低也無妨，可提高 O N 狀態中的載子濃度。

而且，在高濃度區域 2 1 2 c 中，因設定雜質濃度  $N_c$  為比較高，故高濃度區域中的載子濃度當然變高，可降低開電阻。

如以上所說明的，在本實施形態二的 LD MOSFET 中，因 n 型漂移區域 2 1 2 與實施形態一的漂移區域 1 1 2 進行相同的作用，故實施形態二的 LD-MOSFET 具有與實施形態一的 LD MOSFET 相同的效果。

( 實施形態二的 LD MOSFET 之製造方法 )

其次，參照圖 9 A ~ 圖 9 J 說明本實施形態二的 LD MOSFET 之製造方法。

首先，在 S O I 基板表面形成氧化膜，藉由形成圖案 ( Patterning ) 以形成氧化膜 1 1 1 5 ( 圖 9 A )。

其次，以光阻罩幕 1 1 1 6 遮蔽欲形成  $n^{++}$  型汲極區域 1 0 4 以及 n 型漂移區域 2 1 2 的區域以外，進行用以形成低濃度區域 2 1 2 a 的劑量 ( Dose ) 少的 n 型的雜質導入後 ( 圖 9 B )，藉由熱處理使其熱擴散成規定的擴散長度。

其次，更形成覆蓋到形成低濃度區域 2 1 2 a 的區域之光阻 1 1 1 7，進行用以形成中濃度區域 2 1 2 b 的劑量稍微高的 n 型的雜質導入後 ( 圖 9 C )，藉由熱處理使其熱擴散成規定的擴散長度。

( 請先閱讀背面之注意事項再填寫本頁 )

裝  
訂

## 五、發明說明（29）

其次，形成覆蓋到形成中濃度區域 2 1 2 b 的區域之光阻 1 1 1 8，進行用以形成高濃度區域 2 1 2 c 的劑量高的 n 型的雜質導入後（圖 9 D），藉由熱處理使其熱擴散成規定的擴散長度。

如此一來，藉由分成三階段反覆進行劑量不同的 n 型雜質導入以及熱擴散，形成雜質濃度在各區域間呈階梯狀變化的 n 型漂移區域 2 1 2。

其次，如圖 9 E 所示，使用氧化膜罩幕 1 1 1 5 與光阻罩幕 1 1 1 9 進行用以形成 p 型井區域 1 0 5 的雜質導入，藉由熱處理形成好像到達介電層 2 的 p 型井區域 1 0 5。

其次，形成用以形成 n<sup>++</sup>型源極區域 1 0 6 以及 n<sup>++</sup>型汲極區域 1 0 4 的光阻罩幕 1 1 2 0，以該光阻罩幕 1 1 2 0 以及氧化矽膜 1 1 1 5 為罩幕，藉由導入 n 型雜質，形成 n 型雜質植入區域 1 0 4 a、1 0 6 a（圖 9 F）。

其次，在除去光阻罩幕 1 1 2 0 後，形成用以形成 p<sup>++</sup>型基底接觸窗區域的光阻罩幕 1 1 2 1，藉由導入 p 型雜質，形成 p 型雜質植入區域 1 0 7 a（圖 9 G）。

在除去光阻罩幕 1 1 2 1 後，藉由熱處理使 n 型雜質植入區域 1 0 6 a、1 0 4 a 以及 p 型雜質植入區域 1 0 7 a 的各雜質擴散，分別形成 n<sup>++</sup>型汲極區域 1 0 4、n<sup>++</sup>型源極區域 1 0 6 以及 p<sup>++</sup>型基底接觸窗區域 1 0 7。

## 五、發明說明 ( 30)

然後，形成閘極氧化膜用的氧化矽膜 1 0 8 (圖 9 H)。

其次，在氧化矽膜 1 0 8 上形成閘電極 1 0 9，然後形成中間層 1 1 2 2，利用蝕刻除去應形成接觸窗區域的中間層 1 1 2 2 (圖 9 I)。

然後，形成汲極電極 1 1 0 與源極電極 1 1 1，藉由形成保護膜 1 1 2 3，可製造實施形態二的 LDMOSFET。

如果依照本實施形態二的 LDMOSFET1100 的製造方法，使 n 型半導體層 3 的膜厚變薄，且在漂移長度較長的情形中，可以較短的擴散時間形成 n 型漂移區域 2 1 2 的濃度分布。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 四、中文發明摘要(發明之名稱:半導體裝置及其製造方法)

提供在要求的耐壓中，可實現容許開電流的增大、輸出靜電電容的降低以及開電阻的降低之半導體裝置。

爲了達成此目的，與本發明有關的半導體裝置具備形成於半導體基板上的半導體層，該半導體層具有：第一導電型汲極區域，形成於半導體層的一部分；第二導電型井區域，在半導體層的一部分自汲極區域分離而形成；第一導電型源極區域，自位於汲極區域側的井區域之一端分離，形成於井區域；第一導電型漂移區域，在井區域的一端與汲極區域之間，分別接近井區域與汲極區域來形成，其中在位於漂移區域與上述源極區域之間的井區域，中介閘極氧化膜形成閘電極的半導體裝置中，設定漂移區域的雜質濃度，使其在平行於半導體層表面的橫方向以及半導體層的厚度方向之縱方向，分別隨著離開汲極區域而降低。

(請先閱讀背面之注意事項再填寫本頁各欄)

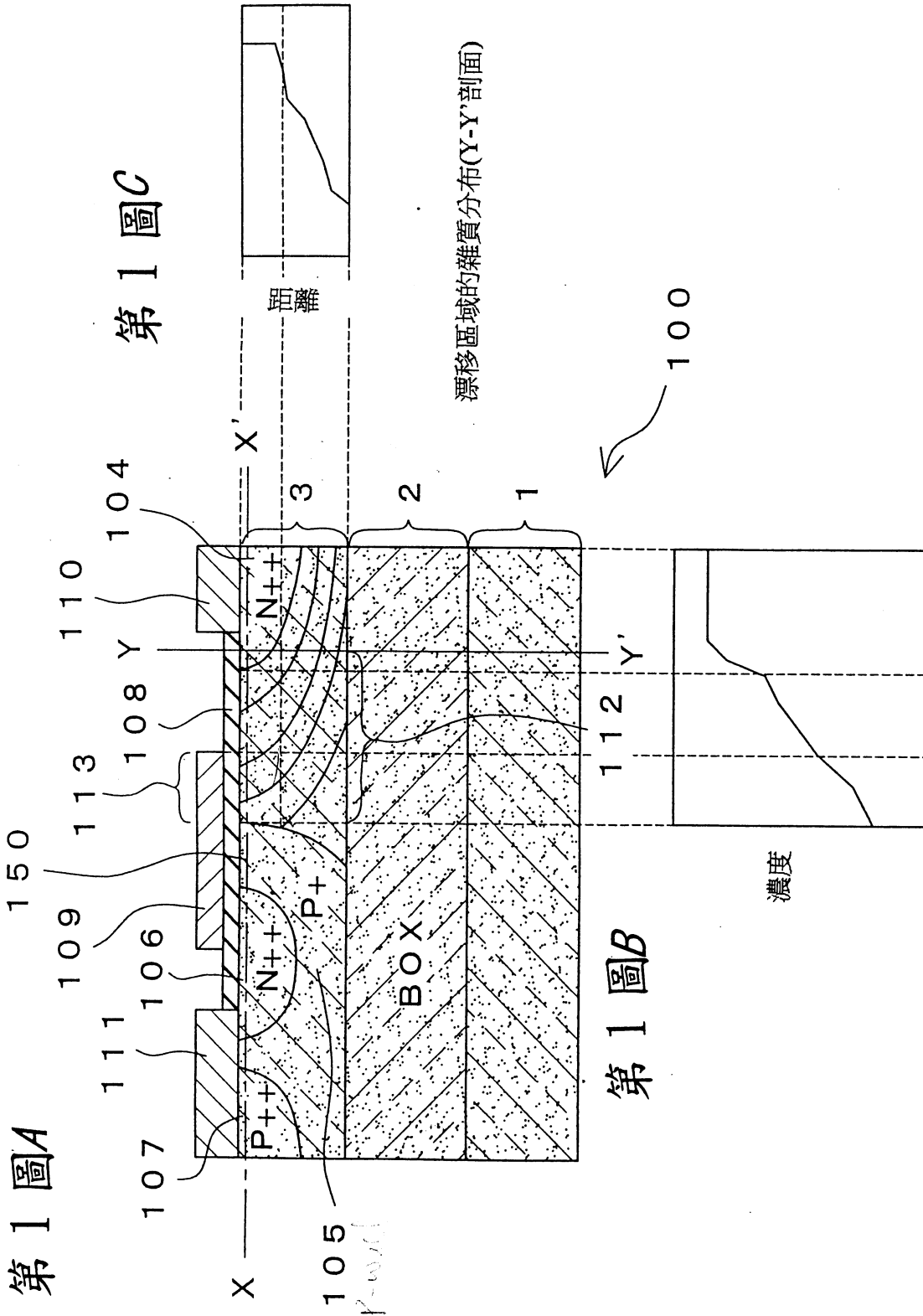
裝

訂

線

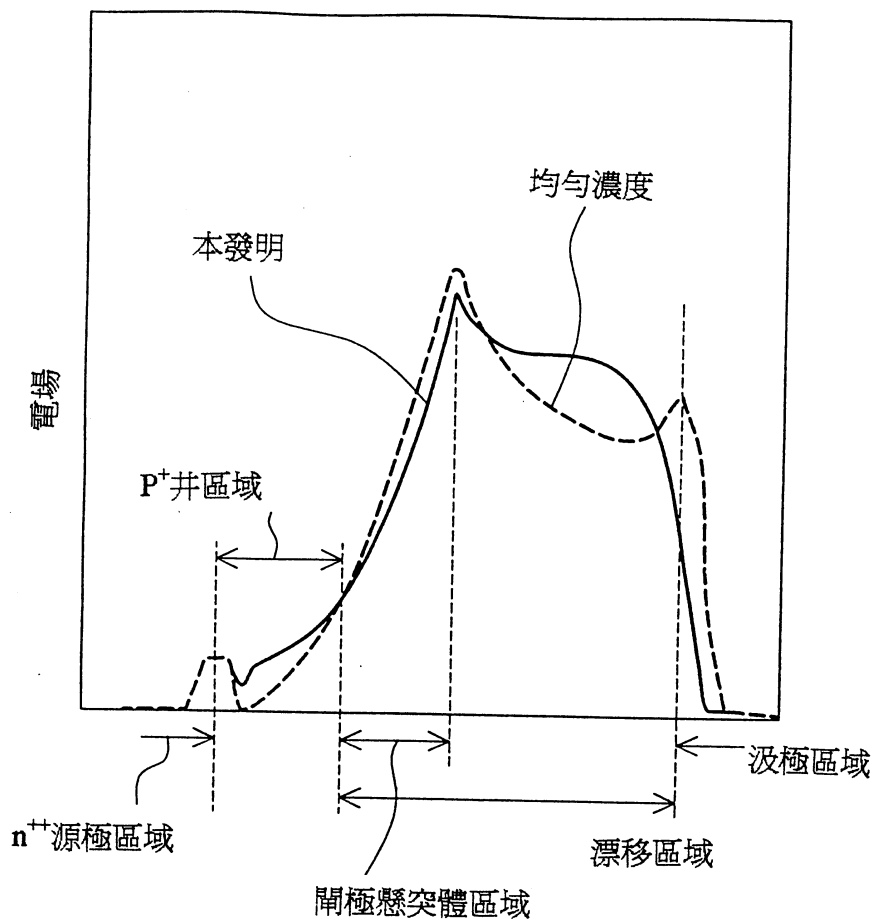
## 英文發明摘要(發明之名稱:)

To provide a semiconductor device having a large allowable current, a demanded withstand voltage, and small output capacitance and resistance, the semiconductor device comprises a semiconductor layer formed on a semiconductor substrate, and the semiconductor layer includes a first conductivity type-drain region, a second conductivity type-well region apart from the drain region, a first conductivity type-source region in the well region apart from one end of the well region on the side of the drain region, a first conductivity type-drift region formed between one end of the well region and the drain region and in contact with the well region and the drain region, respectively, and a gate electrode formed spaced a gate oxide layer and on the well region located between the drift region and the source region; and the impurity concentration of the drift region decreases in the lateral direction and also in the vertical direction, respectively, as the distance from the drain region increases.

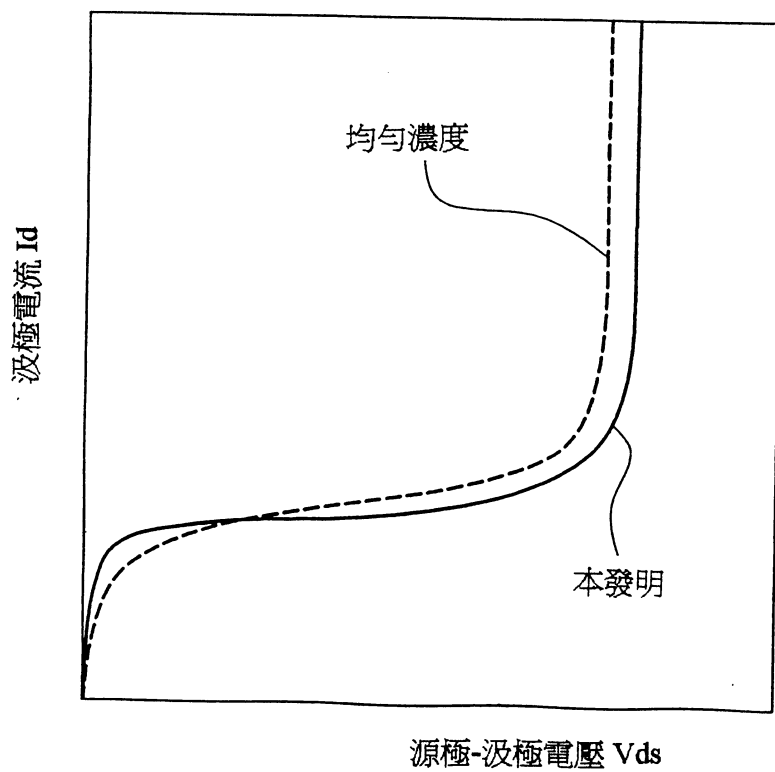


漂移區域的雜質分布(X-X'剖面)

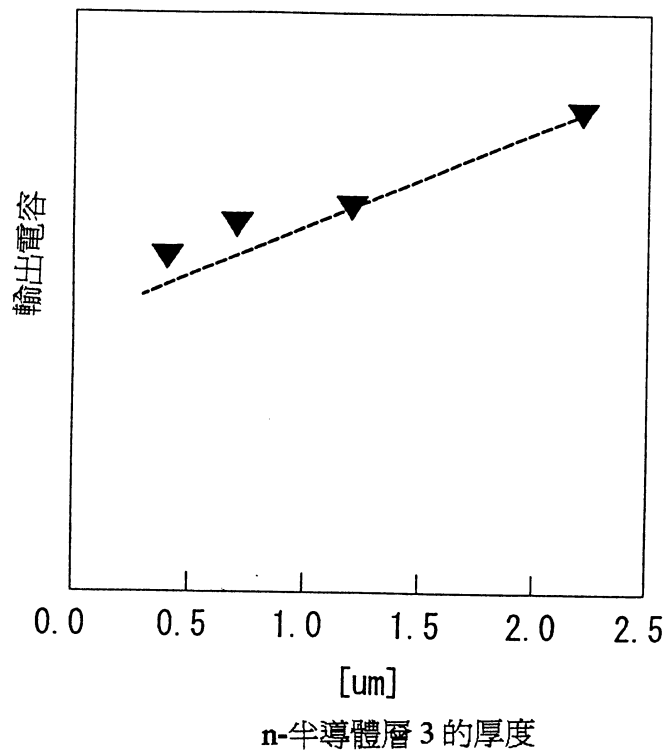
第 2 圖



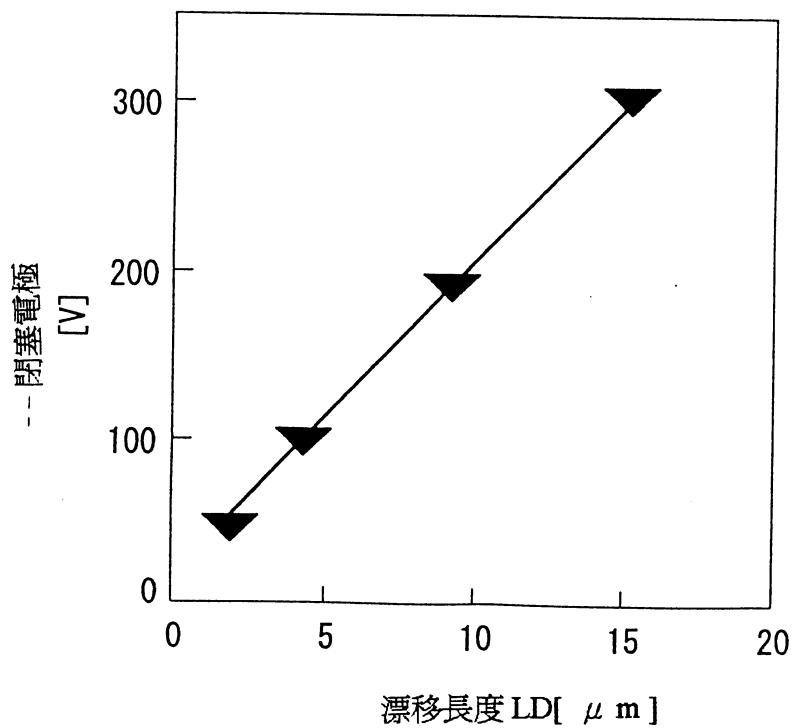
第 3 圖



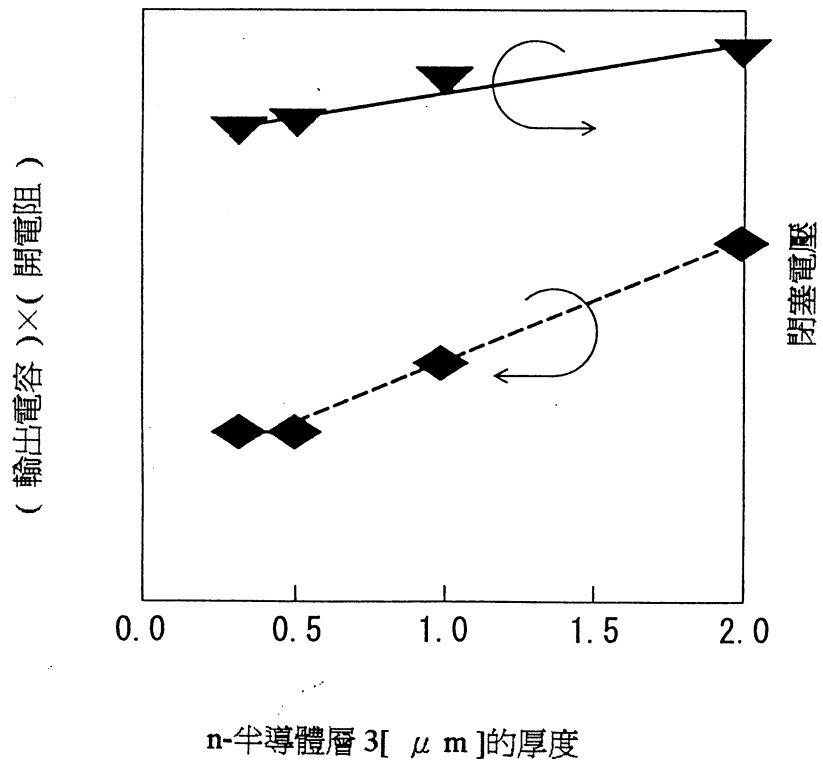
第 4 圖



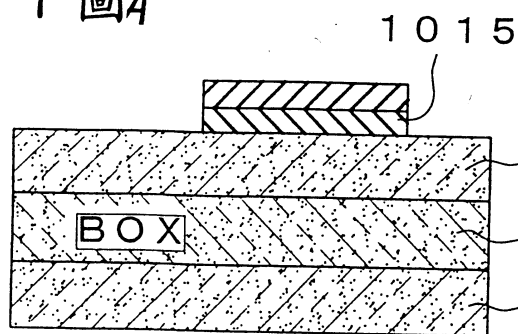
第 5 圖



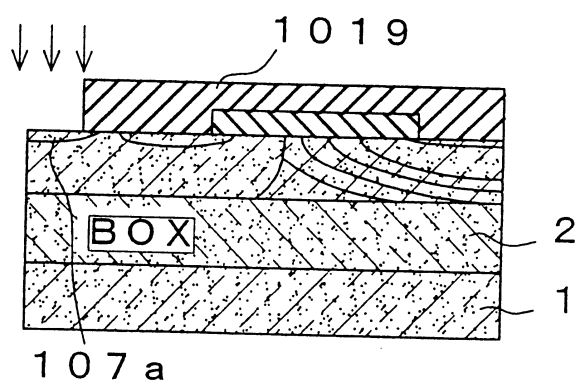
第 6 圖



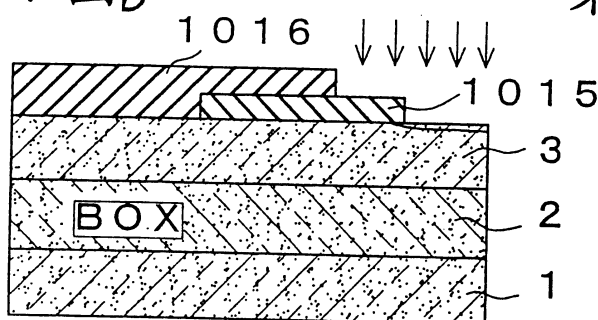
第 7 圖 A



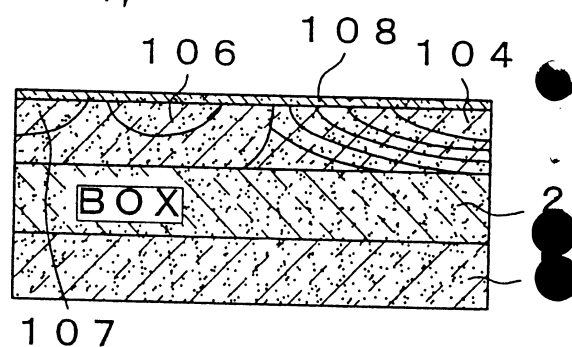
第 7 圖 E



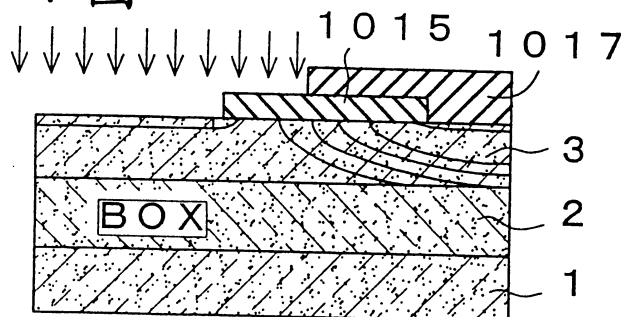
第 7 圖 B



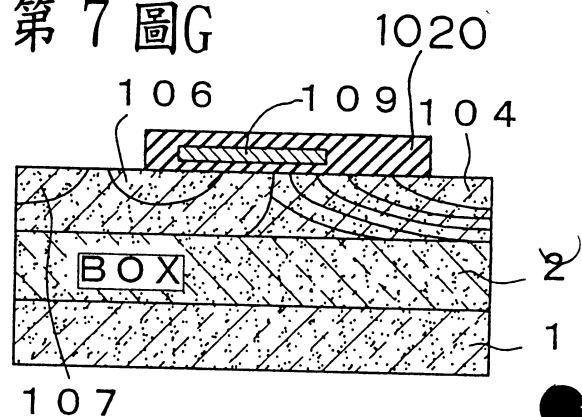
第 7 圖 F



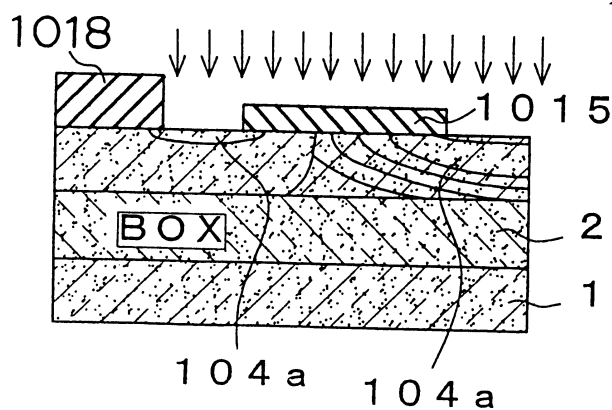
第 7 圖 C



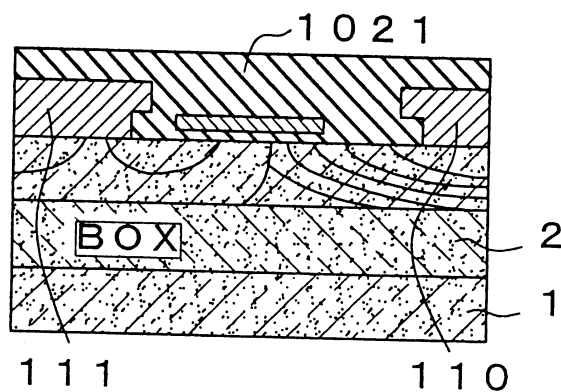
第 7 圖 G



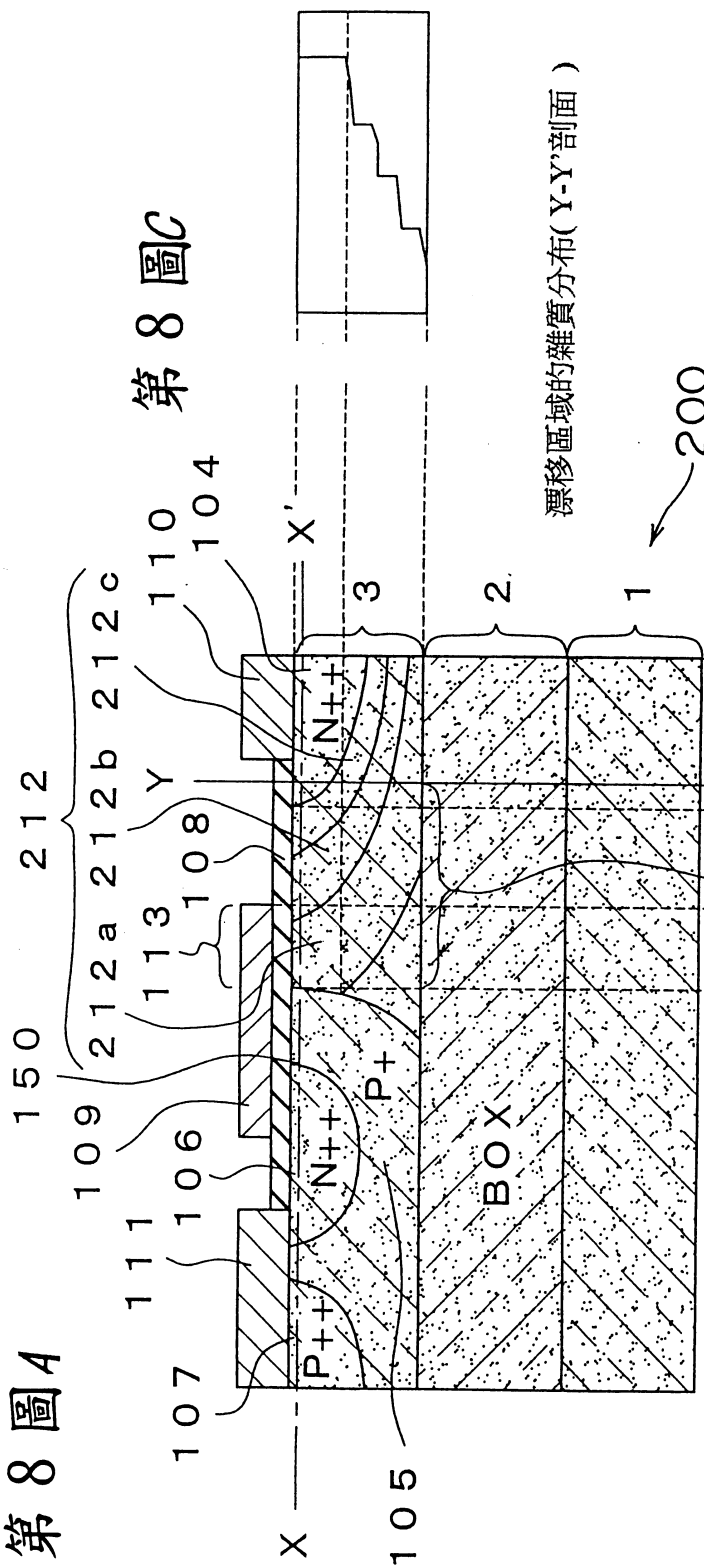
第 7 圖 D



第 7 圖 H



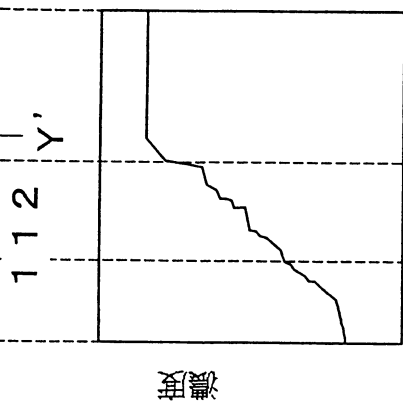
第 8 圖 A



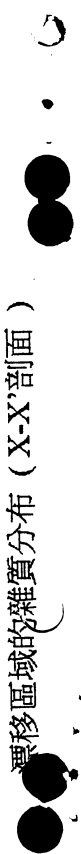
第 8 圖 C

漂移區域的雜質分布 (Y-Y'剖面)

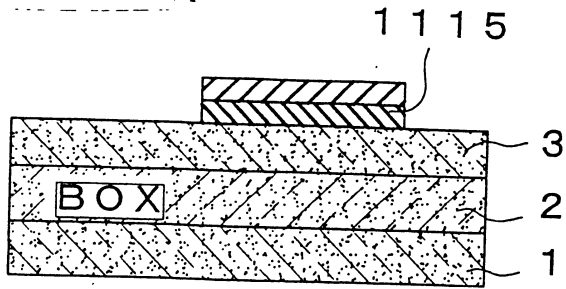
第 8 圖 B



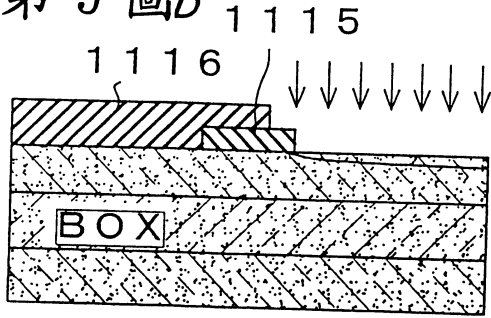
漂移區域的雜質分布 (X-X'剖面)



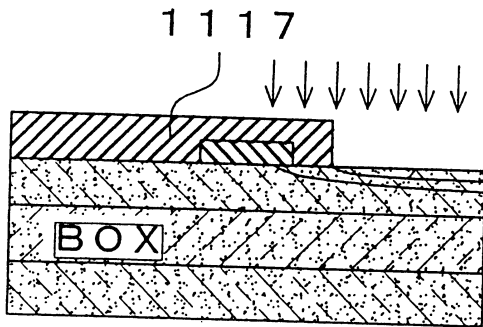
第 9 圖 A



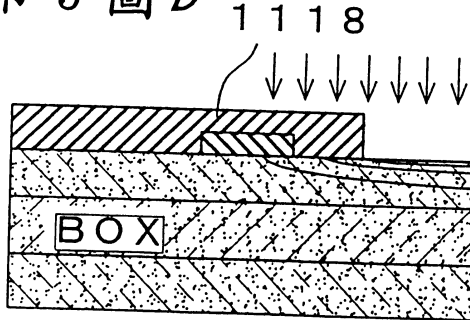
第 9 圖 B



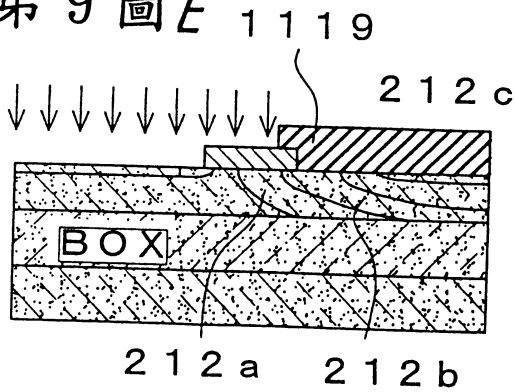
第 9 圖 C



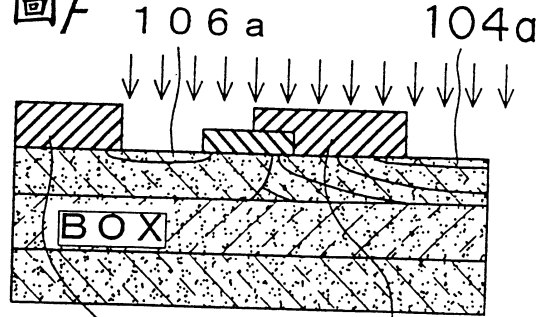
第 9 圖 D



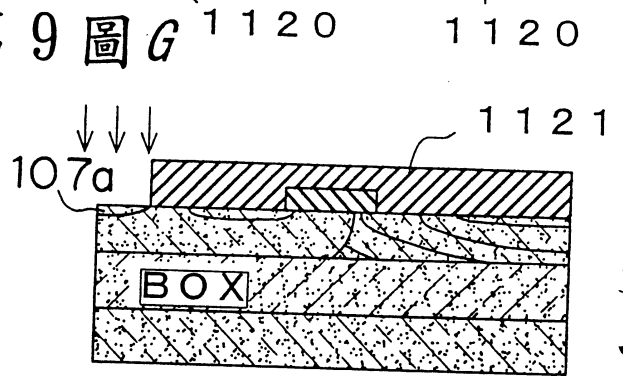
第 9 圖 E



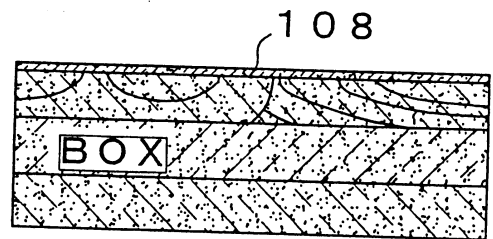
第 9 圖 F



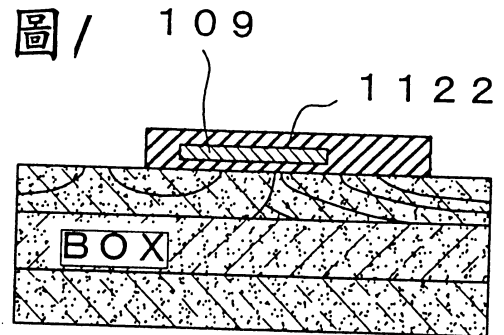
第 9 圖 G



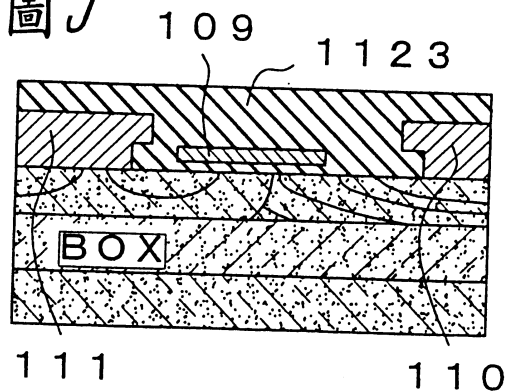
第 9 圖 H



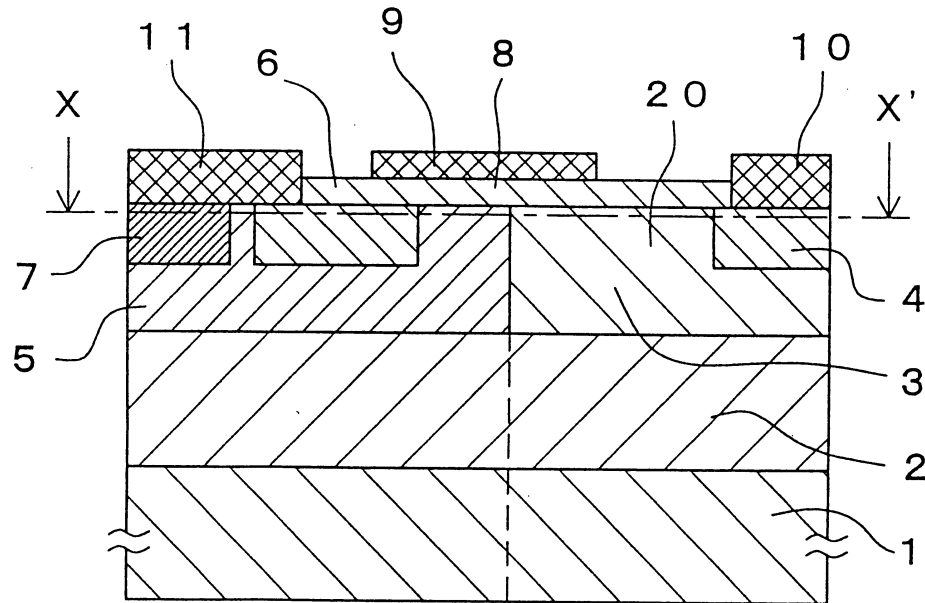
第 9 圖 I



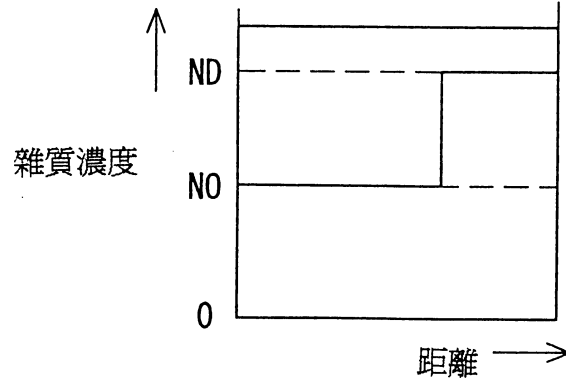
第 9 圖 J



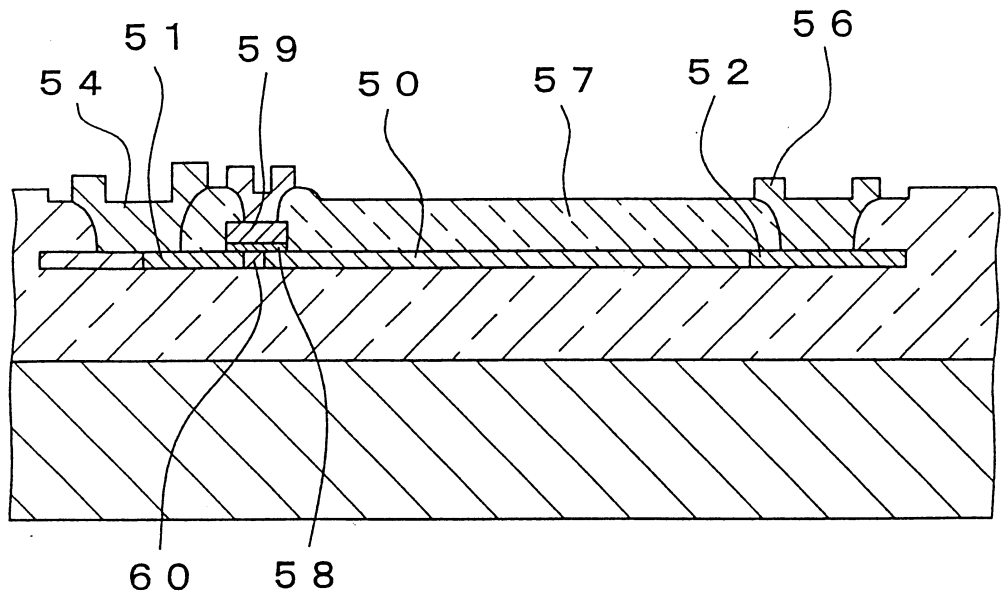
第 10 圖A



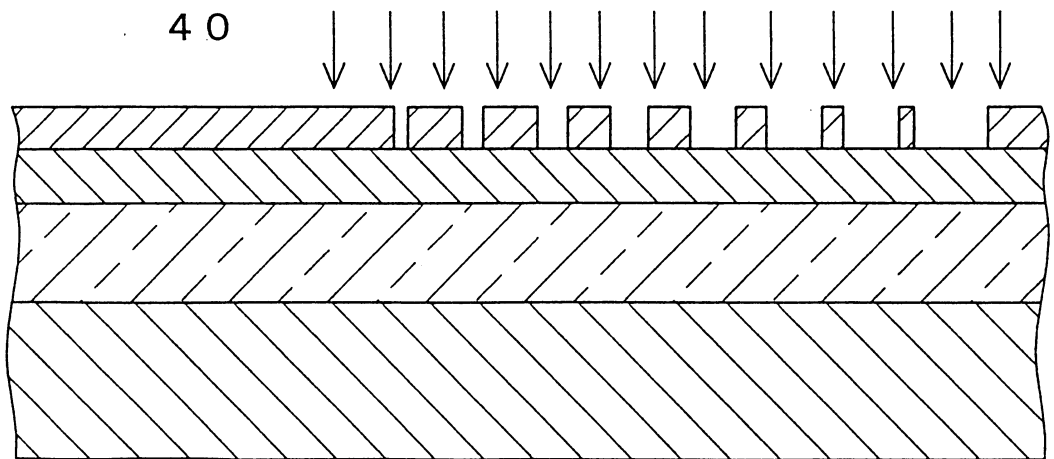
第 10 圖B



第 11 圖



第 12 圖



91年5月9日

修正

## 六、申請專利範圍

第 89127571 號專利申請案

中文申請專利範圍修正本

民國 91 年 5 月修正

1. 一種半導體裝置，具備形成於半導體基板上的半導體層，該半導體層具備：

第一導電型汲極區域，形成於該半導體層的一部分；

第二導電型井區域，在該半導體層的一部分自該汲極區域分離而形成；

第一導電型源極區域，形成於該井區域；

第一導電型漂移區域，在該井區域的一端與該汲極區域之間，分別接近該井區域與該汲極區域而形成，且設定其雜質濃度使其在平行於該半導體層表面的橫方向以及在該半導體層表面的垂直縱方向，分別隨著離開該汲極區域而單調降低；

閘極氧化膜，形成於位於該漂移區域與該源極區域之間的井區域上；以及

閘電極，形成於該閘極氧化膜上。

2. 如申請專利範圍第 1 項所述之半導體裝置，其中該半導體層係中介介電層，形成於該半導體基板上。

3. 如申請專利範圍第 1 項所述之半導體裝置，其中在該漂移區域中，橫方向的雜質濃度隨著以自該汲極區域的橫方向距離  $x$  為變數的高斯分布而變化，縱方向的雜質濃度隨著以自該汲極區域的縱方向距離  $y$  為變數的高斯分

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

布而變化。

4 · 如申請專利範圍第 1 項所述之半導體裝置，其中該閘電極係用以覆蓋該漂移區域的一部分延伸在該漂移區域上來形成，設定位於該閘電極正下方的漂移區域之雜質濃度比滿足 RESURF 條件的雜質濃度  $N(\text{RESURF})$  低。

5 · 如申請專利範圍第 1 項所述之半導體裝置，其中在該漂移區域中，設定位於該汲極區域附近部分的雜質濃度比滿足 RESURF 條件的雜質濃度  $N(\text{RESURF})$  高。

6 · 如申請專利範圍第 1 項所述之半導體裝置，其中該半導體層的膜厚  $t$  設定成滿足  $0.3 \mu\text{m} \leq t \leq 1.5 \mu\text{m}$ 。

7 · 如申請專利範圍第 1 項所述之半導體裝置，其中該半導體層的膜厚  $t$  設定成滿足  $0.5 \mu\text{m} \leq t \leq 4 \mu\text{m}$ 。

8 · 如申請專利範圍第 1 項所述之半導體裝置，其中該半導體層的膜厚  $t$  設定成滿足  $0.5 \mu\text{m} \leq t \leq 1.5 \mu\text{m}$ 。

9 · 如申請專利範圍第 1 項所述之半導體裝置，其中從該漂移區域的該汲極區域端到該井區域端的距離設定為  $1.5 \mu\text{m}$  以下。

10 · 一種半導體裝置的製造方法，其特徵包含：

在形成於半導體基板上的半導體層中，互相分離的第一導電型汲極區域與第一導電型源極區域係分離而形成，在該汲極區域與源極區域之間接近該汲極區域形成漂移區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

域，接近該源極區域形成通道區域，其中應形成該汲極區域的區域摻雜第一導電型雜質，使該摻雜的雜質熱擴散到該漂移區域。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線