



(12)发明专利

(10)授权公告号 CN 104103478 B

(45)授权公告日 2017.05.10

(21)申请号 201410138510.5

(22)申请日 2014.04.08

(65)同一申请的已公布的文献号

申请公布号 CN 104103478 A

(43)申请公布日 2014.10.15

(30)优先权数据

61/809,246 2013.04.05 US

14/082,009 2013.11.15 US

(73)专利权人 朗姆研究公司

地址 美国加利福尼亚州

(72)发明人 亚历克斯·帕特森 哈梅特·辛格

理查德·A·马什 索斯藤·利尔

瓦希德·瓦赫迪 吴英

萨拉瓦纳普里亚·西里拉曼

(74)专利代理机构 上海胜康律师事务所 31263

代理人 李献忠

(51)Int.Cl.

H01J 37/02(2006.01)

H01J 37/305(2006.01)

H01L 21/3065(2006.01)

(56)对比文件

US 2010/0000964 A1,2010.01.07,

US 2008/0178805 A1,2008.07.31,

US 2008/0178805 A1,2008.07.31,

US 6162323 A,2000.12.19,

US 2012/0322270 A1,2012.12.20,

US 2007/0068624 A1,2007.03.29,

US 2006/0102286 A1,2006.05.18,

US 6101970 A,2000.08.15,

审查员 邢玉良

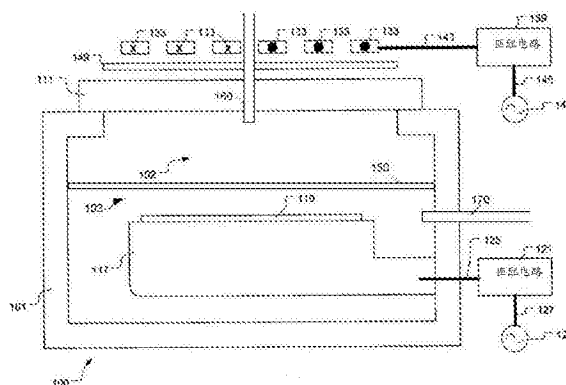
权利要求书3页 说明书15页 附图8页

(54)发明名称

用于半导体制造的内部等离子体格栅

(57)摘要

本文所公开的实施方式涉及用于半导体制造的内部等离子体格栅,具体涉及蚀刻半导体衬底的改进的方法和装置。等离子体格栅被定位在反应室中以将所述室分成上部和下部子室。等离子体格栅可以具有特定的高宽比的槽,从而允许某些物质从上部子室通到下部子室。在某些情况下,在上部子室中产生电子-离子等离子体。通过格栅到下部子室的电子当它们通过时被冷却。在某些情况下,这导致在下部子室中的离子-离子等离子体。下部子室的等离子体与上部子室中的等离子体相比具有较低电子密度,较低的有效温度和较高的负离子:正离子比率。该公开的实施方式可能会导致具有良好的中心到边缘的均匀性、选择性、轮廓角和Iso/密加载的蚀刻工艺。



1. 一种用于在衬底上蚀刻特征的装置,所述装置包括:
室,其限定能提供等离子体的内部;
衬底支架,其用于在蚀刻过程中支撑在所述室中的衬底;
等离子体发生器,其用于在所述室内产生等离子体;以及
格栅,其将所述等离子体室的所述内部分成靠近所述等离子体发生器的上部子室和靠近所述衬底支架的下部子室,
其中所述上部子室的高度是所述下部子室的高度的至少 $1/6$,
其中,所述格栅包括多个槽,该多个槽径向向外延伸,该多个槽在所述等离子体在所述室中产生时防止在所述格栅中形成感应电流,
其中,所述格栅中的所述多个槽具有在介于 0.3 - 5 之间的高宽比;
其中,所述格栅运行以在所述下部子室保持至多为在所述上部子室中的上部电子密度的 $1/11$ 的下部电子密度。
2. 根据权利要求1所述的装置,其还包括控制器,该控制器被设计或配置为在使得在所述上部子室产生上部区域等离子体和和在所述下部子室中产生下部区域等离子体的条件下在所述室中产生所述等离子体,
其中,所述下部区域等离子体中的有效电子温度为 1eV 或更低,并且低于所述上部区域等离子体中的有效电子温度,以及
其中,所述下部区域等离子体中的电子密度为 $5 \times 10^9 \text{厘米}^{-3}$ 或更低。
3. 根据权利要求2所述的装置,其中,所述控制器被进一步设计或配置成施加偏置到所述格栅。
4. 根据权利要求2所述的装置,其中,所述控制器被进一步设计或配置成施加偏置到所述衬底支架。
5. 根据权利要求2所述的装置,其中,所述控制器被进一步设计或配置为将蚀刻剂气体输送到所述室。
6. 根据权利要求2所述的装置,其中,所述控制器被进一步设计或配置为在所述等离子体蚀刻所述衬底的同时在所述室中提供小于 2000 毫毛的压强。
7. 根据权利要求2所述的装置,其中,所述控制器被进一步设计或配置为在所述下部子室中产生离子-离子等离子体。
8. 根据权利要求1所述的装置,其中,所述格栅具有介于 1 和 50 毫米之间的平均厚度。
9. 根据权利要求1所述的装置,其中,所述格栅中的所述多个槽具有在介于 0.5 - 2 之间的高宽比。
10. 根据权利要求1所述的装置,其中,所述多个槽其方位角相邻槽分隔不超过 60 度。
11. 根据权利要求1所述的装置,其中,所述等离子体发生器包括设置在所述室的天花板上方的线圈。
12. 根据权利要求1所述的装置,其中,所述衬底支架是静电卡盘。
13. 根据权利要求1所述的装置,其还包括真空连接件。
14. 一种用于处理半导体衬底的系统,其包括
真空传输模块;
在所述真空传输模块中的智能机械;

接口到所述真空传输模块中的面的多个处理模块;以及
具有处理器的控制器;
其中,多个站中的至少一个包括:
室,其限定能提供等离子体的内部;
衬底支架,其用于在蚀刻过程中支撑在所述室中的所述衬底;
等离子体发生器,其用于在所述室内产生等离子体;以及
格栅,其将所述等离子体室的所述内部分成靠近所述等离子体发生器的上部子室和靠近所述衬底支架的下部子室;
其中,所述上部子室的高度是所述下部子室的高度的至少 $1/6$;以及
其中,所述格栅包括径向向外地延伸的多个槽,该多个槽在所述等离子体在所述室中产生时防止在所述格栅中形成感应电流,
其中,所述格栅中的所述多个槽具有在介于 $0.3-5$ 之间的高宽比;
其中,所述格栅运行以在所述下部子室保持至多为在所述上部子室 中的上部电子密度的 $1/11$ 的下部电子密度。

15. 一种用于与半导体蚀刻装置连接使用的格栅,其包括:
板,其具有与用于半导体器件制造的标准的半导体衬底的直径相同的直径;
在所述板中径向向外地延伸的多个槽,以在当所述板暴露于等离子体时防止在所述板中形成感应电流;

其中所述槽的高宽比是介于 $0.3-5$ 之间;

其中所述格栅当放置在半导体蚀刻装置的处理室中时,将所述处理室分成上部子室和下部子室,并且暴露于在所述上部子室中产生的等离子体,所述格栅运行以在所述下部子室保持至多为在上部子室中的上部电子密度的 $1/11$ 的下部电子密度。

16. 根据权利要求15所述的格栅,其中,所述格栅运行以维持至多为所述上部电子密度的 $1/101$ 的所述下部电子密度。

17. 根据权利要求15所述的格栅,其中,所述标准的半导体衬底的直径为300毫米或450毫米。

18. 根据权利要求15所述的格栅,其中,方位角相邻槽分隔至少 10° ,且不超过 60° 。

19. 根据权利要求15所述的格栅,其中,所述格栅包括金属。

20. 根据权利要求15所述的格栅,其中,所述格栅包括绝缘材料。

21. 一种用于在衬底上蚀刻特征的方法,所述方法包括:

提供所述衬底到在包括等离子体发生器和格栅的室中的衬底支架,所述格栅将所述等离子体室的内部分成靠近所述等离子体发生器的上部子室和靠近所述衬底支架的下部子室,其中所述上部子室的高度是所述下部子室的高度的至少 $1/6$,其中所述格栅包括多个槽,所述多个槽具有在介于 $0.3-5$ 之间的高宽比,所述多个槽径向向外延伸,其中所述格栅运行以在所述下部子室保持至多为在所述上部子室中的上部电子密度的 $1/11$ 的下部电子密度;

在导致在所述上部子室中产生上部区域等离子体和和在所述下部子室中产生下部区域等离子体的条件下在所述室中产生等离子体;以及

通过所述下部区域等离子体与所述衬底的相互作用在所述衬底中蚀刻所述特征,

其中,所述下部区域等离子体中的有效电子温度为1eV或更低,并且低于所述上部区域等离子体中的有效电子温度,以及

其中,所述下部区域等离子体中的电子密度为 5×10^9 厘米⁻³或更低。

22.根据权利要求21所述的方法,其中,在产生所述等离子体时在所述格栅中没有电流产生。

23.根据权利要求21所述的方法,其进一步包括施加偏置到所述格栅。

24.根据权利要求21所述的方法,其进一步包括施加偏置到所述衬底支架。

25.根据权利要求21所述的方法,其还包括提供蚀刻剂气体到所述室。

26.根据权利要求21所述的方法,其中,在小于2000毫托的室压强下进行所述蚀刻。

27.根据权利要求21所述的方法,其中,所述下部区域等离子体是离子-离子等离子体。

用于半导体制造的内部等离子体格栅

[0001] 相关申请的交叉引用

[0002] 本申请要求于2013年6月12日提交的, 名称为“INTERNAL PLASMA GRID FOR SEMICONDUCTOR FABRICATION”的美国专利申请No. 14/082,009的优先权, 该专利申请No. 14/082,009要求于2013年4月5日提交的, 名称为“INTERNAL PLASMA GRID FOR SEMICONDUCTOR FABRICATION”的美国临时申请No. 61/809,246的优先权, 每一个其全部内容通过引用并入本文, 并用于所有目的。

技术领域

[0003] 本发明总体上涉及半导体制造技术领域, 更具体地涉及用于半导体制造的内部等离子体格栅。

背景技术

[0004] 在半导体生产中经常采用的一个操作是蚀刻操作。在蚀刻操作中, 从部分制造的集成电路部分地或全部地去除一种或多种材料。等离子体蚀刻被经常使用, 特别是在涉及的几何形状是小的, 使用高高宽比的, 或者需要精确图案转移的情况下。

[0005] 通常, 等离子体包含电子、正离子和负离子、和一些自由基。自由基、正离子和负离子与衬底相互作用以蚀刻在衬底上的特征、表面和材料。在蚀刻处理过程中, 室线圈执行与在变压器中的初级线圈的功能类似的功能, 而等离子体执行与在变压器中的次级线圈的功能类似的功能。

[0006] 随着从平面晶体管结构发展到3D晶体管结构(如逻辑器件的FinFET栅结构), 等离子体蚀刻工艺需要越来越精确和均匀以生产优质的产物。除其他因素外, 等离子体蚀刻工艺尤其应具有良好的选择性、轮廓角、Iso/密加载、和整体均匀性。

[0007] 蚀刻工艺在被蚀刻的材料和保留的材料之间具有良好的选择性是有益处的。在FinFET栅极结构的背景下, 这意味着应该有被蚀刻的栅极对其它暴露部件(如氮化硅掩模)的良好的选择性。轮廓角被测量为最近蚀刻(大致垂直)的侧壁与水平面之间的夹角。在许多应用中, 理想的轮廓角为90度, 产生垂直蚀刻开口。有时, 局部晶片上的特征密度可影响蚀刻工艺。例如, 其中特征是致密的晶片区域与其中特征是较隔离的晶片的区域相比可有所不同地蚀刻(例如, 蚀刻更快、更慢、更各向同性、更各向异性等)。由于特征密度的变化产生的差异被称为I/D加载。在制造过程中将这些差异最小化是有益处的。除了满足这些和潜在的其它器件特定的要求, 蚀刻工艺往往还需要在衬底的整个表面一致地执行(例如, 从半导体晶片的中心到边缘蚀刻特性应该是一致的)。

[0008] 已经发现在蚀刻先进的结构(如FinFET栅极)时难以实现多个目的, 例如上面那些所阐述的目的。

发明内容

[0009] 本文公开的是用于在半导体器件的制造过程中蚀刻半导体衬底和在其上形成的

层的各种方法和装置。本发明的实施方式的一个方面提供了用于蚀刻衬底上的特征的装置。所述装置可包括：室，其限定可以提供等离子体的内部；衬底支架，其用于在蚀刻过程中支撑在所述室中的衬底；等离子体发生器，其用于在所述室内产生等离子体；以及格栅，其将所述等离子体室的所述内部分成靠近所述等离子体发生器的上部子室和靠近所述衬底支架的下部子室，其中所述上部子室的高度是所述下部子室的高度的至少约1/6，并且其中，所述格栅包括基本上径向向外地延伸的多个槽，该多个槽在所述等离子体在所述室中产生时基本上防止在所述格栅中形成感应电流。

[0010] 该装置还可以包括控制器，该控制器被设计或配置为在导致在所述上部子室产生上部区域等离子体和和在所述下部子室中产生下部区域等离子体的条件下在所述室中产生所述等离子体，其中，所述下部区域等离子体中的有效电子温度为约1eV或更低，并且低于所述上部区域等离子体中的有效电子温度，并且其中，所述下部区域等离子体中的电子密度为约 5×10^9 厘米⁻³或更低，并且低于所述上部区域等离子体中的电子密度。所述控制器可被进一步设计或配置成施加偏置到格栅和/或所述衬底支架。所述控制器还可被设计或配置为将蚀刻剂气体输送到所述室。在一些情况下，所述控制器被设计或配置为在所述等离子体蚀刻所述衬底的同时在所述室中提供小于约2000毫托的压强。但是，在一些情况下，所述控制器被设计或配置为在蚀刻过程中在所述室中提供较小的压强，例如小于约200毫托的压强。在其他情况下，所述控制器可被设计或配置为在所述反应室中保持介于约1-20毫托之间的压强，或介于5-20毫托之间的压强。所述控制器还可被设计或配置为在下部子室中产生离子-离子等离子体的条件的组合。

[0011] 在某些实施方式中，格栅可以具有介于约1-50毫米之间，或介于约5-20毫米之间的平均厚度。所述格栅中的槽通常具有在介于约0.3-5之间，介于约0.5-2之间，或介于约1-4之间的高宽比。所述槽通常布置成使得它们径向向外地延伸。方位角相邻槽有时分隔至少约15度。在这些或其它情况下，方位角相邻槽可以分隔不超过约60度，例如不超过约50度。

[0012] 在某些实施方式中的等离子体发生器包括设置在室的天花板上方的线圈。在一些实施方式中，衬底支架是静电卡盘。各种其它元件可被包括在装置中。例如，该装置还可以包括处理气体入口。此外，该装置可以包括真空连接件。

[0013] 在公开的实施方式的另一个方面，提供了一种用于处理半导体衬底的系统。该系统可包括真空传输模块；在所述真空传输模块中的智能机械；连接到所述真空传输模块的多个站；以及具有处理器的控制器；其中，所述多个站中的至少一个包括限定可以提供等离子体的内部室；衬底支架，其用于在蚀刻过程中支撑在所述室中的所述衬底；等离子体发生器，其用于在所述室内产生等离子体；以及格栅，其将所述等离子体室的所述内部分成靠近所述等离子体发生器的上部子室和靠近所述衬底支架的下部子室；其中所述上部子室的高度是所述下部子室的高度的至少约1/6；并且其中，所述格栅包括基本上径向向外地延伸的多个槽，该多个槽在所述等离子体在所述室中产生时基本上防止在所述格栅中形成感应电流。

[0014] 在各种实施方式中，所述站与所述真空传输模块中的面(facets)接口。在每个面中可以有多传感器。

[0015] 在本文中的实施方式的另一个方面，公开了与半导体蚀刻装置一起使用的格栅，该格栅包括具有与用于半导体器件制造的标准的半导体衬底的直径基本上相同的直径的

板;以及在板中基本径向向外延伸的多个槽,以在当该板被暴露于等离子体时基本上防止在所述板中形成感应电流;其中所述槽的高宽比是介于约0.3-5之间。

[0016] 当所述格栅放置在半导体蚀刻装置的处理室中时,将所述处理室分成上部子室和下部子室,并且暴露于在所述上部子室中产生的等离子体,运行所述格栅以在所述下部子室保持至多为上部子室的上部电子密度的约1/11的下部电子密度。在一些实施方式中,所述格栅可以运行,以维持至多为所述上部电子密度的约1/101的所述下部电子密度。在许多情况下,标准的半导体衬底的直径为约200毫米、300毫米或450毫米。方位角相邻槽可以分隔至少约 10° 。所述方位角相邻槽也可以分隔不超过约 60° 。在一些实施方式中,所述格栅是由金属制成的。在其他情况下,所述格栅由绝缘材料制成。在某些情况下,所述格栅可以包括金属和绝缘材料。

[0017] 在本发明的实施方式的另一个方面中,提供了一种用于在衬底上蚀刻特征的方法,所述方法包括:提供所述衬底到在包括等离子体发生器和格栅的室中的衬底支架,所述格栅将所述等离子体室的内部部分成靠近所述等离子体发生器的上部子室和靠近所述衬底支架的下部子室,其中所述上部子室的高度是所述下部子室的高度的至少约1/6;在导致在所述上部子室中产生上部区域等离子体和和在所述下部子室产生下部区域等离子体的条件下在所述室中产生等离子体;通过所述下部区域等离子体与所述衬底的相互作用在所述衬底中蚀刻所述特征,其中所述下部区域等离子体中的有效电子温度为约1eV或更低,并且低于所述上部区域等离子体中的有效电子温度,并且其中,所述下部区域等离子体中的电子密度为约 5×10^9 厘米⁻³或更低,并且低于所述上部区域等离子体中的电子密度。

[0018] 在某些情况下,在产生所述等离子体时在所述格栅中基本上没有电流产生。该方法还可包括施加偏置到格栅,和/或施加偏置到所述衬底支架。在某些实施方式中,所述方法还包括提供蚀刻气体到所述室中。蚀刻可以在小于约2000毫毛的室压强下进行,且在一些情况下,在介于约1-200毫毛之间,或介于约1-20毫毛之间,或介于约5-20毫毛之间的室压强下进行蚀刻。如本文所述,下部区域等离子体可以是离子-离子等离子体。

[0019] 这些和其他特征将在下面参照有关的附图进行说明。

附图说明

[0020] 图1是示出根据本发明公开的某些实施方式的用于蚀刻操作的等离子体处理系统的示意性剖面图。

[0021] 图2A是根据本发明公开的某些实施方式的格栅结构的简化俯视图。

[0022] 图2B是根据本发明公开的某些实施方式的格栅结构的图片。

[0023] 图3A-3C示出了由于蚀刻副产物的离解出现的一些问题。

[0024] 图4示出了根据本发明的一实施方式的多站集群工具。

[0025] 图5A-5B示出了根据高压常规技术(5A)和根据一实施方式的使用等离子体格栅(5B)的已被蚀刻的FinFET结构的扫描电子显微镜(SEM)图像。

[0026] 图6A-6B示出了根据低压常规技术(6A)和根据本公开的实施方式的使用等离子格栅(6B)蚀刻的特征的SEM图像。

[0027] 图7示出了没有使用等离子体格栅的情况下根据各种方案的已被蚀刻的特征的各种SEM图像。

具体实施方式

[0028] 在本说明中,术语“半导体晶片”、“晶片”、“衬底”、“晶片衬底”,以及“部分制造的集成电路”可互换使用。本领域的普通技术人员应当理解的是,术语“部分制造的集成电路”可以是指半导体晶片上的集成电路制造的不同阶段中的任何阶段期间的半导体晶片上的器件。下面的详细描述的前提为本发明是在晶片上实现的。示例性的工件(有时称为标准半导体衬底)包括200、300和450毫米直径的半导体衬底。然而,本发明并不局限于此。工件可以以各种形状、尺寸和材料形成。

[0029] 在下面的描述中,为了提供对本发明的全面理解,阐述了多个具体的细节。然而,可以在没有这些具体细节中的一些或全部的情况下实施本发明。在其它情形下,为了避免不必要地使本发明变得不清楚,未详细描述公知的处理操作。尽管所公开的实施方式将结合具体的实施方式来描述,但应当理解的是,并不打算限制本公开的实施方式。

[0030] 公开了一种在半导体器件的制造过程中蚀刻半导体衬底和在其上形成的层所使用的装置。该装置由在其中进行蚀刻的室限定。在某些实施方式中,所述室包括平坦的窗,通常是平坦的励磁线圈,和用于在蚀刻期间支持所述半导体衬底的基座或卡盘。当然,本发明并不限于任何特定类型的等离子体源。除了平面的励磁线圈外,还可以使用圆顶形和板形等离子体源。源包括感应耦合等离子体源、电容耦合等离子体源、以及本领域的技术人员已知的其他等离子体源。本文中的实施方式利用定位在室中将室分成两个子室的格栅。在操作过程中,每个子室包含具有不同性质的等离子体。等离子体主要或者专门在上部子室中产生,并且某些物质能够通过格栅未受影响地进入下部子室。格栅具有穿透格栅的厚度的槽。在某些实施方案中,这些槽大致径向向外地延伸。如本文所用的,“大致径向向外地延伸”是指所讨论的特征具有至少一些径向分量。换言之,整个特征不需要整体径向定向,只要有大体沿中心到边缘的方向延伸的特征的一些部分即可。此外,所谓“中心到边缘的方向”定义为包括准确的中心到边缘的方向的周围的角度范围(例如,在准确的中心到边缘的方向的约20度内)。

[0031] 格栅可以包含穿透格栅的厚度的多个径向槽。格栅和槽被设计成使得高能电子的仅仅小部分可穿过格栅,并且由于围绕格栅的鞘,有效地阻止低能电子穿过格栅。较高能量的电子一般在穿过格栅并进入下部子室成为较低能量的“较冷”电子。而高能电子可以有足够的能量来穿过格栅,这些电子中的许多以使它们与格栅碰撞并失去能量的角度接近格栅。通过格栅的高能电子没有足够的能量汇集以维持格栅下方的等离子体,因为它们现在与激励源隔离。在下部室中热电子变冷的机制包括与格栅碰撞,电子与格栅下方的中性物质碰撞,以及从格栅下方的电子去除激励源。因此,格栅可以具有在下部子室产生具有低电子密度(n_e)和低平均有效电子温度(T_e)的等离子体的功能。在格栅上方,所述等离子体通常是传统的电子-离子等离子体,其中,很大部分的带负电荷的物质是电子。在格栅下方,等离子体含有负离子的比例要高得多,实际上等离子体可以是离子-离子等离子体。离子-离子等离子体的某些特征描述如下。通常,相比于电子-离子等离子体,离子-离子等离子体包含显著更高比例的带负电荷的物质,该带负电荷的物质是离子(而不是电子)。

[0032] 反应器内格栅的定位

[0033] 格栅被定位在等离子体室的内部,从而将室分成上部子室和下部子室。适合于改

装以包括如本文所述的格栅的室的例子是来自加利福尼亚州,弗里蒙特的Lam Research Corporation的Kiyo Reactor。就上下文而言,可以参考在下面进一步描述的图1考虑下面的描述。在某些实施方案中,格栅定位在反应室的内部的基底上方的约1-6英寸之间,或衬底支撑(如基座)上方约1-6英寸之间(例如,约1.5-3英寸之间)。在这些或其它实施方案中,格栅可以定位在反应室的内部的天花板(Ceiling)下方约1-6英寸之间(例如,约1.5-3英寸之间)处。天花板通常配备有电介质窗。

[0034] 在某些实施方式中,上部和下部子室的高度大致相同(例如,在约5%内),而在其它实施方式中,这些高度可以更加明显地不同。上室的高度与下室的高度的比率(h_u/h_l),也被称为子室高度比,可以介于约0.1-10之间,或介于约0.2-5之间。在一些实施方式中,子室高度比大于约1/6。

[0035] 格栅不应该被定位在太靠近晶片的位置,因为这可能导致在晶片的表面产生格栅的印记(printing)。换言之,在处理后的格栅中的槽的图案可不希望地出现在晶片的表面,造成所述衬底表面上严重的蚀刻非均匀性。对于许多应用,从衬底的顶部到格栅有至少约1英寸的分离距离是足够的。

[0036] 格栅设计

[0037] 格栅是具有槽的相对薄的片材。另外,在一些实施方式中,槽可以包括其他形状的孔或穿孔。因此,该格栅包括孔和槽的组合。格栅结构的非限制性例子示于图2A-2B。格栅中所包含的材料可以是绝缘体、导体、或它们的某种组合。在某些实施方案中,格栅包含一种或多种材料,材料包括但不限于,金属、金属合金(如不锈钢、铝、钛)、陶瓷、硅、碳化硅、氮化硅、和它们的组合。该材料可以或可以不被阳极氧化或者可以或可以不以其他方式钝化以用于例如抗腐蚀。在一些情况下,格栅可以包括绝缘材料,例如陶瓷、玻璃、能够经受恶劣的等离子体环境的鲁棒聚合物、或任何这些材料的复合物。在一实施方式中,格栅是由具有陶瓷涂层的金属材料制成的。也可使用其它涂层。在被蚀刻层是挥发性的情况下使用涂层格栅是特别有利的。在某些实施方案中,格栅可以涂覆有纯涂层,例如,纯涂层包括但不限于, Y_2O_3 、 YF_3 、YAG、氮化钛、或 CeO_2 。此外,格栅可以接地、浮置或偏置。在一些实施方案中,接地的格栅充当阴极的增强的偏置电流回路。

[0038] 当格栅接地时,格栅通常跨越室的整个横截面。当格栅被偏置时,在格栅和最近的接地表面之间可以保持约5厘米或更大的间距。在所述室是圆形的(如从上方观察时)情况下,格栅也将是圆形的。这允许格栅有效地将该反应室分成两个子室。在某些设计中,格栅的圆形形状是通过衬底的几何形状限定的,而衬底通常是圆形的。众所周知,晶片通常以例如200毫米、300毫米、450毫米等各种尺寸提供。根据室内进行的蚀刻操作,对于正方形或其它多边形的衬底或更小的衬底,其他形状也是可能的。因此,格栅的横截面可以具有各种形状。平的平坦格栅横截面适用于某些实施方式。然而,盘形、圆顶形、振荡状(例如,正弦、方波、V形形状)、倾斜等格栅横截面适用于其它实施方式。通过任何的横截面轮廓的槽或孔将具有如本文别处所述的特性(包括高宽比)。

[0039] 格栅的平均厚度可以为介于约1-50毫米之间,优选介于约5-20毫米之间。如果格栅太厚,则它可能无法正常工作(例如,它可能阻挡太多的物质通过,有太大的质量,占用反应室中太多的空间等)。如果格栅过薄,则它可能不能够承受等离子体处理,并可能需要被相当频繁地更换。如下所述,由于槽的高度由格栅的厚度限制,因此格栅的厚度还受到在格

栅中的所需的高宽比的限制。

[0040] 在一些实施方式中, 格栅作为上游和下游等离子体之间的隔板, 其中下游等离子体存在于下部子室并可以富有自由基。在这种方式中, 配备有格栅的等离子体室可以产生与用现有的远程等离子体工具 (例如可从Novellus System, 现在的加利福尼亚, 弗里蒙特的Lam Research Corporation获得的GAMMA™平台工具) 实现的结果类似的结果。在针对此目的操作时, 格栅可以是相对厚的, 例如, 约20-50毫米厚。

[0041] 在某些实施方式中, 格栅包括在特定的实施方式中的具有长而薄的形状的槽。槽从格栅的中心向外径向延伸。槽具有高度、宽度和长度 (在图2A明确标记了宽度和长度)。槽高度是沿垂直于该格栅的面的轴线测量的, 并且该高度通常等于格栅的厚度。在槽的径向范围, 槽的宽度可以是可变的或恒定的。在某些情况下, 槽可以是扇形 (即, 朝向中心较薄和朝向格栅的边缘较厚)。在各种实施方式中, 槽从格栅的中心向外沿纵向 (即径向) 延伸。在一些实施方式中, 槽的宽度不大于约25mm。槽的长度围绕格栅的方位角范围可以是可变的或恒定的。径向槽的角度间隔围绕格栅可以是可变的或恒定的。

[0042] 如果槽没有存在于格栅中, 则在等离子体产生期间在格栅中将产生感应电流。该电流将基本圆形地围绕格栅流动或将形成局部涡流, 并且将导致功耗的增加。但是, 槽的存在防止形成这种寄生电流, 从而节省功耗并导致更有效的处理。具有例如基本上为圆形的孔之类形状的开口对防止电流的形成不太有效。然而, 如上所提到的, 圆形的开口可以与带槽的开口结合使用。

[0043] 槽的高宽比被定义为槽的高度与它的宽度 (h/w) 的比。通常, 当垂直于槽的纵向 (通常径向) 取横截面时, 高宽比的几何形状会是可见的。因为槽的宽度可以是可变的, 所以高宽比可以类似地是可变的。在某些实施方式中, 槽的高宽比为介于约0.3-5之间, 或介于约1-4之间, 或介于约0.5-2之间。在许多实施方式中, 相比于上部子室, 具有这些高宽比的格栅减小在下部子室的电子密度和有效电子温度。如所提到的, 相信, 由于许多热电子与格栅碰撞, 因而随着电子中的至少部分穿过槽, 有效电子温度降低。另外, 下部子室中的有效电子温度与上部子室的相比是降低的, 因为在下部子室中的电子被格栅屏蔽, 因此不经受等离子体的线圈 (或其他的等离子体源) 的感应加热。

[0044] 当孔与槽一起使用时, 这些孔可以用于与槽同样的用途。因此, 它们通常具有如上所述的高宽比。在一些实施方式中, 孔的直径在约0.05英寸至约0.2英寸的范围内。它们穿透格栅的整个厚度。

[0045] 由格栅提供的额外的好处在于它可以中和来自主喷射器的对流影响。这允许更均匀的气体流动到晶片的表面上。在晶片和上部室中的气体喷射器之间的格栅的存在可以显著降低从气体喷射器输送出的任何气体的对流影响, 因为格栅会扰乱气流, 并在晶片导致更加扩散性的流动状态。

[0046] 在一些实施方式中, 格栅包含气体传输孔。在这样的实施方式中, 格栅可以用作上部和/或下部子室的喷头的额外目的。在这些实施方式中, 一个或多个通道可以被包括在一个或多个格栅中。这些通道可以从入口 (或多个入口) 馈送气体, 并传送该气体到格栅中的多个出口孔。出口孔可以形成气体分布喷头, 该喷头传送处理气体到上部 and 下部子室中的一者或两者。

[0047] 在一些实施方案中, 格栅具有区域, 如含有用于允许探测装置通过格栅布置的特

征的中心区域。可提供探测装置以探测操作期间与所述等离子体处理系统相关联的工艺参数。探测过程可以包括光发射端点检测、干涉端点检测(interferometric endpoint detection)、等离子体密度测量、离子密度测量和其他指标的探测操作。在某些实施方式中,格栅的中心区域是开放的。在其它实施方式中,格栅的中心区域包含光学透明的材料(例如,石英、蓝宝石等),以允许光传输通过格栅。

[0048] 在某些实施方式中,对于300mm晶片蚀刻机优选可以在格栅中在格栅的外边缘附近约每15毫米至40毫米具有槽。这分别对应于由约 18° ,或约 48° 分隔的方位角相邻槽。因此,在某些实施方式中,方位角相邻槽分隔至少约 10° ,或至少约 15° 。在这些或其它实施方式中,方位角相邻槽分隔不超过约 40° ,或不超过约 50° ,或不超过约 60° 。

[0049] 在各种实施方式中,格栅在等离子体的形成中不发挥重要作用。然而,格栅可以在限制电子-离子等离子体到上部子室和过滤出输送到下部子室的物质中发挥作用。

[0050] 等离子体性质

[0051] 格栅有效地将室等离子体分成两个区域:邻近所述线圈(或其他等离子体产生机构)用于产生等离子体的上部区域和邻近所述衬底支架的下部区域。在各种实施方式中,在上部区域中的等离子体中含有相对“热”的、高能量的电子。通常,该等离子体的特征为电子-离子等离子体。在各种实施方式中,在下部区域中的等离子体中含有相对“冷”的、低能量的电子。通常,这个下部区域等离子体的特征为离子-离子等离子体。

[0052] 等离子体可在上部子室主要或专门产生。在一个实施方式中,感应耦合等离子体在上部子室通过使电流运行通过位于所述上部子室的上方的线圈来产生。可以使用单个线圈或多个线圈。在其它实施方式中,例如,使用VHF CCP源产生电容耦合等离子体。由于格栅的存在,在上部子室中的等离子体将具有与下部子室中的等离子体明显不同的特征。

[0053] 在许多实施方式中,上部区域等离子体是常规的电子-离子等离子体。在这种类型的等离子体中,大多数正电荷的物质是正离子,大多数带负电荷的物质是电子。虽然存在负离子,但它们只以相对较低的浓度出现。与此相反,在下部子室的等离子体通常是离子-离子等离子体。相比于电子-离子等离子体,离子-离子等离子体具有更大比例的为负离子的带负电荷物质,以及较小比例的为电子的带负电荷物质。在某些实施方案中,正离子的浓度与电子的浓度的比率(有时也被称为正离子与电子的比率, n_i/n_e)在离子-离子等离子体中是约2或更大,并且在某些情况下是约5或更大,或甚至是约10或更大。在某些情况下,在下部等离子体中的正离子与电子的比率比上部等离子体中的正离子与电子的比率大至少约2倍(例如,至少大5倍)。

[0054] 两种等离子体之间的相关的差异在于上部区域等离子体具有显著更高的电子密度。例如,在下部区域中的等离子体的电子密度可为约 $5 \times 10^9 \text{ cm}^{-3}$ 或更低(例如,约 $1 \times 10^9 \text{ cm}^{-3}$ 或更低)。这些范围特别适用于电子阴性处理气体。上部区域等离子体可以具有比下部区域等离子体的电子密度高至少约10倍(例如,至少约100倍,或至少约1000倍)的电子密度。在某些情况下,在电子密度比负离子密度和正离子密度小至少一个数量级的情况下,下部子室具有离子-离子等离子体。在特定的下部子室等离子体的例子中,电子密度(N_e)为约 10^8 cm^{-3} ,正离子密度(N_{i+})为约 10^9 cm^{-3} ,负离子密度(N_{i-})为约 10^9 cm^{-3} 。

[0055] 上部和下部区域的等离子体之间的另外的差异在于下部区域等离子体通常具有较高的负离子与正离子的比率。因为上部区域电子-离子等离子体通常主要含有正离子和

电子,具有相对较少的负离子,所以负离子:正离子比率就会是低的。下部区域等离子体中的负离子:正离子比率可以是介于约0.5-1(例如介于约0.8-0.95)之间。

[0056] 下部区域等离子体中的电子的浓度相对低的一个可能的非限制性的解释的是存在于下部区域中的电子(例如,从上部区域通过格栅到下部区域中的电子)由于与气体分子非弹性碰撞,一般不会通过射频场加热并迅速失去能量,从而导致低的有效电子温度。这些低能量的电子(相比于上部区域等离子体中的高能电子)更容易与中性物质相互作用以产生负离子。电子必须具有相对低的能量以附着到中性物质,并形成负离子。由于高能电子当与中性物质碰撞时可“推开”另一电子而不是结合以形成负离子,所以负离子的产生不会发生。

[0057] 如所指出的,在上部区域等离子体中有效电子温度大于下部区域等离子体中有效电子温度。电子通过在格栅中的槽时会被冷却。通常情况下,下部区域等离子体中的有效电子温度为约1eV或更低。在某些情况下,下部区域等离子体中的有效电子温度可为介于约0.1-1eV之间(例如,介于约0.2-0.9eV之间)。以电子伏特计量,在上部区域等离子体中有效电子温度可以比在下部区域等离子体中有效电子温度大至少约2倍(例如,大至少约3倍)。在一个特定的实施方式中,上部区域等离子体具有约2.5eV的有效电子温度,下部区域等离子体具有约0.8eV的有效电子温度。在各种实施方式中,有效电子温度中的这种差异全部或部分地因格栅的存在而产生。

[0058] 不受任何特定的理论或机制定,格栅的作用可进行如下解释。格栅可以部分地屏蔽下部室,使得在其中的带电物质不直接暴露于来自等离子体线圈的功率。此外,在格栅中的槽的特定的高宽比使高能电子的一部分在穿过槽时与格栅碰撞。这在两个等离子体区域中产生两种性质不同的等离子体。

[0059] 上部和下部区域的等离子体的另一显著特征在于它们的等离子体电位。在上部室中的等离子体电位通常比在下部室中的等离子体电位较高。例如,上部等离子体中的等离子体电位可为介于约8-35V之间(例如,介于约10-20V之间),而下部等离子体中的等离子体电位可为介于约0.4-10V之间(例如,介于约0.5-3V之间)。等离子体电位中的差异会发生是因为下部室中电子的能量较低,所以下部区域等离子体并不需要是正的以防止电子离开它。

[0060] 进一步,两种等离子体通常具有不同的能量分布函数(例如,离子能量分布函数和电子能量分布函数)。电子和离子的能量分布函数两者在下部等离子体中较窄,在上部等离子体中较宽。通过使用格栅,而无需使用采用波形发生器的复杂的控制,能够实现非常窄的离子能量分布函数。例如,下部等离子体的离子能量分布函数可以具有仅约5V的全宽半峰。因此,负电流可以从负离子引出,负离子到达衬底表面以保持电中性(而不是用于这一目的的电子)。这提供了独特的蚀刻机理。

[0061] 下部区域等离子体中的自由基浓度可以在约1%的总中性物质密度至约70%的总中性物质密度之间,或约10%至约70%的总中性物质密度之间,或约10%至约50%的总中性物质密度之间的范围内。

[0062] 在蚀刻操作过程中该室压强可以低于约2000毫托,例如介于约1-2000毫托之间(例如,介于约2-200毫托之间)。在一个特定例子中,室压强保持在约20毫托或低于约20毫托。当采用具有约0.5eV或更低的有效电子温度和/或约 $5 \times 10^8 \text{cm}^{-3}$ 或更低的电子密度的下

部区域等离子体时,这些压强是特别有效的。当采用下部区域离子-离子等离子体时,这些压强特别有效。

[0063] 相信,离子-离子等离子体为半导体处理提供某些益处。例如,在离子-离子等离子体中蚀刻的部分制造的半导体器件显示非常良好的选择性、轮廓角、Iso/密(I/D)加载,和在整个被蚀刻的衬底的表面的整体均匀性。现有技术无法同时实现所有这些益处(即,例如,工艺设计师们必须在实现良好的整体蚀刻均匀性及其他益处之间进行选择)。因此,本文的实施方式代表蚀刻方法的显著进步。

[0064] 图3A-3C示出了在分解被蚀刻的特征上的蚀刻副产物的效果。首先,图3A示出了其上沉积有三个层的衬底。底部层303表示栅极氧化物,中间层305表示多晶硅,和顶层307(显示为三个独立的块)表示硬掩模。相信,在常规的蚀刻工艺中,存在于该室的等离子体部分地作用以解离蚀刻副产物310,如图3B所示。机制可包括离子辅助化学蚀刻,由正离子309部分地代表。这些副产物310通常是挥发性成分(例如, SiBr_4),其在合适的条件下从衬底清除。然而,当通常为电子-离子等离子体的高有效电子温度的等离子体接触晶片时,在等离子体中的高能电子可与挥发性副产物310反应而导致它们离解成物理-化学“粘性”离解产物312(例如, SiBr_2)。如图3B所示,这些离解产物会附着到衬底,经常附着到被蚀刻的特征的侧壁,并导致蚀刻工艺以非垂直或以其他不期望的方式发生,如图3C所示。此离解产物的附着/再沉积导致产生非垂直蚀刻的本地加载效应。

[0065] 使用格栅以减少邻近被蚀刻的衬底的等离子体的有效电子温度,从而减少了这些不希望的影响。格栅可导致具有其相应地减小的电子密度和有效电子温度的离子-离子等离子体的产生,从而减少这些不希望的影响。因为离子通常具有比电子显著少的能量,所以本实施方式的离子-离子等离子体中的离子不会引起此副产物的离解。虽然本实施方式可以产生电子-离子等离子体,但这种高电子密度/高有效电子温度等离子体可被限制于上部子室。因此,蚀刻副产物往往只接触下部等离子体,不接触高的有效电子温度的上部等离子体。此外,尽管离子-离子等离子体中会存在一些电子,但这些电子通常具有低的 T_e 。并因此通常不会有足够的能量以使副产物离解。因此,蚀刻副产物不离解成导致“粘性”问题的化合物。

[0066] 晶片偏置

[0067] 在某些实施方案中,所述晶片在处理期间偏置。这是通过施加偏置到用于保持/支撑晶片的静电卡盘来完成的。因为晶片暴露于在下部子室中的低 T_e ,低电子密度等离子体(例如离子-离子等离子体),偏置可以以捕获/激励离子-离子等离子体的独特优势的方式施加到该卡盘。另外,偏置可以以能够避免电子-离子等离子体在下部子室形成的方式被施加。例如,在没有由卡盘偏置贡献的功率下会形成离子-离子等离子体的情况下,偏置可以具有适于防止形成电子-离子等离子体的频率和功率。例如,RF偏置可具有20兆赫以下的频率,优选地介于约100千赫至约13.56兆赫之间,以减少由偏置功率施加到衬底而产生的电子加热的量。在一些实施方式中,偏置(无论频率如何)在约1赫兹至约10千赫的范围内,以介于约1%和99%之间的占空比施以脉冲。

[0068] 如上所述,在常规的电子-离子等离子体中,等离子体电位是相当高的,并且是正的。该等离子体电位有效地限制了电子逃逸出等离子体的能力。然而,下部区域等离子体典型地具有非常规的低电子密度和温度,因此仅需要低得多的等离子体电位,以有效地限制

其电子。低等离子体电位打开操作窗口,选择性地允许负离子存在于离子-离子等离子体中,以在偏置波形的正周期的过程中朝向晶片加速并撞击晶片。在连续波等离子体中这种蚀刻状态在以前是无法获得的。

[0069] 施加到静电卡盘的偏置的频率可以被设计来优化离子-离子等离子体中的离子(特别是但不完全是负离子)的形成和吸引力。

[0070] 施加到静电卡盘的偏置功率电平可以被设计成防止在下部子室形成电子-离子等离子体。在一些实施方式中,提供以偏置卡盘的功率是介于约3-300W之间,例如见介于约5-150W之间。这可对应于介于约0-500V之间的偏置电压。

[0071] 在某些实施方式中,施加到静电卡盘的偏置的频率是在大约0.1-15兆赫(例如,在大约400千赫-13.56兆赫之间)之间。在一个特定例子中,偏置为约8兆赫。这个频率可以是特别有帮助的,因为它对应于离子传输频率。虽然也可使用其它频率,但可能不太有效。例如,在约100千赫-1兆赫之间的频率可在一定程度上工作,但与上面提到的较高频率相比会不太有效。关于施加到卡盘/晶片的偏置的另一个考虑因素是,如果偏置的频率过高,则偏置可作用以在下部子室形成电子-离子等离子体。为了避免这种情况,施加到静电卡盘的偏置的频率应小于约30兆赫。在某些实施方式中,偏置的频率为介于约100千赫和13兆赫之间。

[0072] 应当指出的是,在使用格栅以及适当频率的AC偏置施加到静电卡盘/晶片的情况下,在晶片上的等离子体鞘可以操作以交替地将负离子和正离子拉出等离子体,并使它们加速朝向晶片的面。换句话说,等离子体鞘在正循环吸引负离子,然后在负循环吸引正离子,并且这些循环随着交流偏置重复。如上面所解释的,在实现本实施方式之前这个负离子(对晶片)的吸引是不可能的,因为等离子体电位过高,从而压过了相关的AC偏置半循环的任何有吸引力的效果。

[0073] 如前所述,偏置可以以脉冲形式施加。然而,对于很多情况施以脉冲不是必须的。本实施方式在整个蚀刻过程中在晶片上方实现了稳定的离子-离子等离子体。因此,卡盘/晶片上的偏置不需要施以脉冲来实现本文所描述的益处。然而,在某些实施方式中,偏置仍然可以以脉冲形式施加,例如以减少蚀刻速率或离子对衬底进行轰击的量,以增强对底层蚀刻的选择性。离子-离子等离子体中偏置脉冲通过在离子和自由基之间交替时增强选择性而特别有益处。换句话说,施以脉冲可区分到衬底表面的离子和自由基的通量(脉冲接通:自由基+离子;脉冲关闭:仅自由基)。

[0074] 工艺/应用

[0075] 本文所公开的装置和等离子体条件可以用来蚀刻任意的各种材料,如硅(包括多晶硅、非晶硅、单晶硅和/或微晶硅),金属(包括但不限于氮化钛、钨、氮化钽等),氧化物和氮化物(包括但不限于SiO、SiOC、SiN、SiON等),有机物(包括但不限于光致抗蚀剂、无定形碳等),以及各种其他材料,包括但不限于,W、Pt、Ir、PtMn、PdCo、Co、CoFeB、CoFe、NiFe、W、Ag、Cu、Mo、TaSn、Ge₂Sb₂Te₂、InSbTe Ag--Ge--S、Cu--Te--S、IrMn、和/或Ru。这个概念可以扩展到像NiO_x、SrTiO_x、钙钛矿(CaTiO₃)、PrCAMnO₃、PZT(PbZr_{1-x}Ti_xO₃)、(SrBiTa)₃O₃等材料。该装置可与在现今的制造设施中可用的任何气体的组合(包括HBr、CO、NH₃、CH₃OH等等)一起使用。

[0076] 可以采用本文所公开的装置和等离子体条件,以蚀刻在器件中的特征或在任何技

术节点处的其它结构特征。在一些实施方式中,在20-10纳米节点或超出20-10纳米的节点的制造过程中使用该蚀刻。可以在前道制造程序和后道制造程序两者之前进行蚀刻。蚀刻可以提供优异的垂直轮廓、材料选择性、I/D加载,和/或小于约2%的晶片的中心到边缘的均匀性。合适的蚀刻应用的一些例子包括浅沟槽隔离、栅极蚀刻、间隔层蚀刻、源极/漏极槽蚀刻、氧化凹槽、和硬掩模开口蚀刻。

[0077] 装置

[0078] 本文描述的方法可以通过任何合适的装置来执行。一种合适的装置包括由格栅结构分成上部子室和下部子室的室和用于提供和维持如本文所述的蚀刻条件的电子硬件。合适的装置还将包括具有指令的系统控制器,这些指令用于控制硬件来实现这些条件并用于执行适于应用(如蚀刻FET的栅电极)的工艺操作的序列。在一些实施方式中,硬件可以包括包含在处理工具中的一个或多个处理站。

[0079] 图1示意性地示出了根据本发明的某些实施方式的感应耦合等离子体蚀刻装置100的横截面图。感应耦合等离子体蚀刻装置100包括由室壁101和窗111结构上定义的总体蚀刻室。室壁101通常由不锈钢或铝制成。窗111通常由石英或其他介电材料制成。内部等离子体格栅150将总体蚀刻室分成上部子室102和下部子室103。卡盘117被定位在下部子室103内在底部内表面附近。该卡盘117被配置为接收并保持在其上执行蚀刻工艺的半导体晶片(即,“晶片”)119。该卡盘117可以是用于当晶片存在时支撑该晶片的静电卡盘。在一些实施方式中,边缘环(未示出)围绕卡盘117,当在卡盘117上存在晶片时,边缘环具有与晶片的上表面基本上共面的上表面。该卡盘117还包括静电电极,以使所述晶片能够卡紧和释放。可提供滤波器和DC钳位功率源用于此目的。也可以提供其它的控制系統,以抬高晶片使其离开卡盘117。该卡盘117可以利用RF功率源123充电。该RF功率源123通过连接件127连接到匹配电路121。该匹配电路121通过连接件125连接到卡盘117。在这种方式下,RF功率源123连接到卡盘117。

[0080] 线圈133位于窗111上方。线圈133是由导电材料制成的,并且包括至少一整匝。在图1中所示的示例性线圈133包括三匝。线圈133的横截面用符号表示,具有“X”的线圈旋转地延伸进入页面,而具有“•”的线圈旋转地延伸出页面。RF功率源141被配置为提供RF功率至线圈133。在一般情况下,RF功率源141通过连接件145连接到匹配电路139。该匹配电路139通过连接件143连接到线圈133。在这种方式下,RF功率源141被连接到线圈133。可选的法拉第屏蔽149被定位在线圈133和窗111之间。以与线圈133隔开的关系保持法拉第屏蔽149。法拉第屏蔽149被布置在紧邻窗111的上方。线圈133、法拉第屏蔽149和窗111各自配置为相互大致平行。法拉第屏蔽可以防止金属或其他物质沉积在等离子体室的介电窗上。

[0081] 处理气体可以通过位于上部室中的主喷射口160和/或通过侧喷射口(有时也被称为STG)170提供。未示出气体排放口。也未示出连接到室101以使在操作等离子体处理过程中能够进行真空度控制和从室除去气态的副产物的泵。

[0082] 在装置的操作中,一种或多种反应物气体可通过喷射口160和/或170来提供。在某些实施方式中,气体可以仅通过主喷射口提供,或仅通过侧喷射提供。在一些情况下,喷射口可以由喷头取代。法拉第屏蔽149和/或格栅150可以包括允许输送处理气体至该室的内部通道和孔。换句话说,法拉第屏蔽149和格栅150中的一者或两者可以作为用于输送处理气体的喷头。

[0083] 射频功率从RF功率源141施加到线圈133,以使RF电流流过线圈133。流过线圈133的RF电流产生围绕线圈133的电磁场。电磁场在上部子室102内产生感应电流。感应电流作用于存在于上部子室102中的气体,以在上部子室102中产生电子-离子等离子体。内部等离子体格栅150限制在下部子室103中的热电子的量。在各种实施方式中,该装置被设计和操作使得存在于所述下部子室中的等离子体是离子-离子等离子体。

[0084] 上部电子-离子等离子体和下部离子-离子等离子体两者都会含有正离子和负离子,但离子-离子等离子体会具有较大的比率的负离子:正离子。各种离子和自由基与晶片119的物理和化学相互作用选择性地蚀刻所述晶片的特征。通过排放口(未示出)从下部子室去除挥发性蚀刻副产物。重要的是,这些挥发性副产物基本上不暴露于热电子,因而它们不容易被离解成非挥发性的“粘性”离解产物。

[0085] 通常情况下,本文所公开的卡盘在介于约30℃至约250℃之间的范围内的升高的温度下操作,优选在约30-150℃的温度下操作。该温度将取决于蚀刻工艺操作和特定配方。室101也可在介于约1毫米和约95毫米之间,或介于约5-20毫米之间的范围内的压强下运行。然而,如上所公开的,在一些实施方式中,压强可以更高。

[0086] 虽然未示出,但室101通常连接到安装在超净间中的设备,或连接到制造设施。设施包括提供处理气体、真空度、温度控制和环境颗粒控制的管道。当安装在目标制造设施中时,这些设施被连接到室101。此外,室101可被耦合到传送室,从而会使智能机械能够采用典型的自动化将半导体晶片传送进出室101。

[0087] 图2A-2B示出了根据本发明的实施方式的内部等离子体格栅的例子。格栅可以具有径向向外延伸的槽。在图2B的实施方式中,有三种类型的槽。三种槽的类型中的每种都有不同的槽长度。如上所述,在图2B中所示的槽具有适合于在下部子室中产生离子-离子等离子体的高宽比。在图2A所示的槽可以不是按比例绘制的。

[0088] 在各种实施方式中,半导体蚀刻装置可集成到多站工具。多站工具可包括本文所公开的多个等离子体蚀刻反应器,并且可以包括用于执行其它半导体制造工艺的附加的站。多站集成处理工具及使用该方法的方法在于2006年2月8日提交的,名称为“WAFER MOVEMENT CONTROL MACROS”的PCT申请No. PCT/US2006/004625,以及于2008年5月7日提交的,名称为“DYNAMIC ALIGNMENT OF WAFERS USING COMPENSATION VALUES OBTAINED THROUGH A SERIES OF WAFER MOVEMENTS”的美国专利申请No. 12/116,897中有进一步讨论和描述,每一个在此通过引用整体并入本文。

[0089] 图4描绘了示出与真空传输模块38(VTM)接口的各种模块的典型的半导体工艺集群架构。如本领域技术人员公知的,在多个存储设备和处理模块中用以“传输”晶片的传输模块的装置经常被称为“集群工具架构”系统。显示在VTM38中的气闸30,也称为承载室或传输模块,具有四个处理模块20a至20d,它们可以单独优化以执行各种制造工艺。举例而言,可以实施处理模块20a至20d来执行衬底的蚀刻、沉积、离子注入、晶片清洁、溅射和/或其他典型的半导体工艺。一个或多个衬底蚀刻处理模块(任意的20a-20d)可如本文所公开的那样实现,即,具有将反应室分成上部子室和下部子室的格栅结构。当通常讨论气闸30或处理模块20时,术语站有时将用于指气闸或处理模块。每个站都有将站与真空传输模块38接口的面36。在每个面内,传感器1-18用于检测进出各站时晶片26的通过。

[0090] 智能机械22将晶片26在站之间传输。在一个实施方式中,智能机械22具有一个臂,

而在另一实施方式中的智能机械22具有两个臂,每个臂具有拾取用于运输的晶片的端部执行器24。在大气传输模块40(ATM)中,前端智能机械32用于从加载端口模块(LPM)42中的晶片盒或前开式晶片盒(FOUP)34传输晶片到气闸30。处理模块20内的模块中心28表示放置晶片26的理想位置。ATM40中的对准器44用于对准晶片。

[0091] 在一个示例性的处理方法中,晶片被放置在加载端口模块42中的FOUP34中的一个。前端智能机械32将晶片从FOUP34输送到对准器44,对准器44允许晶片在被蚀刻之前恰当居中。对齐后,晶片通过前端智能机械32移到气闸模块30。因为气闸模块具有匹配大气传输模块和真空传输模块之间的环境的能力,所以晶片能够不被损坏地在这两种压强环境之间移动。晶片由智能机械22从气闸模块30移动通过真空传输模块38并进入处理模块20a至20d中的一个。为了实现该晶片运动,智能机械22使用在它的每一个臂上的末端执行器24。一旦晶片已经被处理,晶片由智能机械22从处理模块20a至20d移动到气闸模块30。从这里,晶片可通过前端智能机械32被移动到FOUP34中的一个或对准器44。

[0092] 应当指出的是,计算机控制晶片运动可以是本地到集群架构,或者可以位于制造平台的某处,或在远程位置中,并通过网络连接到集群架构。

[0093] 系统控制器

[0094] 在一些实施方式中,系统控制器(其可以包括一个或多个物理或逻辑控制器)控制蚀刻室的操作的部分或全部。系统控制器可以包括一个或多个存储器器件和一个或多个处理器。该处理器可以包括中央处理单元(CPU)或计算机、模拟和/或数字输入/输出接头、步进电机控制器板,以及其他类似部件。在处理器上执行用于实现合适的控制操作的指令。这些指令可以被存储在与控制器相关联的存储器器件上,或者它们可以在网络上提供。在某些实施方式中,系统控制器执行系统控制软件。

[0095] 系统控制软件可包括用于控制应用的计时和/或以下室操作条件中的任何一个或多个的量级:气体的混合物和/或组合物、室压强、室温度、晶片/晶片支架温度、施加到晶片上的偏置、施加到线圈或其它等离子体产生部件的频率和功率、晶片位置、晶片的移动速度和由工具执行的特定工艺的其它参数。系统控制软件可以以任何合适的方式配置。例如,可以编写各种处理工具组件的子程序或控制对象以用于控制处理工具组件执行各种处理工具处理所必须的操作。可以以任何合适的计算机可读的编程语言编码系统控制软件。

[0096] 在一些实施方式中,系统控制软件包括输入/输出控制(I/O)排序指令,其用于控制上面描述的各种参数。例如,半导体制造工艺的各阶段可以包括用于由系统控制器执行的一个或多个指令。例如,相应的蚀刻配方阶段可以包括用于设定蚀刻阶段的处理条件的指令。在一些实施方式中,配方阶段可以依次排列,从而使得用于处理阶段的所有指令与该处理阶段同步执行。

[0097] 在一些实施方式中可以使用其它计算机软件和/或程序。用于此目的的程序或部分程序的例子包括:衬底定位程序、处理气体组合物的控制程序、压强控制程序、加热器控制程序、以及RF功率源控制程序。

[0098] 在一些情况下,控制器控制气体的浓度、晶片运动、和/或供应到线圈和/或提供到线圈和/或静电卡盘的功率。该控制器可通过例如打开和关闭相应的阀以产生提供所需的适当浓度的反应物的一个或多个入口气体流来控制气体浓度。晶片移动可以通过例如引导晶片定位系统如所需地移动来控制。格栅移动可以通过引导运动产生元件(例如,旋转致动

器、升降器和/或其它运动产生部件)以如所需地定位格栅来进行控制。可以控制提供到线圈和/或卡盘的功率,以提供特定的RF功率电平,以在上部子室产生所需的电子-离子等离子体以及在下部子室产生所需的离子-离子等离子体。此外,控制器可被配置成在使得在下部子室不会形成电子-离子等离子体的条件下提供功率到静电卡盘。换句话说,所述控制器被配置为在下部子室维持离子-离子等离子体(或具有适当低的有效电子温度和电子密度的至少一种等离子体)。该控制器基于传感器输出(例如,当功率、电势、压强等达到一定的阈值时),操作的定时(例如,在工艺中在特定的时间打开阀)或基于从用户接收的指令可以控制这些或其他方面。

[0099] 本文在上面所描述的各种硬件和方法可以与光刻图案化工具或方法结合,例如,用于半导体设备、显示器、LED、光伏板等等的制造和生产。通常,但不是必定,这样的工具/方法将在普通的制造设施中一起使用或操作。

[0100] 膜的光刻图案化通常包括部分或所有的以下操作步骤,每一步骤用一些可行的工具实施:(1)使用旋涂或喷涂工具在工件(例如上面形成有氮化硅膜的衬底)上施加光致抗蚀剂;(2)使用热板或炉或其他合适的固化工具固化光致抗蚀剂;(3)使用晶片步进式曝光机(wafer stepper)等工具将光致抗蚀剂在可见光或紫外线或X-射线下暴露;(4)使用诸如湿法工作台(wet bench)或喷涂显影机等工具,对抗蚀剂进行显影,以便选择性地除去抗蚀剂,从而使其图案化;(5)通过使用干法或等离子体辅助蚀刻工具,将抗蚀剂图案(resist pattern)转移到下伏膜或工件上;和(6)使用诸如RF或微波等离子体抗蚀剂剥离机(microwave plasma resist stripper)等工具,去除抗蚀剂。在一些实施方式中,可灰化的硬掩模层(例如无定形碳层)和另一种合适的硬掩模(例如抗反射层)可在被施加光致抗蚀剂之前沉积。

[0101] 应该理解的是,本文所描述的配置和/或方法在本质上是示例性的,并且这些特定的实施方式或实施例不应被认为具有限制意义,因为许多的变化是可能的。本文描述的特定的例程或方法可表示任何数量的处理策略中的一个或多个。因此,所说明的各种操作可以以所示的序列、以其它的序列,并行地或在某些情况下删减来执行。同样,可以改变上述的处理的顺序。

[0102] 本公开的主题包括本文所公开的各种处理、系统和装置、以及其它特征、功能、操作、和/或特性的所有新颖和非显而易见的组合和子组合,以及任何所有等同方案。

[0103] 实验

[0104] 实验已证实,目前公开的方法和装置提供了对半导体衬底上部分制造的器件的改进蚀刻。当使用等离子体格栅时,被蚀刻的产物表现出良好的选择性、轮廓角、iso/密加载,以及整体的蚀刻均匀性。

[0105] 图5A-5B示出了根据高压常规技术(5A)和根据本实施方式的使用等离子体格栅(5B)的已被蚀刻的FinFET结构的扫描电子显微镜(SEM)图像。如图5A所示,常规技术导致在晶片的中心和边缘之间的显著非均匀性。例如,该特征的底部在所述晶片的中心比边缘明显有更多蚀刻。这表明离解的副产物再沉积在靠近晶片的边缘处比中心处更成问题。该I/D加载量是大的,并且材料之间的选择性差。Iso/密加载可以以多种方式加以考虑。Iso/密蚀刻深度加载可以被计算为分离的特征(通常大的特征,例如对于具有500纳米的间隔的线)的蚀刻深度和密集的特征(通常小的特征,例如对于具有30纳米的间隔的线)的蚀刻深度之

间的差异。Iso/密轮廓加载可以被计算为分离的特征的轮廓角和密集的特征的轮廓角之间的差异。Iso/密加载也可指关键尺寸(CD)的比较。在这方面,Iso/密加载可以被计算为对于分离的特征(底部CD-顶部CD)-对于密集的特征(底部CD-顶部CD)。除非另有定义,I/D加载旨在指临界尺寸的这种比较。

[0106] 相反,如图5B所示,利用等离子体格栅显著增加了中心到边缘的均匀性。此外,I/D加载量低得多,且选择性得到改善。这个实验是在硅载体晶片上进行的,该硅载体晶片减薄到代表FinFET高度的厚度,并覆盖有50%的SiN取样以模拟全部图案化的晶片的蚀刻。该FinFET结构被过度蚀刻了65%,以尽量减少在轮廓中的锥度。

[0107] 图6A-6B示出了根据低压常规技术(6A)和根据本实施方式使用等离子体格栅(6B)蚀刻的特征的SEM图像。常规技术表现出硅和氧化物之间的选择性相对较差,蚀刻的特征具有锥形轮廓,并且I/D加载性差。但是,如图6B所示,等离子体格栅提供改进的选择性(无限的选择性),更垂直的轮廓角,而且几乎没有I/D加载。这个实验是在从图案化的晶片上切下并放置在载体晶片的中心的芯片上执行的。这个实验是硅载体晶片上进行的,该硅载体晶片减薄到代表FinFET高度的厚度,并覆盖有50%的SiN取样以模拟全部图案化的晶片的蚀刻。

[0108] 图7示出了不使用等离子体格栅的情况下根据各种方案的已被蚀刻的特征的各种SEM图像。使用两种不同的压强,以及四种不同的总流率。有效电子温度(T_e)随压强增大而减小。停留时间随着总流率的增大而减少。对于每个压强,增大总流率改善蚀刻结果。特别地,高流率的情况表现出更好的(更垂直)轮廓角和改进的选择性(更多的掩模剩余)。然而,这些改进由较差的I/D加载和较差的中心到边缘的均匀性减弱。高流率的结果支持这种看法:即某些副产物和/或离解的产物当不以气态形式清扫出时,可以附着到特征侧壁和/或底部以产生差的蚀刻结果,如图3A-3C中所示。当总流率较高时,这些副产物更有效地从反应室清扫出,并且不太可能造成蚀刻缺陷。

[0109] 各种实验表明,使用等离子体格栅导致在蚀刻工艺中具有很好的选择性、轮廓角、I/D加载、以及中心到边缘的均匀性。在某些情况下,选择性(即Si的蚀刻速率:氧化物的蚀刻速率)大于约10,或大于约100。事实上,在某些情况下通过使用等离子体格栅可以实现无限的选择性。在这些情况下,几乎没有蚀刻氧化物材料,并且在氧化物表面上甚至有可能有少量的沉积物。在许多情况下所获得的轮廓角基本上是垂直的(例如,在约 89°)。在某些实施方案中,I/D加载显示为低于约 2° 。进一步地,在各个实施方式中,该中心到边缘的均匀性小于约2nm。

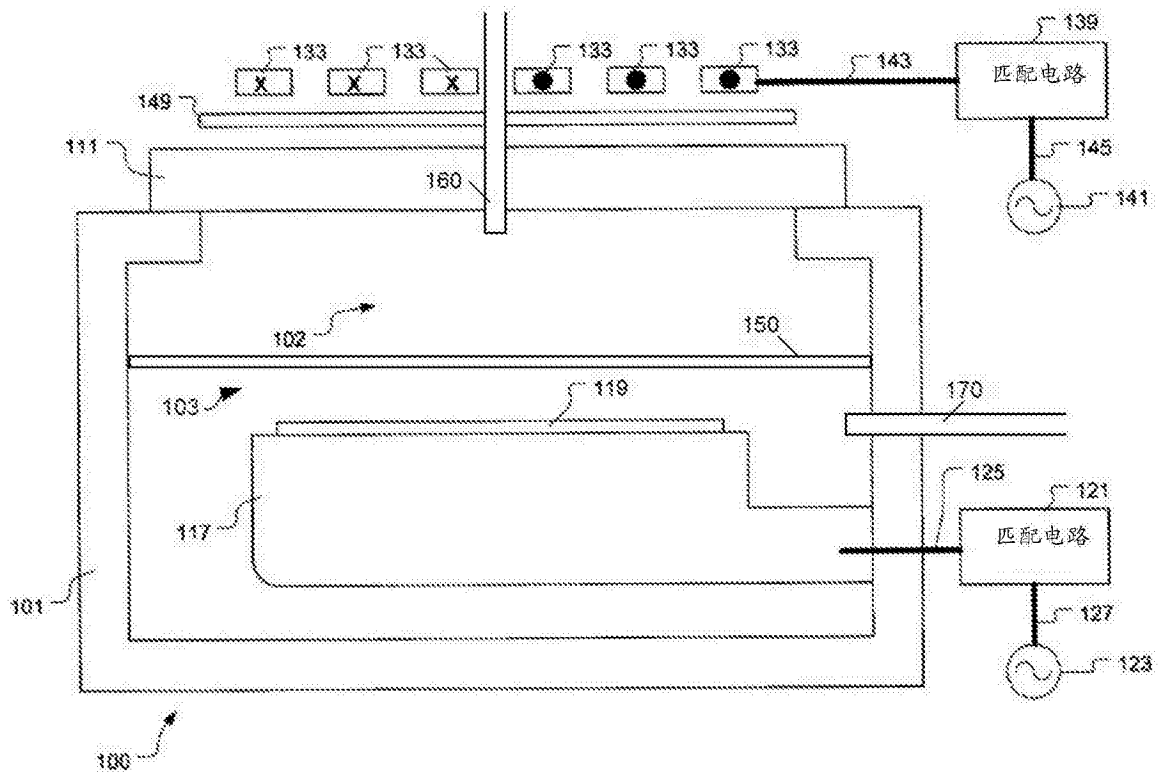


图1

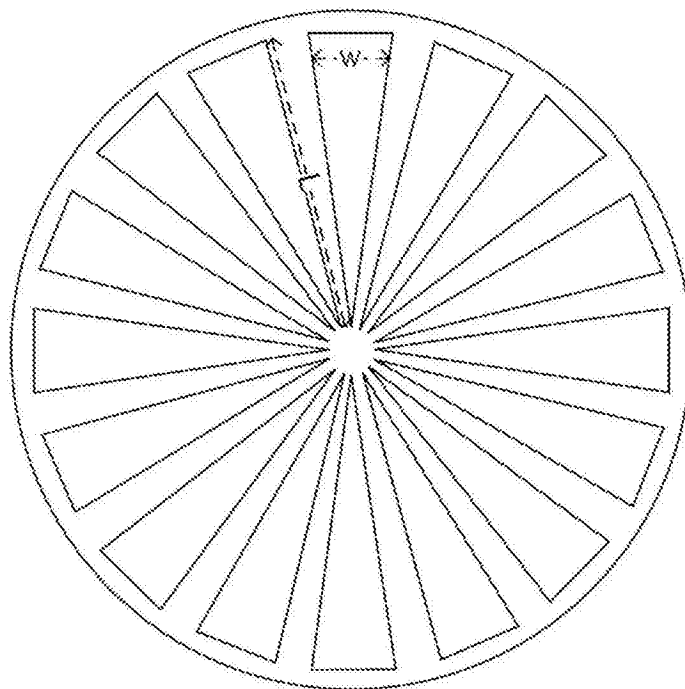


图2A

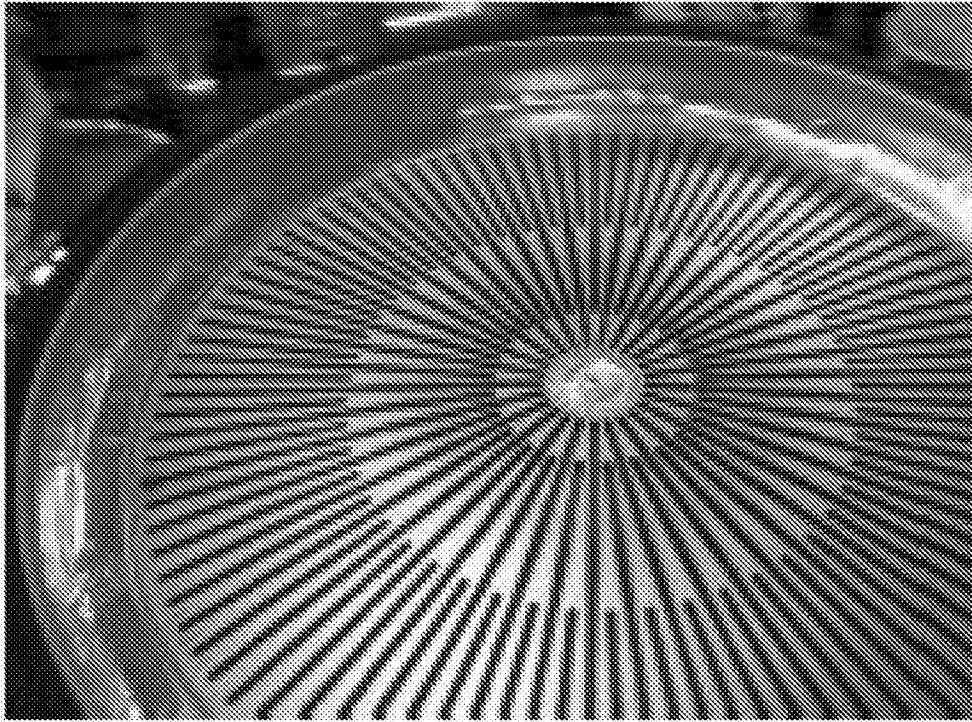


图2B

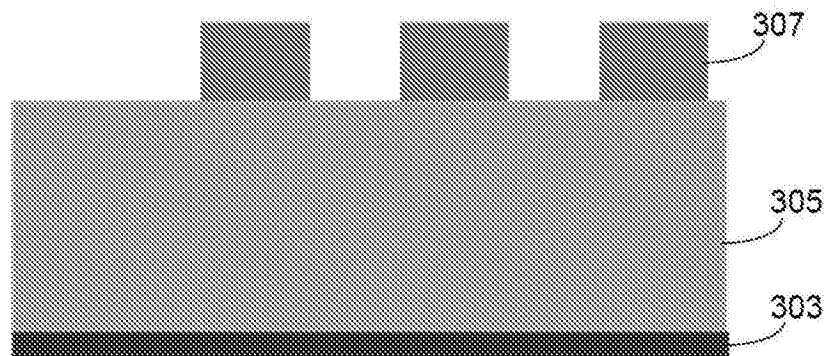


图3A

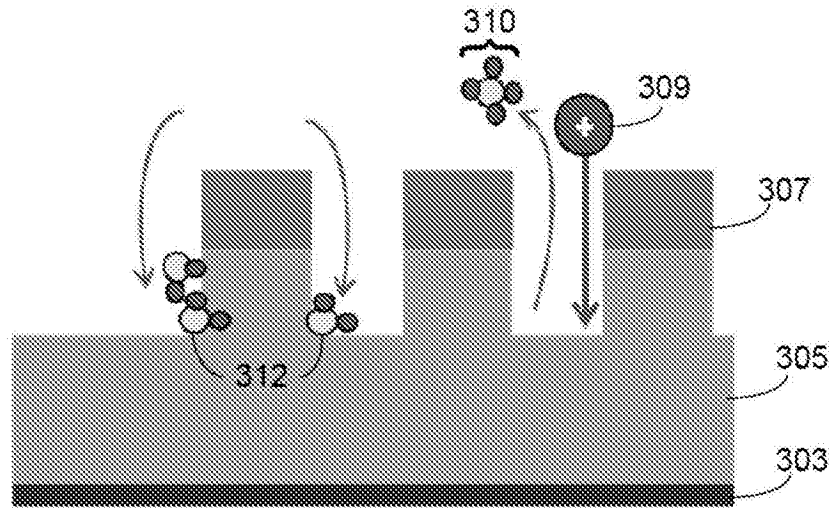


图3B

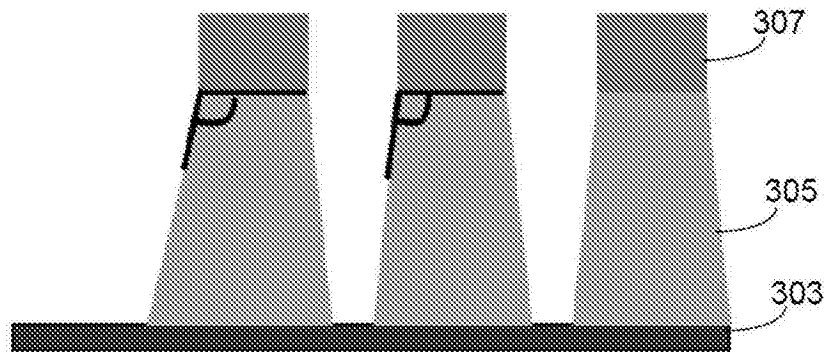


图3C

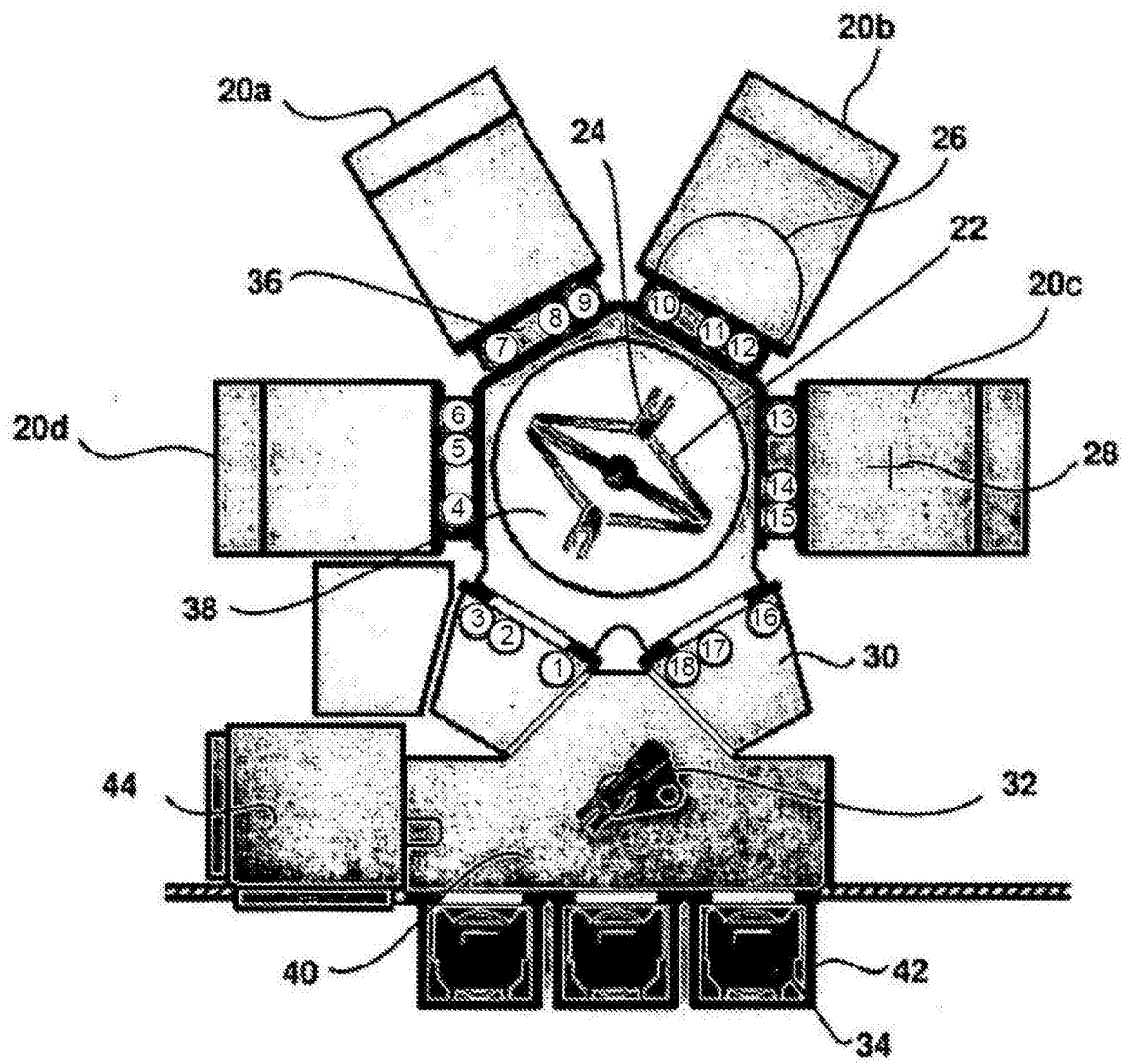


图4

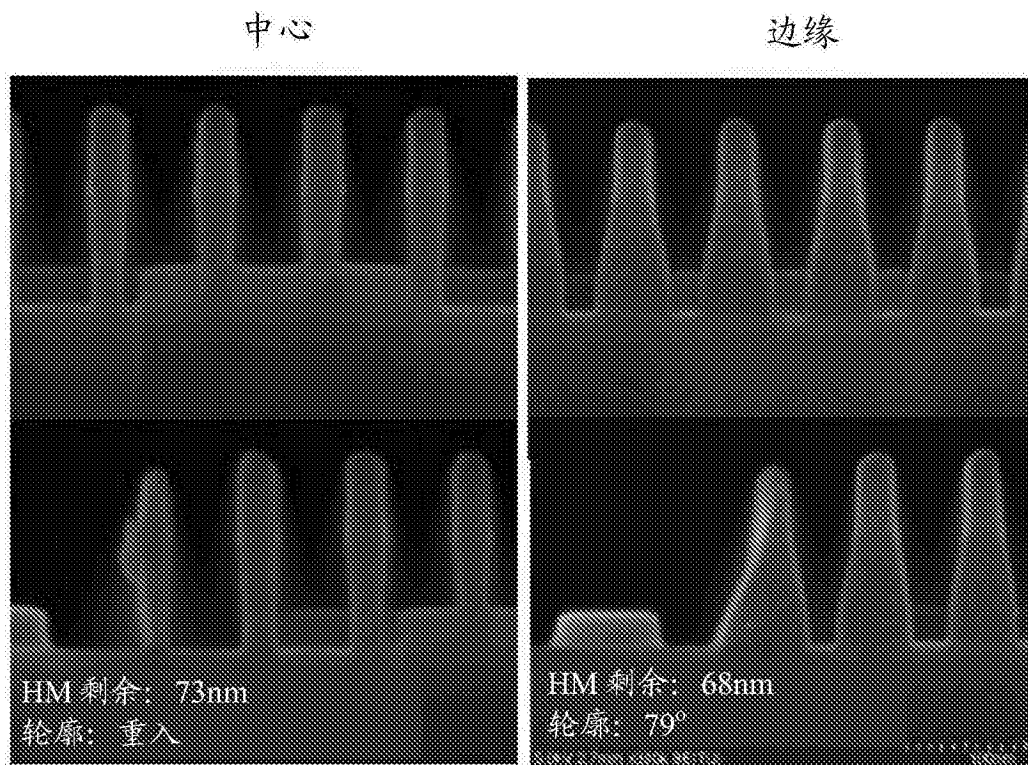


图5A

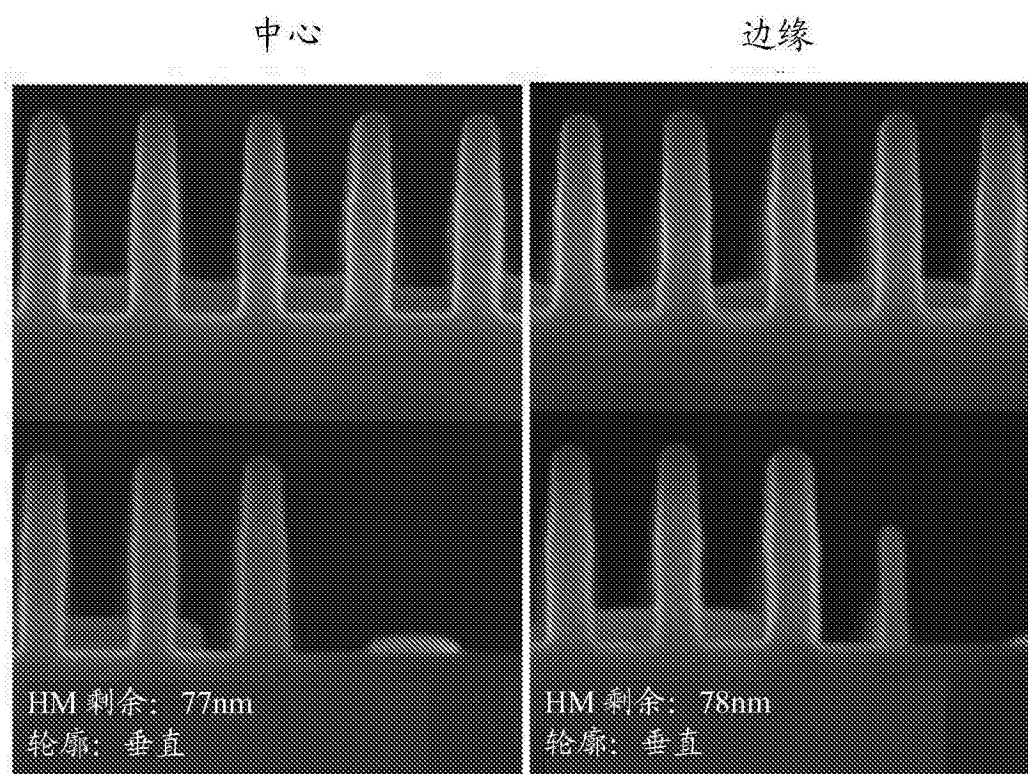


图5B

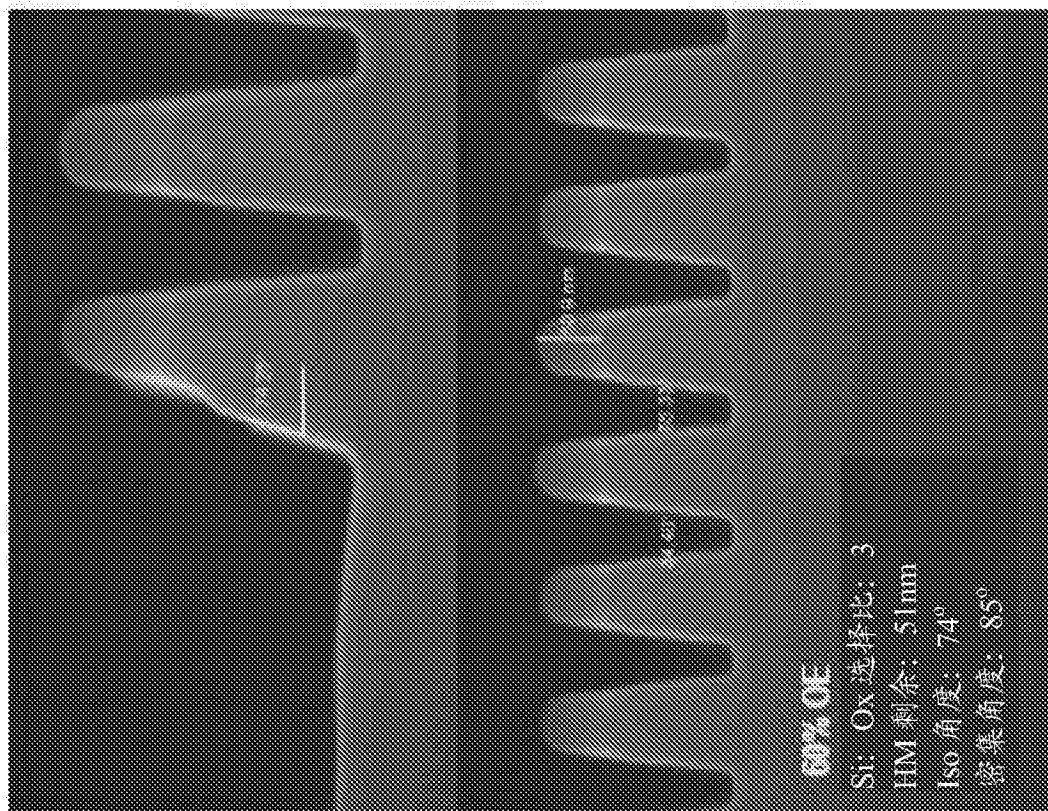


图6A

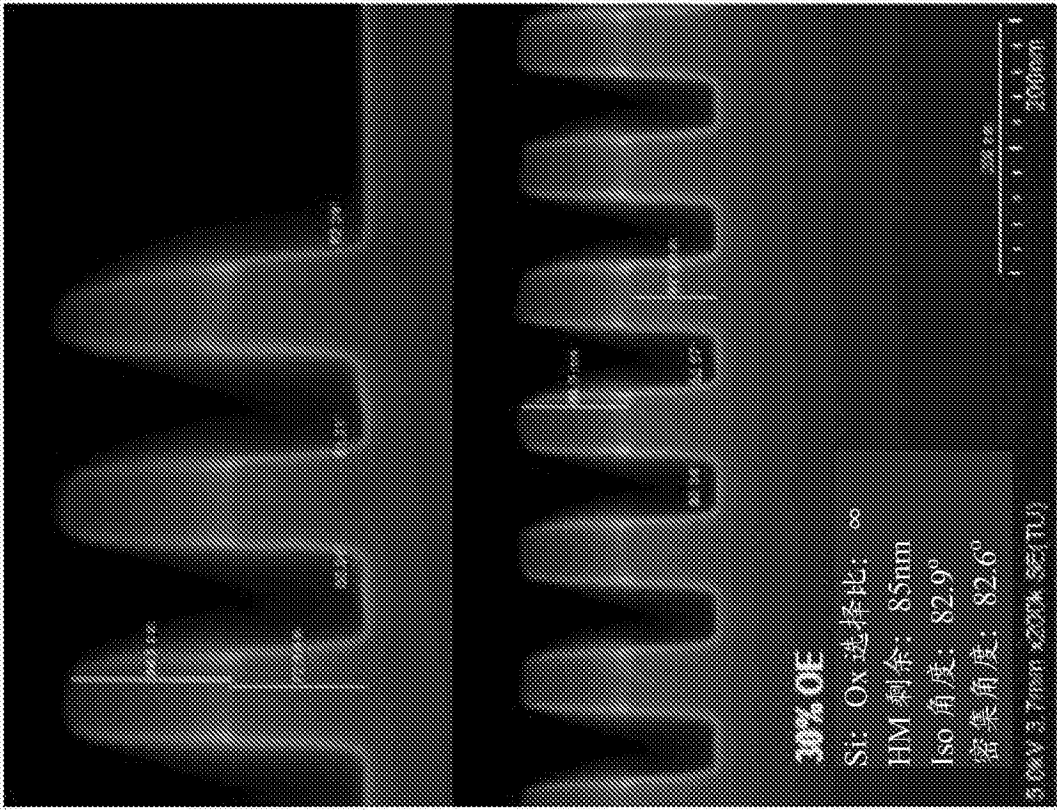


图6B

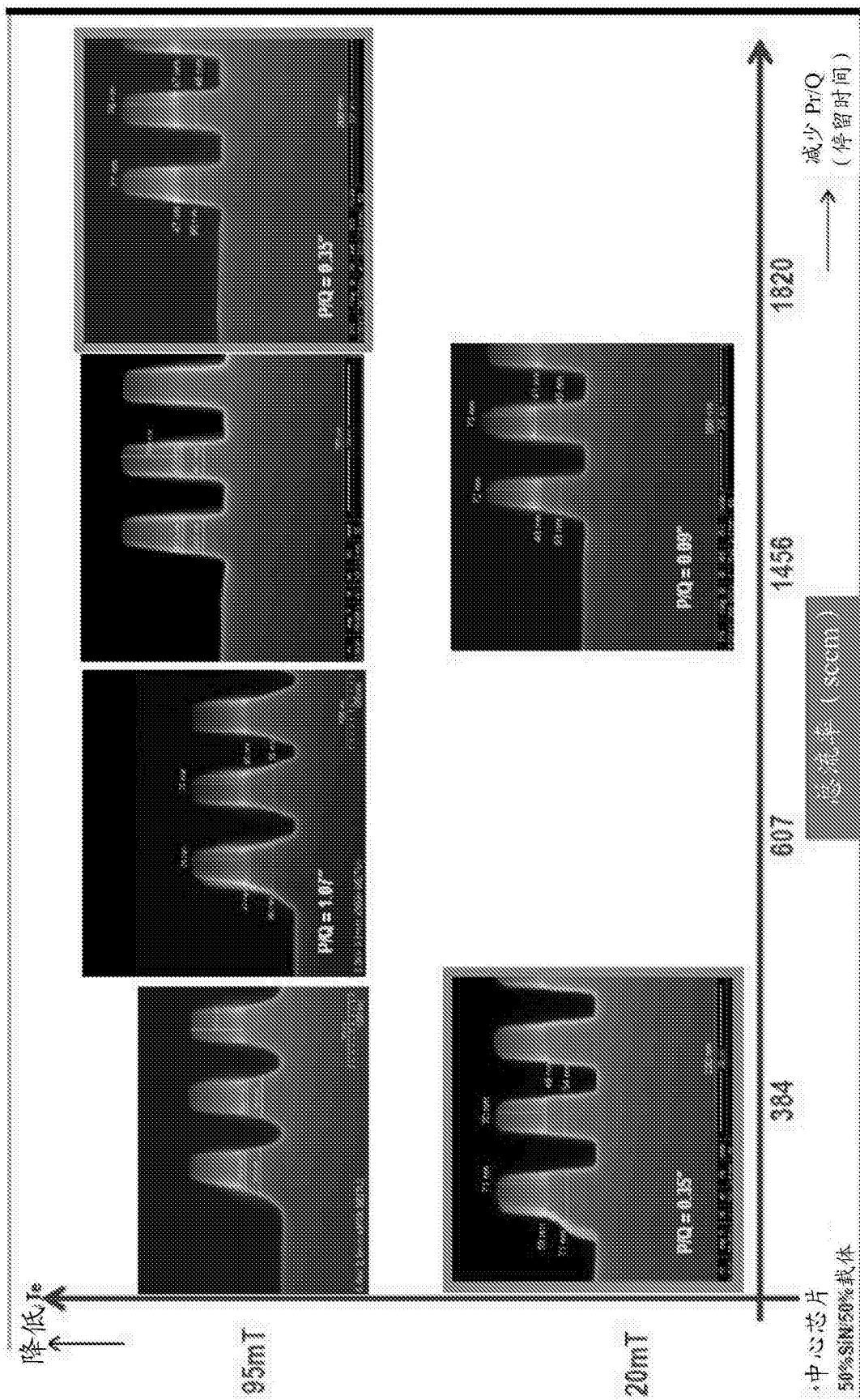


图7