

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号
特開2025-41261
(P2025-41261A)

(43)公開日 令和7年3月26日(2025.3.26)

(51)国際特許分類		F I			
H 1 0 D	12/00 (2025.01)	H 0 1 L	29/78	6 5 5 F	
H 1 0 D	30/66 (2025.01)	H 0 1 L	29/78	6 5 5 G	
H 0 1 L	21/265(2006.01)	H 0 1 L	29/78	6 5 5 A	
		H 0 1 L	29/78	6 5 3 A	
		H 0 1 L	29/78	6 5 2 K	
		審査請求	未請求	請求項の数	9 O L (全18頁) 最終頁に続く
(21)出願番号	特願2023-148452(P2023-148452)		(71)出願人	000006013	
(22)出願日	令和5年9月13日(2023.9.13)			三菱電機株式会社 東京都千代田区丸の内二丁目 7 番 3 号	
			(74)代理人	100109612 弁理士 倉谷 泰孝	
			(74)代理人	100116643 弁理士 伊達 研郎	
			(74)代理人	100184022 弁理士 前田 美保	
			(72)発明者	小西 和也 東京都千代田区丸の内二丁目 7 番 3 号 三菱電機株式会社内	
			(72)発明者	迫 紘平 東京都千代田区丸の内二丁目 7 番 3 号 三菱電機株式会社内	
			最終頁に続く		

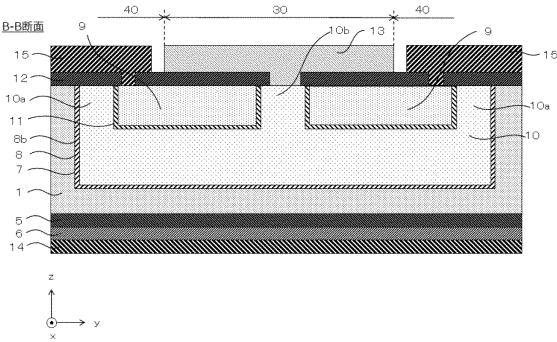
(54)【発明の名称】 半導体装置

(57)【要約】

【課題】半導体装置において、トレンチ端部のホール密度を低減することで電界の増加を抑制し、アバランシェ耐圧を向上した半導体装置を提供すること目的とする。

【解決手段】半導体装置の外周領域 4 0 に位置するトレンチ 7 の延伸方向の外周部において、下部電極 1 0 のうち上部電極 9 よりも外側まで延設されている下部電極の延設部 1 0 a を、前記上部電極 9 の端部を覆うように、前記半導体基板の上面までさらに延設し、トレンチ 7 の幅を、トレンチ端部 7 a において最も狭くする。

【選択図】図 3



【特許請求の範囲】

【請求項 1】

半導体スイッチング素子が構成されている活性領域と、前記活性領域の外側のゲート電極が設けられている外周領域が存在する半導体装置であって、

前記半導体スイッチング素子は、

第 1 導電型ドリフト層と、

前記第 1 導電型ドリフト層の上面側に設けられた第 2 導電型ベース層と、

前記第 2 導電型ベース層の上面側に設けられた第 1 導電型ソース層と、

前記第 1 導電型ドリフト層の下面側に設けられた第 2 導電型コレクタ層と、

前記第 1 導電型ソース層と電氣的に接続されるエミッタ電極と、

10

前記第 2 導電型コレクタ層と電氣的に接続されるコレクタ電極と、を備え、

前記第 1 導電型ソース層の上面から前記第 2 導電型コレクタ層の下面までの範囲を半導体基板とし、

前記半導体基板の上面から、前記第 1 導電型ドリフト層に達するまで深さ方向に貫通し、前記活性領域から前記外周領域に向かって延伸する複数のトレンチと、

前記複数のトレンチそれぞれを覆う層間絶縁膜と、をさらに備え、

前記複数のトレンチそれぞれは、

前記トレンチの内部において、絶縁膜を介して、下部電極、境界絶縁膜、および上部電極が順に積層されて 2 段構造をなし、

前記下部電極は、前記エミッタ電極と電氣的に接続され、

20

前記上部電極は、前記ゲート電極と電氣的に接続され、

前記外周領域に位置する前記トレンチの延伸方向の外周部において、前記下部電極のうち前記上部電極よりも外側まで延設されている前記下部電極の延設部が、前記上部電極の端部を覆うように、前記半導体基板の上面までさらに延設され、

前記トレンチの幅は、トレンチ端部において最も狭くなる半導体装置。

【請求項 2】

前記トレンチの幅は、前記トレンチのうち前記下部電極の延設部および前記上部電極の一部に対応する領域において最も狭くなる請求項 1 に記載の半導体装置。

【請求項 3】

前記トレンチの幅は、前記トレンチ端部の先端に向かうにつれて徐々に狭くなる請求項 1 に記載の半導体装置。

30

【請求項 4】

前記トレンチの幅は、段階的に狭くなる請求項 3 に記載の半導体装置。

【請求項 5】

前記トレンチ端部にテーパが設けられた請求項 3 に記載の半導体装置。

【請求項 6】

前記トレンチ端部の先端は丸く形成された請求項 3 に記載の半導体装置。

【請求項 7】

前記トレンチの幅は、前記トレンチの幅の最も広い領域の幅から前記トレンチ端部の先端に向かうにつれて徐々に狭くなる請求項 1 に記載の半導体装置。

40

【請求項 8】

前記トレンチの幅の最も広い領域は、前記上部電極を前記ゲート電極に接続する引上げ領域に存在する請求項 7 に記載の半導体装置。

【請求項 9】

前記トレンチ端部の先端と、隣り合う前記トレンチ端部の先端との間を繋ぐように交差トレンチがさらに設けられ、

前記交差トレンチの内部において、絶縁膜を介して交差電極が設けられ、

前記交差電極は、前記エミッタ電極と電氣的に接続される請求項 1 から 8 のいずれか 1 項に記載の半導体装置。

【発明の詳細な説明】

50

【技術分野】

【0001】

本開示は、半導体装置に関する。

【背景技術】

【0002】

特許文献1には、トレンチ内部の電極を上下に分割したスプリットゲート構造を有するMOSFETが備えられた半導体装置が開示されている。特許文献1に記載された発明は、半導体装置の外周部において、トレンチの幅を広くすることで、外周部に位置するトレンチ端部の耐圧を向上させるものである。また、半導体スイッチング素子をMOSFET以外のIGBTとした場合でも、当該発明を適用できる旨が記載されている。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2021-128948号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1に記載された半導体装置は、キャリアの動きに対する考慮が不十分である。例として、ターンオフスイッチング時のトレンチ端部におけるホール密度の増加が考えられる。具体的には、ターンオフスイッチング時においてトレンチ端部にホールが高密度で流れ込みトレンチ端部でのホール密度が増加する。そうすると、ホール密度の増加に伴って空間電荷が増加するため、電界が増加しアバランシェが発生する。特にこの現象はバイポーラデバイスにおけるIGBT(Insulated Gate Bipolar Transistor)で顕著に発生する。特許文献1に記載された発明をIGBTに適用した場合、外周部に位置するトレンチ端部において、トレンチの幅が広がるため、トレンチとトレンチ間の領域が狭くなり、ホール密度が増加しやすい。そのため、ホール密度の増加に伴って電界が増加し、アバランシェ耐圧が低下する。

20

【0005】

本開示は上記した問題点を解決するためになされたものであり、トレンチ端部のホール密度を低減することで電界の増加を抑制し、アバランシェ耐圧を向上した半導体装置を提供することを目的とする。

30

【課題を解決するための手段】

【0006】

本開示に係る半導体装置は、半導体スイッチング素子が構成されている活性領域と、前記活性領域の外側のゲート電極が設けられている外周領域が存在する半導体装置であって、前記半導体スイッチング素子は、第1導電型ドリフト層と、前記第1導電型ドリフト層の上面側に配設された第2導電型ベース層と、前記第2導電型ベース層の上面側に配設された第1導電型ソース層と、前記第1導電型ドリフト層の下面側に配設された第2導電型コレクタ層と、前記第1導電型ソース層と電氣的に接続されるエミッタ電極と、前記第2導電型コレクタ層と電氣的に接続されるコレクタ電極と、を備え、前記第1導電型ソース層の上面から前記第2導電型コレクタ層の下面までの範囲を半導体基板とし、前記半導体基板の上面から、前記第1導電型ドリフト層に達するまで深さ方向に貫通し、前記活性領域から前記外周領域に向かって延伸する複数のトレンチと、前記複数のトレンチそれぞれを覆う層間絶縁膜と、をさらに備え、前記複数のトレンチそれぞれは、前記トレンチ内部において、絶縁膜を介して、下部電極と、境界絶縁膜、および上部電極が順に積層されて2段構造をなし、前記下部電極は、前記エミッタ電極と電氣的に接続され、前記上部電極は、前記ゲート電極と電氣的に接続され、前記外周領域に位置する前記トレンチの延伸方向の外周部において、前記下部電極のうち前記上部電極よりも外側まで延設されている下部電極の延設部が、前記上部電極の端部を覆うように、前記半導体基板の上面までさらに延設され、前記トレンチの幅は、前記トレンチ端部において最も狭くなる半導体装置であ

40

50

る。

【発明の効果】

【0007】

本開示に係る半導体装置によれば、トレンチ端部のホール密度を低減することで電界の増加を抑制し、アバランシェ耐圧を向上できる。

【図面の簡単な説明】

【0008】

【図1】実施の形態1に係る半導体装置の全体平面図である。

【図2】実施の形態1に係る半導体装置の図1中のA—A断面図である。

【図3】実施の形態1に係る半導体装置の図1中のB—B断面図である。

10

【図4】実施の形態1に係る半導体装置の図1中のCにおける拡大平面図である。

【図5】実施の形態1に係る半導体装置のトレンチ外周部における拡大平面図である。

【図6】実施の形態2に係る半導体装置のトレンチ外周部における拡大平面図である。

【図7】実施の形態2に係る半導体装置のトレンチ外周部における拡大平面図である。

【図8】実施の形態3に係る半導体装置のトレンチ外周部における拡大平面図である。

【図9】実施の形態3に係る半導体装置のトレンチ外周部における拡大平面図である。

【図10】実施の形態3に係る半導体装置のトレンチ外周部における拡大平面図である。

【図11】実施の形態4に係る半導体装置のトレンチ外周部における拡大平面図である。

【発明を実施するための形態】

【0009】

20

<はじめに>

以下の説明において、n型およびp型は半導体の導電型を示し、本開示においては、第1導電型をn型、第2導電型をp型として説明するが、第1導電型をp型、第2導電型をn型としてもよい。また、 n^- 型は不純物濃度がn型よりも低濃度であることを示し、 n^+ 型は不純物濃度がn型よりも高濃度であることを示す。同様に、 p^- 型は不純物濃度がp型よりも低濃度であることを示し、 p^+ 型は不純物濃度がp型よりも高濃度であることを示す。

【0010】

また、説明の便宜のため、以下では、図1～図11に示すように半導体装置100の幅方向をx方向、x方向に対して交差する半導体装置100の奥行方向をy方向、半導体装置100の厚み方向もしくは深さ方向、つまりxy平面に対する法線方向をz方向として説明する。

30

【0011】

また、図面は模式的に示されたものであり、異なる図面にそれぞれ示されている画像のサイズおよび位置の相互関係は、必ずしも正確に記載されたものではなく、適宜変更され得る。また、以下の説明では、同様の構成要素には同じ符号を付して図示し、それらの名称および機能も同様のものとする。よって、それらについての詳細な説明を省略する場合がある。

【0012】

実施の形態1.

40

実施の形態1について図面を用いて以下に説明する。図1は、実施の形態1に係る半導体装置100全体の上面構成を模式的に示す平面図である。図1に示すように、半導体装置100には、半導体スイッチング素子が構成される活性領域30と、活性領域30の周囲に外周領域40が存在している。さらに、トレンチ7が活性領域30から外周領域40に向かって、Y方向に延伸するように設けられている。Y方向をトレンチ7の延伸方向とする。また、複数のトレンチ7が、トレンチ7の延伸方向と直行する方向であるX方向において隣り合うように設けられている。図1では、トレンチ7の数を5個で示しているが、トレンチ7の数は、これに限るものではない。また、本実施形態では、スプリットゲートのトレンチ構造を有し、半導体スイッチング素子として、絶縁ゲート型バイポーラトランジスタ (Insulated Gate Bipolar Transistor: 以下、IGBTと略する) を用い

50

る半導体装置を例に挙げて説明する。以下、図 2 ~ 図 5 に基づいて本実施形態の半導体装置 100 の詳細な構造について説明する。

【0013】

図 2 は、実施の形態 1 に係る半導体装置 100 の活性領域 30 におけるトレンチ 7 延伸方向と直行する方向の断面図である。なお、図 2 は、図 1 に示された一点鎖線 A - A における断面を示している。図 3 は、実施の形態 1 に係るトレンチ 7 延伸方向と平行な方向の断面図である。なお、図 3 は、図 1 に示された一点鎖線 B - B における断面を示している。図 4 は、実施の形態 1 に係る半導体装置 100 のトレンチ 7 の外周部における平面図である。なお、図 4 は、図 1 に示された領域 C における拡大図および、図 2 に示された点線 C における平面図を示している。図 5 は、図 4 で示されたトレンチ 7 の変形例を示す平面図である。

10

【0014】

まず、図 2、図 3 を用いて、半導体装置 100 の断面構成を説明する。図 2 に示すように、半導体装置 100 は、活性領域 30 において半導体スイッチング素子が構成されている。半導体スイッチング素子は、 n^- 型ドリフト層 1、 n 型キャリア蓄積層 2、 p 型ベース層 3、 n^+ 型ソース層 4、 n 型バッファ層 5、 p 型コレクタ層 6、トレンチ 7、上部絶縁膜 8a、下部絶縁膜 8b、上部電極 9、下部電極 10、境界絶縁膜 11、層間絶縁膜 12、エミッタ電極 13 およびコレクタ電極 14 を含む。また、図 3 に示すように、外周領域 40 において、ゲート電極 15 が設けられている。

【0015】

20

活性領域 30 における半導体基板の第 1 主面は、 n^+ 型ソース層 4 および図示しない p^+ 型コンタクト層の表面（上面）に対応する。第 1 主面は、半導体基板の上面である。半導体基板の第 2 主面は、 p 型コレクタ層 6 の表面（下面）に対応する。第 2 主面は、第 1 主面とは反対側の面であって半導体基板の下面である。図 2 において、半導体基板は n^+ 型ソース層 4 および p^+ 型コンタクト層の上面から p 型コレクタ層 6 の下面までの範囲に対応する。

【0016】

n^- 型ドリフト層 1 は、半導体基板からなる。 n^- 型ドリフト層 1 は、半導体基板の第 1 主面と第 2 主面との間に設けられている。 n^- 型ドリフト層 1 は、 n 型不純物として例えばヒ素またはリン等を含む半導体層であり、 n 型不純物の濃度は、好ましくは、 $1.0 \times 10^{12} / \text{cm}^3$ 以上 $1.0 \times 10^{15} / \text{cm}^3$ 以下である。

30

【0017】

n 型キャリア蓄積層 2 は、 n^- 型ドリフト層 1 に対して半導体基板の第 1 主面側に設けられている。 n 型キャリア蓄積層 2 は、 n 型不純物として例えばヒ素またはリン等を有する半導体層であり、 n 型不純物の濃度は、好ましくは、 $1.0 \times 10^{13} / \text{cm}^3$ 以上 $1.0 \times 10^{17} / \text{cm}^3$ 以下である。 n 型キャリア蓄積層 2 を設けることによって、電流が流れた際の通電損失を低減できる。なお、半導体装置 100 は、 n 型キャリア蓄積層 2 が設けられずに、 n 型キャリア蓄積層 2 の領域にも n^- 型ドリフト層 1 が設けられた構成であってもよく、 n 型キャリア蓄積層 2 と n^- 型ドリフト層 1 とを合わせてドリフト層と定められていてもよい。

40

【0018】

p 型ベース層 3 は、 n 型キャリア蓄積層 2 に対して半導体基板の第 1 主面側に設けられている。 p 型ベース層 3 は、 p 型不純物として、例えばボロンまたはアルミニウム等を含む半導体層であり、 p 型不純物の濃度は、好ましくは、 $1.0 \times 10^{12} / \text{cm}^3$ 以上 $1.0 \times 10^{19} / \text{cm}^3$ 以下である。 p 型ベース層 3 は、トレンチ 7 の上部絶縁膜 8a に接している。上部電極 9 にゲート駆動電圧が印加された場合、 p 型ベース層 3 にチャネルが形成される。

【0019】

n^+ 型ソース層 4 は、 p 型ベース層 3 に対して半導体基板の第 1 主面側に設けられている。その n^+ 型ソース層 4 は、半導体基板の表層として、 p 型ベース層 3 の上方に選択的

50

に設けられている。n⁺型ソース層4は、n型不純物として、例えばヒ素またはリン等を含む半導体層であり、n型不純物の濃度は、好ましくは、 $1.0 \times 10^{17} / \text{cm}^3$ 以上 $1.0 \times 10^{20} / \text{cm}^3$ 以下である。n⁺型ソース層4は、トレンチ7の上部絶縁膜8aに接している。また、n⁺型ソース層4は、n⁺型エミッタ層と言われる場合がある。

【0020】

p⁺型コンタクト層は、図示はしないが、p型ベース層3に対して半導体基板の第1主面側に設けられている。そのp⁺型コンタクト層は、半導体基板の表層として、p型ベース層3の上方に選択的に設けられている。p⁺型コンタクト層は、p型ベース層3の上方において、トレンチ7の延伸方向に沿って、n⁺型ソース層4が設けられていない領域に設けられている。p⁺型コンタクト層は、p型不純物として、例えばボロンまたはアルミニウム等を含む半導体層であり、p型不純物の濃度は、好ましくは、 $1.0 \times 10^{15} / \text{cm}^3$ 以上 $1.0 \times 10^{20} / \text{cm}^3$ 以下である。なお、p⁺型コンタクト層は、p型ベース層3よりもp型不純物の濃度が高い領域であり、p⁺型コンタクト層とp型ベース層3とを区別する必要がある場合にはそれぞれを個別に呼称してよく、p⁺型コンタクト層とp型ベース層3とを合わせて1つのp型ベース層3と定められていてもよい。

【0021】

n型バッファ層5は、n⁻型ドリフト層1に対して半導体基板の第2主面側に設けられている。n型バッファ層5は、n型不純物として、例えばリンおよびプロトンのうち少なくとも一方を含む半導体層であり、n型不純物の濃度は、好ましくは、 $1.0 \times 10^{12} / \text{cm}^3$ 以上 $1.0 \times 10^{18} / \text{cm}^3$ 以下である。n型バッファ層5は、n⁻型ドリフト層1よりもn型不純物の濃度が高い。n型バッファ層5は、半導体装置100がオフ状態の場合に、空乏層がp型ベース層3から第2主面側に伸びパンチスルーが発生することを低減する。n型バッファ層5とn⁻型ドリフト層1とは、合わせて1つのn⁻型ドリフト層1と定められていてもよい。さらには、n型キャリア蓄積層2とn型バッファ層5とn⁻型ドリフト層1とが、合わせて1つのn⁻型ドリフト層1と定められていてもよい。また、n型バッファ層5は、必ずしも必要ではなく、n型バッファ層5の領域にn⁻型ドリフト層1が設けられていてもよい。

【0022】

p型コレクタ層6は、n型バッファ層5に対して半導体基板の第2主面側に設けられている。p型コレクタ層6は、p型不純物として、例えばボロンまたはアルミニウム等を含む半導体層であり、p型不純物の濃度は、好ましくは、 $1.0 \times 10^{16} / \text{cm}^3$ 以上 $1.0 \times 10^{20} / \text{cm}^3$ 以下である。

【0023】

トレンチ7は、半導体基板の第1主面、つまり半導体基板の上面に設けられている。トレンチ7は、半導体基板の第1主面からn⁺型ソース層4と、p型ベース層3を厚み方向に貫通し、n⁻型ドリフト層1に達している。

【0024】

また、トレンチ7の内壁面は、絶縁膜8によって覆われている。絶縁膜8については、単独の膜で構成されていても良いが、本実施形態の場合は、トレンチ7のうちの上方部分を覆っている上部絶縁膜8aと下方部分を覆っている下部絶縁膜8bとによって構成されている。上部絶縁膜8aは、トレンチ7の上方部分の側面を覆い、下部絶縁膜8bは、トレンチ7の底部から下方部分の側面を覆っている。上部絶縁膜8a、下部絶縁膜8bは、例えば、酸化膜である。なお、下部絶縁膜8bの厚みを上部絶縁膜8aの厚みよりも厚くしてもよい。このような構成にすることで、後述するトレンチ端部7aにおいて、電界集中による絶縁膜破壊を抑制できる。

【0025】

さらに、トレンチ7は、内部に上部電極9と下部電極10の2つの電極を有する2段構造、すなわちスプリットゲート構造を有している。トレンチ7内には、上部絶縁膜8aを介して上部電極9が設けられ、上部電極9の第2主面側には下部絶縁膜8bを介して下部電極10が設けられている。また、境界絶縁膜11によって上部電極9と下部電極10と

が絶縁されている。つまり、トレンチ 7 の内部において、絶縁膜を介して、下部電極、境界絶縁膜、および上部電極が順に積層されて 2 段構造をなしている。ここで、下部電極 10 は、下部絶縁膜 8 b を介して n^+ 型ドリフト層 1 に対向している。なお、上部電極 9 の底部は p 型ベース層 3 よりも第 2 主面側に位置している。

【0026】

上部電極 9、下部電極 10 は、 n 型または p 型の不純物をドーブしたポリシリコンを堆積させて形成されており、ポリシリコンの不純物の濃度は $1.0 \times 10^{17} / \text{cm}^3 \sim 1.0 \times 10^{22} / \text{cm}^3$ であり、下部電極 10 の不純物濃度は上部電極 9 よりも高濃度であり、例えば $1.0 \times 10^{19} / \text{cm}^3 \sim 1.0 \times 10^{22} / \text{cm}^3$ である。好ましくは、 $1.0 \times 10^{20} / \text{cm}^3 \sim 1.0 \times 10^{22} / \text{cm}^3$ である。

10

【0027】

また、図 3 に示すように、上部電極 9 は外周領域 40 においてゲート電極 15 と電氣的に接続され、下部電極 10 は活性領域 30 においてエミッタ電極 13 と電氣的に接続されている。さらに、外周領域 40 に位置するトレンチ 7 の延伸方向の外周部において、下部電極 10 は、上部電極 9 よりも外側まで延設されている。下部電極 10 のうち、上部電極 9 よりも外側まで延設されている部分を下部電極 10 の延設部 10 a とする。そして、延設部 10 a が、半導体基板の第 1 主面まで、上部電極 9 の端部を覆うようにさらに延設されている。なお、延設部 10 a と上部電極 9 との間も境界絶縁膜 11 によって絶縁されている。また、下部電極 10 のうち、下部電極 10 をエミッタ電極 13 に電氣的に接続するための部分を引き上げ領域部 10 b とする。引き上げ領域部 10 b は、半導体基板の第 1 主面まで、上部電極 9 を貫通するようにさらに延設されている。なお、引き上げ領域部 10 b と上部電極 9 との間も境界絶縁膜 11 によって絶縁されている。

20

【0028】

また、図 3 に示すように、層間絶縁膜 12 は、トレンチ 7 の上部電極 9、下部電極 10 上に設けられている。

【0029】

図示はしないがバリアメタルは、半導体基板の第 1 主面のうち、層間絶縁膜 12 が設けられていない領域上および層間絶縁膜 12 上に形成されている。バリアメタルは、例えばチタンを含む導電体で形成されている。チタンを含む導電体とは、例えば、窒化チタン、 TiSi である。 TiSi は、チタンとシリコン (Si) との合金である。バリアメタルは、 n^+ 型ソース層 4、 p^+ 型コンタクト層および下部電極 10 にオーミック接触している。バリアメタルは、 n^+ 型ソース層 4、 p^+ 型コンタクト層および下部電極 10 に電氣的に接続されている。

30

【0030】

エミッタ電極 13 は、活性領域 30 に設けられたバリアメタル上に設けられる。エミッタ電極 13 は、例えば、アルミシリコン合金 (Al-Si 系合金) で形成される。エミッタ電極 13 は、バリアメタルを介して、 n^+ 型ソース層 4、 p^+ 型コンタクト層および下部電極 10 に電氣的に接続されている。エミッタ電極 13 は、アルミニウム合金膜およびその他の金属膜からなる複数の金属膜で構成されていてもよい。例えば、エミッタ電極 13 は、アルミニウム合金膜とめっき膜とで構成されていてもよい。めっき膜は、例えば、無電解めっきあるいは電解めっきで形成される。めっき膜は、例えば、ニッケル (Ni) 膜である。互いに隣接する層間絶縁膜 12 の間の微細領域には、タングステン膜が形成されていてもよい。エミッタ電極 13 は、そのタングステン膜上に形成される。タングステン膜は、めっき膜よりも埋込性が良好であるため、良好なエミッタ電極 13 が形成される。

40

【0031】

なお、バリアメタルとエミッタ電極 13 とが、合わせて 1 つのエミッタ電極 13 と定められていてもよい。また、バリアメタルは必ずしも設ける必要はない。バリアメタルが設けられない場合、エミッタ電極 13 は、 n^+ 型ソース層 4 上、 p^+ 型コンタクト層上および下部電極 10 上に設けられ、それらとオーミック接触する。または、バリアメタルは、

50

n^+ 型ソース層 4 などの n 型半導体層上のみに設けてられてもよい。下部電極 10 上の一部には、層間絶縁膜 12 が設けられていてもよい。その場合、エミッタ電極 13 は、下部電極 10 上のいずれかの領域において、その下部電極 10 と電氣的に接続される。

【0032】

また、図 3 に示すように、ゲート電極 15 は、外周領域 40 において n^- 型ドリフト層 1 上および上部電極 9 上に設けられ、それらとオーミック接触する。また、上部電極 9 上の一部には、層間絶縁膜 12 が設けられていてもよい。その場合、ゲート電極 15 は、上部電極 9 上のいずれかの領域において、その上部電極 9 と電氣的に接続される。

【0033】

コレクタ電極 14 は、 p 型コレクタ層 6 に対して半導体基板の第 2 主面側に設けられている。コレクタ電極 14 は、例えば、エミッタ電極 13 と同様に、アルミニウム合金で形成される。コレクタ電極 14 は、 p 型コレクタ層 6 にオーミック接触し、その p 型コレクタ層 6 に電氣的に接続されている。コレクタ電極 14 は、アルミニウム合金とめっき膜とで構成されていてもよい。また、コレクタ電極 14 は、エミッタ電極 13 とは異なる構成であってもよい。

【0034】

以上のようにして、IGBT を有する半導体装置 100 が構成されている。続いて、上述したトレンチ 7 の構造のうちのトレンチ 7 の延伸方向の外周部の構造の詳細について、図 4 を参照して説明する。

【0035】

図 4 に示すように、トレンチ 7 のうち下部電極 10 の延設部 10a に対応する領域をトレンチ端部 7a とする。トレンチ端部 7a において、トレンチ幅が最も狭くなるようにされている。ここで、トレンチ端部 7a の幅を第 1 幅 W_1 とし、トレンチ幅はトレンチ端部 7a において最小の W_1 となる。

【0036】

上述した構成とすることで、半導体装置 100 のアバランシェ耐圧の向上を可能にしている。この理由について、以下に説明する。

【0037】

まず、IGBT におけるオン状態では、 n^- 型ドリフト層 1 に向かって大量の電子とホールが流入する。次にターンオフスイッチング時において、 n^- 型ドリフト層 1 への電子とホールの流入は停止する。ここで、 n^- 型ドリフト層 1 に流入したホールは、排出経路が存在しない外周領域 40 から、ホールが排出されるエミッタ電極 13 に向けて流れ込む。つまり、トレンチ端部 7a にも高密度でホールが流れ込み、トレンチ端部 7a のホール密度が増加する。電子の流入は停止しているため、トレンチ端部 7a での空間電荷密度が増加し、電界強度が増加することでアバランシェが発生する。

【0038】

上述したように、トレンチ端部 7a においてトレンチ幅を最も狭い W_1 とする構成にすることで、トレンチ端部 7a において、トレンチとトレンチの間の領域であるメサ幅 W_M を広くできるため、ホールの排出経路を拡大できホール密度を低減できる。これにより空間電荷密度を低減でき、電界強度の増加を抑制しアバランシェ耐圧を向上できる。

【0039】

また、下部電極 10 はエミッタ電極 13 に電氣的に接続されているため、上部電極 9 に比べて電位が低い。そのため、ターンオフスイッチング時において、トレンチ 7 のうち上部電極 9 に対応する領域の側壁だけではなく、下部電極 10 に対応する領域の側壁にもホールが引き寄せられる。上述したように、下部電極 10 の延設部 10a をトレンチ 7 内の先端部に配置する構成とすることで、トレンチ端部 7a の側壁にもホールを引き寄せ、 n^- 型ドリフト層 1 内に低抵抗な p 型反転層を形成できる。つまり、トレンチ端部 7a において、ホールは低抵抗な p 型反転層を通過できるためホールの排出が促進される。

【0040】

次に実施の形態 1 の変形例について、図 5 を用いて説明する。図 5 に示すように、トレ

10

20

30

40

50

ンチ幅が最も狭くなる領域を、トレンチ7のうち、延設部10aに対応する領域に加えて上部電極9の一部に対応する領域までとしてもよい。ここで、上部電極9の一部に対応する領域は、外周領域40内に存在する上部電極9に対応する領域とする。このような構成とすることで、トレンチ7においてトレンチ幅を最も狭いW1とする領域が拡大する。したがって、メサ幅 W_M が広い領域が拡大するため、さらにホール密度を低減でき、アバランシェ耐圧を向上できる。

【0041】

以上説明したように、本実施形態の半導体装置100では、トレンチ幅を変化させることでメサ幅を変化させ、トレンチ端部7aのメサ幅が最も大きくなるようにしている。これにより、トレンチ端部7aでのホール密度を低減でき、スプリットゲート構造のIGBTを有する半導体装置100において、アバランシェ耐圧の向上を実現できる。

【0042】

さらに、本実施形態の半導体装置100では、ホールの排出経路を拡大できるため、ホールが排出されやすくなり、ターンオフ損失を低減できる。したがって、ターンオフ損失を低減することで、スプリットゲート構造のIGBTを有する半導体装置100において、スイッチング損失を低減できる。

【0043】

なお、本実施形態の半導体装置100の製造方法については、基本的には従来からのスプリットゲート型トレンチ構造を有するIGBTが備えられた半導体装置100の製造方法と同様である。ただし、トレンチ7を形成する際のエッチング工程の際に、トレンチ7のうち、少なくともトレンチ端部7aにおけるトレンチ幅を最も狭いW1とするエッチングマスクを用いるようにする。

【0044】

半導体装置100の製造方法について詳細な説明をする。半導体装置100の製造方法は、半導体基板を準備する工程、半導体基板の第1主面側を形成する工程、半導体基板の第2主面側を形成する工程を備える。

【0045】

まず、半導体基板を準備する工程を説明する。本実施形態では、半導体基板として、n型不純物を含むn型ウエハが準備される。半導体基板は、FZ (Floating Zone) 法で作製された、いわゆるFZウエハであってもよいし、MCZ (Magnetic field applied Czochralski) 法で作製された、いわゆるMCZウエハであってもよい。または、半導体基板は、昇華法あるいはCVD (chemical vapor deposition) によって作製されたウエハであってもよい。この工程においては、その半導体基板全体がn⁻型ドリフト層1に対応する。n型不純物の濃度は、半導体装置100の耐圧仕様によって適宜選択される。例えば、半導体装置100の耐圧仕様が1200Vである場合、n型不純物の濃度はn⁻型ドリフト層1の比抵抗が40~120Ω・cm程度となるように調整される。本実施形態では、半導体基板全体がn⁻型ドリフト層1であるn型ウエハを準備する工程を示すが、半導体基板を準備する工程はそれに限定されるものではない。例えば、半導体基板の第1主面または第2主面からn型不純物をイオン注入する工程と、熱処理によってそのn型不純物を拡散させる工程とによって、n⁻型ドリフト層1を含む半導体基板が準備されてもよい。

【0046】

次に、半導体基板の第1主面側を形成する工程を説明する。まず、n型キャリア蓄積層2を形成するためのn型不純物が半導体基板の第1主面側からn⁻型ドリフト層1の表層にイオン注入される。そのn型不純物は、例えばリンである。次に、p型ベース層3を形成するためのp型不純物が半導体基板の第1主面側からイオン注入される。そのp型不純物は、例えばボロンである。イオン注入後に熱処理が施され、n型不純物およびp型不純物は拡散し、n型キャリア蓄積層2、p型ベース層3が形成される。

【0047】

上記のイオン注入の際、半導体基板の第1主面上には、所定の領域に開口を有するマス

クが形成される。n型不純物およびp型不純物は、マスクの開口に対応した領域に注入される。そのマスクは、半導体基板の第1主面上にレジストを塗布する工程、および、フォトリソグラフィ（写真製版）技術によってレジストの所定の領域に開口を形成する工程によって形成される。以下、このような所定の領域に開口を有するマスクを形成する処理を、マスク処理と言う。n型不純物およびp型不純物は、マスク処理によって所定の領域に注入される。その結果、n型キャリア蓄積層2、p型ベース層3は、半導体基板の第1主面の面内に選択的に形成される。

【0048】

次に、n⁺型ソース層4を形成されるためのn型不純物が半導体基板の第1主面側からp型ベース層3の表層にイオン注入される。この際、n型不純物はマスク処理によって注

10

【0049】

次に、p⁺型コンタクト層を形成されるためのp型不純物が、半導体基板の第1主面側からp型ベース層3の表層にイオン注入される。この際、p型不純物はマスク処理によって注入され、p⁺型コンタクト層がp型ベース層3の表層にそれぞれ選択的に形成される。p型不純物は、例えば、ボロンまたはアルミニウムである。

【0050】

次に、半導体基板の第1主面からn⁺型ソース層4およびp型ベース層3を貫通し、n⁺型ドリフト層1に達するトレンチ7を形成する。活性領域30において、n⁺型ソース層4を貫通するトレンチ7は、側壁がn⁺型ソース層4の一部を構成する。

20

【0051】

トレンチ7を形成するために、まず、半導体基板の第1主面に酸化膜を堆積させる。酸化膜は例えばSiO₂などの薄膜である。次に、トレンチ7を形成する部分の酸化膜に開口を形成し、開口を有するマスクを形成する。なお、マスク形成の際は、トレンチ7のうち、トレンチ端部7aにおけるトレンチ幅が最も狭い幅W1になるような開口を有したマスクを形成する。最後に、マスクを介して半導体基板をエッチングすることでトレンチ7が形成される。

【0052】

次に、酸素を含む雰囲気中で半導体基板を加熱し、トレンチ7の内壁および半導体基板の第1主面に下部絶縁膜8bを形成する。なお、半導体基板の第1主面に形成された下部絶縁膜8bは後の工程で除去される。

30

【0053】

次に、内壁に下部絶縁膜8bを形成したトレンチ7内部に、下部電極10を形成する。n型またはp型の不純物がドーブされたポリシリコンが、CVD (chemical vapor deposition) などによってトレンチ7の内部に堆積させて下部電極10を形成する。その結果、下部電極10が、下部絶縁膜8bを介してトレンチ7の内部に形成される。

【0054】

次に、マスク処理によって上部電極9を充填させるトレンチ7を開口したマスクを形成し、トレンチ7内の下部電極10をエッチングする。その後、トレンチ7内の下部絶縁膜8bのうち上部絶縁膜8aが形成される部分を除去する。

40

【0055】

次に、酸素を含む雰囲気中で半導体基板を加熱し、トレンチ7の内壁および半導体基板の第1主面に上部絶縁膜8aを形成する。また、下部電極10の第1主面に境界絶縁膜11を形成する。なお、半導体基板の第1主面に形成された上部絶縁膜8aは後の工程で除去される。

【0056】

次に、内壁に上部絶縁膜8aを形成したトレンチ7内部に、上部電極9を形成する。n型またはp型の不純物がドーブされたポリシリコンが、CVD (chemical vapor deposition) などによってトレンチ7の内部に堆積させて上部電極9を形成する。その結果

50

、上部電極 9 が、上部絶縁膜 8 a を介してトレンチ 7 の内部に形成される。

【 0 0 5 7 】

次に、層間絶縁膜 1 2 をトレンチ 7 上に形成する。層間絶縁膜 1 2 は、マスク処理により堆積され、半導体基板の第 1 主面に形成された酸化膜は除去される。層間絶縁膜 1 2 は、例えば、酸化膜として SiO_2 を含む。

【 0 0 5 8 】

そして、コンタクトホールを層間絶縁膜 1 2 に形成する。コンタクトホールは、 n^+ 型ソース層 4 上、 p^+ 型コンタクト層上に形成される。

【 0 0 5 9 】

次に、バリアメタルを、半導体基板の第 1 主面および層間絶縁膜 1 2 上に形成する。バリアメタルは、PVD (physical vapor deposition) または CVD によって製膜される。 10

【 0 0 6 0 】

次に、エミッタ電極 1 3 を、バリアメタル上に形成する。エミッタ電極 1 3 は、スパッタリング、蒸着等の PVD 法によって形成される。エミッタ電極 1 3 は、例えば、アルミシリコン合金 (Al-Si 系合金) を含む。さらに、第 2 のエミッタ電極 1 3 をエミッタ電極 1 3 の上に無電解めっき法あるいは電解めっき法によって形成してもよい。第 2 のエミッタ電極 1 3 は、例えば、ニッケルまたはニッケル合金を含む。第 2 のエミッタ電極 1 3 は、例えば、2 種類以上の金属層を含む積層構造を有していてもよい。その積層構造は、例えば、Ni 膜、Pd 膜および Au 膜で構成され、めっき法で形成される。 20

【 0 0 6 1 】

めっき法は、厚い金属膜を容易に形成することを可能にする。厚膜のエミッタ電極 1 3 においては、熱容量が増加するため、エミッタ電極 1 3 の耐熱性が向上する。なお、アルミシリコン合金上に、めっき処理でニッケル合金をさらに形成する場合、そのめっき処理は半導体基板の第 2 主面側の加工が行われた後に実施してもよい。

【 0 0 6 2 】

次に、半導体基板の第 2 主面側を形成する工程を説明する。まず、半導体基板を薄板化する工程を説明する。半導体基板の第 2 主面を研削し、半導体装置 100 の設計に応じた所定の厚さに薄板化する。研削後の半導体基板の厚さは、例えば、 $80\text{ }\mu\text{m}$ 以上 $200\text{ }\mu\text{m}$ 以下である。 30

【 0 0 6 3 】

次に、 n 型バッファ層 5 および p 型コレクタ層 6 を形成する工程を説明する。まず、 n 型バッファ層 5 を形成するための n 型不純物が、薄板化された半導体基板の第 2 主面側から n 型ドリフト層 1 の表層にイオン注入される。 n 型不純物として、例えば、リンが注入されてもよいし、プロトンが注入されてもよい。または例えば、リンおよびプロトンの両方が注入されてもよい。

【 0 0 6 4 】

プロトンは、比較的低い加速エネルギーで半導体基板の第 2 主面から深い位置にまで注入される。プロトンの注入深さは、加速エネルギーの変更によって比較的容易に制御される。このため、加速エネルギーを変更しながら、プロトンが複数回イオン注入された場合、リンを含む n 型バッファ層 5 よりも、半導体基板の厚さ方向に幅が広い n 型バッファ層 5 が形成される。 40

【 0 0 6 5 】

また、リンは、プロトンと比較して、 n 型不純物としての活性化率が高い。薄板化した半導体基板であっても、リンを含む n 型バッファ層 5 は、より確実に空乏層の拡大によるパンチスルーの発生を低減させる。半導体基板をより一層薄板化するためには、プロトンおよびリンの両方を含む n 型バッファ層 5 が形成されることが好ましい。その場合、プロトンはリンよりも半導体基板の第 2 主面から深い位置に注入される。

【 0 0 6 6 】

次に、 p 型コレクタ層 6 を形成するための p 型不純物が、半導体基板の第 2 主面側から 50

イオン注入される。p 型不純物として、例えば、ボロンが注入される。イオン注入後、半導体基板の第 2 主面にレーザーが照射される。そのレーザーアニールによって、注入されたボロンが活性化し、p 型コレクタ層 6 が形成される。

【0067】

このレーザーアニールの際、半導体基板の第 2 主面から比較的浅い位置に注入された n 型不純物のリンも同時に活性化される。一方プロトンは、350 ~ 500 程度の比較的低いアニール温度で活性化される。そのため、プロトンが注入された後、そのプロトンの活性化の工程以外で、半導体基板が 350 ~ 500 よりも高い温度に加熱されないことが好ましい。レーザーアニールは、半導体基板の第 2 主面近傍のみを高温に加熱する。そのため、レーザーアニールは、プロトンの注入後における n 型不純物または p 型不純物の活性化に有効である。

10

【0068】

次に、コレクタ電極 14 を形成する工程を説明する。コレクタ電極 14 は、半導体基板の第 2 主面に形成される。コレクタ電極 14 は、半導体基板の第 2 主面の全面に亘って形成されてもよい。コレクタ電極 14 は、アルミシリコン合金、チタン等を含む。コレクタ電極 14 は、スパッタリング、蒸着等の PVD によって形成される。コレクタ電極 14 は、各々がアルミシリコン合金、チタン、ニッケルあるいは金などを含む複数の金属層で形成されていてもよい。または、コレクタ電極 14 は、PVD によって形成された金属膜上に、無電解めっきあるいは電解めっきによって別の金属膜が形成された構造を有していてもよい。

20

【0069】

上記した工程により、半導体装置 100 は作製される。半導体装置 100 は、1 枚の n 型ウエハにマトリクス状に複数作製されるので、レーザーダイシングまたはブレードダイシングにより個々の半導体装置 100 に切り分けることで半導体装置 100 は完成する。

【0070】

実施の形態 2 .

実施の形態 2 における半導体装置について図 6、7 を用いて説明する。図 6、7 は、図 4、5 と同様に、トレンチ 7 の外周部における平面図を示している。ここで、図 6 に示すように、トレンチ 7 のうち、トレンチ端部 7a の幅を第 1 幅 W1 とする。また、トレンチ 7 のうち、トレンチ幅が最も広くなる領域のトレンチ幅を第 2 幅 W2 とする。実施の形態 2 の半導体装置は、実施の形態 1 と同様にトレンチ 7 が、トレンチ端部 7a においてトレンチ幅が最も狭くなるように形成される。さらに、トレンチ端部 7a のトレンチ幅は、トレンチ 7 のうちトレンチ幅が最も広くなる領域の幅よりも狭いことを特徴としている。つまり、トレンチ 7 はトレンチ幅が $W1 < W2$ となるように形成され、さらにトレンチ幅が W2 から W1 となるようにトレンチ端部 7a の先端に向かうにつれて、トレンチ幅が徐々に狭くなっている。実施の形態 2 では、トレンチ幅が最も広くなる領域は、トレンチ 7 のうち、外周領域における上部電極 9 の一部に対応する領域とする。

30

【0071】

上述した構成とすることで、トレンチ幅が狭くなる領域においてメサ幅が拡大するため、ホールの排出経路を拡大できる。したがって、ホール排出が促進されるため、ホールが排出しづらいトレンチ幅が最も広くなる領域でのホール密度の増加を抑制し、アバランシェ耐圧を向上できる。

40

【0072】

また、図 7 に示すように、トレンチ幅が最も広くなる領域が、上部電極 9 をゲート電極 15 に電氣的に接続する引き上げ領域 50 に存在し、トレンチ 7 のうち、活性領域 30 内に存在する上部電極 9 に対応するトレンチ幅よりも引き上げ領域 50 におけるトレンチ幅が広くなる場合が考えられる。なぜならば、上部電極 9 をゲート電極 15 に電氣的に接続するためのコンタクトホールを配置する面積分だけ引き上げ領域 50 のトレンチ幅は広くなるからである。したがって、引き上げ領域 50 でのメサ幅が狭くなるため、ホール密度が増加し、アバランシェ耐圧が低下しやすい。

50

【 0 0 7 3 】

この場合において、図 7 に示すように、トレンチ幅が最も広くなる領域である引上げ領域 5 0 のトレンチ幅を $W 2$ 、トレンチ幅が最も狭くなる領域であるトレンチ端部 7 a のトレンチ幅を $W 1$ とし、 $W 1 < W 2$ となるようにする。さらに $W 2$ から $W 1$ となるようにトレンチ端部 7 a に向かって、トレンチ幅を徐々に狭くする。

【 0 0 7 4 】

上述した構成とすることで、引上げ領域 5 0 を除く領域において、メサ幅が拡大するためホール排出経路を拡大できる。したがって、ホール排出が促進されるため、ホールが排出しづらい引上げ領域 5 0 でのホール密度の増加を抑制し、アバランシェ耐圧を向上できる。

10

【 0 0 7 5 】

上述したように、実施の形態 2 に係る半導体装置では、実施の形態 1 と同様な効果に加えて、ホールが排出しづらいトレンチ幅が最も広くなる領域が存在する場合でも、ホール密度の増加を抑制し、アバランシェ耐圧を向上できる。

【 0 0 7 6 】

実施の形態 3 .

実施の形態 3 における半導体装置について図 8 から図 1 0 を用いて説明する。図 8 から図 1 0 は、図 4、5 と同様に、トレンチ 7 の外周部における平面図を示している。ここで、実施の形態 3 の半導体装置は、実施の形態 1 と同様にトレンチ端部 7 a の幅を第 1 幅 $W 1$ とし、トレンチ端部 7 a におけるトレンチ幅が最小の $W 1$ となるように形成される。さらに、トレンチ端部 7 a において、トレンチ端部 7 a の先端に向かうにつれて、トレンチ幅が徐々に狭くなることを特徴としている。

20

【 0 0 7 7 】

図 8 に示すように、実施の形態 3 の半導体装置は、トレンチ幅は 2 回以上の段差によって狭くなり、トレンチ端部 7 a において最小の $W 1$ となる。段階的に狭くすることで、トレンチ 7 におけるホール密度の偏りを小さくでき、電界集中を緩和できるため、さらに、アバランシェ耐圧を向上できる。

【 0 0 7 8 】

また、図 9 に示すように、トレンチ端部 7 a にテーパ 2 0 を設けてもよい。テーパ 2 0 を付けることで、トレンチ 7 の幅をトレンチ 7 の先端に向かうにつれて徐々に狭くできる。つまり、トレンチ端部 7 a において、トレンチ 7 の幅を最小の $W 1$ とすることができ、上述した構成により、トレンチ 7 におけるホール密度の偏りを小さくでき、電界集中を緩和できるため、さらにアバランシェ耐圧を向上できる。また、図 9 では、トレンチ端部 7 a のみにテーパが付けられているが、トレンチ 7 のうち上部電極 9 に対応する領域にもテーパが付けられていてもよい。

30

【 0 0 7 9 】

また、図 1 0 に示すように、トレンチ端部 7 a の先端は丸く形成された構成としてもよい。トレンチ端部 7 a の先端が角形状の場合、トレンチ端部 7 a に電界が集中しやすい。トレンチ端部 7 a の角を無くし、丸く形成されることで、トレンチ 7 の幅をトレンチ 7 の先端に向かうにつれて徐々に狭くできる。つまり、トレンチ端部 7 a において、トレンチ 7 の幅を最小の $W 1$ とすることができ、上述した構成により、トレンチ 7 におけるホール密度の偏りを小さくでき、電界集中を緩和できるため、さらにアバランシェ耐圧を向上できる。

40

【 0 0 8 0 】

上述したように、実施の形態 3 に係る半導体装置では、実施の形態 1 と同様な効果に加えて、ホール密度の偏りを抑制し、電界集中を緩和できるため、さらにアバランシェ耐圧を向上できる。

【 0 0 8 1 】

実施の形態 4 .

実施の形態 4 における半導体装置について図 1 1 を用いて説明する。図 1 1 は、図 4、

50

5と同様に、トレンチ7の外周部における平面図を示している。実施の形態4の半導体装置は、実施の形態1と同様にトレンチ端部7aの幅を第1幅W1とし、トレンチ端部7aにおけるトレンチ幅が最小のW1となるように形成される。さらに、延設部10aのそれぞれが、トレンチ7の延伸方向と交差する方向であるX方向に延伸する交差トレンチ21によって接合され、隣り合う下部電極10同士が繋がることを特徴とする。

【0082】

交差トレンチ21の内壁面は、絶縁膜によって覆われている。絶縁膜については、上部絶縁膜8aと下部絶縁膜8bと同様の単独の膜で構成されていても良いが、実施の形態4では、交差絶縁膜22とする。また、交差トレンチ21内には、交差絶縁膜22を介して交差電極23が設けられている。交差電極23については、下部電極10の延設部10aがさらに、トレンチ7の延伸方向と交差する方向であるX方向に延伸するように形成されていても良い。また、交差電極23は、エミッタ電極13に電氣的に接続される。ここで、実施の形態4のように、交差トレンチ21が形成されている場合、交差トレンチ21の部分は「トレンチ端部7a」に含まれない。上述した構成とすることで、トレンチ端部7aにおけるさらなるアバランシェ耐圧の向上を可能にしている。この理由について、以下に説明する。

10

【0083】

トレンチ端部7aは電界が集中しやすい箇所である。特に、ターンオフスイッチング時において、ゲート電位の上部電極9に比べて、エミッタ電位の下部電極10にホールが引き寄せられやすくなる。つまり、下部電極10のうち延設部10aが配置されたトレンチ端部7aにホールが引き寄せられやすくなる。したがって、トレンチ端部7aでの電界が増加し、ダイナミックアバランシェが発生するため、半導体装置の特性の悪化を招く場合がある。

20

【0084】

ここで、実施の形態4のように、隣り合うトレンチ端部7aを交差トレンチ21によって繋げることで、トレンチ端部7aでの張り出しをなくし、電界を緩和できる。さらに、実施の形態1と同様に、トレンチ端部7aにおいてトレンチ幅を最も狭いW1とすることで、実施の形態1と同様な効果を得ることができる。

【0085】

上述したように、実施の形態4に係る半導体装置では、実施の形態1と同様にホール密度を抑制し、アバランシェの発生を抑制できる。さらに、トレンチ端部7aでの電界をさらに緩和でき、よりアバランシェ耐圧を向上できる。

30

【0086】

なお、以上の実施の形態に示した構成は、本開示の内容の一例を示すものであり、別の公知の技術と組み合わせることも可能である。また本開示の要旨を逸脱しない範囲で、構成の一部を省略、変更することも可能である。

【0087】

また、上記実施形態では、第1導電型をn型、第2導電型をp型としたスプリットゲートのトレンチ構造を有するIGBTを一例として説明した。しかしながら、これは一例を示したに過ぎず、例えばnチャネルタイプに対して各構成要素の導電型を反転させたpチャネルタイプのスプリットゲートのトレンチ構造を有するIGBTとしても良い。さらに、同様の構造のMOSFETに対しても本願発明を適用できる。MOSFETの場合、アバランシェ発生時に電子とホールが生成される。本願発明をMOSFETに適用することで、生成されたホールの排出が促進され、半導体装置の特性悪化を抑制できる。

40

【符号の説明】

【0088】

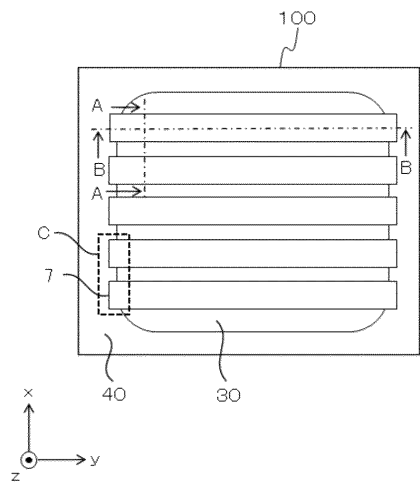
1 n⁻型ドリフト層、3 p型ベース層、4 n⁺型ソース層、6 p型コレクタ層、7 トレンチ、7a トレンチ端部、8 絶縁膜、8a 上部絶縁膜、8b 下部絶縁膜、9 上部電極、10 下部電極、10a 延設部、10b 引き上げ領域部、11 境界絶縁膜、12 層間絶縁膜、13 エミッタ電極、14 コレクタ電極、15 ゲート電極、

50

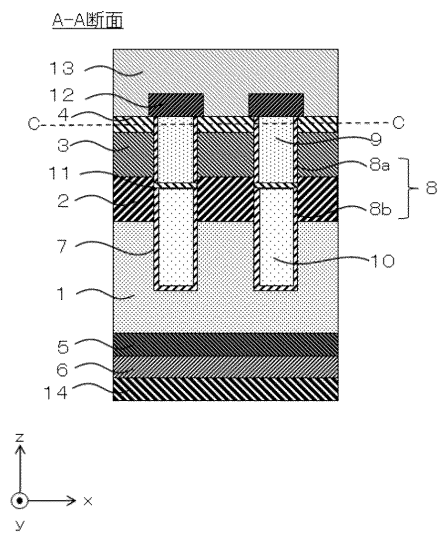
2 0 テーパー、 2 1 交差トレンチ、 2 2 交差絶縁膜、 2 3 交差電極、 3 0 活性領域、 4 0 外周領域、 5 0 引上げ領域、 1 0 0 半導体装置

【図面】

【図 1】



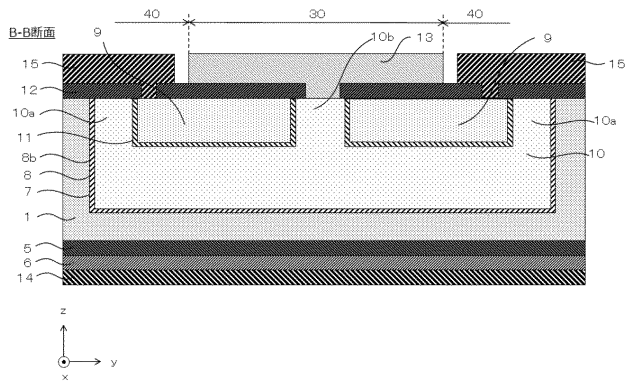
【図 2】



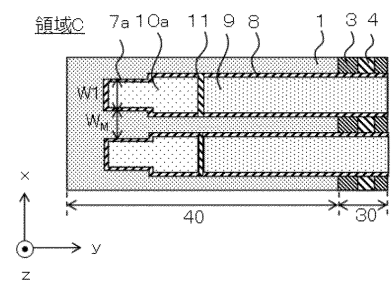
10

20

【図 3】



【図 4】

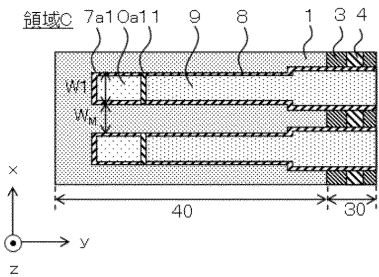


30

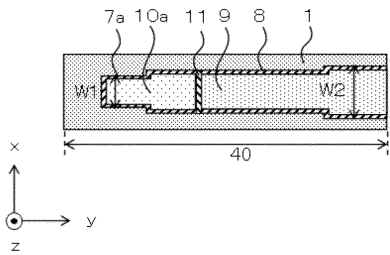
40

50

【図 5】

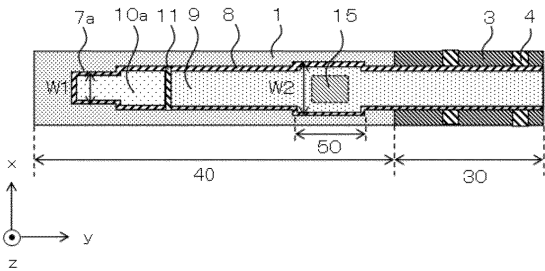


【図 6】

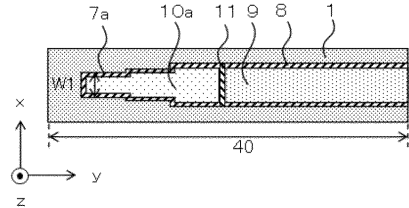


10

【図 7】

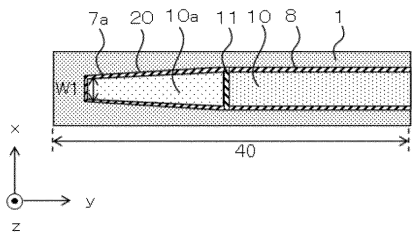


【図 8】

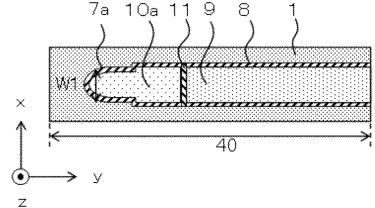


20

【図 9】



【図 10】

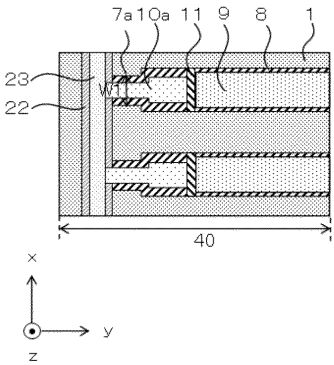


30

40

50

【 図 1 1 】



10

20

30

40

50

フロントページの続き

(51)国際特許分類	F I		
	H 0 1 L	29/78	6 5 2 J
	H 0 1 L	29/78	6 5 2 M
	H 0 1 L	21/265	6 0 2 C
	H 0 1 L	29/78	6 5 2 N

- (72)発明者 川畑 直之
東京都千代田区丸の内二丁目 7 番 3 号 三菱電機株式会社内
- (72)発明者 中村 勇
東京都千代田区丸の内二丁目 7 番 3 号 三菱電機株式会社内
- (72)発明者 大塚 翔瑠
東京都千代田区丸の内二丁目 7 番 3 号 三菱電機株式会社内