

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5870954号
(P5870954)

(45) 発行日 平成28年3月1日(2016.3.1)

(24) 登録日 平成28年1月22日(2016.1.22)

(51) Int.Cl.

F 1

H04N 5/378 (2011.01)

H04N 5/335 780

H04N 5/363 (2011.01)

H04N 5/335 630

H04N 5/374 (2011.01)

H04N 5/335 740

請求項の数 9 (全 28 頁)

(21) 出願番号

特願2013-72326 (P2013-72326)

(22) 出願日

平成25年3月29日 (2013.3.29)

(65) 公開番号

特開2014-197773 (P2014-197773A)

(43) 公開日

平成26年10月16日 (2014.10.16)

審査請求日

平成27年2月26日 (2015.2.26)

(73) 特許権者 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

(74) 代理人 100082131

弁理士 稲本 義雄

(74) 代理人 100121131

弁理士 西川 孝

(72) 発明者 田中 秀樹

神奈川県横浜市保土ヶ谷区神戸町134番

地 ソニーLSIデザイン株式会社内

(72) 発明者 松本 静徳

神奈川県横浜市保土ヶ谷区神戸町134番

地 ソニーLSIデザイン株式会社内

最終頁に続く

(54) 【発明の名称】コンパレータ、固体撮像素子、電子機器、および、駆動方法

(57) 【特許請求の範囲】

【請求項 1】

第1および第2のトランジスタが一対となって構成される差動対を有し、前記第1および第2のトランジスタそれぞれのゲート電極に入力される信号の差分を増幅して出力する第1の増幅部と、

前記第1の増幅部から出力される信号を増幅する第2の増幅部と、

前記第1のトランジスタと電源電圧とを接続する第3のトランジスタと、

前記第2のトランジスタと電源電圧とを接続する第4のトランジスタと、

前記第3のトランジスタおよび前記第4のトランジスタのゲート電極どうしの接続点と前記第3のトランジスタのドレインとを接続する第5のトランジスタと、

前記第3のトランジスタおよび前記第4のトランジスタのゲート電極どうしの接続点と前記第4のトランジスタのドレインとを接続する第6のトランジスタと、

前記第1のトランジスタの前記ゲート電極、および、参照信号を供給する参照信号供給部の間に配置される第1のコンデンサと、

前記第2のトランジスタの前記ゲート電極、および、光電変換により発生した電荷に応じた信号レベルの画素信号を出力する画素から前記画素信号を読み出す画素信号配線の間に配置される第2のコンデンサと、

前記第1のトランジスタの前記ゲート電極と前記第1のコンデンサとの接続点、および、前記画素信号配線を接続する第7のトランジスタと、

前記第2のトランジスタの前記ゲート電極と前記第2のコンデンサとの接続点、および、

10

20

、前記画素信号配線を接続する第 8 のトランジスタと
を備えるコンパレータ。

【請求項 2】

前記第 1 の増幅部および前記第 2 の増幅部の回路内部における初期電圧を設定するオートゼロ動作が並行して行われる

請求項 1 に記載のコンパレータ。

【請求項 3】

前記第 1 の増幅部および前記第 2 の増幅部の前記オートゼロ動作が並行して行われている期間と、前記信号レベルの画素信号をデジタル信号に変換する期間および前記画素から前記信号レベルの画素信号を先に読み出した後に前記電荷がリセットされたリセットレベルの画素信号をデジタル信号に変換する期間とで、前記第 5 のトランジスタおよび前記第 6 のトランジスタによる接続を、前記第 3 のトランジスタのドレインとの接続、または、前記第 4 のトランジスタのドレインとの接続のいずれかに切り替える

請求項 2 に記載のコンパレータ。

【請求項 4】

前記画素から前記信号レベルの画素信号を先に読み出した後に前記電荷がリセットされたりセットレベルの画素信号を読み出す駆動を行う場合、前記第 1 の増幅部の前記オートゼロ動作を行う際に、前記第 7 および第 8 のトランジスタをオンにして、前記画素信号配線を介して供給される画素信号の電圧を前記第 1 および第 2 のトランジスタそれぞれのゲート電極に供給する

請求項 2 または 3 に記載のコンパレータ。

【請求項 5】

前記第 1 のトランジスタの前記ゲート電極、および、参照信号を供給する参照信号供給部の間に配置される第 1 のコンデンサと、

前記第 2 のトランジスタの前記ゲート電極、および、光電変換により発生した電荷に応じた信号レベルの画素信号を出力する画素から前記画素信号を読み出す画素信号配線の間に配置される第 2 のコンデンサと、

前記第 1 のトランジスタの前記ゲート電極と前記第 1 のコンデンサとの接続点、および、所定の外部印加電圧を供給する配線を接続する第 9 のトランジスタと、

前記第 2 のトランジスタの前記ゲート電極と前記第 2 のコンデンサとの接続点、および、所定の外部印加電圧を供給する配線を接続する第 10 のトランジスタと

をさらに備える請求項 1 乃至 4 のいずれかに記載のコンパレータ。

【請求項 6】

前記画素から前記信号レベルの画素信号を先に読み出した後に前記電荷がリセットされたりセットレベルの画素信号を読み出す駆動を行う場合、前記第 1 の増幅部の回路内部における初期電圧を設定するオートゼロ動作を行う際に、前記第 9 および第 10 のトランジスタをオンにして、前記外部印加電圧を前記第 1 および第 2 のトランジスタそれぞれのゲート電極に供給する

請求項 5 に記載のコンパレータ。

【請求項 7】

光電変換により発生した電荷に応じた信号レベルの画素信号を出力する画素と、

前記画素から出力される画素信号をデジタル信号に変換する変換部が前記画素の列数に応じて並列に配置されるカラム処理部と

を備え、

前記変換部が有するコンパレータが、

第 1 および第 2 のトランジスタが一対となって構成される差動対を有し、前記第 1 および第 2 のトランジスタそれぞれのゲート電極に入力される信号の差分を増幅して出力する第 1 の増幅部と、

前記第 1 の増幅部から出力される信号を増幅する第 2 の増幅部と、

前記第 1 のトランジスタと電源電圧とを接続する第 3 のトランジスタと、

10

20

30

40

50

前記第2のトランジスタと電源電圧とを接続する第4のトランジスタと、

前記第3のトランジスタおよび前記第4のトランジスタのゲート電極どうしの接続点と前記第3のトランジスタのドレインとを接続する第5のトランジスタと、

前記第3のトランジスタおよび前記第4のトランジスタのゲート電極どうしの接続点と前記第4のトランジスタのドレインとを接続する第6のトランジスタと、

前記第1のトランジスタの前記ゲート電極、および、参照信号を供給する参照信号供給部の間に配置される第1のコンデンサと、

前記第2のトランジスタの前記ゲート電極、および、光電変換により発生した電荷に応じた信号レベルの画素信号を出力する画素から前記画素信号を読み出す画素信号配線の間に配置される第2のコンデンサと、

前記第1のトランジスタの前記ゲート電極と前記第1のコンデンサとの接続点、および、前記画素信号配線を接続する第7のトランジスタと、

前記第2のトランジスタの前記ゲート電極と前記第2のコンデンサとの接続点、および、前記画素信号配線を接続する第8のトランジスタと

を有する固体撮像素子。

【請求項8】

光電変換により発生した電荷に応じた信号レベルの画素信号を出力する画素と、

前記画素から出力される画素信号をデジタル信号に変換する変換部が前記画素の列数に応じて並列に配置されるカラム処理部と

を備え、

前記変換部が有するコンパレータが、

第1および第2のトランジスタが一対となって構成される差動対を有し、前記第1および第2のトランジスタそれぞれのゲート電極に入力される信号の差分を増幅して出力する第1の増幅部と、

前記第1の増幅部から出力される信号を増幅する第2の増幅部と、

前記第1のトランジスタと電源電圧とを接続する第3のトランジスタと、

前記第2のトランジスタと電源電圧とを接続する第4のトランジスタと、

前記第3のトランジスタおよび前記第4のトランジスタのゲート電極どうしの接続点と前記第3のトランジスタのドレインとを接続する第5のトランジスタと、

前記第3のトランジスタおよび前記第4のトランジスタのゲート電極どうしの接続点と前記第4のトランジスタのドレインとを接続する第6のトランジスタと、

前記第1のトランジスタの前記ゲート電極、および、参照信号を供給する参照信号供給部の間に配置される第1のコンデンサと、

前記第2のトランジスタの前記ゲート電極、および、光電変換により発生した電荷に応じた信号レベルの画素信号を出力する画素から前記画素信号を読み出す画素信号配線の間に配置される第2のコンデンサと、

前記第1のトランジスタの前記ゲート電極と前記第1のコンデンサとの接続点、および、前記画素信号配線を接続する第7のトランジスタと、

前記第2のトランジスタの前記ゲート電極と前記第2のコンデンサとの接続点、および、前記画素信号配線を接続する第8のトランジスタと

を有する固体撮像素子を備える電子機器。

【請求項9】

第1および第2のトランジスタが一対となって構成される差動対を有し、前記第1および第2のトランジスタそれぞれのゲート電極に入力される信号の差分を増幅して出力する第1の増幅部と、

前記第1の増幅部から出力される信号を増幅する第2の増幅部と、

前記第1のトランジスタと電源電圧とを接続する第3のトランジスタと、

前記第2のトランジスタと電源電圧とを接続する第4のトランジスタと、

前記第3のトランジスタおよび前記第4のトランジスタのゲート電極どうしの接続点と前記第3のトランジスタのドレインとを接続する第5のトランジスタと、

10

20

30

40

50

前記第3のトランジスタおよび前記第4のトランジスタのゲート電極どうしの接続点と前記第4のトランジスタのドレインとを接続する第6のトランジスタと、

前記第1のトランジスタの前記ゲート電極、および、参照信号を供給する参照信号供給部の間に配置される第1のコンデンサと、

前記第2のトランジスタの前記ゲート電極、および、光電変換により発生した電荷に応じた信号レベルの画素信号を出力する画素から前記画素信号を読み出す画素信号配線の間に配置される第2のコンデンサと、

前記第1のトランジスタの前記ゲート電極と前記第1のコンデンサとの接続点、および、前記画素信号配線を接続する第7のトランジスタと、

前記第2のトランジスタの前記ゲート電極と前記第2のコンデンサとの接続点、および、前記画素信号配線を接続する第8のトランジスタと

を備えるコンパレータの駆動方法において、

前記第1の増幅部および前記第2の増幅部の回路内部における初期電圧を設定するオートゼロ動作が並行して行われる

駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、コンパレータ、固体撮像素子、電子機器、および、駆動方法に関し、特に、A/D変換処理をより高速化することができるようとしたコンパレータ、固体撮像素子、電子機器、および、駆動方法に関する。 20

【背景技術】

【0002】

従来、デジタルスチルカメラやデジタルビデオカメラなどの撮像機能を備えた電子機器においては、例えば、CCD(Charge Coupled Device)やCMOS(Complementary Metal Oxide Semiconductor)イメージセンサなどの固体撮像素子が使用されている。固体撮像素子は、光電変換を行うフォトダイオードと複数のトランジスタとが組み合わされた画素を有しており、平面的に配置された複数の画素から出力される画素信号に基づいて画像が構築される。

【0003】

例えば、固体撮像素子では、フォトダイオードに蓄積された電荷が、フォトダイオードと増幅トランジスタのゲート電極との接続部に設けられる所定の容量を有するFD(Floating Diffusion: フローティングディフュージョン)部に転送される。そして、FD部に保持されている電荷のレベルに応じた信号が画素から読み出され、コンパレータを有するA/D(Analog Digital)変換回路によってA/D変換されて出力される。 30

【0004】

また、固体撮像素子において、画素固有のノイズを除去するための信号処理として、例えば、画素から出力される画素信号に対して相関二重サンプリング処理が行われる。相関二重サンプリング処理では、FD部に蓄積されている電荷がリセットされたレベルの信号(P相)と、フォトダイオードで発生した電荷がFD部に保持されているレベルの信号(D相)とがサンプリングされる。そして、それぞれのサンプリング値の差分を求ることでノイズが除去される。 40

【0005】

また、CMOSイメージセンサにおいて、シャッタクローズの同時性を保持する場合、フォトダイオードからFD部に電荷が全面一括転送され、その後に順次、画素信号の読み出しが行われる。この場合、D相(信号レベル)を先に読み出した後に、P相(リセットレベル)を読み出す駆動(以下、適宜、D相先読み駆動と称する)が行われる(例えば、特許文献1参照)。

【0006】

また、例えば、特許文献2には、D相先読み駆動を行うコンパレータ回路において、D

10

20

30

40

50

相の信号レベルに合わせてコンパレータが動作可能となるように、内部ノードを設定（調整）するための初期電圧を外部から印加する構成の固体撮像素子が開示されている。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2001-238132号公報

【特許文献2】特開2011-229120号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、特許文献2に開示されている固体撮像素子の構造では、A/D変換回路の内部においてオートゼロ動作を2回行う必要があり、A/D変換処理の高速化を図ることが困難であった。

【0009】

本発明は、このような状況に鑑みてなされたものであり、A/D変換処理をより高速化することができるようとするものである。

【課題を解決するための手段】

【0010】

本開示の一側面のコンパレータは、第1および第2のトランジスタが一対となって構成される差動対を有し、前記第1および第2のトランジスタそれぞれのゲート電極に入力される信号の差分を増幅して出力する第1の増幅部と、前記第1の増幅部から出力される信号を増幅する第2の増幅部と、前記第1のトランジスタと電源電圧とを接続する第3のトランジスタと、前記第2のトランジスタと電源電圧とを接続する第4のトランジスタと、前記第3のトランジスタおよび前記第4のトランジスタのゲート電極どうしの接続点と前記第3のトランジスタおよび前記第4のトランジスタのドレインとを接続する第5のトランジスタと、前記第3のトランジスタのドレインとを接続する第6のトランジスタと、前記第1のトランジスタの前記ゲート電極、および、参照信号を供給する参照信号供給部の間に配置される第1のコンデンサと、前記第2のトランジスタの前記ゲート電極、および、光電変換により発生した電荷に応じた信号レベルの画素信号を出力する画素から前記画素信号を読み出す画素信号配線の間に配置される第2のコンデンサと、前記第1のトランジスタの前記ゲート電極と前記第1のコンデンサとの接続点、および、前記画素信号配線を接続する第7のトランジスタと、前記第2のトランジスタの前記ゲート電極と前記第2のコンデンサとの接続点、および、前記画素信号配線を接続する第8のトランジスタとを備える。

【0011】

本開示の一側面の固体撮像素子は、光電変換により発生した電荷に応じた信号レベルの画素信号を出力する画素と、前記画素から出力される画素信号をデジタル信号に変換する変換部が前記画素の列数に応じて並列に配置されるカラム処理部とを備え、前記変換部が有するコンパレータが、第1および第2のトランジスタが一対となって構成される差動対を有し、前記第1および第2のトランジスタそれぞれのゲート電極に入力される信号の差分を増幅して出力する第1の増幅部と、前記第1の増幅部から出力される信号を増幅する第2の増幅部と、前記第1のトランジスタと電源電圧とを接続する第3のトランジスタと、前記第2のトランジスタと電源電圧とを接続する第4のトランジスタと、前記第3のトランジスタのドレインとを接続する第5のトランジスタと、前記第3のトランジスタおよび前記第4のトランジスタのゲート電極どうしの接続点と前記第4のトランジスタのドレインとを接続する第6のトランジスタと、前記第1のトランジスタの前記ゲート電極、および、参照信号を供給する参照信号供給部の間に配置される第1のコンデンサと、前記第2のトランジスタの前記ゲート電極、および、光電変換により発生した電荷に応じた信号レベルの画素信号を出力する画素から前記画素信号を読み出す画素信号配線の間に配置され

10

20

30

40

50

る第2のコンデンサと、前記第1のトランジスタの前記ゲート電極と前記第1のコンデンサとの接続点、および、前記画素信号配線を接続する第7のトランジスタと、前記第2のトランジスタの前記ゲート電極と前記第2のコンデンサとの接続点、および、前記画素信号配線を接続する第8のトランジスタとを有する。

【0012】

本開示の一側面の電子機器は、光電変換により発生した電荷に応じた信号レベルの画素信号を出力する画素と、前記画素から出力される画素信号をデジタル信号に変換する変換部が前記画素の列数に応じて並列に配置されるカラム処理部とを備え、前記変換部が有するコンパレータが、第1および第2のトランジスタが一対となって構成される差動対を有し、前記第1および第2のトランジスタそれぞれのゲート電極に入力される信号の差分を増幅して出力する第1の増幅部と、前記第1の増幅部から出力される信号を増幅する第2の増幅部と、前記第1のトランジスタと電源電圧とを接続する第3のトランジスタと、前記第2のトランジスタと電源電圧とを接続する第4のトランジスタと、前記第3のトランジスタおよび前記第4のトランジスタのゲート電極どうしの接続点と前記第3のトランジスタのドレインとを接続する第5のトランジスタと、前記第3のトランジスタおよび前記第4のトランジスタのゲート電極どうしの接続点と前記第4のトランジスタのドレインとを接続する第6のトランジスタと、前記第1のトランジスタの前記ゲート電極、および、参照信号を供給する参照信号供給部の間に配置される第1のコンデンサと、前記第2のトランジスタの前記ゲート電極、および、光電変換により発生した電荷に応じた信号レベルの画素信号を出力する画素から前記画素信号を読み出す画素信号配線の間に配置される第2のコンデンサと、前記第1のトランジスタの前記ゲート電極と前記第1のコンデンサとの接続点、および、前記画素信号配線を接続する第7のトランジスタと、前記第2のトランジスタの前記ゲート電極と前記第2のコンデンサとの接続点、および、前記画素信号配線を接続する第8のトランジスタとを有する固体撮像素子を備える。

【0013】

本開示の一側面の駆動方法は、第1および第2のトランジスタが一対となって構成される差動対を有し、前記第1および第2のトランジスタそれぞれのゲート電極に入力される信号の差分を増幅して出力する第1の増幅部と、前記第1の増幅部から出力される信号を増幅する第2の増幅部と、前記第1のトランジスタと電源電圧とを接続する第3のトランジスタと、前記第2のトランジスタと電源電圧とを接続する第4のトランジスタと、前記第3のトランジスタおよび前記第4のトランジスタのゲート電極どうしの接続点と前記第3のトランジスタのドレインとを接続する第5のトランジスタと、前記第3のトランジスタおよび前記第4のトランジスタのゲート電極どうしの接続点と前記第4のトランジスタのドレインとを接続する第6のトランジスタと、前記第1のトランジスタの前記ゲート電極、および、参照信号を供給する参照信号供給部の間に配置される第1のコンデンサと、前記第2のトランジスタの前記ゲート電極、および、光電変換により発生した電荷に応じた信号レベルの画素信号を出力する画素から前記画素信号を読み出す画素信号配線の間に配置される第2のコンデンサと、前記第1のトランジスタの前記ゲート電極と前記第1のコンデンサとの接続点、および、前記画素信号配線を接続する第7のトランジスタと、前記第2のトランジスタの前記ゲート電極と前記第2のコンデンサとの接続点、および、前記画素信号配線を接続する第8のトランジスタとを備えるコンパレータの駆動方法において、前記第1の増幅部および前記第2の増幅部の回路内部における初期電圧を設定するオ

トゼロ動作が並行して行われる。

【0014】

本開示の一側面においては、コンパレータは、第1および第2のトランジスタが一対となって構成される差動対を有し、第1および第2のトランジスタそれぞれのゲート電極に入力される信号の差分を増幅して出力する第1の増幅部と、第1の増幅部から出力される信号を増幅する第2の増幅部とを備える。また、第1のトランジスタと電源電圧とを接続する第3のトランジスタと、第2のトランジスタと電源電圧とを接続する第4のトランジ

10

20

30

40

50

スタとのゲート電極どうしの接続点と第3のトランジスタのドレインとが第5のトランジスタにより接続され、その接続点と第4のトランジスタのドレインとが第6のトランジスタにより接続される。さらに、第1のトランジスタのゲート電極、および、参照信号を供給する参照信号供給部の間に配置される第1のコンデンサと、第2のトランジスタのゲート電極、および、光電変換により発生した電荷に応じた信号レベルの画素信号を出力する画素から画素信号を読み出す画素信号配線の間に配置される第2のコンデンサと、第1のトランジスタのゲート電極と第1のコンデンサとの接続点、および、画素信号配線を接続する第7のトランジスタと、第2のトランジスタのゲート電極と第2のコンデンサとの接続点、および、画素信号配線を接続する第8のトランジスタとを有する。

【発明の効果】

10

【0015】

本発明の一側面によれば、A/D変換処理をより高速化することができる。

【図面の簡単な説明】

【0016】

【図1】本技術を適用した固体撮像素子の一実施の形態の構成例を示すブロック図である。

【図2】画素の構成について説明する図である。

【図3】D相先読み駆動について説明する図である。

【図4】本技術を適用したコンパレータの第1の実施の形態の構成例を示す回路図である。

20

【図5】コンパレータの第1の駆動方法におけるタイミングチャートを示す図である。

【図6】コンパレータの内部の電圧波形について説明する図である。

【図7】従来のコンパレータの内部の電圧波形について説明する図である。

【図8】従来のコンパレータで必要な外部印加電圧生成回路について説明する図である。

【図9】従来のコンパレータの構成例を示す回路図である。

【図10】外部印加電圧生成回路を使用する従来のコンパレータの内部の電圧波形について説明する図である。

【図11】コンパレータの第2の駆動方法におけるタイミングチャートを示す図である。

【図12】コンパレータの第1の駆動方法と第2の駆動方法との差異について説明する図である。

30

【図13】本技術を適用したコンパレータの第2の実施の形態の構成例を示す回路図である。

【図14】コンパレータのタイミングチャートを示す図である。

【図15】本技術を適用したコンパレータの第3の実施の形態の構成例を示す回路図である。

【図16】本技術を適用したコンパレータの第4の実施の形態の構成例を示す回路図である。

【図17】P相先読み駆動を行った場合のコンパレータの内部の電圧波形を示す図である。

【図18】電子機器に搭載される撮像装置の構成例を示すブロック図である。

40

【発明を実施するための形態】

【0017】

以下、本発明を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。

【0019】

図1は、本技術を適用した固体撮像素子の一実施の形態の構成例を示すブロック図である。

【0020】

図1に示すように、固体撮像素子11は、CMOSイメージセンサであり、画素アレイ部12、タイミング制御部13、参照信号生成回路14、行走検査部15、列走査部16、およ

50

び、カラム処理部17を備えて構成される。

【0021】

画素アレイ部12には、複数の画素21が行列状に配置される。図1の例では、m行×n列の画素21₁₁乃至21_{mn}が行列状に配置されており、各行の画素21は、m本の水平信号線22₁乃至22_mを介して行走査部15に接続され、n本の垂直信号線23₁乃至23_nを介してカラム処理部17に接続されている。画素アレイ部12において、画素21₁₁乃至21_{mn}は、行走査部15から水平信号線22₁乃至22_mを介して供給される制御信号に従って行ごとに駆動し、光を受光した受光量に応じたレベルの画素信号を、垂直信号線23₁乃至23_nを介して出力する。

【0022】

タイミング制御部13は、マスタクロック信号MCKに基づいた信号を生成し、参照信号生成回路14、行走査部15、列走査部16、および、カラム処理部17が動作するタイミングを制御する。例えば、タイミング制御部13は、参照信号生成回路14およびカラム処理部17の動作の基準となるクロック信号CLKを生成し、参照信号生成回路14およびカラム処理部17に供給する。また、タイミング制御部13は、参照信号生成回路14の動作を制御する制御信号CS1を生成して参照信号生成回路14に供給したり、カラム処理部17の動作を制御する制御信号CS2およびCS3を生成してカラム処理部17に供給する。

【0023】

参照信号生成回路14は、クロック信号CLKに従った一定の勾配で電圧値が降下し、制御信号CS1に従ったタイミングで電圧値の降下が開始される参照信号Vramp(いわゆるランプ信号)を生成し、参照信号配線を介してカラム処理部17に供給する。

【0024】

行走査部15は、タイミング制御部13からの制御に従ったタイミングで、画素アレイ部12の画素21₁₁乃至21_{mn}の駆動を行ごとに制御する制御信号(例えば、転送信号や、選択信号、リセット信号など)を画素21₁₁乃至21_{mn}に供給する。

【0025】

列走査部16は、タイミング制御部13からの制御に従ったタイミングで、カラム処理部17によりAD変換された画素信号を、画素21₁₁乃至21_{mn}の列ごとに順番に水平出力線に出力させる制御信号をカラム処理部17に供給する。

【0026】

カラム処理部17には、画素アレイ部12に配置されている画素21₁₁乃至21_{mn}の列数に応じたn個のAD変換回路30₁乃至30_nを有しており、垂直信号線23₁乃至23_nを介して画素21₁₁乃至21_{mn}が接続されている。そして、カラム処理部17において、AD変換回路30₁乃至30_nが、画素21₁₁乃至21_{mn}の列ごとに並列的に、画素21₁₁乃至21_{mn}から出力される画素信号をAD変換して出力する。

【0027】

AD変換回路30₁乃至30_nは、コンパレータ31₁乃至31_n、カウンタ32₁乃至32_n、スイッチ33₁乃至33_n、およびメモリ34₁乃至34_nをそれぞれ備えて構成される。なお、AD変換回路30₁乃至30_nは同様に構成されており、以下、それぞれを区別しない場合、AD変換回路30と称する。また、AD変換回路30を構成する各部についても同様とする。

【0028】

コンパレータ31は、一方の入力端子が垂直信号線23を介して画素21に接続され、他方の入力端子が参照信号配線を介して参照信号生成回路14に接続されており、出力端子がカウンタ32に接続されている。そして、コンパレータ31は、垂直信号線23を介して入力される画素信号の電圧と、参照信号生成回路14から供給される参照信号Vrampの電圧とを比較して、例えば、参照信号Vrampの電圧が画素信号の電圧よりも大である場合にはハイレベルの信号を出力し、参照信号Vrampの電圧が画素信号の電圧以下となるとローレベルの信号を出力する。

10

20

30

40

50

【0029】

カウンタ32は、タイミング制御部13から供給される制御信号CS2に従って、タイミング制御部13から供給されるクロック信号CLKに同期したカウントを行う。例えば、カウンタ32は、クロック信号CLKに同期してダウンカウントまたはアップカウントを行うことで、コンパレータ31での比較動作の開始から比較動作の終了までの比較期間（例えば、後述する図6のD相反転時間およびP相反転時間）を計測する。

【0030】

スイッチ33は、タイミング制御部13から供給される制御信号CS3に従って、所定の行の画素21についてのカウンタ32のカウント動作が完了した時点でオン（閉）状態となる。そして、スイッチ33は、カウンタ32のカウント結果、即ち、アナログ信号からデジタル信号に変換された画素信号をメモリ34に転送する。

10

【0031】

メモリ34は、列走査部16から供給される制御信号に従って、保持している画素信号を水平出力線に出力する。

【0032】

次に、図2を参照して、画素21の構成について説明する。

【0033】

図2に示すように、画素21は、フォトダイオード41、転送トランジスタ42、電荷蓄積部43、FD部44、増幅トランジスタ45、選択トランジスタ46、およびリセットトランジスタ47を備えて構成される。

20

【0034】

フォトダイオード41は、光を電荷に変換する光電変換部であり、受光した光の光量に応じた電荷を光電変換により発生して蓄積する。フォトダイオード41のアノード電極は接地されており、フォトダイオード41のカソード電極は、転送トランジスタ42を介して増幅トランジスタ45のゲート電極に接続されている。

【0035】

転送トランジスタ42は、図1の行走査部15から供給される転送信号Txに従って駆動する。例えば、転送トランジスタ42のゲート電極に供給される転送信号Txがハイレベルになると、転送トランジスタ42はオンとなり、フォトダイオード41に蓄積されている電荷が転送トランジスタ42を介してFD部44に転送される。

30

【0036】

電荷蓄積部43は、FD部44と接地レベルとの間に設けられる容量であり、転送トランジスタ42を介してフォトダイオード41からFD部44に転送される電荷を蓄積する。

【0037】

FD部44は、電荷を電圧に変換する電荷検出部であり、FD部44に保持される電荷が増幅トランジスタ45において電圧に変換される。

【0038】

増幅トランジスタ45は、フォトダイオード41での光電変換によって得られる信号を読み出す読出し回路であるソースフォロワの入力部となり、FD部44に蓄積されている電荷に応じたレベルの画素信号を垂直信号線23に出力する。すなわち、増幅トランジスタ45は、ソース電極が選択トランジスタ46を介して垂直信号線23に接続されることで、垂直信号線23の一端に接続される電流源とソースフォロワを構成する。

40

【0039】

選択トランジスタ46は、図1の行走査部15から供給される選択信号SELに従って駆動する。例えば、選択トランジスタ46のゲート電極に供給される選択信号SELがハイレベルになるとオンとなって増幅トランジスタ45と垂直信号線23とを接続し、増幅トランジスタ45から出力される出力信号VSLを垂直信号線23に出力可能な状態とする。

【0040】

50

リセットトランジスタ47は、図1の行走査部15から供給されるリセット信号RSTに従って駆動する。例えば、リセットトランジスタ47のゲート電極に供給されリセット信号RSTがハイレベルになるとオンとなり、FD部44に蓄積されている電荷を電源電圧VDDに排出して、FD部44をリセットする。

【0041】

また、垂直信号線23は、コンデンサ51-2を介してコンパレータ31の一方の入力端子に接続されており、コンパレータ31の他方の入力端子は、コンデンサ51-1を介して、参照信号Vrampを供給する参照信号生成回路14に接続されている。

【0042】

このように構成されている固体撮像素子11において、フォトダイオード41に蓄積された電荷がFD部44に一括転送され、列ごとに順次読み出しを行うことでシャッタクローズの同時性が保持される。

【0043】

また、固体撮像素子11では、フォトダイオード41で発生した電荷がFD部44に保持されている状態の信号レベル(D相)を先に読み出し、その後、FD部44の電荷がリセットトランジスタ47を介して排出された状態のリセットレベル(P相)を読み出すD相先読み駆動が行われる。

【0044】

図3を参照して、D相先読み駆動について説明する。図3には、上から順に、リセット信号RST、転送信号Tx、選択信号SEL、参照信号Vramp、および、出力信号VSLが示されている。

【0045】

まず、時刻t1においてリセット信号RSTおよび転送信号Txがハイレベルになると、フォトダイオード41の電荷を排出するシャッタ動作が行われる。このとき、画素アレイ部12に配置されている全ての画素21において同時にシャッタ動作を行うことで、全ての画素21で蓄積時間を同一のタイミングとするグローバルシャッタが実現される。

【0046】

その後、時刻t2においてリセット信号RSTおよび転送信号Txがローレベルになると、シャッタ動作が完了して、フォトダイオード41で光電変換により発生した電荷を蓄積する蓄積時間が開始される。

【0047】

そして、時刻t3において転送信号Txがハイレベルになることで、蓄積時間が終了して、フォトダイオード41に蓄積されている電荷をFD部44に転送する転送動作が行われる。なお、蓄積時間が終了する前に、リセット信号RSTがパルス状にハイレベルになることで蓄積時間においてFD部44に蓄積された電荷が排出される。また、グローバルシャッタを実現するために、画素アレイ部12に配置されている全ての画素21において同時に転送動作を行う全面一括転送が行われる。また、時刻t4において転送信号Txがローレベルになると、転送動作が完了する。

【0048】

その後、1行目の画素21から順にAD変換処理が行われる。まず、時刻t5において1行目の画素21の選択信号SELがハイレベルになると1行目の画素21が選択され、増幅トランジスタ45が垂直信号線23に接続される。そして、時刻t5の後、垂直信号線23を介して出力される出力信号VSLのレベルが安定した状態で、フォトダイオード41で発生した電荷に応じた信号レベル(D相)が読み出される。

【0049】

次に、時刻t6から時刻t7まで、リセット信号RSTがハイレベルになり、FD部44に蓄積されている電荷がリセットトランジスタ47を介して排出され、FD部44がリセットされる。そして、時刻t7の後、出力信号VSLのレベルが安定した状態で、FD部44の電荷が排出された状態のリセットレベル(P相)が読み出される。その後、時刻t

10

20

30

40

50

8において、1行目の画素21の選択信号S E Lがローレベルになることで1行目の画素21の選択が解除され、1行目の画素21のA D変換処理が完了する。

【0050】

そして、時刻t9から時刻t12までにおいて、時刻t5から時刻t8までと同様に、2行目の画素21のA D変換処理が行われ、以下順次、m行目まで各行の画素21のA D変換処理が繰り返して行われる。

【0051】

次に、図4は、本技術を適用したコンパレータ31の第1の実施の形態の構成例を示す回路図である。

【0052】

図4に示すように、コンパレータ31は、コンデンサ51-1乃至51-3、トランジスタ61-1乃至61-11、および電流源62が組み合わされて構成されている。

【0053】

コンパレータ31において、トランジスタ61-6および61-7は、ソース電極が共通に接続されて差動対を構成しており、その共通のソース電極とグランドとの間に電流源62が接続されている。

【0054】

トランジスタ61-6は、そのゲート電極がコンデンサ51-1を介して、参照信号Vrampを供給する参照信号生成回路14(図1)に接続されており、トランジスタ61-6のゲート電極における内部ノードVramp_iは、参照信号Vrampに応じた電圧となる。トランジスタ61-7は、そのゲート電極がコンデンサ51-2を介して、出力信号VSLを供給する垂直信号線23(図1)に接続されており、トランジスタ61-7のゲート電極における内部ノードVSL_iは、出力信号VSLに応じた電圧となる。

【0055】

トランジスタ61-8は、トランジスタ61-6のドレイン電極と電源電圧VDDとの間にダイオード接続構成で、即ち、ゲート電極とドレイン電極とが共通となる構成で接続される。トランジスタ61-9は、トランジスタ61-7のドレイン電極と電源電圧VDDとの間に接続される。また、トランジスタ61-8のゲート電極と、トランジスタ61-9のゲート電極とは互いに共通に接続されている。

【0056】

トランジスタ61-1は、トランジスタ61-6のゲート電極とドレイン電極との間に接続されており、トランジスタ61-1のゲート電極には、行走査部15(図1)から制御信号x1が供給される。トランジスタ61-2は、トランジスタ61-7のゲート電極とドレイン電極との間に接続されており、トランジスタ61-2のゲート電極には、行走査部15から制御信号x2が供給される。

【0057】

トランジスタ61-3は、トランジスタ61-6のゲート電極と垂直信号線23との間に接続されており、トランジスタ61-3のゲート電極には、行走査部15から制御信号x3が供給される。トランジスタ61-4は、トランジスタ61-7のゲート電極と垂直信号線23との間に接続されており、トランジスタ61-4のゲート電極には、行走査部15から制御信号x4が供給される。即ち、トランジスタ61-3および61-4は、ソース電極が共通に垂直信号線23に接続されている。

【0058】

トランジスタ61-11は、コンパレータ31の出力端子と電源電圧VDDとの間に接続されており、トランジスタ61-11のゲート電極は、トランジスタ61-7および61-9の接続点に接続されている。

【0059】

トランジスタ61-10は、トランジスタ61-11のソース電極とグランドとの間に接続されており、トランジスタ61-10のゲート電極は、トランジスタ61-5とコンデンサ51-3との接続点に接続されている。

10

20

30

40

50

【0060】

トランジスタ61-5は、ドレイン電極がコンパレータ31の出力端子に接続され、ソース電極がコンデンサ51-3を介して接地されており、トランジスタ61-5のゲート電極には、行走査部15から制御信号5が供給される。

【0061】

このようにコンパレータ31は構成されており、トランジスタ61-6および61-7が一対となって構成される差動増幅器により、トランジスタ61-6のゲート電極に入力される参照信号Vrampと、トランジスタ61-7のゲート電極に入力される出力信号VSLとの差分が増幅して出力される。さらに、その差動増幅器からの出力が、トランジスタ61-10および61-11で構成されるソース接地増幅器により増幅されて、コンパレータ31の出力端子から出力される。

10

【0062】

なお、以下適宜、トランジスタ61-6乃至61-9および電流源62で構成される差動増幅器を初段アンプ81と称し、初段アンプ81の出力をアンプ出力VOUT1とする。また、トランジスタ61-10および61-11で構成されるソース接地増幅器を後段アンプ82と称し、後段アンプ82の出力をアンプ出力VOUT2とする。なお、トランジスタ61-1乃至61-5は、コンパレータ31の回路内部における初期電圧を設定する動作(以下、オートゼロ動作と称する)を行うために用いられる。また、コンデンサ51-1乃至51-3は、アンプの内部電圧(動作点)を保持するための容量素子である。

【0063】

20

図5には、コンパレータ31の第1の駆動方法におけるタイミングチャートが示されている。

【0064】

図5には、上側から順に、トランジスタ61-1を制御するための制御信号x1、トランジスタ61-2を制御するための制御信号x2、トランジスタ61-3を制御するための制御信号x3、トランジスタ61-4を制御するための制御信号x4、トランジスタ61-5を制御するための制御信号5、電圧レベルを比較するのに参照される参照信号Vramp、および、画素21から垂直信号線23に出力される出力信号VSLが示されている。

【0065】

30

まず、時刻t21において、制御信号x1およびx2がハイレベルからローレベルになるとともに、制御信号5がローレベルからハイレベルになる。なお、このとき、制御信号x3およびx4はハイレベルのままである。従って、トランジスタ61-1および61-2には反転した制御信号が入力されるため、トランジスタ61-1および61-2は制御信号x1およびx2に従ってそれぞれオンになり、トランジスタ61-5は、制御信号5に従ってオンになる。これにより、後段アンプ82のオートゼロ動作が開始される。

【0066】

即ち、後段アンプ82のオートゼロ動作では、トランジスタ61-1および61-2がオンになることによって設定される初期電圧が、トランジスタ61-6のゲート電極における内部ノードVramp_iとして保持されるとともに、トランジスタ61-7のゲート電極における内部ノードVSL_iとして保持される。同時に、後段アンプ82において、トランジスタ61-5がオンになることによって初段アンプ81のアンプ出力VOUT1に応じた電流がトランジスタ61-10および61-11に流れる。そして、トランジスタ61-5がオフとなるタイミング(t22)でトランジスタ61-10の電流量に応じた電圧値がコンデンサ51-3に保持される。

40

【0067】

そして、時刻t22において、制御信号5がローレベルになりトランジスタ61-5をオフにすることで、後段アンプ82のオートゼロ動作が完了される。その後、制御信号x1およびx2をハイレベルにしてトランジスタ61-1および61-2をオフにす

50

る。

【0068】

次に、時刻 t_{23} において、制御信号 x_3 および x_4 がハイレベルからローレベルになる。従って、トランジスタ $61-3$ および $61-4$ には反転した制御信号が入力されるため、トランジスタ $61-3$ および $61-4$ は制御信号 x_3 および x_4 に従ってそれぞれオンになる。これにより、初段アンプ 81 のオートゼロ動作が開始される。

【0069】

即ち、初段アンプ 81 のオートゼロ動作では、垂直信号線 23 を介して供給される出力信号 VSL の信号レベルが、トランジスタ $61-6$ および $61-7$ のゲート電極に直接的に入力される。これにより、出力信号 VSL の信号レベルが、トランジスタ $61-6$ のゲート電極における内部ノード $Vramp_i$ 、および、トランジスタ $61-7$ のゲート電極における内部ノード VSL_i の初期電圧として設定される。
10

【0070】

そして、時刻 t_{24} において、制御信号 x_3 および x_4 がハイレベルになり、トランジスタ $61-3$ および $61-4$ がオフになることで、初段アンプ 81 のオートゼロ動作が完了する。

【0071】

その後、時刻 t_{25} から時刻 t_{26} までの間に参照信号 $Vramp$ が一定の勾配で降下し、D相のA/D変換処理が行われる。そして、図3を参照して上述したようにFD部 44 がリセットされた後、時刻 t_{27} から時刻 t_{28} までの間に参照信号 $Vramp$ が一定の勾配で降下し、P相のA/D変換処理が行われる。
20

【0072】

このように、コンパレータ 31 では、初段アンプ 81 のオートゼロ動作において、出力信号 VSL の信号レベルを、トランジスタ $61-6$ のゲート電極における内部ノード $Vramp_i$ 、および、トランジスタ $61-7$ のゲート電極における内部ノード VSL_i の初期電圧として自動的に設定（調整）することができる。

【0073】

次に、図6には、コンパレータ 31 の内部の電圧波形が示されている。

【0074】

図5を参照して説明したように、初段アンプ 81 のオートゼロ動作により、内部ノード $Vramp_i$ および内部ノード VSL_i の初期電圧は、垂直信号線 23 を介して供給される出力信号 VSL の信号レベルに設定される。
30

【0075】

このとき、出力信号 VSL は、FD部 44 に保持されている電荷に応じたレベル、即ち、フォトダイオード 41 で発生した電荷に応じたレベルとなるため、フォトダイオード 41 に照射される光の照度によって異なる電位レベルとなる。従って、図6に示すように、初段アンプ 81 のオートゼロ動作において、フォトダイオード 41 に照射される光が高照度である場合には電位レベルは低くなり、フォトダイオード 41 に照射される光が低照度である場合には電位レベルは高くなる。

【0076】

このように、内部ノード $Vramp_i$ および内部ノード VSL_i の初期電圧が、垂直信号線 23 を介して供給される出力信号 VSL の信号レベルに設定された後、一定の勾配で降下する参照信号 $Vramp$ に従って、内部ノード $Vramp_i$ が降下する。そして、トランジスタ $61-6$ のゲート電極における内部ノード $Vramp_i$ と、トランジスタ $61-7$ のゲート電極における内部ノード VSL_i とが一致した電圧で、アンプ出力 $VOUT1$ および $VOUT2$ が反転し、D相変換が行われる。
40

【0077】

その後、画素 21 のFD部 44 のリセットに合わせて、参照信号 $Vramp$ を高い電圧レベルにリセットし、再度、参照信号 $Vramp$ を降下させる。そして、トランジスタ $61-6$ のゲート電極における内部ノード $Vramp_i$ と、トランジスタ $61-7$ のゲート電極における
50

内部ノードVSL_iとが再び一致した電圧で、アンプ出力VOUT1およびVOUT2が反転し、P相変換が行われる。

【0078】

このように、内部ノードVramp_iおよび内部ノードVSL_iの初期電圧が、垂直信号線23を介して供給される出力信号VSLの信号レベルに設定されるため、D相変換時において、コンパレータ31の動作点（図中において○で示される点）は垂直信号線23の電圧レベルに応じて変化することになる。これに対し、垂直信号線23のリセットレベルは各画素21において、多少のバラツキはあるものの略同一であるため、P相変換時において、コンパレータ31の動作点（図中において△で示される点）は略同一となる。

【0079】

そのため、リセットレベル（P相の電圧レベル）が動作可能な入力範囲に収まるようにコンパレータ31を設計することにより、初期電圧はD相の電圧レベルに応じて自動的に決定される。従って、コンパレータ31は、初期電圧の調整を行うことなくA/D変換処理を行うことができる。

【0080】

さらに、コンパレータ31は、内部ノードVramp_iおよび内部ノードVSL_iの初期電圧を、垂直信号線23を介して供給される出力信号VSLの信号レベルに設定することにより、それらの初期電圧を設定するための外部電源が不要となり、低消費電力および小面積化を図ることができる。

【0081】

ここで、図7乃至図9を参照して、従来のコンパレータについて説明する。

【0082】

例えば、図3を参照して説明したようなD相先読み駆動において、オートゼロ機能を有する後段のコンパレータ回路でA/D変換処理を行う場合、従来、最初に読み出されるD相を基準としてオートゼロ動作が行われ、回路内部の動作点が設定されていた。

【0083】

図7には、この場合におけるコンパレータ回路の内部の電圧波形が示されている。

【0084】

図7に示すように、画素とコンパレータ回路とを接続する垂直信号線の電圧レベルは、D相変換時において低く、画素21のFD部44がリセットされることによってP相変換時において高くなる。そのため、D相を基準としてオートゼロ動作を行うと、コンパレータ回路の内部電圧（即ち、内部ノードVramp_iおよび内部ノードVSL_i）が初段アンプ81の動作可能な電圧範囲を超過してしまい、A/D変換処理を正常に行うことができなくなってしまう。

【0085】

そこで、上述した特許文献2に開示されているように、D相の信号レベルに合わせてコンパレータが動作可能となるように、内部ノードを設定（調整）するための初期電圧を外部から印加する必要があった。

【0086】

即ち、図8に示すように、従来のコンパレータ31Aを正常に駆動するためには、任意の外部印加電圧Vextを生成して参照信号配線を介してコンパレータ31Aに供給する外部印加電圧生成回路71が必要であった。

【0087】

図9は、従来のコンパレータ31Aの構成を示す回路図である。なお、図9のコンパレータ31Aにおいて、図4のコンパレータ31と共通する構成については同一の符号を付し、その説明は省略する。

【0088】

図9に示すように、従来のコンパレータ31Aでは、トランジスタ61-3および61-4のソース電極に外部印加電圧Vextが供給される点で、図4のコンパレータ31と異なる構成とされる。即ち、図4のコンパレータ31では、トランジスタ61-3および61

10

20

30

40

50

- 4 のソース電極が共通に垂直信号線 2 3 に接続されていたのに対し、従来のコンパレータ 3 1 A では、トランジスタ 6 1 - 3 および 6 1 - 4 のソース電極は外部印加電圧生成回路 7 1 (図 8) に接続される。

【 0 0 8 9 】

そして、従来のコンパレータ 3 1 A では、初段アンプ 8 1 のオートゼロ動作において、外部印加電圧生成回路 7 1 で生成された任意の外部印加電圧 V_{ext} が、直接的に、初段アンプ 8 1 を構成するトランジスタ 6 1 - 6 および 6 1 - 7 のゲート電極に入力される。これにより、内部ノード V_{ramp_i} および内部ノード V_{SL_i} の初期電圧が設定される。

【 0 0 9 0 】

図 10 には、外部印加電圧生成回路 7 1 を使用するコンパレータ 3 1 A の内部の電圧波形が示されている。なお、コンパレータ 3 1 A の動作タイミングチャートは、図 5 を参照して説明したコンパレータ 3 1 の動作タイミングチャートと同様である。

【 0 0 9 1 】

まず、初段アンプ 8 1 のオートゼロ動作により、内部ノード V_{ramp_i} および内部ノード V_{SL_i} がそれぞれ外部印加電圧 V_{ext} に設定された後、図 5 に示したように変化する参照信号 V_{ramp} に応じて、トランジスタ 6 1 - 6 のゲート電極における内部ノード V_{ramp_i} が降下する。そして、内部ノード V_{ramp_i} および内部ノード V_{SL_i} が一致した電圧で、アンプ出力 V_{OUT1} および V_{OUT2} が反転し、D 相変換が行われる。

【 0 0 9 2 】

その後、画素 2 1 の F D 部 4 4 のリセットに合わせて、参照信号 V_{ramp} を高い電圧レベルにリセットし、再度、参照信号 V_{ramp} を降下させる。そして、内部ノード V_{ramp_i} および内部ノード V_{SL_i} が再び一致した電圧で、アンプ出力 V_{OUT1} および V_{OUT2} が反転し、P 相変換が行われる。

【 0 0 9 3 】

図 10 に示すように、従来のコンパレータ 3 1 A では、D 相変換における動作点、並びに、高照度および低照度での P 相変換における動作点が、コンパレータ動作範囲内となるように外部印加電圧 V_{ext} により内部ノード V_{ramp_i} および内部ノード V_{SL_i} の初期電圧が設定される。つまり、従来のコンパレータ 3 1 A では、外部印加電圧 V_{ext} を適切に設定することにより、図 7 を参照して説明したようなコンパレータ回路の内部電圧が初段アンプ 8 1 の動作可能な電圧範囲を超過することが回避されていた。

【 0 0 9 4 】

しかしながら、一般的に、撮像素子において外部から与えられる電圧は電源電圧および駆動のための制御信号である。そのため、外部印加電圧 V_{ext} により内部ノード V_{ramp_i} および内部ノード V_{SL_i} の初期電圧を設定するためには、撮像素子の内部に外部印加電圧 V_{ext} を生成するための外部印加電圧生成回路 7 1 (図 8) が必要となる。さらに、外部印加電圧 V_{ext} は、内部電圧が動作可能な電圧範囲内に収まるように、画素 2 1 の出力信号に応じて設定 (調整) する必要があるため、その設定を行うための制御回路が必要となり、撮像素子の消費電力および回路面積を増大させることになる。

【 0 0 9 5 】

これに対し、本技術を適用したコンパレータ 3 1 は、上述したように、内部ノード V_{ramp_i} および内部ノード V_{SL_i} の初期電圧を、垂直信号線 2 3 を介して供給される出力信号 V_{SL} の信号レベルに設定することができる。これにより、外部印加電圧生成回路 7 1 を設ける必要がなくなるため、より低消費電力および小面積化を図ることができる。

【 0 0 9 6 】

さらに、本技術を適用したコンパレータ 3 1 では、内部ノード V_{ramp_i} および内部ノード V_{SL_i} の初期電圧が、初段アンプ 8 1 の動作可能な電圧範囲に自動的に決定される。そのため、初期電圧を設定するための制御回路が不要であり、より簡易な構成で実現することができる。

【 0 0 9 7 】

ところで、図 6 に示したような駆動においては、初段アンプ 8 1 を構成するトランジス

10

20

30

40

50

タ 6 1 - 6 および 6 1 - 7 のゲート電極に垂直信号線 2 3 を介して出力信号 VSL を入力し、内部ノード Vramp_i および内部ノード VSL_i を同一の初期電圧に設定している。このため、差動アンプのミスマッチが、コンパレータ 3 1 の反転誤差として、そのまま出力されることになる。図 1 のカラム処理部 1 7 のように、多数のコンパレータ 3 1 が並列に配置される構成では、A/D 変換の分解能が小さくなるのに伴って、差動アンプのミスマッチを無視することが困難な値となる。そこで、このような差動アンプのミスマッチを解決することが必要となる。

【 0 0 9 8 】

図 1 1 には、コンパレータ 3 1 の第 2 の駆動方法におけるタイミングチャートが示されている。

10

【 0 0 9 9 】

まず、時刻 t_{31} において、制御信号 x_1 および x_2 がローレベルになるとともに、制御信号 x_5 がハイレベルになる。なお、このとき、制御信号 x_3 および x_4 はハイレベルのままである。従って、トランジスタ 6 1 - 1 および 6 1 - 2 には反転した制御信号が入力されるため、トランジスタ 6 1 - 1 および 6 1 - 2 は制御信号 x_1 および x_2 に従ってそれぞれオンになり、トランジスタ 6 1 - 5 は、制御信号 x_5 に従ってオンになる。これにより、後段アンプ 8 2 のオートゼロ動作が開始される。

【 0 1 0 0 】

そして、時刻 t_{32} において、制御信号 x_5 がローレベルになりトランジスタ 6 1 - 5 をオフにすることで、後段アンプ 8 2 のオートゼロ動作が完了される。その後、制御信号 x_1 だけをハイレベルにしてトランジスタ 6 1 - 1 をオフにし、制御信号 x_2 はローレベルの状態を維持する。

20

【 0 1 0 1 】

その後、時刻 t_{33} において、制御信号 x_3 がハイレベルからローレベルになる。従って、トランジスタ 6 1 - 3 には反転した制御信号が入力されるため、トランジスタ 6 1 - 3 は制御信号 x_3 に従ってオンになる。このとき、制御信号 x_2 はローレベルの状態を維持しているためトランジスタ 6 1 - 2 はオンのままである。これにより、初段アンプ 8 1 のオートゼロ動作が開始される。そして、時刻 t_{34} において、制御信号 x_2 および x_3 がハイレベルになり、トランジスタ 6 1 - 2 および 6 1 - 3 がオフになることで、初段アンプ 8 1 のオートゼロ動作が完了する。その後、時刻 t_{35} から時刻 t_{36} までの期間で D 相変換が行われ、時刻 t_{37} から時刻 t_{38} までの期間で P 相変換が行われる。

30

【 0 1 0 2 】

このように、コンパレータ 3 1 の第 2 の駆動方法では、トランジスタ 6 1 - 6 乃至 6 1 - 9 から構成される初段アンプ 8 1 のオートゼロ動作時にトランジスタ 6 1 - 2 および 6 1 - 3 をオンにし、トランジスタ 6 1 - 1 および 6 1 - 4 をオフにする。従って、初段アンプ 8 1 のオートゼロ動作が行われている期間中のみ、アンプ出力 VOUT1 および出力信号 VSL を帰還ループとするボルテージフォロア構成となる。このため、コンデンサ 5 1 - 2 には、初段アンプ 8 1 のミスマッチを補償する電圧が保持されることになり、ミスマッチによるコンパレータ 3 1 の反転誤差が小さくなるように抑制することができる。

40

【 0 1 0 3 】

ここで、図 1 2 を参照して、コンパレータ 3 1 の第 1 の駆動方法と第 2 の駆動方法との差異について説明する。

【 0 1 0 4 】

図 1 2 A には、コンパレータ 3 1 の第 1 の駆動方法における初段アンプ 8 1 のオートゼロ動作が行われている状態が示されており、図 1 2 B には、コンパレータ 3 1 の第 2 の駆動方法における初段アンプ 8 1 のオートゼロ動作が行われている状態が示されている。

【 0 1 0 5 】

図 1 2 A に示すように、コンパレータ 3 1 の第 1 の駆動方法における初段アンプ 8 1 のオートゼロ動作では、トランジスタ 6 1 - 3 および 6 1 - 4 がオンとなる。このため、差

50

動アンプのミスマッチ V_{th} がコンパレータ 31 の出力 V_{out} において反転誤差 V_{th} として現れることになる。

【0106】

これに対し、図 12B に示すように、コンパレータ 31 の第 2 の駆動方法における初段アンプ 81 のオートゼロ動作では、トランジスタ 61-2 および 61-3 がオンとなり、コンデンサ 51-2 には、初段アンプ 81 のミスマッチ V_{th} を補償する電圧が保持される。従って、コンパレータ 31 の出力 V_{out} に、初段アンプ 81 のミスマッチ V_{th} が影響を与えることが回避される。

【0107】

次に、図 13 は、本技術を適用したコンパレータ 31 の第 2 の実施の形態の構成例を示す回路図である。なお、図 13 に示すコンパレータ 31B において、図 4 のコンパレータ 31 と共に構成については、同一の符号を付し、その詳細な説明は省略する。

【0108】

即ち、コンパレータ 31B は、コンデンサ 51-1 乃至 51-3、トランジスタ 61-1 乃至 61-11、および電流源 62 を備える点で、図 4 のコンパレータ 31 と共に構成される。そして、コンパレータ 31B は、トランジスタ 61-12 および 61-13 が追加され、トランジスタ 61-3 および 61-4 のソース電極に外部印加電圧 V_{ext} が供給される点で、図 4 のコンパレータ 31 と異なる構成とされる。即ち、コンパレータ 31B の駆動に、図 8 に示した外部印加電圧生成回路 71 が使用される。

【0109】

トランジスタ 61-12 は、トランジスタ 61-8 のゲート電極とドレイン電極との間に接続され、トランジスタ 61-12 のゲート電極には、行走査部 15 (図 1) から制御信号 x_6 が供給される。トランジスタ 61-13 は、トランジスタ 61-9 のゲート電極とドレイン電極との間に接続され、トランジスタ 61-13 のゲート電極には、行走査部 15 から制御信号 x_7 が供給される。

【0110】

このように構成されるコンパレータ 31B では、トランジスタ 61-12 および 61-13 により、初段アンプ 81 のアクティブロードであるトランジスタ 61-8 および 61-9 のゲート電極を、差動の両側のドレインのいずれかに接続を切り替えることができる。つまり、トランジスタ 61-12 および 61-13 による接続を、オートゼロ動作が行われている期間と、D 相変換期間および P 相変換期間とで切り替える駆動を行うことができる。

【0111】

図 14 には、コンパレータ 31B のタイミングチャートが示されている。

【0112】

図 14 には、上側から順に、トランジスタ 61-1 を制御するための制御信号 x_1 、トランジスタ 61-2 を制御するための制御信号 x_2 、トランジスタ 61-3 を制御するための制御信号 x_3 、トランジスタ 61-4 を制御するための制御信号 x_4 、トランジスタ 61-5 を制御するための制御信号 x_5 、トランジスタ 61-12 を制御するための制御信号 x_6 、トランジスタ 61-13 を制御するための制御信号 x_7 、電圧レベルを比較するのに参照される参照信号 V_{ramp} 、および、画素 21 から垂直信号線 23 に出力される出力信号 V_{SL} が示されている。

【0113】

まず、オートゼロ動作を行う前の時刻 t_{41} において、制御信号 x_6 がローレベルからハイレベルになるとともに、制御信号 x_7 がハイレベルからローレベルになる。従って、トランジスタ 61-12 および 61-13 には反転した制御信号が入力されるため、トランジスタ 61-12 は制御信号 x_6 に従ってオフになり、トランジスタ 61-13 は制御信号 x_7 に従ってオンになる。これにより、トランジスタ 61-8 および 61-9 のゲート電極が、トランジスタ 61-9 のドレインに接続される。従って、初段アンプ 81 のアクティブロードであるトランジスタ 61-8 および 61-9 のゲート電極に、トラン

10

20

30

40

50

ジスタ 61-13 を介して、後段アンプ 82 に出力されるアンプ出力 VOUT1 が供給される。
。

【0114】

そして、時刻 t42において、制御信号 x1 および x4 がハイレベルからローレベルになるとともに、制御信号 x5 がローレベルからハイレベルになる。なお、このとき、制御信号 x2 および x4 はハイレベルのままである。従って、トランジスタ 61-1 および 61-4 には反転した制御信号が入力されるため、トランジスタ 61-2 および 61-3 は制御信号 x1 および x4 に従ってそれぞれオンになり、トランジスタ 61-5 は、制御信号 x5 に従ってオンになる。これにより、後段アンプ 82 および初段アンプ 81 のオートゼロ動作が同時に開始される。

10

【0115】

即ち、初段アンプ 81 は、トランジスタ 61-6 および 61-8 によるアンプ出力 VOUT0 と、トランジスタ 61-6 のゲート電極における内部ノード Vramp_i とを帰還ループとするボルテージフォロアとなる。ここで、初段アンプ 81 のアクティプロードであるトランジスタ 61-9 はダイオード接続となるため、アンプ出力 VOUT1 は、電源電圧 VDD から、PMOSトランジスタの閾値電圧 Vthp および PMOSトランジスタのオーバードライブ電圧 V を引いた値（即ち、 $VOUT1 = VDD - Vthp - V$ ）となる。

【0116】

また、ここでのアンプ出力 VOUT1 は、初段アンプ 81 の内部ノード VSL_i (= VSL) に依存することなく略一定の電圧であるため、後段アンプ 82 がオートゼロ動作を行うのに適した電圧がトランジスタ 61-11 のゲート電極に供給されることになる。従って、初段アンプ 81 のオートゼロ動作と並行して、後段アンプ 82 のオートゼロ動作を行うことが可能となる。

20

【0117】

そして、時刻 t43において、制御信号 x5 がローレベルになりトランジスタ 61-5 をオフにすることで、後段アンプ 82 のオートゼロ動作が完了される。また、時刻 t44において、制御信号 x1 および x4 がハイレベルになりトランジスタ 61-1 および 61-4 をオフにすることで、初段アンプ 81 のオートゼロ動作が完了される。そして、時刻 t43 から時刻 t45までの間に、制御信号 x6 がハイレベルからローレベルになるとともに、制御信号 x7 がローレベルからハイレベルになる。これにより、トランジスタ 61-8 および 61-9 のゲート電極が、トランジスタ 61-8 のドレインに接続するよう切り替えられる。その後、時刻 t45 から時刻 t46までの期間で D 相変換が行われ、時刻 t47 から時刻 t48までの期間で P 相変換が行われる。

30

【0118】

このように、コンパレータ 31B では、初段アンプ 81 のオートゼロ動作と、後段アンプ 82 のオートゼロ動作とを並行して行い、オートゼロ動作を 1 回で完了することができる。従って、例えば、図 11 を参照して説明したように、オートゼロ動作を、初段アンプ 81 と後段アンプ 82 とで 2 回行うことが必要な構成よりも、コンパレータ 31B は、処理を高速化することができる。

【0119】

40

次に、図 15 は、本技術を適用したコンパレータ 31 の第 3 の実施の形態の構成例を示す回路図である。なお、図 15 に示すコンパレータ 31C において、図 13 のコンパレータ 31B と共に構成については、同一の符号を付し、その詳細な説明は省略する。

【0120】

即ち、コンパレータ 31C は、コンデンサ 51-1 乃至 51-3、トランジスタ 61-1 乃至 61-13、および電流源 62 を備える点で、図 13 のコンパレータ 31B と共に構成とされる。そして、コンパレータ 31C は、トランジスタ 61-3 および 61-4 のソース電極が共通に垂直信号線 23 に接続されている点で、図 13 のコンパレータ 31B と異なり、図 4 のコンパレータ 31 と共に構成とされる。

【0121】

50

このように、コンパレータ31Cは、図4のコンパレータ31と同様に、D相先読み駆動において、垂直信号線23を介して供給される出力信号VSLの信号レベルを、内部ノードVramp_iおよび内部ノードVSL_iの初期電圧として設定することができる。つまり、図13のコンパレータ31Bは、外部印加電圧生成回路71(図8)を必要とする構成であったのに対し、コンパレータ31Cは、外部印加電圧生成回路71を必要としない構成とすることができる。

【0122】

また、コンパレータ31Cは、図13のコンパレータ31Bと同様に、図14に示したタイミングチャートに従って駆動することができる。即ち、コンパレータ31Cは、トランジスタ61-12および61-13を有する構成とすることで、図13のコンパレータ31Bと同様に、初段アンプ81のオートゼロ動作と後段アンプ82のオートゼロ動作とを並行して行うことができる。

【0123】

従って、コンパレータ31Cは、外部電源を不要とすることによる低消費電力および小面積化と、オートゼロ動作を1回で完了することによる高速化とを図ることができる。

【0124】

また、コンパレータ31Cは、A/D変換処理におけるゲイン誤差を抑制することを目的としたときに好適な構成である。ここで、コンデンサ51-1の容量をC1とし、初段アンプ81の内部ノードVramp_iにつく寄生容量(配線寄生や、トランジスタ61-6のゲート容量、トランジスタ61-1の拡散層容量など)をCp1とすると、内部ノードVramp_iの振幅は、参照電圧Vrampに対してC1/(C1+Cp1)の割合で減衰する(振幅が小さくなる)。同様に、コンデンサ51-2の容量をC2とし、初段アンプ81の内部ノードVSL_iにつく寄生容量をCp2とすると、出力信号VSLの減衰率はC2/(C2+Cp2)となる。

【0125】

コンデンサ51-1の容量C1、コンデンサ51-2の容量C2、初段アンプ81の内部ノードVramp_iにつく寄生容量Cp1、初段アンプ81の内部ノードVSL_iにつく寄生容量Cp2は、トランジスタ61のゲート酸化膜の膜厚やメタル層の層間膜厚などに依存性を持つ。従って、参照信号Vrampと出力信号VSLの減衰率はチップ内およびウェハ面内で一様の分布を持つことになるため、同一コンパレータの内部で、内部ノードVramp_iと内部ノードVSL_iとの間に差分が発生するとコンパレータのゲイン誤差となる。特に、多数のコンパレータが並列に並ぶカラム処理部17(図1)の構造においては、画像の水平方向シェーディングの要因となる。

【0126】

これに対し、コンパレータ31Cの構成では、初段アンプ81を構成するトランジスタ61-6および61-7のゲート電極における内部ノードVramp_iおよび内部ノードVSL_iの構成が、左右対称になるような回路構成を採用している。これにより、仮に、コンデンサ51-1の容量C1、コンデンサ51-2の容量C2、初段アンプ81の内部ノードVramp_iにつく寄生容量Cp1、初段アンプ81の内部ノードVSL_iにつく寄生容量Cp2が、面内で一様な分布を持ったとしても、参照信号Vrampと出力信号VSLとの局所的な(同一コンパレータ内の)減衰率の差分は各容量値のミスマッチ成分のみとなる。従って、カラム処理部17においてコンパレータ31Cのゲイン誤差を小さくすることができる。

【0127】

このように、コンパレータ31Cは、A/D変換処理におけるゲイン誤差を抑制することができる。

【0128】

次に、図16は、本技術を適用したコンパレータ31の第4の実施の形態の構成例を示す回路図である。なお、図16に示すコンパレータ31Dにおいて、図15のコンパレータ31Cと共に構成については、同一の符号を付し、その詳細な説明は省略する。

【0129】

即ち、コンパレータ31Dは、コンデンサ51-1および51-3、トランジスタ61

10

20

30

40

50

- 1 および 6 1 - 5 乃至 6 1 - 1 3 、並びに電流源 6 2 を備える点で、図 1 5 のコンパレータ 3 1 C と共に構成される。即ち、コンパレータ 3 1 D は、図 1 5 のコンパレータ 3 1 C から、コンデンサ 5 1 - 2 、および、トランジスタ 6 1 - 2 乃至 6 1 - 4 を削除した構成となっている。

【 0 1 3 0 】

このように構成されるコンパレータ 3 1 D は、トランジスタ 6 1 - 7 に、直接的に、垂直信号線 2 3 を介して出力信号 VSL が供給される。従って、コンパレータ 3 1 D は、図 4 のコンパレータ 3 1 と同様に、D 相先読み駆動において、外部印加電圧生成回路 7 1 を必要としない構成とすることができます。

【 0 1 3 1 】

また、コンパレータ 3 1 D は、図 1 3 のコンパレータ 3 1 B と同様に、図 1 4 に示したタイミングチャートに従って駆動することができる。即ち、コンパレータ 3 1 D は、トランジスタ 6 1 - 1 2 および 6 1 - 1 3 を有する構成とすることで、図 1 3 のコンパレータ 3 1 B と同様に、初段アンプ 8 1 のオートゼロ動作と後段アンプ 8 2 のオートゼロ動作とを並行して行うことができる。

【 0 1 3 2 】

従って、コンパレータ 3 1 D は、外部電源を不要とすることによる低消費電力および小面積化と、オートゼロ動作を 1 回で完了することによる高速化とを図ることができる。

【 0 1 3 3 】

また、コンパレータ 3 1 D は、回路面積を縮小することを目的としたときに好適な構成である。即ち、コンパレータ 3 1 D は、上述したように、コンパレータ 3 1 C の構成から、コンデンサ 5 1 - 2 、および、トランジスタ 6 1 - 2 乃至 6 1 - 4 を削除した構成となっている。

【 0 1 3 4 】

多数のコンパレータ 3 1 が並列に並ぶカラム処理部 1 7 の構成においては、特に、コンパレータ 3 1 の入力端子に接続されるコンデンサ 5 1 - 1 および 5 1 - 2 が占有する割合が、カラム処理部 1 7 の回路全体の中でも比較的に大きくなる。従って、コンパレータ 3 1 D の構成を採用し、コンデンサ 5 1 - 2 を削除することによって、固体撮像素子 1 1 の全体的な面積削減に大きく寄与することができる。

【 0 1 3 5 】

なお、図 1 5 に示したコンパレータ 3 1 C 、および、図 1 6 に示したコンパレータ 3 1 D は、上述したような図 3 を参照して説明したような D 相先読み駆動だけでなく、P 相 (リセットレベル) を先に読み出した後に、D 相 (信号レベル) を読み出す駆動 (以下、適宜、P 相先読み駆動と称する) を行うことができる。

【 0 1 3 6 】

図 1 7 には、P 相先読み駆動を行った場合のコンパレータ 3 1 C または 3 1 D の内部の電圧波形が示されている。

【 0 1 3 7 】

図 1 7 に示すように、P 相先読み駆動においては、コンパレータ 3 1 C または 3 1 D の内部ノード Vramp_i および内部ノード VSL_i の初期電圧は、垂直信号線 2 3 を介して供給される出力信号 VSL の信号レベルに応じて自動的に決定される。従って、垂直信号線 2 3 を介して入力される出力信号 VSL の範囲は、コンパレータ 3 1 C または 3 1 D の動作可能な範囲に自動的に收まり、A D 変換処理を正常に行うことができる。

【 0 1 3 8 】

このように、コンパレータ 3 1 C または 3 1 D は、D 相先読み駆動および P 相先読み駆動の両方に対し、同一の駆動で A D 変換処理を行うことができる。これにより、コンパレータ 3 1 C または 3 1 D の駆動制御を簡略化することができる。

【 0 1 3 9 】

また、上述したような固体撮像素子 1 1 は、例えば、デジタルスチルカメラやデジタルビデオカメラなどの撮像システム、撮像機能を備えた携帯電話機、または、撮像機能を備

10

20

30

40

50

えた他の機器といった各種の電子機器に適用することができる。

【0140】

図18は、電子機器に搭載される撮像装置の構成例を示すブロック図である。

【0141】

図18に示すように、撮像装置101は、光学系102、撮像素子103、信号処理回路104、モニタ105、およびメモリ106を備えて構成され、静止画像および動画像を撮像可能である。

【0142】

光学系102は、1枚または複数枚のレンズを有して構成され、被写体からの像光(入射光)を撮像素子103に導き、撮像素子103の受光面(センサ部)に結像させる。

10

【0143】

撮像素子103としては、上述した構成の固体撮像素子11が適用される。撮像素子103には、光学系102を介して受光面に結像される像に応じて、一定期間、電子が蓄積される。そして、撮像素子103に蓄積された電子に応じた信号が信号処理回路104に供給される。

【0144】

信号処理回路104は、撮像素子103から出力された画素信号に対して各種の信号処理を施す。信号処理回路104が信号処理を施すことにより得られた画像(画像データ)は、モニタ105に供給されて表示されたり、メモリ106に供給されて記憶(記録)されたりする。

20

【0145】

このように構成されている撮像装置101では、上述したような固体撮像素子11の構成を適用することによって、A/D変換処理をより高速化することができる。

【0146】

なお、本技術は以下のよう構成も取ることができる。

(1)

前記第1および第2のトランジスタが一対となって構成される差動対を有し、前記第1および第2のトランジスタそれぞれのゲート電極に入力される信号の差分を増幅して出力する第1の増幅部と、

前記第1の増幅部から出力される信号を増幅する第2の増幅部と、

30

前記第1のトランジスタと電源電圧とを接続する第3のトランジスタと、

前記第2のトランジスタと電源電圧とを接続する第4のトランジスタと、

前記第3のトランジスタおよび前記第4のトランジスタのゲート電極どうしの接続点と前記第3のトランジスタのドレインとを接続する第5のトランジスタと、

前記第3のトランジスタおよび前記第4のトランジスタのゲート電極どうしの接続点と前記第4のトランジスタのドレインとを接続する第6のトランジスタと

を備えるコンパレータ。

(2)

前記第1の増幅部および前記第2の増幅部の回路内部における初期電圧を設定するオートゼロ動作が並行して行われる

40

上記(1)に記載のコンパレータ。

(3)

前記第1の増幅部および前記第2の増幅部の前記オートゼロ動作が並行して行われている期間と、前記信号レベルの画素信号をデジタル信号に変換する期間および前記リセットレベルの画素信号をデジタル信号に変換する期間とで、前記第5のトランジスタおよび前記第6のトランジスタによる接続を、前記第3のトランジスタのドレインとの接続、または、前記第4のトランジスタのドレインとの接続のいずれかに切り替える

上記(1)または(2)に記載のコンパレータ。

(4)

前記第1のトランジスタの前記ゲート電極、および、一定の勾配で電圧値が降下する参

50

照信号を供給する参照信号供給部の間に配置される第1のコンデンサと、

前記第2のトランジスタの前記ゲート電極、および、光電変換により発生した電荷に応じた信号レベルの画素信号を出力する画素から前記画素信号を読み出す画素信号配線の間に配置される第2のコンデンサと、

前記第1のトランジスタの前記ゲート電極と前記第1のコンデンサとの接続点、および、前記画素信号配線を接続する第7のトランジスタと、

前記第2のトランジスタの前記ゲート電極と前記第2のコンデンサとの接続点、および、前記画素信号配線を接続する第8のトランジスタと

上記(1)から(3)までのいずれかに記載のコンパレータ。

(5)

10

前記画素から前記信号レベルの画素信号を先に読み出した後に前記電荷がリセットされたりセットレベルの画素信号を読み出す駆動を行う場合、前記第1の増幅部の前記オートゼロ動作を行う際に、前記第7および第8のトランジスタをオンにして、前記画素信号配線を介して供給される画素信号の電圧を前記第1および第2のトランジスタそれぞれのゲート電極に供給する

上記(4)に記載のコンパレータ。

(6)

20

前記第1のトランジスタの前記ゲート電極、および、一定の勾配で電圧値が降下する参照信号を供給する参照信号供給部の間に配置される第1のコンデンサと、

前記第2のトランジスタの前記ゲート電極、および、光電変換により発生した電荷に応じた信号レベルの画素信号を出力する画素から前記画素信号を読み出す画素信号配線の間に配置される第2のコンデンサと、

前記第1のトランジスタの前記ゲート電極と前記第1のコンデンサとの接続点、および、所定の外部印加電圧を供給する配線を接続する第9のトランジスタと、

前記第2のトランジスタの前記ゲート電極と前記第2のコンデンサとの接続点、および、所定の外部印加電圧を供給する配線を接続する第10のトランジスタと

上記(1)から(5)までのいずれかに記載のコンパレータ。

(7)

30

前記画素から前記信号レベルの画素信号を先に読み出した後に前記電荷がリセットされたりセットレベルの画素信号を読み出す駆動を行う場合、前記第1の増幅部の前記オートゼロ動作を行う際に、前記第9および第10のトランジスタをオンにして、前記外部印加電圧を前記第1および第2のトランジスタそれぞれのゲート電極に供給する

上記(6)に記載のコンパレータ。

【0147】

なお、本実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。

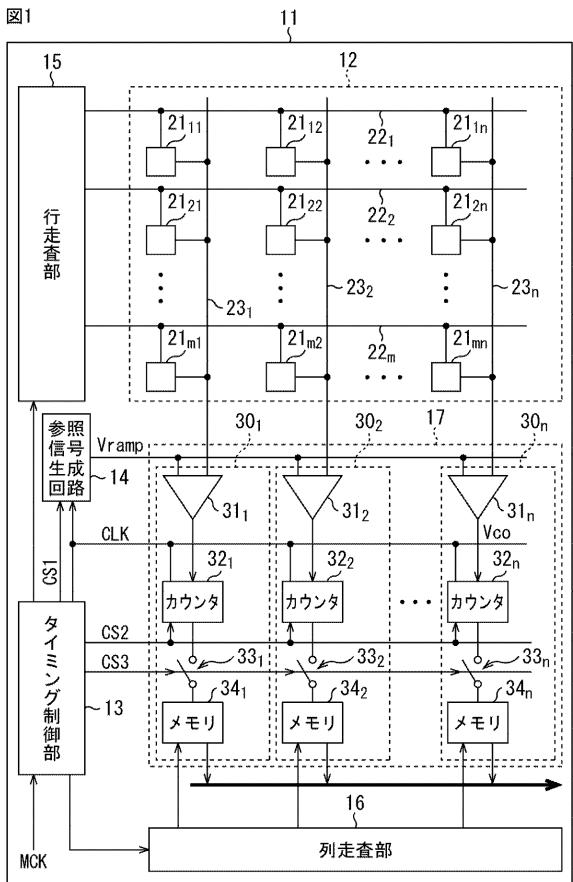
【符号の説明】

【0148】

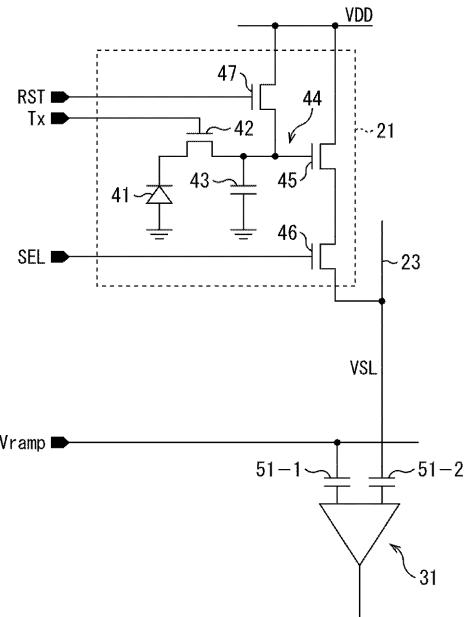
11 固体撮像素子, 12 画素アレイ部, 13 タイミング制御部, 14 参照信号生成回路, 15 行走査部, 16 列走査部, 17 カラム処理部, 21 画素, 22 水平信号線, 23 垂直信号線, 30 A/D変換回路, 31 コンパレータ, 32 カウンタ, 33 スイッチ, 34 メモリ, 41 フォトダイオード, 42 転送トランジスタ, 43 電荷蓄積部, 44 F/D部, 45 増幅トランジスタ, 46 選択トランジスタ, 47 リセットトランジスタ, 51 -1乃至51-3 コンデンサ, 61-1乃至61-13 トランジスタ, 62 電流源, 71 外部印加電圧生成回路, 81 初段アンプ, 82 後段アンプ

40

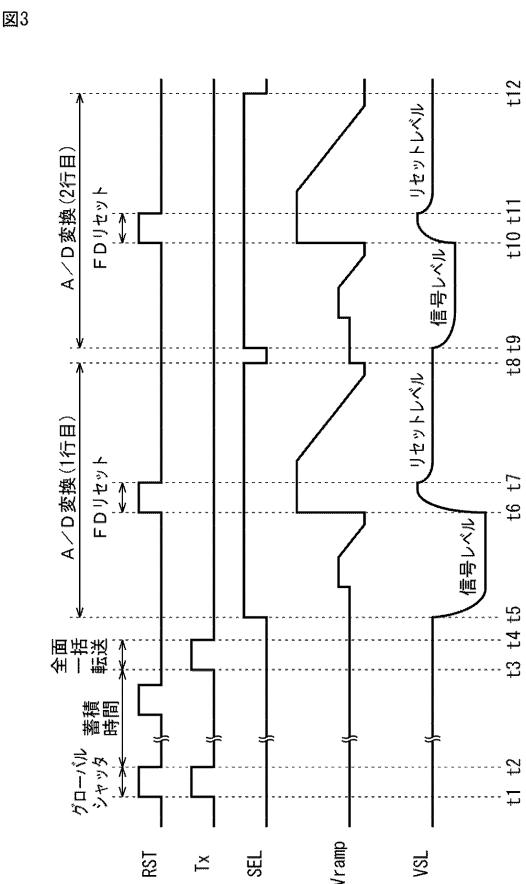
【 図 1 】



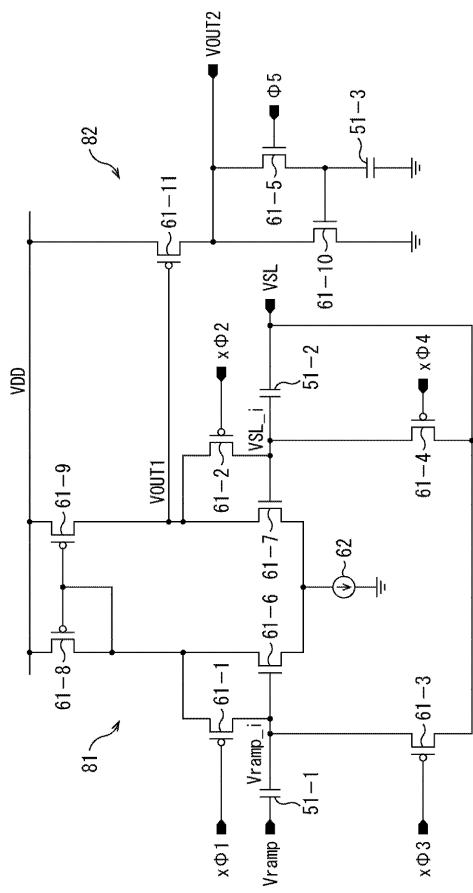
【図2】



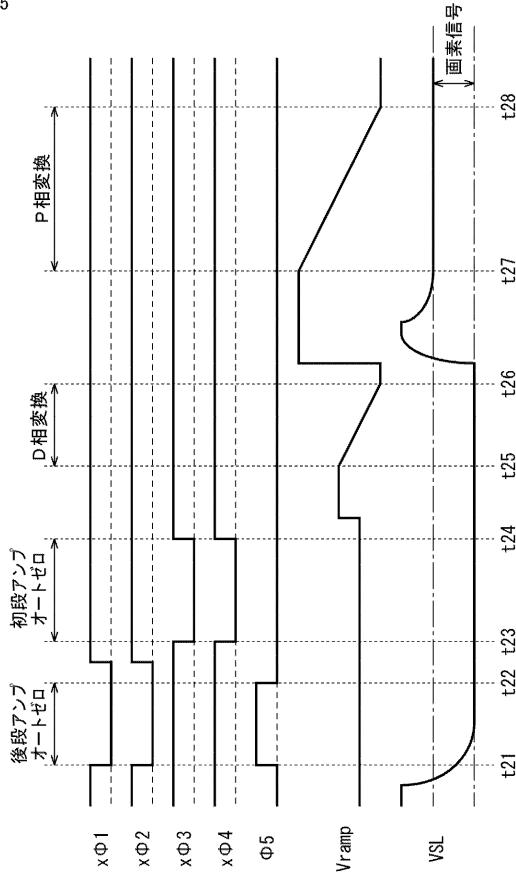
【図3】



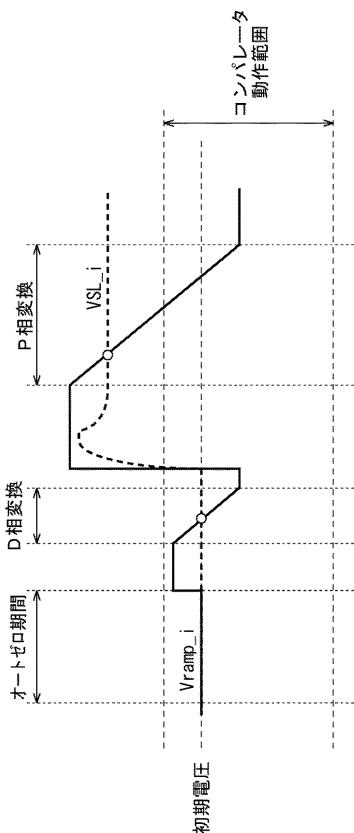
【図4】



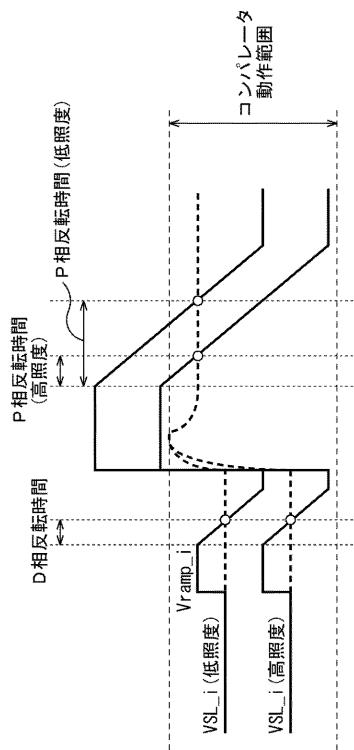
【図5】



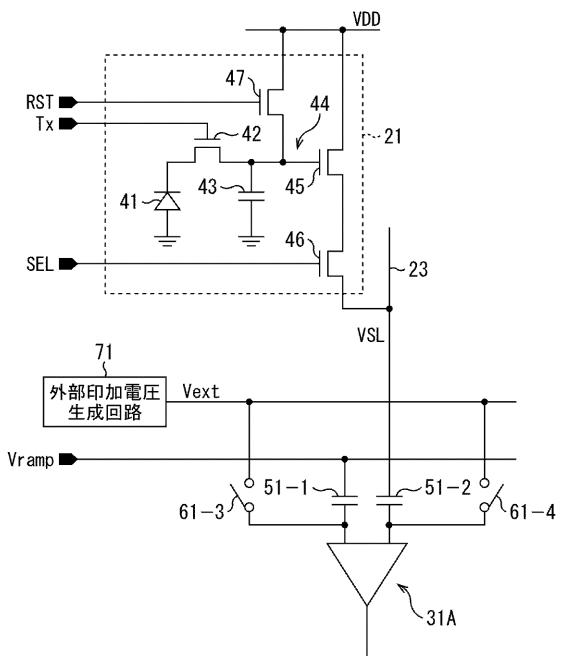
【図7】



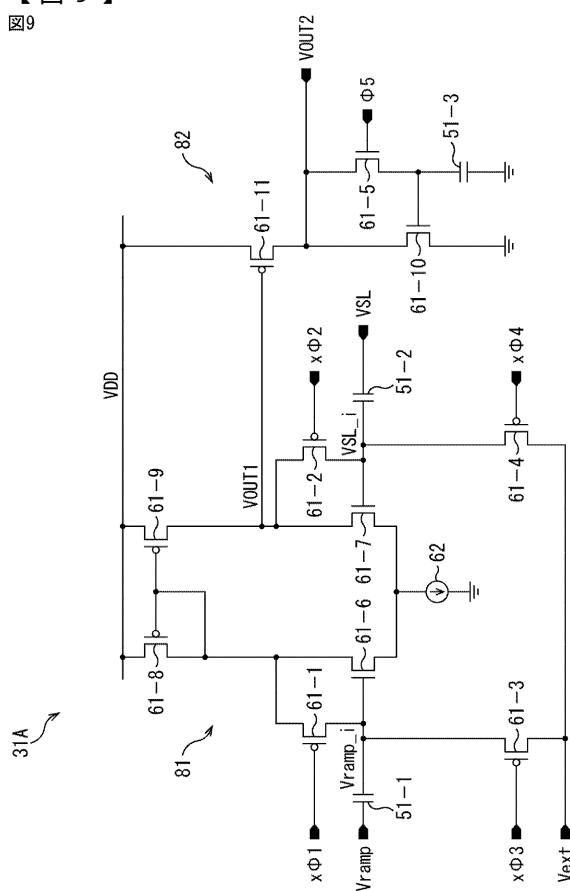
【図6】



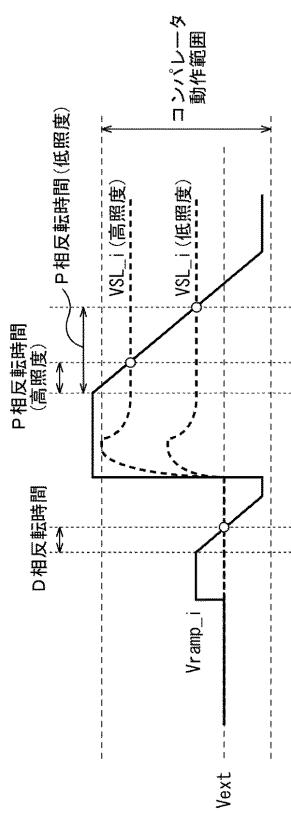
【図8】



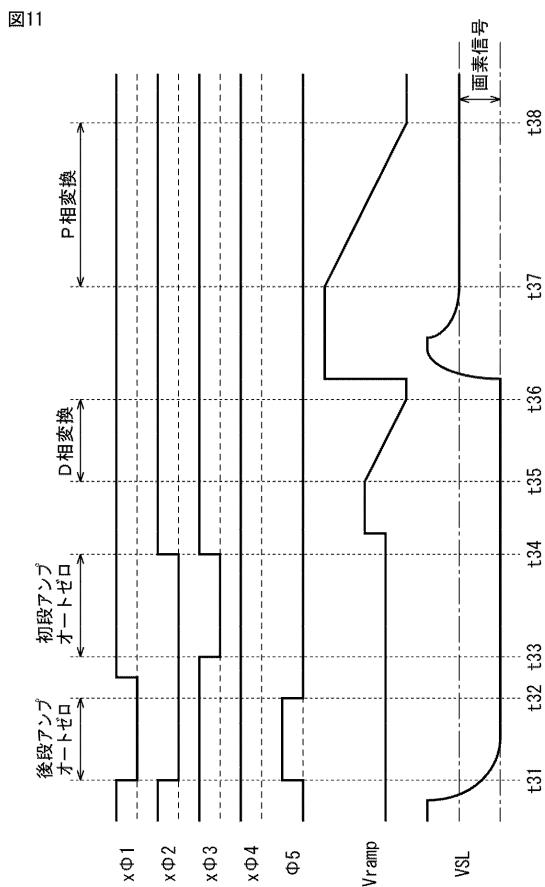
【図9】



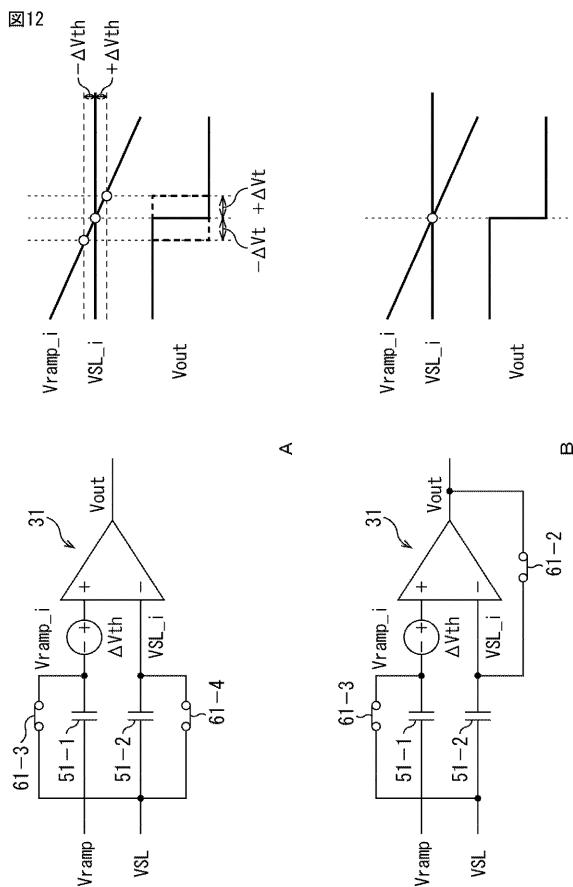
【図10】



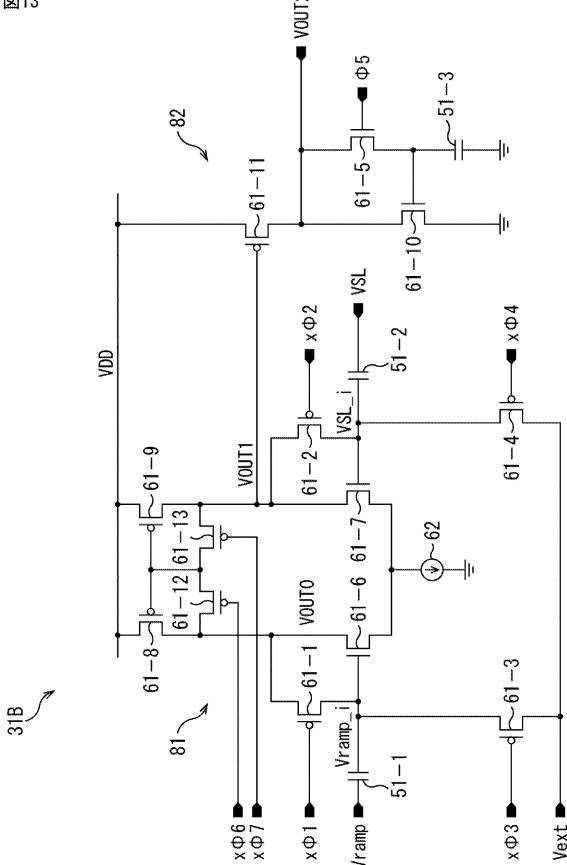
【図11】



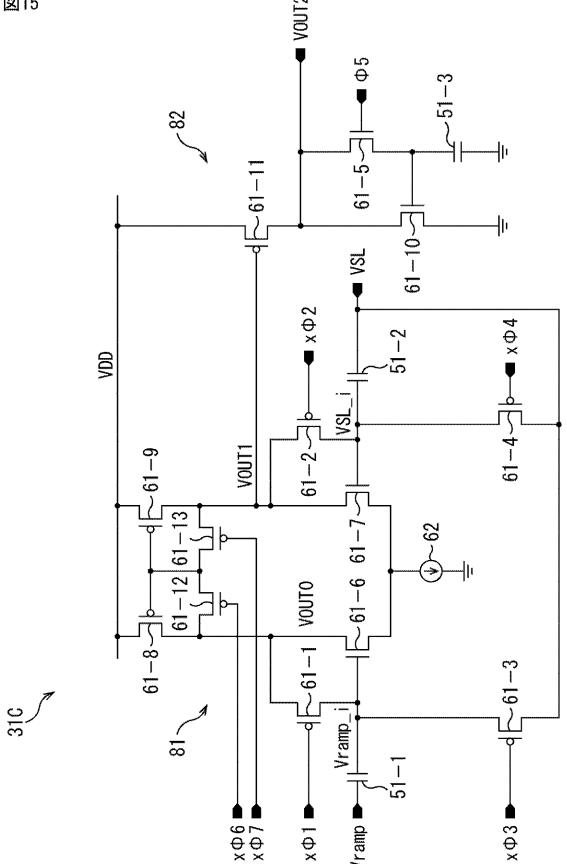
【図12】



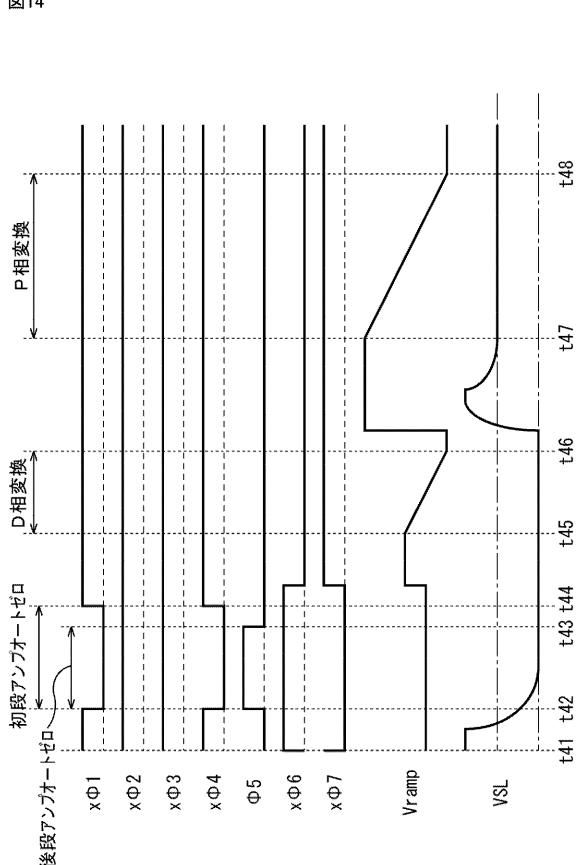
【図13】



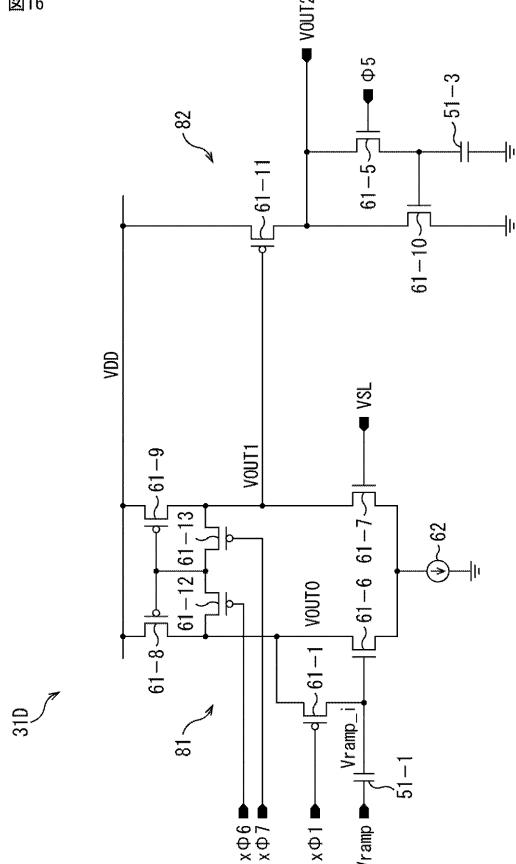
【図15】



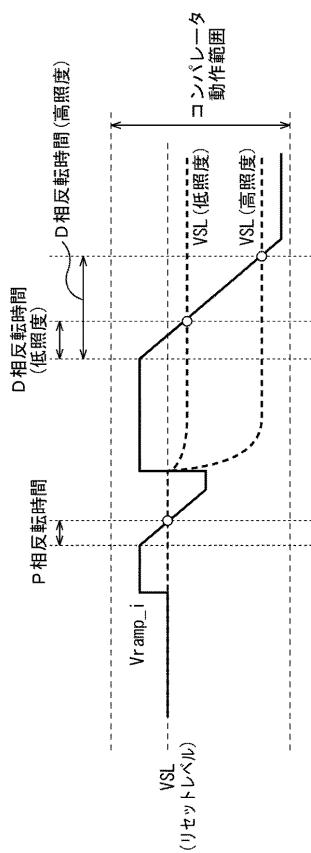
【図14】



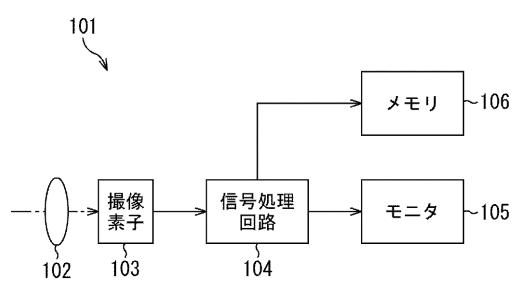
【図16】



【図17】
図17



【図18】
図18



フロントページの続き

(72)発明者 永野川 晴久

神奈川県横浜市保土ヶ谷区神戸町134番地 ソニーLSIデザイン株式会社内

(72)発明者 加地 悠一

神奈川県横浜市保土ヶ谷区神戸町134番地 ソニーLSIデザイン株式会社内

審査官 鈴木 肇

(56)参考文献 米国特許出願公開第2003/0193595(US, A1)

特開2011-229120(JP, A)

米国特許出願公開第2013/0009800(US, A1)

特開平11-112305(JP, A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378

H03F 1/00 - 3/45

H03F 3/50 - 3/52

H03F 3/62 - 3/64

H03F 3/68 - 3/72

H03K 5/00 - 5/26

H03M 1/00 - 1/88