

19 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

11 N° de publication : **2 631 181**

(à n'utiliser que pour les
commandes de reproduction)

21 N° d'enregistrement national : **88 06320**

51 Int Cl⁴ : H 03 H 17/00, 11/46.

12 **DEMANDE DE BREVET D'INVENTION**

A1

22 Date de dépôt : 3 mai 1988.

30 Priorité :

43 Date de la mise à disposition du public de la
demande : BOPI « Brevets » n° 45 du 10 novembre 1989.

60 Références à d'autres documents nationaux appa-
rentés :

71 Demandeur(s) : *ETAT FRANCAIS représenté par le Mi-
nistre Délégué aux Postes et Télécommunications (Centre
National d'Etudes des Télécommunications) et ANACAD
COMPUTER SYSTEMS S.A.R.L., Société à responsabilité
limitée. — FR.*

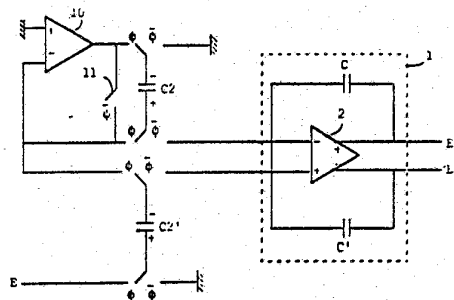
72 Inventeur(s) : Joseph Chan Yan Fong ; Patrice Senn ;
Mohamed Tawfik.

73 Titulaire(s) :

74 Mandataire(s) : Michel de Beaumont.

54 Circuit d'interface pour circuit à capacités commutées.

57 La présente invention concerne un circuit d'interface à
capacités commutées permettant de fournir deux charges
égales et opposées correspondant à un signal sur une borne
d'entrée. Lesdites charges sont, pendant une première phase,
stockées sur deux capacités commutées dont l'une C'2 est
disposée entre ladite borne d'entrée E et une première entrée
(-) d'un amplificateur opérationnel 10 ayant sa deuxième
entrée (+) à un potentiel de référence, et dont l'autre C2 est
disposée entre la sortie et la première entrée de l'amplificateur
opérationnel.



FR 2 631 181 - A1

D

CIRCUIT D'INTERFACE POUR CIRCUIT A CAPACITÉS COMMUTÉES

La présente invention concerne des circuits d'interface pour circuits à capacités commutées et plus particulièrement des circuits permettant à partir d'une entrée unique de fournir une sortie différentielle et à partir d'une entrée différentielle de
5 fournir une sortie unique.

En plaçant de tels circuits d'interface respectivement à l'entrée et à la sortie d'un circuit à capacités commutées, on peut faire fonctionner celui-ci en mode différentiel. En effet, on cherche autant que possible à utiliser des architectures complè-
10 ment différentielles dans des circuits à capacités commutées pour augmenter le domaine de fréquence utilisable. Les avantages d'une structure à entrées et sorties différentielles sont multiples :

- augmentation d'un facteur 2 (6 dB) de la dynamique de sortie,
- 15 - taux de réjection des tensions d'alimentation et taux de réjection de mode commun améliorés,
- élimination au premier ordre des phénomènes d'injection d'horloge qui constituent un effet tout particulièrement nuisible dans les structures à capacités commutées.

20 C'est pourquoi, la présente invention prévoit des circuits d'interface spécifiques pour effectuer la conversion entre des signaux sur une borne unique et des signaux en différentiel.

Divers circuits permettant de fournir ce résultat existent dans l'art antérieur. Beaucoup sont extrêmement complexes et/ou nécessitent des structures qui ne sont pas réalisables sous forme de circuits intégrés.

5 Ainsi, un objet de la présente invention est de prévoir un tel circuit réalisable sous forme de circuit intégré, qui soit particulièrement simple, et qui soit peu sensible aux parasites.

De façon générale, la présente invention propose de stocker une entrée unique positivement et négativement dans deux
10 capacités commutées reliées en un point qui correspond à une masse virtuelle d'un amplificateur opérationnel pour les restituer ensuite séparément. Inversement, quand on veut passer d'une sortie différentielle à une sortie unique, on charge deux capacités puis on les ajoute en les connectant aux bornes d'un amplificateur
15 opérationnel de la façon indiquée précédemment.

Plus particulièrement, la présente invention prévoit un circuit d'interface à capacités commutées permettant de fournir deux charges égales et opposées correspondant à un signal sur une borne d'entrée. Lesdites charges sont, pendant une première phase,
20 stockées sur deux capacités commutées dont l'une est disposée entre ladite borne d'entrée et une première entrée d'un amplificateur opérationnel ayant sa deuxième entrée à un potentiel de référence, et dont l'autre est disposée entre la sortie et la première entrée de l'amplificateur opérationnel.

25 Ces objets, caractéristiques et avantages ainsi que d'autres de la présente invention seront exposés plus en détail dans la description suivante de modes de réalisation particuliers faite en relation avec les figures jointes parmi lesquelles :

la figure 1 représente un circuit de l'art antérieur ;

30 la figure 2 représente un circuit d'interface à entrée simple et sortie différentielle selon un premier mode de réalisation de la présente invention ;

la figure 3 représente un circuit d'interface à entrée simple et sortie différentielle selon un second mode de réalisation de la présente invention ;

la figure 4 représente un circuit d'interface à sortie simple et à entrée différentielle selon un premier mode de réalisation de la présente invention ; et

la figure 5 représente un circuit d'interface à sortie simple et à entrée différentielle selon un deuxième mode de réalisation de la présente invention.

10 Dans la présente description et dans les revendications ci-après, on appellera capacité commutée une capacité dont chacune des bornes est reliée à un commutateur, permettant lors d'une première phase, ϕ , de connecter la capacité selon un premier circuit et lors d'une deuxième phase, ϕ^* , de connecter la capacité
15 selon un second circuit.

La figure 1 représente un circuit de l'art antérieur, tel que le circuit décrit par Chowdhury Rahim et al dans l'article intitulé "A High-Performance Custom Standard-cell CMOS Equalizer For Telecommunications Applications", IEEE Journal of Solid State
20 Circuits, Vol SC-22, P 174-180, avril 1987.

Les auteurs de l'article ci-dessus décrivent un circuit relativement complexe pouvant fonctionner en circuit d'échantillonnage-maintien mais, en figure 1, on a supprimé une partie des composants de ce circuit pour représenter un simple intégrateur
25 car cela simplifiera la comparaison avec les circuits selon l'invention.

Ainsi, le circuit de la figure 1 comprend un circuit intégrateur 1 comprenant un amplificateur à entrées et sorties différentielles 2 dont chaque sortie est rebouclée sur l'entrée de polarité opposée par un condensateur, respectivement C et C'.
30

Une interface est prévue à l'entrée de ce circuit pour fournir à partir d'un signal d'entrée E un signal en différentiel sur les bornes d'entrée de l'amplificateur 2 à entrées et sorties

ties différentielles. Cette interface utilise des capacités commutées C1 et C'1. La capacité C1 est connectée pendant la phase ϕ entre l'entrée E et la masse, et, pendant la phase ϕ^* , entre un noeud N1 du circuit et l'entrée inverseuse (-) de l'amplificateur 2. La capacité C'1 est connectée pendant la phase ϕ à la masse par ses deux bornes et pendant la phase ϕ^* entre le noeud N1 et l'entrée (+) non inverseuse de l'amplificateur 2.

Le fonctionnement de ce circuit est le suivant :

10 Pendant la phase ϕ , le condensateur C1 se charge en fonction de la valeur de signal E. Simultanément la capacité C'1 est déchargée.

15 Pendant la phase ϕ^* , la charge se répartit entre les capacités C1 et C'1 puisque ces deux capacités se trouvent avec une borne commune et leurs autres bornes reliées aux entrées d'un amplificateur différentiel, c'est-à-dire à des masses virtuelles. L'amplificateur permet de recopier les charges sur les capacités C1 et C'1 dans les condensateurs C et C'.

20 Ce circuit présente plusieurs inconvénients. D'abord, il ne stocke sur C et C' que la moitié de la charge initialement stockée sur C1 puisque cette charge se répartit entre C1 et C'1. Mais surtout, l'inconvénient de ce circuit provient de l'existence d'un noeud N1 qui est maintenu flottant et est donc sensible aux parasites. En effet, en tout point d'un circuit intégré, il existe
25 une certaine capacité parasite entre ce circuit et la masse (ou autre potentiel de référence) et une certaine partie de la charge initialement stockée sur la capacité C1 se retrouvera sur cette capacité parasite. Ceci pourra entraîner une accumulation de charges nocives à la fidélité de fonctionnement du circuit dans le cas
30 où le signal d'entrée E varie et une dissymétrie sur les charges stockées sur les capacités C1 à C'1.

La figure 2 représente un circuit d'interface à entrée simple et sortie différentielle selon la présente invention. On retrouve à la figure 2 le circuit intégrateur 1 déjà représenté en figure 1. A l'entrée de ce circuit sont disposés un amplificateur opérationnel 10 dont l'entrée non inverseuse (+) est reliée à la masse et deux capacités commutées C2 et C'2. La capacité C2 est connectée pendant la phase ϕ entre la sortie et l'entrée inverseuse de l'amplificateur 10 et pendant la phase ϕ^* entre la masse et l'entrée (-) de l'amplificateur 2. La capacité C'2 est connectée pendant la phase ϕ entre la borne d'entrée E du signal et l'entrée inverseuse de l'amplificateur 10, et pendant la phase ϕ^* entre la masse et l'entrée (+) de l'amplificateur 2. En outre, un commutateur 11 est fermé pendant la phase ϕ^* entre la sortie et l'entrée inverseuse de l'amplificateur 10.

15 Ce circuit fonctionne de la façon suivante.

Pendant la phase ϕ , la capacité C'2 connectée entre l'entrée E et la masse virtuelle que constitue l'entrée inverseuse de l'amplificateur 10 se charge en fonction de la valeur du signal E et cette charge est recopiée sous l'action de l'amplificateur différentiel sur la capacité C2. On notera que les bornes interconnectées des capacités C2 et C'2 stockent des charges de signe opposé pour qu'une charge nulle apparaisse sur l'entrée inverseuse.

25 Pendant la phase ϕ^* , les charges sur les capacités C2 et C'2 sont reportées par l'amplificateur différentiel 2 sur les condensateurs C et C'.

On notera que dans ce circuit, aucun des points ne se trouve flottant et que les potentiels sont bien définis à chaque étape et qu'ainsi il ne peut apparaître d'influence de capacités parasites. Ceci est encore conforté par le fait que, pendant la phase ϕ^* , les bornes des capacités C2 et C'2 qui ne vont pas vers la masse, passent d'une première masse virtuelle constituée par l'entrée inverseuse de l'amplificateur 10 à une deuxième masse

virtuelle constituée par les entrées de l'amplificateur 2. Ceci améliore encore les caractéristiques de symétrie du système.

L'interrupteur 11 sert à boucler l'amplificateur 10 pendant la phase ϕ^* tandis que la capacité commutée C2 n'est pas connectée. On notera également que, si l'amplificateur 10 présente une tension de décalage (tension d'offset), cette tension ne nuit pas au bon fonctionnement du dispositif car elle se retrouve de la même manière sur les capacités C2 et C'2 et est donc éliminée lors du transfert vers l'amplificateur 2.

10 La figure 3 représente une variante de réalisation d'un circuit selon la présente invention dans laquelle, comme cela est classique dans le domaine des circuits à capacités commutées, on a remplacé le système à simple échantillonnage représenté en figure 2 par un système à double échantillonnage pour éviter la présence
15 de temps morts. Ce circuit ne sera pas décrit en détail car il sera facilement compris de l'homme de l'art. De mêmes références qu'en figure 2 représentent de mêmes éléments, les éléments rajoutés pour la fonction de double échantillonnage étant repérés par l'indice s. La seule différence à part cette symétrisation est
20 que, dans le circuit de la figure 3, le commutateur 11 est supprimé puisque la sortie et l'entrée inverseuse de l'amplificateur 10 sont toujours couplées ou bien par la capacité C2 ou bien par la capacité C2_s.

La figure 4 représente un circuit d'interface entre une
25 entrée différentielle (E^+ , E^-) et une sortie unique S. Ce circuit comprend deux amplificateurs opérationnels 21 et 22 et un certain nombre de capacités commutées. Une capacité C3 est commutée pendant la phase ϕ entre l'entrée (E^-) et l'entrée inverseuse de l'amplificateur opérationnel 21 et pendant la phase
30 ϕ^* entre la masse et cette entrée inverseuse. Une capacité C4 est connectée pendant la phase ϕ entre la sortie et l'entrée inverseuse de l'amplificateur 21 et pendant la phase ϕ^* entre la masse et l'entrée inverseuse de l'amplificateur 22. Une capacité C5 est

connectée pendant la phase ϕ entre la sortie de l'amplificateur 21 et la masse et pendant la phase ϕ^* entre cette sortie et l'entrée inverseuse de cet amplificateur. Une capacité C6 est connectée pendant la phase ϕ entre l'entrée E^+ et la masse et pendant
 5 la phase ϕ^* entre la sortie et l'entrée inverseuse de l'amplificateur 22. Une capacité C^* est connectée pendant la phase ϕ entre la sortie et l'entrée inverseuse de l'amplificateur 22 et pendant la phase ϕ^* entre la sortie de cet amplificateur et la masse.

10 Le fonctionnement de ce circuit est le suivant.

Pendant la phase ϕ la tension sur l'entrée E^+ est stockée sous forme d'une charge aux bornes de la capacité commutée C6 ; La tension sur l'entrée E^- est stockée sur la capacité C3, et, en raison de la présence de l'amplificateur opérationnel 21, sur la
 15 capacité C4 et sur la capacité C5. Pendant ce temps, la capacité C^* assure une réaction entre l'entrée et la sortie de l'amplificateur 22 qui n'est par ailleurs pas connecté.

Pendant la phase ϕ^* , principalement, les charges stockées sur les capacités C6 et C4 se trouvent respectivement connectées entre l'entrée inverseuse de l'amplificateur 22 et la masse et entre la sortie et l'entrée inverseuse de cet amplificateur. Pendant ce temps, pour la conservation des charges, la capacité C^* est connectée entre la sortie de l'amplificateur 22 et la masse alors que la capacité C5 est connectée entre la sortie et l'entrée
 20 inverseuse de l'amplificateur 21 et que la capacité C3 est connectée entre l'entrée inverseuse de l'amplificateur 21 et la masse. (le rôle de cette capacité C3 est le stockage de la tension de décalage, ou tension d'offset, de l'amplificateur 21).

Ainsi, pendant la phase ϕ on stocke sur les capacités
 30 commutées C4 et C6 des charges correspondant aux entrées E^+ et E^- et, lors de la phase ϕ^* ces charges se retrouvent dans une configuration symétrique de celle exposée précédemment dans le cas d'une transformation d'entrée unique en sortie différentielle. A

nouveau, aucun point n'est laissé flottant lors d'une phase du fonctionnement et les bornes des capacités commutées sont toujours connectées soit à la masse soit au signal que l'on veut transformer, soit à des noeuds correspondant à des masses virtuelles.

5 Le circuit de la figure 5 correspond au circuit de la figure 4 dans le cas où on adopte un montage à double échantillonnage de façon classique. Ce circuit n'est à nouveau pas décrit en détail mais se déduit immédiatement du circuit de la figure précédente comme cela sera compris de l'homme de l'art habitué aux
10 circuits à capacités commutées.

REVENDEICATIONS

1. Circuit d'interface à capacités commutées permettant de fournir deux charges égales et opposées correspondant à un signal sur une borne d'entrée, caractérisé en ce que lesdites charges sont, pendant une première phase, stockées sur deux capacités commutées dont l'une (C'2) est disposée entre ladite borne d'entrée (E) et une première entrée (-) d'un amplificateur opérationnel (10) ayant sa deuxième entrée (+) à un potentiel de référence, et dont l'autre (C2) est disposée entre la sortie et la première entrée de l'amplificateur opérationnel.

10 2. Circuit d'interface à capacités commutées permettant de fournir deux charges égales et opposées correspondant à un signal sur une borne d'entrée, caractérisé en ce qu'il comprend :

- un amplificateur opérationnel (10) ;
- une première capacité commutée (C'2) ;
- 15 - une deuxième capacité commutée (C2) ;

de sorte que, pendant une première phase (ϕ), la première capacité commutée est connectée entre la borne d'entrée et l'entrée inverseuse de l'amplificateur opérationnel et, pendant une deuxième phase (ϕ^*), une borne de chacune des capacités commutées est à la masse et l'autre borne constitue une borne de sortie.

20 3. Circuit d'interface à capacités commutées permettant de fournir un signal unique à partir de deux signaux sensiblement égaux et opposés, caractérisé en ce que des charges correspondant à chacun desdits signaux sont stockées pendant une première phase (ϕ) sur deux capacités commutées telles que, pendant une deuxième phase (ϕ^*) :

l'une (C4) est disposée entre la masse et l'entrée inverseuse d'un amplificateur opérationnel (22), et

l'autre (C6) est disposée entre la sortie et l'entrée inverseuse dudit amplificateur opérationnel (22).

30

4. Circuit d'interface à capacités commutées permettant de fournir un signal unique à partir de deux signaux sensiblement égaux et opposés apparaissant sur des première et deuxième entrées, caractérisé en ce qu'il comprend un premier (22) et un second (21) 5 amplificateur opérationnel et des première à quatrième capacités commutées telles que,

- pendant une première phase (ϕ)

. la première capacité commutée (C6) est connectée entre la première entrée (E^+) et la masse ;

10 . la deuxième capacité commutée (C4) est connectée entre la sortie et l'entrée inverseuse du deuxième amplificateur opérationnel ;

. la troisième capacité commutée (C3) est connectée entre la deuxième entrée (E^-) et l'entrée inverseuse du deuxième ampli- 15 ficateur opérationnel ;

. la quatrième capacité commutée (C5) est connectée entre la sortie du deuxième amplificateur opérationnel et la masse ;

- pendant une deuxième phase (ϕ^*)

20 . la première capacité commutée (C6) est connectée entre l'entrée inverseuse et la sortie du premier amplificateur opérationnel ;

. la deuxième capacité commutée (C4) est connectée entre l'entrée inverseuse du premier amplificateur opérationnel et la masse.

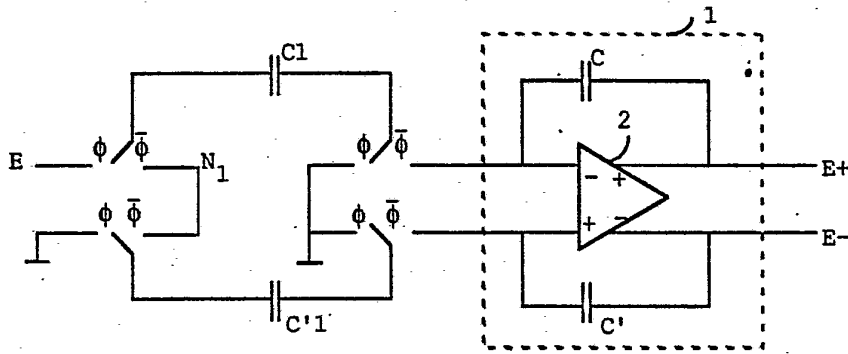


Figure 1

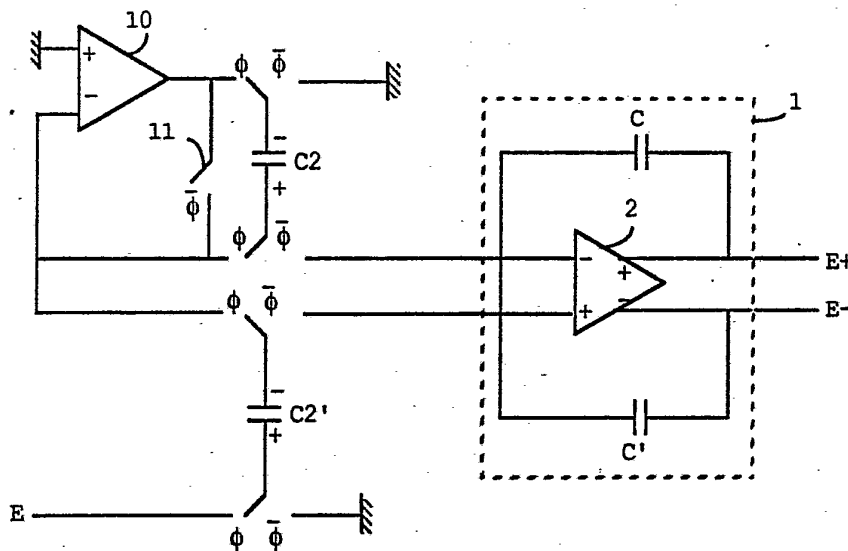


Figure 2

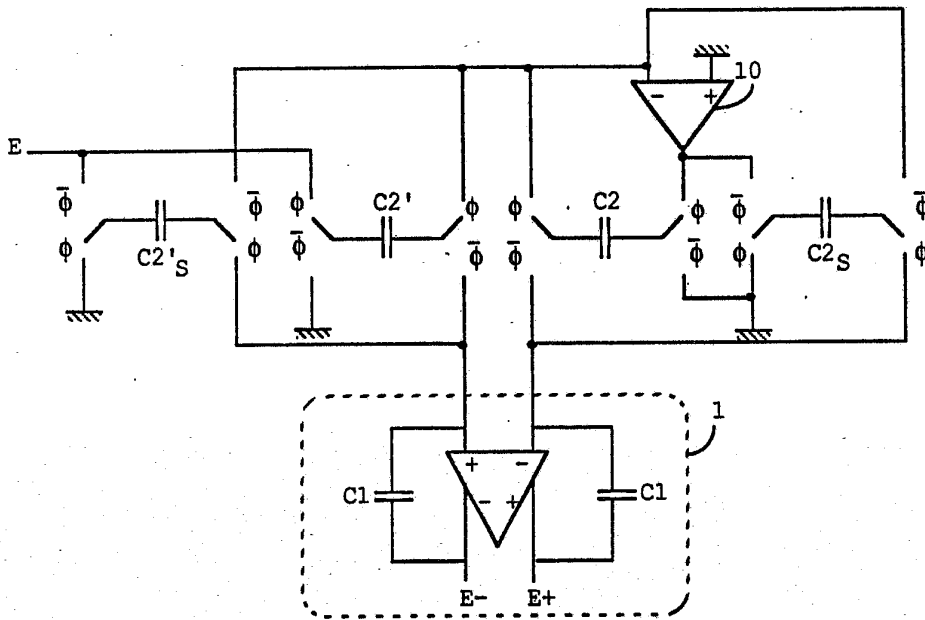


Figure 3

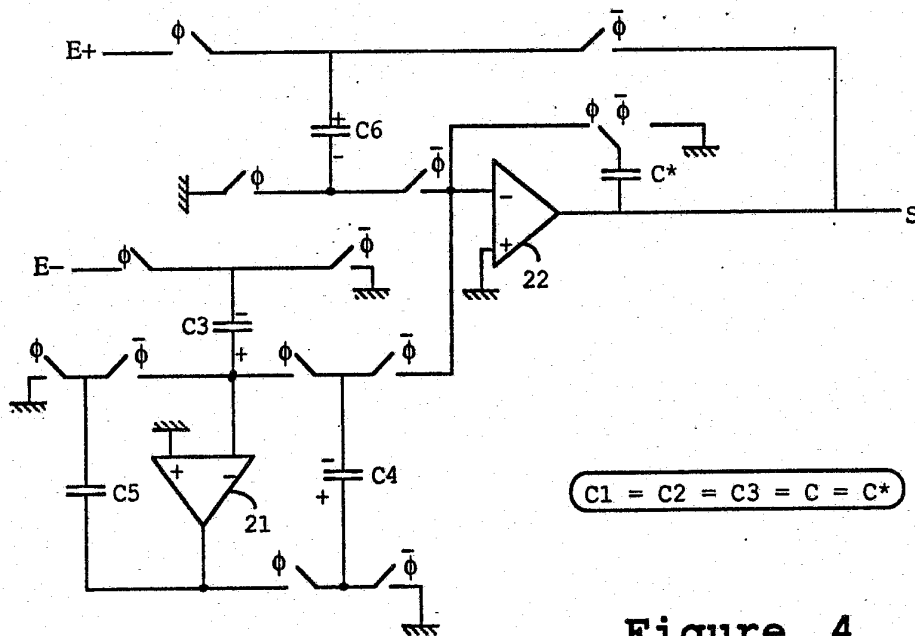


Figure 4

