



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년01월19일
(11) 등록번호 10-2204272
(24) 등록일자 2021년01월12일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 21/04 (2006.01)
H01L 29/06 (2006.01) H01L 29/08 (2006.01)
H01L 29/10 (2006.01) H01L 29/16 (2006.01)
H01L 29/66 (2006.01) H01L 29/739 (2006.01)
(52) CPC특허분류
H01L 29/7813 (2013.01)
H01L 21/046 (2013.01)
(21) 출원번호 10-2019-7015584
(22) 출원일자(국제) 2017년09월29일
심사청구일자 2019년05월30일
(85) 번역문제출일자 2019년05월30일
(65) 공개번호 10-2019-0072631
(43) 공개일자 2019년06월25일
(86) 국제출원번호 PCT/US2017/054224
(87) 국제공개번호 WO 2018/106326
국제공개일자 2018년06월14일
(30) 우선권주장
15/372,505 2016년12월08일 미국(US)
(56) 선행기술조사문헌
US20140264562 A1*
US20140264563 A1*
US20160133741 A1*
WO2016063683 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
크리, 인코포레이티드
미국 노스 캐롤라이나 27703 더럼 실리콘 드라이브 4600
(72) 발명자
리치텐왈너, 데이빗 제이.
미국 27603 노스 캐롤라이나 롤리 호라이즌 하이크 코트 2308
반 브룬트, 에드워드 알.
미국 27606 노스 캐롤라이나 롤리 크리트 드라이브 1413
홀, 브레트
미국 27614 노스 캐롤라이나 롤리 카테스브릿지 레인 2101
(74) 대리인
양영준, 백만기

전체 청구항 수 : 총 10 항

심사관 : 최정민

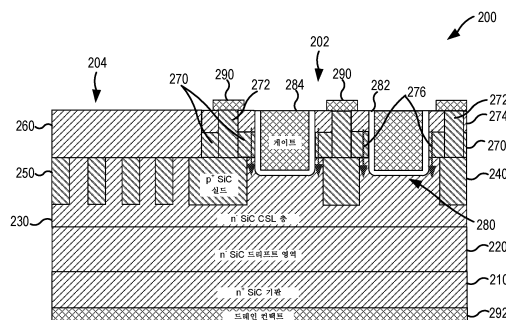
(54) 발명의 명칭 게이트 트렌치들 및 매립된 종단 구조체들을 갖는 전력 반도체 디바이스들 및 관련 방법들

(57) 요약

반도체 디바이스들은 넓은 밴드갭 반도체 재료를 포함하는 드리프트 영역을 포함하는 반도체 층 구조체를 포함한다. 드리프트 영역 중 하나에 대향하는 전도형의 차폐 패턴은 디바이스의 능동 영역 내의 드리프트 영역의 상부 부분 내에 제공되고 드리프트 영역 중 하나에 대향하는 전도형의 종단 구조체는 디바이스의 종단 영역 내의 드리

(뒷면에 계속)

대표도 - 도2b



포트 영역의 상부 부분 내에 제공된다. 게이트 트렌치는 반도체 층 구조체의 상부 표면 내로 연장된다. 반도체 층 구조체는 종단 구조체 위에 연장되고 종단 구조체를 적어도 부분적으로 커버하는 반도체 층을 포함한다.

(52) CPC특허분류

H01L 29/0623 (2013.01)

H01L 29/063 (2013.01)

H01L 29/0696 (2013.01)

H01L 29/0878 (2013.01)

H01L 29/1095 (2013.01)

H01L 29/66068 (2013.01)

H01L 29/66734 (2013.01)

H01L 29/7397 (2013.01)

H01L 29/7811 (2013.01)

명세서

청구범위

청구항 1

반도체 디바이스로서,

넓은 밴드갭 반도체 재료를 포함하는 드리프트 영역을 포함하는 반도체 층 구조체;

상기 반도체 디바이스의 능동 영역 내의 드리프트 영역의 상부 부분 내의 차폐 패턴;

상기 반도체 디바이스의 종단 영역 내의 드리프트 영역의 상부 부분 내의 종단 구조체 - 상기 종단 구조체는 상기 디바이스의 주변 둘레로 연장되는 복수의 종단 요소를 포함함 - ; 및

상기 반도체 층 구조체의 상부 표면 내로 연장되는 게이트 트렌치
를 포함하며;

상기 반도체 층 구조체는 상기 게이트 트렌치에 가장 가까운 상기 종단 요소들 중 제1 종단 요소의 최상부 표면 위로 연장되고 상기 제1 종단 요소의 상기 최상부 표면을 커버하는 반도체 층을 포함하는 반도체 디바이스.

청구항 2

제1항에 있어서, 상기 차폐 패턴의 하단은 상기 게이트 트렌치의 하단 표면보다 상기 드리프트 영역 아래로 더 멀리 연장되고, 상기 종단 구조체는 가드 링들 중 하나 또는 집합 종단 연장을 포함하는 반도체 디바이스.

청구항 3

제2항에 있어서,

상기 게이트 트렌치의 하단 표면 및 측벽들을 적어도 부분적으로 커버하는 상기 게이트 트렌치 내의 게이트 절연 층;

상기 게이트 절연 층 상의 상기 게이트 트렌치 내의 게이트 전극;

상기 반도체 층 구조체의 상부 표면 상의 제1 콘택트; 및

상기 반도체 층 구조체의 하부 표면 상의 제2 콘택트

를 추가로 포함하고,

상기 드리프트 영역의 상부 부분은 상기 드리프트 영역의 하부 부분보다 적어도 3배 더 큰 도핑 농도를 갖는 전류 확산 층을 포함하는 반도체 디바이스.

청구항 4

제1항에 있어서, 상기 반도체 층은 $1 \times 10^{16} / \text{cm}^3$ 미만의 도핑 밀도를 갖는 반도체 디바이스.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 게이트 트렌치의 대향 측면들 상의 제1 및 제2 웰 영역들을 추가로 포함하며, 상기 드리프트 영역은 제1 전도형을 갖고 상기 웰 영역들은 상기 제1 전도형과 대향하는 제2 전도형을 갖는 반도체 디바이스.

청구항 6

제5항에 있어서, 상기 제1 및 제2 웰 영역들의 상부 표면들은 상기 반도체 층의 상부 표면과 동일 평면상에 있는 반도체 디바이스.

청구항 7

삭제

청구항 8

제5항에 있어서, 상기 게이트 트렌치로부터 이격되는 상기 제1 웰 영역의 제1 부분은 제1 도펀트 농도를 갖고, 상기 게이트 트렌치에 바로 인접하는 상기 반도체 디바이스의 채널은 상기 제1 도펀트 농도보다 더 낮은 제2 도펀트 농도를 갖는 반도체 디바이스.

청구항 9

제5항에 있어서, 상기 제1 웰 영역은 상기 반도체 층 구조체의 하부 표면과 평행하게 연장되는 축을 따라 상기 제2 전도형의 도펀트들의 불균일한 도펀트 농도를 갖는 반도체 디바이스.

청구항 10

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 드리프트 영역은 제1 전도형을 갖는 도펀트들로 도핑되고, 상기 종단 영역 내에 있는 상기 반도체 층의 일부는 $1 \times 10^{15} / \text{cm}^3$ 미만의 농도에서 상기 제1 전도형을 갖는 도펀트들로 도핑되는 반도체 디바이스.

청구항 11

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 드리프트 영역은 제1 전도형을 갖는 도펀트들로 도핑되고, 상기 종단 영역 내에 있는 상기 반도체 층의 일부는 $1 \times 10^{15} / \text{cm}^3$ 미만의 농도에서 제2 전도형을 갖는 도펀트들로 도핑되는 반도체 디바이스.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

발명의 설명

기술 분야

- [0001] 미국 정부 지분의 진술
- [0002] 본 발명은 육군 연구소에서 자금을 지원하는 협력 협정 제W911NF-12-2-0064호 하에 정부 지원으로 이루어졌다. 정부는 발명에 특정 권리들을 갖는다.
- [0003] 발명의 분야
- [0004] 본 발명은 전력 반도체 디바이스들에 관한 것으로, 특히 게이트 트렌치들을 갖는 전력 반도체 디바이스들 및 그러한 디바이스들을 제작하는 방법들에 관한 것이다.

배경 기술

- [0005] 전력 반도체 디바이스들은 큰 전류들을 전달하고 높은 전압들을 지원하기 위해 사용된다. 예를 들어, 전력 금속 산화물 반도체 전계 효과 트랜지스터들(Metal Oxide Semiconductor Field Effect Transistors)("MOSFET"), 양극성 접합 트랜지스터들(bipolar junction transistors)("BJTs"), 절연 게이트 양극성 트랜지스터들(Insulated Gate Bipolar Transistors)("IGBT"), 접합 장벽 쇼트키 다이오드들, 게이트 턴 오프 트랜지스터들(Gate Turn-Off Transistors)("GTO"), MOS 제어 사이리스터들 및 여러가지 다른 디바이스들을 포함하는 매우 다양한 전력 반도체 디바이스들은 본 기술분야에 공지되어 있다. 이러한 전력 반도체 디바이스들은 일반적으로 탄화 규소(silicon carbide)("SiC") 또는 질화 갈륨("GaN")계 반도체 재료들과 같은, 넓은 밴드갭 반도체 재료들로부터 제작된다.
- [0006] 전력 반도체 디바이스들은 측방 구조체 또는 수직 구조체를 가질 수 있다. 측방 구조체를 갖는 디바이스에서, 디바이스의 단자들(예를 들어, 전력 MOSFET 디바이스에 대한 드레인, 게이트 및 소스 단자들)은 반도체 층 구조체의 동일한 주요 표면(즉, 상단 또는 하단) 상에 있다. 대조적으로, 수직 구조체를 갖는 디바이스에서, 적어도 하나의 단자는 반도체 층 구조체의 각각의 주요 표면 상에 제공된다(예를 들어, 수직 MOSFET 디바이스에서,

소스는 반도체 층 구조체의 상단 표면 상에 있을 수 있고 드레인층은 반도체 층 구조체의 하단 표면 상에 있을 수 있음). 반도체 층 구조체는 기본 기판을 포함할 수 있거나 포함하지 않을 수 있다. 본원에서, 용어 "반도체 층 구조체"는 반도체 기판들 및/또는 반도체 에피택셜 층들과 같은, 하나 이상의 반도체 층을 포함하는 구조체를 언급한다.

[0007] 종래의 전력 반도체 디바이스는 전형적으로 제1 전도형을 갖는 탄화 규소 기판(예를 들어, n-형 기판)과 같은, 반도체 기판을 가지며, 그 위에 제1 전도형(예를 들어, n-형)을 갖는 에피택셜 층 구조체가 형성된다. 이러한 에피택셜 층 구조체(하나 이상의 분리된 층을 포함할 수 있음)는 전력 반도체 디바이스의 드리프트 영역으로서의 기능을 한다. 디바이스는 전형적으로 "능동 영역"을 포함하며, 그것은 p-n 접합과 같은 접합을 갖는 하나 이상의 전력 반도체 디바이스를 포함한다. 능동 영역은 드리프트 영역 상에 및/또는 이 영역 내에 형성될 수 있다. 능동 영역은 역 바이어스 방향으로 전압을 차단하고 순 바이어스 방향으로 전류 흐름을 제공하기 위한 메인 접합으로서의 역할을 한다. 전력 반도체 디바이스는 또한 능동 영역에 인접한 에지 종단 영역을 가질 수 있다. 하나 이상의 전력 반도체 디바이스는 기판 상에 형성될 수 있고, 각각의 전력 반도체 디바이스는 전형적으로 그 자체의 에지 종단을 가질 것이다. 기판이 완전히 처리된 후에, 결과적인 구조체는 개별 에지 종단 전력 반도체 디바이스들을 분리하기 위해 다이싱될 수 있다. 전력 반도체 디바이스들은 각각의 전력 반도체 디바이스의 능동 영역이 서로 평행하게 배치되고 단일 전력 반도체 디바이스로서의 기능을 함께 하는 복수의 개별 디바이스를 포함하는 유닛 셀 구조체를 가질 수 있다.

[0008] 전력 반도체 디바이스들은 (순방향 또는 역방향 차단 상태에서) 큰 전압들 및/또는 전류들을 차단하거나 (순방향 차단 상태에서) 큰 전압들 및/또는 전류들을 통과시키도록 디자인된다. 예를 들어, 차단 상태에서, 전력 반도체 디바이스는 수백 또는 수천 볼트의 전기 전위를 지속하도록 디자인될 수 있다. 그러나, 인가된 전압은 디바이스가 차단하도록 디자인되는 전압 레벨에 접근하거나 전압 레벨을 통과함에 따라, 전류의 적지 않은 레벨들은 전력 반도체 디바이스를 통해 흐르기 시작할 수 있다. 전형적으로 "누설 전류"로 언급되는 그러한 전류는 매우 바람직하지 않을 수 있다. 누설 전류는 전압이 디바이스의 디자인 전압 차단 능력을 넘어 증가되면 흐르기 시작할 수 있으며, 그것은 다른 것들 중에서, 드리프트 영역의 도핑 및 두께의 함수일 수 있다. 누설 전류들은 또한 에지 종단의 고정 및/또는 디바이스의 주된 접합과 같은, 다른 이유들로 발생할 수 있다. 디바이스 상의 전압이 파괴 전압을 지나 임계 레벨까지 증가되면, 증가하는 전계는 반도체 디바이스 내에 전하 캐리어들의 제어불가능하고 바람직하지 않은 폭주 발생을 야기할 수 있어, 에벌란시 파괴로서 공지된 조건을 초래한다.

[0009] 전력 반도체 디바이스는 또한 적지 않은 양들의 누설 전류가 디바이스의 디자인 파괴 전압보다 더 낮은 전압 레벨에서 흐르는 것을 허용하기 시작할 수 있다. 특히, 누설 전류는 능동 영역의 에지들에서 흐르기 시작할 수 있으며, 높은 전계들은 전계 밀집 효과들로 인해 경험될 수 있다. 이러한 전계 밀집(및 결과적으로 증가된 누설 전류들)을 감소시키기 위해, 전력 반도체 디바이스의 능동 영역의 일부 또는 전부를 둘러싸는 에지 종단 구조체들이 제공될 수 있다. 이러한 에지 종단들은 더 큰 구역에 걸쳐 전계를 확산시킬 수 있으며, 그것에 의해 전계 밀집을 감소시킨다.

발명의 내용

[0010] 본 발명의 실시예들에 따라, 넓은 밴드갭 반도체 재료를 포함하는 드리프트 영역을 포함하는 반도체 층 구조체를 포함하는 반도체 디바이스들이 제공된다. 차폐 패턴은 디바이스의 능동 영역 내의 드리프트 영역의 상부 부분 내에 제공되고 종단 구조체는 디바이스의 종단 영역 내의 드리프트 영역의 상부 부분 내에 제공된다. 게이트 트렌치는 반도체 층 구조체의 상부 표면 내로 연장된다. 반도체 층 구조체는 종단 구조체 위에 연장되고 종단 구조체를 적어도 부분적으로 커버하는 반도체 층을 포함한다.

[0011] 반도체 디바이스는 또한 게이트 트렌치의 하단 표면 및 측면들을 적어도 부분적으로 커버하는 게이트 트렌치 내의 게이트 절연 층, 게이트 절연 층 상의 게이트 트렌치 내의 게이트 전극, 반도체 층 구조체의 상부 표면 상의 제1 콘택트 및 반도체 층 구조체의 하부 표면 상의 제2 콘택트를 포함할 수 있다. 반도체 디바이스는 게이트 트렌치의 대향 측면들 상에 제1 및 제2 웰 영역들을 추가로 포함할 수 있다. 드리프트 영역은 제1 전도형을 가질 수 있고 웰 영역들은 제1 전도형과 대향하는 제2 전도형을 가질 수 있다.

[0012] 일부 실시예들에서, 차폐 패턴의 하단은 게이트 트렌치의 하단 표면보다 드리프트 영역 내로 더 멀리 연장된다. 종단 구조체는 예를 들어, 가드 링들 중 하나 또는 접합 종단 연장을 포함할 수 있다.

[0013] 일부 실시예들에서, 반도체 층은 $1 \times 10^{16} / \text{cm}^3$ 미만의 도핑 밀도를 가질 수 있다.

- [0014] 일부 실시예들에서, 제1 및 제2 웰 영역들의 상부 표면들은 반도체 층의 상부 표면과 동일 평면상에 있을 수 있다.
- [0015] 일부 실시예들에서, 제1 및 제2 웰 영역들은 제2 전도형을 갖는 도펀트들로 주입되는 주입된 웰 영역들일 수 있다.
- [0016] 일부 실시예들에서, 게이트 트렌치로부터 이격되는 제1 웰 영역의 제1 부분은 제1 도펀트 농도를 가질 수 있고 게이트 트렌치에 바로 인접하는 반도체 디바이스의 채널은 제1 도펀트 농도보다 더 낮은 제2 도펀트 농도를 가질 수 있다.
- [0017] 일부 실시예들에서, 제1 웰 영역은 반도체 층 구조체의 하부 표면과 평행하게 연장되는 축을 따라 제2 전도형의 도펀트들의 불균일한 도펀트 농도를 가질 수 있다.
- [0018] 일부 실시예들에서, 드리프트 영역은 제1 전도형을 갖는 도펀트들로 도핑될 수 있는 반면에, 다른 실시예들에서 드리프트 영역은 제1 전도형을 갖는 도펀트들로 도핑될 수 있다. 종단 영역 내에 있는 반도체 층의 일부는 $1 \times 10^{15} / \text{cm}^3$ 미만의 농도에서 제1 전도형을 갖는 도펀트들로 도핑될 수 있다.
- [0019] 본 발명의 추가 실시예들에 따라, 반도체 디바이스들이 제공되며, 반도체 디바이스들은 반도체 층 구조체 - 반도체 층 구조체는 제1 전도형을 갖는 도펀트들로 도핑되는 넓은 밴드갭 반도체 재료를 포함하는 드리프트 영역을 포함함 - , 반도체 층 구조체의 상부 표면 내로 연장되는 게이트 트렌치, 드리프트 영역의 상부 부분에서 제1 전도형과 대향하는 제2 전도형을 갖는 도펀트들로 도핑되는 제1 차폐 패턴, 제1 차폐 패턴 위에 있고 게이트 트렌치의 제1 측면에 인접하는 제1 웰 영역 - 제1 웰 영역은 제2 전도형을 갖는 도펀트들로 도핑됨 - , 드리프트 영역의 상부 부분에서 제2 전도형을 갖는 도펀트들로 도핑되는 제2 차폐 패턴, 제2 차폐 패턴 위에 있고 게이트 트렌치의 제2 측면에 인접하는 제2 웰 영역 - 제2 웰 영역은 제2 전도형을 갖는 도펀트들로 도핑됨 - 및 드리프트 영역의 상부 부분에서 제2 전도형을 갖는 도펀트들로 도핑되는 종단 구조체를 포함한다. 제1 웰 영역과 게이트 트렌치의 제1 측면 사이에 있는 반도체 디바이스의 채널은 제1 웰 영역보다 제2 전도형 도펀트들의 더 낮은 농도를 갖는다.
- [0020] 일부 실시예들에서, 반도체 층 구조체는 종단 구조체 위에 연장되고 종단 구조체를 적어도 부분적으로 커버하는 반도체 디바이스의 종단 영역 내의 반도체 층을 포함할 수 있다.
- [0021] 일부 실시예들에서, 종단 영역 내의 반도체 층은 제2 전도형을 갖는 도펀트들로 도핑될 수 있다.
- [0022] 일부 실시예들에서, 종단 영역 내의 반도체 층은 $1 \times 10^{16} / \text{cm}^3$ 미만의 제2 전도형 도펀트들의 도핑 밀도를 가질 수 있다.
- [0023] 일부 실시예들에서, 종단 구조체는 복수의 종단 요소를 포함할 수 있고, 종단 요소들의 하단 표면들은 제1 차폐 패턴의 하단 표면과 동일 평면상에 있을 수 있다.
- [0024] 일부 실시예들에서, 제1 차폐 패턴의 하단 표면은 게이트 트렌치의 하단 표면보다 드리프트 영역 아래로 더 멀리 연장된다.
- [0025] 일부 실시예들에서, 제1 및 제2 웰 영역들의 상부 표면들은 종단 영역 내의 반도체 층의 상부 표면과 동일 평면상에 있을 수 있다.
- [0026] 일부 실시예들에서, 제1 웰 영역은 제1 농도에서 제2 전도형 도펀트들로 도핑되는 제1 부분 및 적어도 5의 인자만큼 제1 농도를 초과하는 제2 농도에서 제2 전도형 도펀트들로 도핑되는 제2 부분을 포함할 수 있으며, 제2 영역은 제1 웰 영역의 상단 표면으로부터 제1 웰 영역의 하단 표면으로 연장된다.
- [0027] 본 발명의 추가 실시예들에 따라, 반도체 디바이스를 형성하는 방법들이 제공되며 넓은 밴드갭 반도체 드리프트 영역은 기판 상에 형성되고, 드리프트 영역 및 반도체 기판은 제1 전도형을 갖는 도펀트들로 각각 도핑된다. 제2 전도형 도펀트들은 반도체 디바이스의 종단 영역 내에 종단 구조체를 형성하고 반도체 디바이스의 능동 영역 내에 차폐 패턴을 형성하기 위해 드리프트 영역의 상부 표면 내로 주입되며, 제2 전도형은 제1 전도형과 대향한다. 반도체 층은 에피택셜 성장을 통해 드리프트 영역의 상부 표면 상에 형성되며, 반도체 층은 성장되는 바와 같이 $1 \times 10^{16} / \text{cm}^3$ 미만의 도펀트 농도를 갖는다. 제2 전도형 도펀트들은 능동 영역 내의 반도체 층 내로 주입된다. 게이트 트렌치들은 반도체 층 내에 형성되며, 게이트 트렌치들은 드리프트 영역의 상부 표면 내로 연장된다. 게이트 절연 층 및 게이트 전극은 각각의 게이트 트렌치 내에 순차적으로 형성된다. 게이트 트렌치

들의 대향 측면들 상의 능동 영역 내의 반도체 층의 부분들은 각각의 제2 전도성 웰 영역들을 포함한다.

- [0028] 일부 실시예들에서, 반도체 층은 제1 전도형 도펀트들로 도핑될 수 있다. 다른 실시예들에서, 반도체 층은 제2 전도형 도펀트들로 도핑될 수 있다.
- [0029] 일부 실시예들에서, 게이트 트렌치들에 인접한 제2 전도형 웰 영역들의 각각의 부분들은 채널 영역들을 포함하며, 각각의 채널 영역은 각각의 제2 전도형 웰 영역들의 나머지보다 제2 전도형 도펀트들의 더 낮은 농도를 갖는다.
- [0030] 일부 실시예들에서, 제2 전도형 웰 영역들의 상부 표면들은 반도체 층의 상부 표면과 동일 평면상에 있을 수 있다.
- [0031] 일부 실시예들에서, 종단 구조체는 가드 링들 중 하나 및 접합 종단 연장을 포함할 수 있다.
- [0032] 일부 실시예들에서, 게이트 트렌치들은 제2 전도형 도펀트들이 능동 영역 내의 반도체 층 내로 주입되기 전에 형성될 수 있다. 다른 실시예들에서, 게이트 트렌치들은 제2 전도형 도펀트들이 능동 영역 내의 반도체 층 내로 주입된 후에 형성될 수 있다. 넓은 밴드갭 반도체는 탄화 규소를 포함할 수 있다.

도면의 간단한 설명

- [0033] 도 1은 예칭되거나 리세스된 표면에서 종단 구조체를 갖는 일 예시적 게이트 트렌치 전력 MOSFET의 개략 단면도이다.
- 도 2a는 본 발명의 실시예들에 따른 매립된 예지 종단을 갖는 게이트 트렌치 전력 MOSFET의 일부의 개략 평면도이다.
- 도 2b는 도 2a의 라인 2B-2B를 따라 취해진 도 2a의 게이트 트렌치 전력 MOSFET의 개략 단면도이다.
- 도 2c는 p-웰들의 형상을 예시하는 도 2a의 전력 MOSFET를 통해 취해지는 부분 수평 단면이다.
- 도 3a는 불균일하게 도핑된 웰 영역들을 포함하는 본 발명의 추가 실시예들에 따른 게이트 트렌치 전력 MOSFET의 일부의 개략 단면도이다.
- 도 3b는 p-웰들의 형상을 예시하는 도 3a의 전력 MOSFET를 통해 취해지는 부분 수평 단면이다.
- 도 4a 내지 도 4b는 상이한 형상들을 가진 p-웰들을 갖는 도 3a 내지 도 3b의 전력 MOSFET의 수정된 버전들의 부분 수평 단면들이다.
- 도 5는 각각의 게이트 트렌치 바로 아래에 실드를 포함하는 본 발명의 더 추가 실시예들에 따른 게이트 트렌치 전력 MOSFET의 일부의 개략 단면도이다.
- 도 6a는 본 발명의 실시예들에 따른 n-채널 탄화 규소 전력 절연 게이트 양극성 트랜지스터("IGBT")의 간략화된 회로도이다.
- 도 6b는 도 6a의 IGBT의 유닛 셀의 개략 단면도이다.
- 도 7a 내지 도 7g는 도 2a 내지 도 2c의 게이트 트렌치 전력 MOSFET를 제작하는 방법을 예시하는 개략 단면도들이다.
- 도 8은 본 발명의 실시예들에 따른 매립된 예지 종단을 갖는 게이트 트렌치 전력 반도체 디바이스를 제작하는 방법을 예시하는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0034] MOSFET 트랜지스터를 포함하는 수직 전력 반도체 디바이스들은 트랜지스터의 게이트 전극이 반도체 층 구조체의 상단 상에 형성되는 표준 게이트 전극 디자인을 가질 수 있거나, 대안적으로, 반도체 층 구조체 내의 트렌치에 매립되는 게이트 전극을 가질 수 있다. 매립된 게이트 전극들을 갖는 MOSFET들은 전형적으로 게이트 트렌치 MOSFET들로 언급된다. 표준 게이트 전극 디자인의 경우, 각각의 유닛 셀 트랜지스터의 채널 영역은 게이트 전극 아래에 수평으로 배치된다. 대조적으로, 게이트 트렌치 MOSFET 디자인에서, 채널이 수직으로 배치된다. 게이트 트렌치 MOSFET 디자인은 수평 채널 부분을 취하고 그것을 수직으로 할 때 획득되는 감소된 디바이스 피치로 인해 디바이스의 온 저항을 낮춘다. 게다가, for 탄화 규소계 디바이스들, 수직 채널은 더 높은 전자 이동도를 가져야 해서, 온 저항을 추가로 감소시킨다. 그러나, 게이트 트렌치 MOSFET들의 제작은 전형적으로 더 복

잡한 제조 공정을 필요로 한다.

[0035] 탄화 규소 또는 여러가지 다른 넓은 밴드갭 반도체 재료들을 사용하여 형성되는 수직 게이트 트렌치 MOSFET들은 Si보다 이러한 재료들을 화학적으로 에칭하는 것이 더 어려울 수 있기 때문에 제작하기에 더 어려울 수 있고, 게다가 이러한 반도체 재료들을 일관되게 도핑하는 것이 더 어려울 수 있다. 본원에서, 넓은 밴드갭 반도체 재료는 1.40 eV보다 더 큰 밴드갭을 갖는 반도체 재료를 언급한다. 반도체 재료를 n-형 및/또는 p-형 도펀트들로 도핑하는 주된 방법들은 (1) 그것의 성장 동안 반도체 재료를 도핑하는 것, (2) 도펀트들을 반도체 재료 내로 확산하는 것 및 (3) 이온 주입을 사용하여 도펀트들을 반도체 재료 내에 선택적으로 주입하는 것이다. 이러한 기술들 각각은 탄화 규소 및 질화 갈륨계 재료들과 같은 특정 넓은 밴드갭 반도체 재료들 내에 형성되는 전력 반도체 디바이스들의 제작에 사용될 때 켈점들을 제기할 수 있다.

[0036] 예를 들어, 탄화 규소가 에피택셜 성장 동안 도핑될 때, 도펀트들은 격자 구조체 내에 불균일하게 축적되는 경향이 있고, 따라서 예를 들어, +/-15%의 범위 내에서 도펀트 농도를 제어하는 것이 어려울 수 있다. 따라서, 에피택셜 성장된 탄화 규소는 정확하게 제어된 도펀트 농도들을 갖지 않을 수 있으며, 그것은 디바이스 동작 및/또는 신뢰성에 부정적인 영향을 미칠 수 있다.

[0037] 확산에 의한 도핑은 규소 및 여러가지 다른 더 낮은 밴드갭 반도체 재료들에서 일상적으로 사용된다. 이러한 도핑 기술의 경우, 전형적으로 반도체 디바이스의 제1 영역은 성장 동안 또는 이온 주입을 통해 도핑되고, 그 후 디바이스는 도펀트들을 디바이스의 하나 이상의 다른 영역 내로 확산하기 위해 어닐링된다. 규소와 같은 일부 반도체 재료들에서, n-형 및 p-형 도펀트들은 용이하게 그리고 가열될 때 반도체 재료를 통한 일관된 확산 특성들로 확산되는 경향이 있을 수 있고, 따라서 어닐링 단계는 디바이스의 정의된 영역을 특정 도핑 레벨까지 도핑하기 위해 사용될 수 있다. 그러나, 불행하게도, n-형 및 p-형 도펀트들은 높은 온도들에서도, 탄화 규소에서 잘 확산되지 않는 경향이 있고, 따라서 확산에 의한 도핑은 전형적으로 수직 탄화 규소계 전력 반도체 디바이스들에 대한 옵션이 아니다. 이것은 또한 질화 갈륨계 반도체 재료들과 같은 여러가지 다른 화합물 반도체 재료들에서 마찬가지로, 이 재료들은 열 확산이 발생할 수 있기 전에 해리된다.

[0038] 탄화 규소는 이온 주입을 통해 효과적으로 도핑될 수 있고, 도펀트 레벨들은 전형적으로 에피택셜 성장 동안의 도핑과 비교하여 개선된 정확도로 제어될 수 있다. 그러나, 수직 전력 탄화 규소 디바이스들에서, 도펀트들은 1 내지 3 미크론 이상의 깊이들과 같이, 디바이스 내로 깊게 주입될 필요가 종종 있다. 이온들이 주입되는 깊이는 임플란트의 에너지에 직접 관련되며, 즉, 더 높은 에너지들에서 반도체 층 내로 주입되는 이온들은 층 내로 더 깊게 가는 경향이 있다. 따라서, 깊게 주입된 영역들을 형성하는 것은 높은 에너지 임플란트들을 필요로 한다. 도펀트 이온들이 반도체 층 내로 주입될 때, 이온들은 반도체 층의 결정 격자를 손상시키고, 이러한 손상은 전형적으로 열 어닐링에 의해서만 부분적으로 수리될 수 있다. 더욱이, 격자 손상의 양은 또한 임플란트 에너지에 직접 관련되며, 더 높은 에너지 임플란트들은 더 낮은 에너지 임플란트들보다 더 많은 격자 손상을 야기하는 경향이 있고, 이온 임플란트의 균일성은 또한 증가하는 임플란트 깊이에 따라 감소하는 경향이 있다. 따라서, 격자 손상의 깊이 및/또는 허용가능 레벨들만큼 양호한 도핑 균일성을 갖는 주입된 영역들을 형성하기 위해, 깊은 임플란트를 형성하기 위해 다수의 연속 에피택셜 성장/이온 주입 단계들을 수행하는 것이 필요할 수 있다. 이것은 제조 공정의 복잡성 및 비용을 상당히 증가시킬 수 있고 많은 사례들에서 상업적으로 실행가능한 옵션이 아닐 수 있다.

[0039] 도 1은 미국 특허 제9,012,984호("1984 특허")에 개시된 전력 MOSFET와 유사한 종래의 넓은 밴드갭 전력 MOSFET(100)의 개략 단면도이다. '984 특허의 전체 내용은 본원에 참조로 포함된다.

[0040] 도 1에 도시된 바와 같이, 전력 MOSFET(100)은 n-형 탄화 규소 기판(110)을 포함한다. n-형 탄화 규소 드리프트 영역(120)은 기판(110) 상에 제공된다. 적당히 도핑된 p-형 탄화 규소 층(예를 들어, 1×10^{17} 내지 5×10^{18} 도펀트들/cm³의 도핑 농도)은 n-형 드리프트 영역(120)의 상부 표면 상에 형성된다. 적당히 도핑된 p-형 탄화 규소 층을 복수의 p-웰(170)로 분할하기 위해 적당히 도핑된 p-형 탄화 규소 층을 침투하는 게이트 트렌치들(180)이 형성된다. 게이트 절연 층(182)은 각각의 게이트 트렌치(180)의 하단 표면 및 측벽들 상에 형성된다. 게이트 전극(184)은 각각의 게이트 트렌치들(180)을 충전하기 위해 각각의 게이트 절연 층(182) 상에 형성된다. 디바이스의 중단 영역 내로 연장되는 적당히 도핑된 p-형 탄화 규소 층(즉, p-웰들(170)을 형성하기 위해 사용되는 층)의 부분은 중단 영역의 유효 동작을 위해 선택적 에치를 통해 제거되고, 절연 층(186)은 그것의 장소 내에 형성될 수 있다.

[0041] 이격된 p-형 탄화 규소 영역들(140)은 p-웰들(170)을 통해 n-형 드리프트 영역(120)의 상부 표면 내로 이온 주

입에 의해 형성된다. 이격된 p-형 탄화 규소 가드 링들(150)(또는 다른 종단 구조체들)은 디바이스(100)의 종단 영역 내에 형성된다. 영역들(140 및 150)은 적당히 도핑된 p-웰들(170)보다 더 많은 고농도 도핑된 p-형일 수 있다. n-형 드리프트 영역(120) 내로 연장되는 p-형 탄화 규소 영역들(140)의 부분은 역방향 차단 동작 동안 높은 전계들로부터 게이트 절연 층(182)을 보호하는 차폐 영역들로서의 역할을 할 수 있다.

[0042] 고농도 도핑된(n^+) n-형 탄화 규소 소스 영역들(174)은 이온 주입을 통해 p-웰들(170)의 상부 부분들 내에 형성된다. 소스 컨택트들(190)은 고농도 도핑된 n-형 소스 영역(174) 및 p-웰들(170) 상에 형성된다. 드레인 컨택트(192)는 기판(110)의 하부 표면 상에 형성된다. 게이트 컨택트(도시되지 않음)는 각각의 게이트 전극(174) 상에 형성될 수 있다.

[0043] 수개의 문제들은 상기 설명된 전력 MOSFET(100)에서 발생할 수 있다. 첫번째로, p-웰들(170)은 전형적으로 에피택셜 성장 동안 도핑된다. 상기 논의된 바와 같이, 탄화 규소 및 여러가지 다른 넓은 밴드갭 반도체 재료들에서, 에피택셜 성장 동안 도핑될 때 일관된 도핑 농도를 유지하는 것이 어려울 수 있고, 원하는 도펀트 농도들로부터의 도핑 레벨들의 변화들은 저하된 디바이스 성능 및/또는 디바이스 고장의 가능성의 증가를 야기할 수 있다. 부가적으로, 성장 동안 도핑될 때, 다수의 성장 및 에칭 단계가 수행되지 않는 한 성장된 층 내에서 도펀트 농도들의 국부 조정을 수행하는 것이 가능하지 않으며, 그것은 일반적으로 대부분의 적용들에 대해 상업적으로 실용적이지 않다.

[0044] 두번째로, 상기 설명된 접근법은 웨이퍼 상에 각각의 디바이스의 종단 영역 내로 연장되는 p-웰들(170)을 형성하기 위해 성장되는 에피택셜 성장된 적당히 도핑된 p-형 층의 부분의 제거를 필요로 한다. 이러한 에칭 단계는 전형적으로 메사 에칭으로 언급된다. 이것이 부가된 처리 단계를 수반할 뿐만아니라, 그것은 또한 웨이퍼 표면에서 미크론 크기 단차들 또는 거칠기를 남길 수 있다. 더욱이, 메사 에칭 동안 발생하는 에칭의 양의 불확실성은 종단 구조체들 중 하나 이상의 부분적 또는 심지어 완전한 제거를 야기할 수 있고, 오버 에칭 및/또는 언더 에칭은 종단 구조체 내의 전하 레벨들에 악영향을 줄 수 있다. 종단 구조체들의 성능은 전하 레벨들에 매우 민감할 수 있고, 따라서 오버 에칭 및/또는 언더 에칭은 종단 구조체들의 성능을 상당히 저하시키고 누설 전류들 및/또는 디바이스 고장의 가능성을 증가시킬 수 있다.

[0045] 본 발명의 실시예들에 따라, 깊은 트렌치 차폐 영역들 및 매립된 종단 구조체들을 갖는 전력 MOSFET들 및 전력 IGBT들과 같은 게이트 트렌치 넓은 밴드갭 전력 반도체 디바이스들이 제공된다. 예시적 실시예들에서, 종단 구조체들은 저농도 도핑된 p-형 또는 n-형 반도체 층 아래에 매립된다. 깊은 트렌치 차폐 영역들 및 종단 구조체들은 디바이스의 드리프트 영역/전류 확산 층의 상부 표면 내로 이온 주입에 의해 형성될 수 있고, 그 다음 저농도 도핑된 p-형 또는 n-형 반도체 층은 주입 후에 구조체의 상단 상에 성장될 수 있고, 하나 이상의 부가 주입 단계는 웰 영역들 및 높게 도핑된 소스 영역들을 형성하기 위해 수행될 수 있다.

[0046] 본 발명의 실시예들에 따른 게이트 트렌치 전력 반도체 디바이스들은 종래의 디바이스들과 비교하여 다수의 장점을 나타낼 수 있다. 예를 들어, 웰 영역들이 에피택셜 성장 동안 도핑을 통하는 대신에 이온 주입을 통해 형성될 수 있음에 따라, 도핑 레벨들은 원하는 도핑 레벨에 더 가깝게 유지될 수 있다. 부가적으로, 깊은 트렌치 차폐 영역들 및 접합 종단 구조체들이 웰 영역들의 형성 전에 형성되기 때문에, 이온들은 디바이스 구조체 내로 깊게 주입될 필요가 없고, 따라서 더 낮은 주입 에너지들에서 주입될 수 있다. 이것은 반도체 층들에 대한 이온 주입 손상을 감소시킬 수 있고 주입의 정확성 및 일관성을 개선할 수 있다.

[0047] 부가적으로, 종단 구조체들 상에 에피택셜 성장된 저농도 도핑된 반도체 층의 제공은 디바이스의 종단 영역 내의 표면 필드들을 낮출 수 있다. 더욱이, 종단 구조체들 위에 성장되는 반도체 층이 단지 저농도 도핑될(또는 심지어 언도핑될) 수 있으므로, 접합 종단 내의 전하 레벨들에 상당한 영향을 미치지 않을 수 있다. 그 결과, 저농도 도핑된 에피택셜 층은 제자리에 남겨질 수 있고, 메사 에칭은 일부 실시예들에서 생략될 수 있다. 상기 논의된 바와 같이, 오버 에칭 또는 언더 에칭이 메사 에칭 동안 발생하면, 종단 구조체들은 손상될 수 있고 그리고/또는 종단 구조체들 내의 전하 레벨들은 악영향을 받게 될 수 있다. 메사 에칭이 생략되면, 디바이스 저하 또는 고장에 대한 이러한 잠재적 지점들이 제거될 수 있다. 더욱이, 저농도 도핑된 에피택셜 층이 종단 구조체들 상에 남아 있을 때, 그것은 또한 보호 층의 역할을 할 수 있다.

[0048] 더욱이, 일부 경우들에서, 도핑 농도들을 웰 영역들에서 그것의 수평 단면들을 따라 변화시키는 것이 유리할 수 있다. 상기 논의된 바와 같이, 웰 영역들이 에피택셜 성장 동안 도핑에 의해 형성될 때 그러한 변화는 전형적으로 가능하지 않다. 그러나, 웰 영역들이 이온 주입에 의해 형성되므로, 그러한 변화들은 상이한 임플란트 마스크들을 가진 다단계 임플란트들을 사용함으로써 제공될 수 있다. 이것은 전력 반도체 디바이스의 채널들의 전기 성질들의 미세 조정을 허용할 수 있으며, 그것은 그것의 성능을 개선할 수 있다. 본 발명의 실시예들에

따른 전력 반도체 디바이스들은 종래의 디바이스들보다 더 적은 처리 단계들로 제작될 수 있고, 따라서 제조하기에 더 저렴할 수 있고, 게이트 트렌치들에 대한 더 밀하게 이격된 피치를 허용할 수 있으며, 그것은 차단 성능을 개선할 수 있다.

[0049] 본 발명의 일부 실시예들에 따른 전력 반도체 디바이스들은 능동 영역 및 종단 영역을 포함하는 반도체 층 구조체를 가질 수 있다. 반도체 층 구조체는 탄화 규소와 같은 넓은 밴드갭 반도체 재료로 형성될 수 있는 드리프트 영역을 포함한다. 차폐 패턴은 능동 영역 내의 드리프트 영역의 상부 부분 내에 형성될 수 있고 종단 구조체(예를 들어, 가드 링들 또는 집합 종단 연장)는 종단 영역 내의 드리프트 영역의 상부 부분 내에 형성될 수 있다. 차폐 패턴 및 종단 구조체는 이온 주입에 의해 형성될 수 있다. 반도체 층 구조체는 종단 구조체 위에 연장되고 종단 구조체를 적어도 부분적으로 커버하는 반도체 층을 추가로 포함할 수 있다. 게이트 트렌치는 반도체 층 구조체의 상부 표면 내에 형성될 수 있다. 게이트 트렌치는 반도체 층을 통해 형성될 수 있다.

[0050] 본 발명의 부가 실시예들에 따른 전력 반도체 디바이스들은 제1 전도형을 갖는 도펀트들로 도핑되는 넓은 밴드갭 반도체 재료로 형성되는 드리프트 영역을 포함하는 반도체 층 구조체를 가질 수 있다. 게이트 트렌치는 반도체 층 구조체의 상부 표면 내에 형성될 수 있다. 제2 전도형을 갖는 도펀트들로 도핑되는 제1 및 제2 차폐 패턴들은 드리프트 영역의 상부 부분 내에 형성된다. 제2 전도형을 갖는 도펀트들로 도핑되는 제1 및 제2 웰 영역들은 게이트 트렌치의 어느 하나의 측면 상에서 각각의 제1 및 제2 차폐 패턴들 위에 형성된다. 제2 전도형을 갖는 도펀트들로 도핑되는 종단 구조체는 또한 드리프트 영역의 상부 부분 내에 형성된다. 게이트 트렌치의 제1 측면에 바로 인접한 제1 웰 영역의 일부는 반도체 디바이스의 제1 채널을 포함하며, 제1 채널은 제1 웰 영역의 나머지보다 제2 전도형 도펀트들의 더 낮은 농도를 갖는다.

[0051] 본 발명의 실시예들은 이제 도 2a 내지 도 8을 참조하여 설명될 것이다. 본원에 개시되는 상이한 실시예들의 특징들은 많은 부가 실시예들을 제공하기 위해 임의의 방식으로 조합될 수 있다는 점이 이해될 것이다.

[0052] 도 2a는 소스 컨택트들이 밑에 있는 반도체 층들을 더 잘 도시하기 위해 생략된 상태에서 본 발명의 실시예들에 따른 매립된 에지 종단을 갖는 게이트 트렌치 전력 MOSFET(200)의 일부의 개략 평면도이다. 도 2b는 소스 컨택트들이 추가된 상태에서 도 2a의 라인 2B-2B를 따라 취해진 게이트 트렌치 전력 MOSFET(200)의 개략 단면도이다. 도 2a 내지 도 2b에 도시되고 그리고/또는 아래에 설명되는 특정 층 구조체, 도핑 농도들, 재료들, 전도형들 등은 특정 예시적 실시예의 구조체를 상세히 예시하는 예들로서 제공될 뿐이라는 점이 이해될 것이다. 따라서, 아래에 논의되는 특정 상세들은 본 발명에 제한되고 있지 않으며, 그것은 첨부된 청구항들에 설명된다.

[0053] 도 2a 내지 도 2b를 참조하면, 전력 MOSFET(200)는 능동 영역(202) 및 능동 영역(202)을 둘러싸는 종단 영역(204)을 포함한다. 전력 MOSFET(200)는 병렬로 배치되는 복수의 유닛 셀을 포함할 수 있다. 도 2a 내지 도 2b는 단일 전력 MOSFET(200)의 일부만을 도시하지만, 복수의 전력 MOSFET(200)는 단일 웨이퍼 상에 성장될 수 있다는 점이 이해될 것이다. 거의 2개의 유닛 셀 및 종단 영역(204)의 일부는 도 2a 내지 도 2b에 도시된다.

[0054] 도 2a 내지 도 2b에 도시된 바와 같이, 전력 MOSFET(200)는 고농도 도핑된(n^+) n-형 넓은 밴드갭 반도체 기판(210)을 포함한다. 기판(210)은 단일 결정 4H 탄화 규소 반도체 기판을 포함할 수 있다. 기판(210)(즉, n^+ 탄화 규소 기판)은 n-형 불순물들로 도핑될 수 있다. 불순물들은 예를 들어, 질소 또는 인을 포함할 수 있다. 기판(210)의 도핑 농도는 예를 들어, 1×10^{18} atoms/cm³ 내지 1×10^{21} atoms/cm³일 수 있지만, 다른 도핑 농도들이 사용될 수 있다. 기판(210)은 임의의 적절한 두께(예를 들어, 100 내지 500 미크론 두께)일 수 있다.

[0055] 저농도 도핑된(n^-) 탄화 규소 드리프트 영역(220)은 기판(210) 상에 제공된다. 탄화 규소 드리프트 영역(220)은 에피택셜 성장에 의해 탄화 규소 기판(210) 상에 형성될 수 있다. 탄화 규소 드리프트 영역(220)은 예를 들어, 1×10^{16} 내지 5×10^{17} 도펀트들/cm³의 도핑 농도를 가질 수 있다. 탄화 규소 드리프트 영역(220)은 예를 들어, 3 내지 100 미크론의, 기판(210) 위에 수직 높이를 갖는 두꺼운 영역일 수 있다. 탄화 규소 드리프트 영역(220)의 상부 부분은 n-형 탄화 규소 전류 확산 층(current spreading layer)("CSL")(230)을 포함할 수 있다. n-형 탄화 규소 전류 확산 층(230)은 n-형 탄화 규소 드리프트 영역(220)의 나머지와 동일한 처리 단계에서 성장될 수 있고 탄화 규소 드리프트 영역(220)의 부분으로 간주될 수 있다. 전류 확산 층(230)은 더 많은 저농도 도핑된 n^- 탄화 규소 드리프트 층(220)의 나머지의 도핑 농도를 초과하는 도핑 농도(예를 들어, 1×10^{17} 내지 5×10^{18} 도펀트들/cm³의 도핑 농도)를 갖는 적당히 도핑된 전류 확산 층(230)일 수 있다.

- [0056] 그 다음, 이격된 p-형 탄화 규소 차폐 영역들(240)은 디바이스(200)의 능동 영역(202) 내의 n-형 드리프트 영역(220)/전류 확산 층(230)의 상부 표면 내에 형성될 수 있다. 차폐 영역들(240)은 또한 본원에서 차폐 패턴들(240)로 언급될 수 있다. 동시에, 이격된 p-형 탄화 규소 가드 링들(250)은 디바이스(200)의 종단 영역(204) 내에 형성될 수 있다. p-형 탄화 규소 차폐 영역들(240) 및 p-형 탄화 규소 가드 링들(250)은 드리프트 층(220)/전류 확산 층(230) 내로 거의 동일한 깊이까지 연장될 수 있다. 예시적 실시예들에서, 깊이는 약 1 내지 2 마이크로미터 수 있지만, 다른 깊이들이 사용될 수 있다. 예를 들어, 0.5 내지 3 마이크로미터의 깊이들은 다른 실시예들에서 사용될 수 있다. 1.5 내지 3 마이크로미터의 깊이들은 더 다른 실시예들에서 사용될 수 있다. p-형 탄화 규소 차폐 영역들(240) 및 p-형 탄화 규소 가드 링들(250)은 n-형 드리프트 영역(220)/전류 확산 층(230)의 상부 표면 내로 이온 주입에 의해 형성될 수 있다. 본 기술분야의 통상의 기술자들에게 공지된 바와 같이, n-형 또는 p-형 도펀트들과 같은 이온들은 원하는 이온 종들을 이온화하고 이온들을 미리 결정된 운동 에너지에서 이온 빔으로서 이온 주입 타겟 챔버 내의 반도체 층의 표면을 향해 가속함으로써 반도체 층 또는 영역 내에 주입될 수 있다. 미리 결정된 운동 에너지에 기초하여, 원하는 이온 종들은 반도체 층 내로 특정 깊이까지 침투될 수 있다.
- [0057] 가드 링들(250)은 능동 영역(202)을 둘러싸기 위해 종단 영역(204) 내에 형성된다. 가드 링들(250)은 탄화 규소 층(260)(아래에 설명됨) 아래에 있음에 따라 도 2a에서 보이지 않지만, 가드 링들(250)의 위치들은 250으로 라벨링되는 점선 직사각형들에 의해 도 2a에 도시된다. 도 2a 내지 도 2b가 MOSFET(200)의 일부만을 도시함에 따라, 가드 링들(250)의 일부만이 도 2a에 도시된다는 점이 이해될 것이다. 완전한 MOSFET(200)에서, 가드 링들(250)은 평면도에서 보여질 때 능동 영역(202)을 둘러싸는 중심의 라운딩된 직사각형들을 포함할 수 있다. 가드 링들(250)은 에지 종단 구조체들을 포함할 수 있다. 전력 MOSFET(200)와 같은 전력 반도체 디바이스가 차단 상태에서 동작될 때, 누설 전류들은 전압이 증가됨에 따라 능동 영역의 에지들에서 흐르기 시작할 수 있다. 누설 전류들은 디바이스의 에지에서의 전계 밀집 효과들이 이러한 영역들에서 증가된 전계들을 야기할 수 있기 때문에 이러한 에지 영역들에서 흐르는 경향이 있다. 디바이스 상의 전압이 파괴 전압을 지나 임계 레벨까지 증가되면, 증가하는 전계는 반도체 디바이스 내에 전하 캐리어들의 폭주 발생을 야기할 수 있어, 애벌란시 파괴를 초래한다. 애벌란시 파괴가 발생할 때, 전류는 급격히 증가하고 제어가능하지 않을 수 있으며, 애벌란시 파괴 이벤트는 반도체 디바이스를 손상시키거나 파괴할 수 있다.
- [0058] 이러한 전계 밀집(및 결과적으로 증가된 누설 전류들)을 감소시키기 위해, 전력 MOSFET(200)의 능동 영역(202)의 일부 또는 전부를 둘러싸는 가드 링들(250)과 같은 에지 종단 구조체들이 제공될 수 있다. 이러한 에지 종단 구조체들은 더 큰 구역에 걸쳐 전계를 확산시키도록 디자인될 수 있으며, 그것에 의해 전계 밀집을 감소시킨다. 가드 링들은 에지 종단 구조체의 하나의 공지된 타입이다. 도 2a 내지 도 2b에 도시된 바와 같이, 가드 링들(250)은 이격된 p-형 트렌치들을 포함할 수 있다. 도 2a 및 도 2b는 4개의 가드 링(250)을 에지 종단 구조체로서 사용하는 전력 MOSFET(200)를 예시하지만, 상이한 수들의 가드 링들(250)이 사용될 수 있다는 점, 및 다른 에지 종단 구조체들이 사용될 수 있다는 점이 이해될 것이다. 예를 들어, 다른 실시예들에서, 가드 링들(250)은 접합 종단 연장으로 대체될 수 있다. 또한 에지 종단 구조체는 일부 실시예들에서 생략될 수 있다는 점이 이해될 것이다.
- [0059] 저농도 도핑된 n-형 또는 p-형(또는 언도핑된) 탄화 규소 층(260)은 n-형 드리프트 영역(220)/전류 확산 층(230)의 상부 표면 상에 그리고 p-형 탄화 규소 차폐 영역들(240) 및 p-형 탄화 규소 가드 링들(250) 상에 제공된다. 탄화 규소 층(260)은 에피택셜 성장에 의해 형성될 수 있다. 일부 실시예들에서, 탄화 규소 층(260)은 예를 들어, $1 \times 10^{16} / \text{cm}^3$ 미만의 도핑 농도를 가질 수 있다. 다른 실시예들에서, 탄화 규소 층(260)은 $1 \times 10^{15} / \text{cm}^3$ 미만의 도핑 농도를 가질 수 있다. p-웰들(270)은 p-형 탄화 규소 차폐 영역들(240) 위의 저농도 도핑된 n-형 또는 p-형(또는 언도핑된) 탄화 규소 층(260) 내에 형성될 수 있다. p-웰들(270)은 저농도 도핑된 n-형 또는 p-형(또는 언도핑된) 탄화 규소 층(260) 내에 형성되는 적당히 도핑된 p-형 탄화 규소 영역들을 포함할 수 있다. p-웰들(270)은 예를 들어, $5 \times 10^{16} / \text{cm}^3$ 내지 $5 \times 10^{17} / \text{cm}^3$ 의 도핑 농도를 가질 수 있다. 일부 실시예들에서, p-웰들(270)은 이온 주입에 의해 형성될 수 있다. 각각의 p-웰의 상부 부분(272)은 p-형 도펀트들로 더 많이 고농도 도핑될 수 있다. 각각의 p-웰(270)의 상부 부분(272)은 예를 들어, $2 \times 10^{17} / \text{cm}^3$ 내지 $1 \times 10^{20} / \text{cm}^3$ 의 도핑 농도를 가질 수 있다. 각각의 p-웰(270)의 더 많은 고농도 도핑된 부분(272)(아래에 논의되는, p-웰들(270)의 나머지와 동일한 전도형 및 소스 영역들(274)의 전도형과 대향하는 전도성을 가질 것임)은 저농도 도핑된 탄화 규소 층(260)의 상부 표면까지 연장될 수 있다. 도 2b에 도시된 바와 같이, 일부 실시예들에서, p-웰(270)의 더 많은 고농도 도핑된 부분(272)은 p-형 탄화 규소 차폐 영역들(240)과 접촉하기 위해 하방으로 연장

될 수 있다. p-웰들(270)의 더 많은 고농도 도핑된 부분들(272)은 소스 컨택트(290)(아래에 설명됨)와 p-형 차폐 영역들(240) 사이에 양호한 전기 연결을 제공할 수 있다. p-웰들(270)(그것의 더 많은 고농도 도핑된 상부 부분들(272)을 포함함)은 이온 주입에 의해 형성될 수 있다. n-형 탄화 규소 기판(210), n-형 탄화 규소 드리프트 영역(220)/전류 확산 층(230), p-형 탄화 규소 차폐 영역들(240), p-형 탄화 규소 가드 링들(250), 저농도 도핑된 탄화 규소 층(260) 및 p-웰들(270)(아래에 논의되는 그 안에 형성된 영역들(272, 274)을 포함함)은 반도체 디바이스(200)의 반도체 층 구조체를 함께 포함할 수 있다.

[0060] 게이트 트렌치들(280)은 탄화 규소 층(260) 내에(또는, p-웰들이 능동 영역(202) 도처에서 블랭킷 주입 단계에 의해 형성되면, p-웰들(270) 내에) 형성될 수 있다. 게이트 트렌치들(280)은 또한 n-형 드리프트 영역(220)/전류 확산 층(230)의 상부 표면 내로 연장될 수 있다. 게이트 트렌치들(280)은 도 2b에 도시된 바와 같이, 일부 실시예들에서 U-형상 단면을 가질 수 있다. U-형상 단면이 제공되는 게이트 트렌치(280)의 하단 에지들의 라운딩은 게이트 트렌치들(280)의 하단 코너들에서 전계들을 감소시키는 것을 도울 수 있다. 라운딩된 코너들은 일부 실시예들에서 생략될 수 있다. 산화 규소 층과 같은 게이트 절연 층(282)은 각각의 게이트 트렌치(280)의 하단 표면 및 측벽들 상에 형성된다. 게이트 전극(284)은 각각의 게이트 절연 층(282) 상에 형성된다. 각각의 게이트 전극(284)은 그 각각의 게이트 트렌치(280)의 나머지를 충전할 수 있다. 게이트 전극들(284)은 예를 들어, 반도체 게이트 전극 또는 금속 게이트 전극을 포함할 수 있다. 게이트 트렌치들(280)의 배향, 크기 및 형상은 온 상태에서의 채널 저항과 오프 상태에서의 전압 차단 성능 사이의 원하는 밸런스를 제공하기 위해 선택될 수 있다.

[0061] 고농도 도핑된(n⁺) n-형 탄화 규소 소스 영역들(274)은 p-웰들(270)의 상부 부분들 내에 형성될 수 있다. n-형 소스 영역들(274)은 이온 주입에 의해 형성될 수 있다. 각각의 n-형 소스 영역(274)은 p-웰들의 더 많은 고농도 도핑된 부분들(272)의 각각의 것에 바로 인접하고 각각의 것과 접촉하고 있을 수 있다. 고농도 도핑된(n⁺) n-형 탄화 규소 영역들(274)은 유닛 셀들에 포함되는 개별 트랜지스터들에 대한 소스 영역들로서의 역할을 한다. 드리프트 영역(220)/전류 확산 층(230) 및 기판(210)은 전력 MOSFET(200)에 대한 공통 드레인 영역으로서의 역할을 함께 한다.

[0062] 소스 컨택트들(290)은 p-웰들의 고농도 도핑된 n-형 소스 영역(274) 및 더 많은 고농도 도핑된 부분들(272) 상에 형성될 수 있다. 소스 컨택트들(290)은 단일 소스 컨택트를 형성하기 위해 전부 전기적으로 연결될 수 있다. 소스 컨택트들(290)은 예를 들어, 금속들 예컨대 니켈, 티타늄, 텅스텐 또는 알루미늄, 또는 이러한 또는 유사한 재료들의 합금들 또는 얇은 층 스택들을 포함할 수 있다. 드레인 컨택트(292)는 기판(210)의 하부 표면 상에 형성될 수 있다. 드레인 컨택트(292)는 예를 들어, 이것이 옴릭 컨택트를 탄화 규소 기판에 형성함에 따라, 소스 컨택트와 유사한 재료들을 포함할 수 있다. 게이트 컨택트(도시되지 않음)는 각각의 게이트 전극(274)에 전기적으로 연결될 수 있다.

[0063] 수직 채널 영역들(276)은 게이트 절연 층(282)에 인접하여 p-웰들(270) 내에 형성된다. 전류는 도 2b에 화살표들에 의해 도시된 바와 같이, 전압이 게이트 전극들(284)에 인가될 때 n-형 소스 영역들(274)로부터 채널 영역들(276)을 통해 드리프트 영역(220)/전류 확산 층(230)으로 흐를 수 있다.

[0064] 종단 영역(204) 내에 있는 저농도 도핑된 탄화 규소 층(260)의 부분은 주입되지 않을 수 있다. 예시적 실시예에서, 종단 영역(204) 내의 저농도 도핑된 탄화 규소 층(260)의 도핑 농도는 $1 \times 10^{15}/\text{cm}^3$ 내지 $1 \times 10^{16}/\text{cm}^3$ 일 수 있다. 다른 실시예들에서, 종단 영역(204) 내의 저농도 도핑된 탄화 규소 층(260)의 도핑 농도는 $1 \times 10^{15}/\text{cm}^3$ 미만일 수 있다. 종단 영역(204) 내에 있는 저농도 도핑된 탄화 규소 층(260)의 부분은 가드 링들(250) 위에 있을 수 있고 가드 링들(250)을 보호할 수 있다.

[0065] p-형 탄화 규소 차폐 영역들(240)은 게이트 트렌치들(280)에 가깝게 연장될 수 있다. 드리프트 영역(220)/전류 확산 층(230)의 작은 섹션은 게이트 트렌치(280)와 인접 p-형 탄화 규소 차폐 영역(240) 사이에 있을 수 있다. 이러한 작은 섹션들은 전류가 각각의 채널들(276)을 통해 흐르기 위해 드레인 컨택트(292)에 대한 전류 경로들의 역할을 한다. p-형 탄화 규소 차폐 영역들(240)은 디바이스가 역방향 차단 상태에서 동작될 때 드리프트 영역(220)에서 형성하는 전계가 채널 영역들(276)을 향해 상방으로 연장되는 정도를 감소시키는 것을 도울 수 있다. 전계는 너무 높으면, 시간에 따라 게이트 절연 층들(282)의 하부 부분들을 저하시킬 수 있으며, 그것은 디바이스 고장을 결국 야기할 수 있다.

[0066] p-웰들(270) 및 저농도 도핑된 탄화 규소 층(260)은 도 2a 내지 도 2b의 실시예에서 수직 방향으로 동일한 두께

를 갖는다. 이것은 그럴 필요는 없다. 다른 실시예들에서, 저농도 도핑된 탄화 규소 층(260)은 p-웰들(270)보다 더 두꺼울 수 있다. 더 다른 실시예들에서, 저농도 도핑된 탄화 규소 층(260)은 p-웰들(270)보다 더 얇을 수 있다. 종단 영역(204) 내의 저농도 도핑된 탄화 규소 층(260)의 상부 표면은 일부 실시예들에서 각각의 p-웰들(270)의 상부 표면들과 동일 평면상에 있을 수 있다.

[0067] 도 2c는 p-웰들(270)의 하부 부분을 통해 취해지는 전력 MOSFET(200)를 통한 수평 단면(즉, 기관(210)의 하단 표면과 평행하게 취해지는 단면)이다. 도 2c에 도시된 바와 같이, p-웰들(270)은 저농도 도핑된 탄화 규소 층(260) 내로 p-형 도펀트들의 블랭킷 임플란트를 수행함으로써 형성될 수 있다. p-웰들(270)은 예시적 실시예들에서 게이트 트렌치들(280) 전에 형성될 수 있으며, 그래서 게이트 트렌치들(280)은 주입된 층을 복수의 p-웰(270)로 분할하기 위해 블랭킷 임플란트가 수행된 후에 탄화 규소 층(260)을 통해 에칭될 수 있다. 도 2c에서 알 수 있는 바와 같이, p-웰들(270)을 형성하는 블랭킷 임플란트는 MOSFET(200)의 종단 영역(204) 내로 연장되지 않는다.

[0068] 도 2a 내지 도 2c를 참조하면, 고농도 도핑된 차폐 영역들(240), p-웰들(270)의 고농도 도핑된 부분들(272), 소스 영역들(274), 수직 채널들(276), 게이트 트렌치들(280), 게이트 절연 층들(282) 및 게이트 전극들(284)은 병렬 스트라이프들에서 동일한 방향으로 전부 연장될 수 있는 것을 알 수 있다. 상기 언급된 바와 같이, p-웰들(270)은 능동 영역(202) 도처에서 블랭킷 임플란트에 의해 형성될 수 있다.

[0069] 전력 MOSFET(200)는 종래의 전력 MOSFET 디자인들에 비해 수개의 장점들을 나타낼 수 있다. 첫째로, 상기 설명된 바와 같이, 저농도 도핑된 에피택셜 층(260)은 완성된 디바이스에서 제자리에 남겨질 수 있다. 그와 같이, 그것은 가드 링들(250)과 같은 종단 구조체들을 보호하는 역할을 할 수 있고, 또한 디바이스의 종단 영역(204)에서 표면 필드들을 낮출 수 있다. 두번째로, 메사 에치에 대한 요구가 제거될 수 있으므로, 종단 구조체들(250)의 성능에 악영향을 미칠 수 있는 종단 영역(204) 내의 오버 에칭 또는 언더 에칭이 회피될 수 있다. 세번째로, p-웰들(270)이 이온 주입을 통해 형성되므로, 도핑 레벨들은 p-웰들(270)이 에피택셜 성장 공정을 통해 형성될 때 가능한 것보다 원하는 도핑 레벨에 더 가깝게 유지될 수 있다. 네번째로, 깊은 트렌치 차폐 영역들(240) 및 종단 구조체들(250)이 p-웰들(270)의 형성 전에 형성되기 때문에, 이온들은 디바이스 구조체 내로 깊게 주입될 필요가 없고, 따라서 더 낮은 주입 에너지들에서 주입될 수 있으며, 그것은 이온 주입 손상의 감소시키고 그리고/또는 주입의 정확성 및 일관성을 개선할 수 있다. 다섯번째로, p-웰들(270)이 이온 주입을 통해 형성되므로, p-웰들(270) 내의 도핑 농도들은 그것의 수평 단면들을 따라 변화될 수 있다. 이것은 전력 반도체 디바이스의 채널들의 전기 성질들의 미세 조정을 허용할 수 있으며, 이는 그것의 성능을 개선할 수 있다. 여섯 번째로, 본 발명의 실시예들에 따른 전력 반도체 디바이스들은 종래의 디바이스들보다 더 적은 처리 단계들로 제작될 수 있고, 따라서 제조하기에 더 저렴할 수 있고, 게이트 트렌치들에 대한 더 밀하게 이격된 피치를 허용할 수 있으며, 그것은 차단 성능을 개선할 수 있다.

[0070] 도 3a는 불균일하게 도핑된 웰 영역을 포함하는 본 발명의 추가 실시예들에 따른 게이트 트렌치 전력 MOSFET(300)의 개략 단면도이다. 전력 MOSFET(300)가 도 2a 내지 도 2b를 참조하여 상기 논의된 전력 MOSFET(200)와 유사하므로, 전력 MOSFET(300)의 유사한 요소들은 동일한 참조 번호들을 사용하여 번호화되고, 그들이 이미 위에 설명되었음에 따라 아래에 추가로 논의되지 않을 것이다. 이어지는 논의는 전력 MOSFET(300)와 전력 MOSFET(200) 사이의 차이들에 집중할 것이다.

[0071] 도 3a에 도시된 바와 같이, 전력 MOSFET(300)는 도 2a 내지 도 2b의 전력 MOSFET(200)의 대응하는 요소들과 다른 저농도 도핑된 탄화 규소 층(360) 및 p-웰들(370)을 포함한다. 특히, 전력 MOSFET(300)에서, 저농도 도핑된 탄화 규소 층(360)은 저농도 도핑된 p-형 탄화 규소 층(360)으로서 형성된다. 저농도 도핑된 p-형 탄화 규소 층(360)은 에피택셜 성장을 통해 형성될 수 있고 성장 동안 도핑될 수 있다. 저농도 도핑된 p-형 탄화 규소 층(360) 내에 형성되는 p-웰들(370)은 전력 MOSFET(200)의 p-웰들(270)과 비교하는 바와 같이 상이한 형상을 가질 수 있다. 특히, p-웰들(370)은 게이트 트렌치(280)의 전 부분에서 연장되는 것이 아니라, 대신에, 각각의 p-웰(370)은 저농도 도핑된 p-형 탄화 규소 층(360)의 각각의 부분(362)만큼 게이트 절연 층(282)으로부터 이격된다. 저농도 도핑된 p-형 탄화 규소 층(360)의 부분(362)은 전력 MOSFET(300)의 채널들(376)을 포함할 수 있다. 따라서, 각각의 채널(376)은 p-웰들(370) 중 하나와 게이트 트렌치들(280) 중 하나 사이에 있을 수 있다. 저농도 도핑된 탄화 규소 층(360)이 p-형 탄화 규소 층이므로, 채널들(376)이 p-형 채널들이라는 점이 주목되어야 한다. 그러나, 채널들(376)은 p-웰들(370)보다 더 많이 저농도 도핑될 수 있고 따라서 p-웰들(370)과 상이한 것으로 간주된다.

[0072] p-웰들(370)은 p-형 이온들을 저농도 도핑된 p-형 탄화 규소 층(360)의 부분들(362) 내로 주입하지 않는 저농도

도핑된 p-형 탄화 규소 층(360) 내로 선택적 이온 주입에 의해 형성될 수 있다. 각각의 p-웰(370)은 소스 컨택트들(290)의 각각의 것과 접촉하기 위해 상방으로 연장될 수 있는 그것의 중앙 내의 더 많은 고농도 도핑된 부분(372)을 여전히 포함할 수 있다.

[0073] 게이트 트렌치들(282)로부터 이격되는 저농도 도핑된 p-형 탄화 규소 층(360)의 영역들 내에 p-웰들(370)만을 형성함으로써, 더 양호한 성질들을 갖는 채널들(376)을 달성하는 것이 가능할 수 있다. 특히, p-웰들(370)은 채널들(376)이 p-웰들(370) 내에 형성되지 않으므로 전력 MOSFET(200)의 p-웰들(270)보다 더 높게 도핑될 수 있다. p-웰들(370) 내의 더 높은 p-형 도펀트 농도들은 높은 전계들이 드리프트 영역(220) 및 전류 확산 층(230) 내에 형성될 때 낮추는 장벽을 감소시킴으로써 차단 상태에서 전력 MOSFET(300)의 전계 차단 성질들을 개선할 수 있다. 채널들(376) 내의 더 낮은 도핑은 채널들(376)에서 높은 전자 이동도를 유지하는 것을 도우며, 그것은 전력 MOSFET(300)의 온 상태 저항을 낮춘다. p-웰들(370)은 에피택셜 성장과 대조적으로 이온 주입에 의해 형성되므로(상기 논의된 전력 MOSFET(100)에 흔히 있는 경우지만), 더 낮게 도핑된 채널들(376)은 제작 공정 동안 용이하게 형성될 수 있다.

[0074] 도 3a의 전력 MOSFET(300)에서, p-웰들(370)은 도해 내로 연장되는 바 형상들을 갖는다. 따라서, p-웰들(370)을 통해 취해지는 전력 MOSFET(300)의 수평 단면에서(즉, 기판(210)의 상부 표면과 평행한 평면에서 취해지는 단면에서), p-웰들(370)은 서로 평행하게 그리고 게이트 트렌치들(280)과 평행하게 연장되는 일련의 이격된 스트라이프들로 나타날 것이다. 이것은 도 3b에 도시되며, 도 3b는 p-웰들(370)의 하부 부분을 통해 취해지는 전력 MOSFET(300)를 통한 수평 단면이다.

[0075] 그러나, 도 3a 내지 도 3b의 전력 MOSFET(300)의 p-웰들(370)이 매우 다양한 상이한 형상들을 갖는 p-웰들로 대체될 수 있다는 점이 이해될 것이다. 예를 들어, 도 4a는 전력 MOSFET(300)의 약간 수정된 버전인 전력 MOSFET(400A)를 예시한다. 상기 언급된 바와 같이, 전력 MOSFET(300)는 게이트 트렌치들(380)에 평행하게 연장되는 스트라이프들 내에 형성되는 p-웰들(370)을 갖는다. 전력 MOSFET(400A)는 게이트 트렌치들(280)에 수직으로 연장되는 스트라이프들 내에 형성되는 p-웰들(470A)을 갖는다. p-웰(470A) 스트라이프들 사이의 갭들은 채널 이동도를 증가시키는 것을 돕기 위해 채널 영역에서 낮게 도핑된 탄화 규소의 최적량을 남기도록 조정될 수 있으며, 그것은 오프 상태에서 높은 전계들을 여전히 차단하면서, 디바이스의 온 상태 저항을 낮추는 것을 도울 수 있다. 도 4b는 정사각형 도트들로서 형성되는 p-웰들(470B)을 갖는 전력 MOSFET(300)의 다른 약간 수정된 버전인 전력 MOSFET(400B)를 예시한다. 다른 형상 "도트들"이 사용될 수 있다. p-웰 도트들(470B)의 인접 도트들 사이의 갭들, 및 p-웰 도트들(470B)과 게이트 트렌치들(280) 사이의 갭들은 채널 이동도를 증가시키는 것을 돕기 위해 원하거나 최적량의 낮게 도핑된 탄화 규소를 남기도록 조정될 수 있으며, 그것은 오프 상태에서 높은 전계들을 여전히 차단하면서, 디바이스의 온 상태 저항을 낮추는 것을 도울 수 있다. 이러한 대안의 기하학적 레이아웃들은 MOS 채널들의 더 큰 패킹 밀도를 허용하며, 그것은 디바이스의 특정 온 저항을 낮춘다. 따라서, 디바이스들은 주어진 저항 사양에 대해 더 작게 제조될 수 있거나, 많은 전류는 디바이스를 통해 주어진 구역에서 흐를 수 있다.

[0076] 본원에 개시되는 MOSFET 디자인들의 전부는 도 2a 내지 도 4b에 도시된 MOSFET들에 포함되는 간단한 스트라이프 게이트 트렌치 레이아웃들을 대신해서 더 복잡한 게이트 트렌치 레이아웃들을 갖는 MOSFET들에 적용될 수 있다. 예를 들어, 스크린 패턴을 형성하는 게이트 트렌치들의 십자형 어레이로 스트라이프 게이트 트렌치 디자인을 대체하는 MOSFET들은 또한 본 발명의 추가 실시예들에 따라 제공될 수 있다. 마찬가지로, 다른 실시예들에서, 게이트 트렌치들은 6각형 트렌치 패턴을 형성하기 위해 6각형으로 배향된 스트라이프들(평면도에서 보여질 때) 내에 배치될 수 있고, 본 발명의 실시예들에 따른 기술들은 채널 영역들 근방에 주입된 p-웰들 및 낮게 도핑된 영역들을 형성하기 위해 적용될 수 있다.

[0077] 도 5는 각각의 게이트 트렌치 바로 아래에 실드를 포함하는 본 발명의 더 추가 실시예들에 따른 게이트 트렌치 전력 MOSFET(500)의 개략 단면도이다. 전력 MOSFET(500)가 도 2a 내지 도 2c를 참조하여 상기 논의된 전력 MOSFET(200)와 유사하므로, 전력 MOSFET(500)의 유사한 요소들은 동일한 참조 번호들을 사용하여 번호화되고, 그들이 이미 위에 설명되었음에 따라 아래에 추가로 논의되지 않을 것이다. 이어지는 논의는 전력 MOSFET(500)와 전력 MOSFET(200) 사이의 차이들에 집중할 것이다.

[0078] 도 5에 도시된 바와 같이, 전력 MOSFET(500)는 전력 MOSFET(500)가 게이트 트렌치들(280) 각각 아래의 p-형 탄화 규소 차폐 영역들(542)을 포함하는 것을 제외하고, 전력 MOSFET(200)와 동일할 수 있다. p-형 탄화 규소 차폐 영역(542)은 역방향 차단 동작 동안 높은 전계들로부터 게이트 절연 층들(282)을 추가로 차폐할 수 있다. p-형 탄화 규소 차폐 영역(542)은 p-형 차폐 영역들(240)에 전기적으로 연결될 수 있다. 이러한 전기 연결들은

도 5에 도시되지 않지만, 예를 들어, 드리프트 영역(220) 내에 매립된 연결들로서 구현될 수 있다.

[0079] 도 6a는 본 발명의 실시예들에 따른 n-채널 탄화 규소 전력 IGBT(600)의 간략화된 회로도이다. 도 6b는 도 6a의 IGBT(600)의 개략 단면도이다.

[0080] 도 6a에 도시된 바와 같이, IGBT(600)는 베이스, 이미터 및 컬렉터를 갖는 p-n-p 탄화 규소 전력 BJT(607)를 포함한다. IGBT(600)는 게이트, 소스 및 드레인을 갖는 탄화 규소 MOSFET(609)을 추가로 포함한다. 탄화 규소 MOSFET(609)의 소스는 탄화 규소 전력 BJT(607)의 베이스에 전기적으로 연결되고, 탄화 규소 MOSFET(609)의 드레인은 탄화 규소 전력 BJT(607)의 컬렉터에 전기적으로 연결된다. 규정에 의해, BJT(607)의 컬렉터는 IGBT(600)의 이미터(603)이고, BJT(607)의 이미터는 IGBT(600)의 컬렉터(605)이고, MOSFET(609)의 게이트(684)는 IGBT(600)의 게이트(601)이다.

[0081] IGBT(600)는 이하와 같이 동작할 수 있다. 외부 구동 회로는 게이트 바이어스 전압을 MOSFET(609)에 인가하기 위한 IGBT(600)의 게이트(601)에 연결된다. 이러한 외부 구동 회로가 MOSFET(609)의 임계 전압보다 더 큰 전압을 IGBT(600)의 게이트(601)에 인가할 때, 반전 층은 IGBT(600)의 n^+ 이미터(603)를 BJT(607)의 베이스에 전기적으로 연결하는 채널(676)으로서의 역할을 하는 게이트(601) 옆에 있는 반도체 층 내에 형성된다. IGBT(600)의 게이트(601)가 MOSFET(609)의 게이트(684)이라는 점을 주목한다. 전자들은 n^+ 이미터 영역(603)으로부터 채널(676)을 통해 BJT(607)의 베이스 내로 주입된다. 이러한 전자 전류는 BJT(607)를 구동하는 베이스 전류로서의 역할을 한다. 이러한 전자 전류에 응답하여, 정공들은 IGBT(600)의 컬렉터(605)로부터 BJT(607)의 베이스를 가로질러 IGBT(600)의 이미터(603)로 주입된다. 따라서, 탄화 규소 MOSFET(609)는 탄화 규소 전력 BJT(607)를 전류 구동 디바이스로부터 전압 구동 디바이스로 변환하며, 그것은 간략화된 외부 구동 회로를 허용할 수 있다. 탄화 규소 MOSFET(609)는 드라이버 트랜지스터로서의 역할을 하고, 탄화 규소 전력 BJT(607)는 IGBT(600)의 출력 트랜지스터로서의 역할을 한다.

[0082] 도 6b는 전력 IGBT(600)의 한 쌍의 유닛 셀들 및 그것의 에지 종단 영역을 예시하는 도 6a의 IGBT(600)의 일부의 개략 단면도이다. 전력 IGBT(600)를 형성하기 위해, 전형적으로 다수의 유닛 셀이 병렬로 구현된다는 점이 이해될 것이다.

[0083] 도 6b에 도시된 바와 같이, IGBT(600)는 예를 들어, 고농도 도핑된 p-형 탄화 규소 층(610) 상에 형성될 수 있다. p-형 층(610)은 예를 들어, 탄화 규소 기판 상에 에피택셜 성장될 수 있고 기판은 그 후에 제거될 수 있다. p^+ 층(610)은 IGBT(600)의 컬렉터(605)(및 따라서 또한 BJT(607)의 이미터)로서의 역할을 한다. 저농도 도핑된 n-형(n^-) 탄화 규소 드리프트 층(620)은 p-형 층(610) 상에 제공된다. 적당히 도핑된 n-형 탄화 규소 전류 확산 층(630)은 드리프트 영역(620)의 상부 부분 내에 제공된다. n-형 탄화 규소 층들(620, 630)은 BJT(607)의 베이스 및 MOSFET(609)의 소스 영역으로서의 역할을 한다. n-형 탄화 규소 층들(620, 630)은 에피택셜 성장을 통해 형성될 수 있다.

[0084] 고농도 도핑된 p-형 탄화 규소 차폐 영역들(640)은 디바이스(600)의 능동 영역(602) 내의 n-형 전류 확산 층(630)의 상부 표면 내에 형성된다. 이격된 p-형 탄화 규소 가드 링들(650)은 또한 디바이스(600)의 종단 영역(604) 내에 형성될 수 있다. p-형 탄화 규소 차폐 영역들(640) 및 p-형 탄화 규소 가드 링들(650)은 전류 확산 층(630) 내로 거의 동일한 깊이까지 연장될 수 있고, n-형 전류 확산 층(630)의 상부 표면 내로 이온 주입에 의해 형성될 수 있다. 가드 링들(650)은 다른 실시예들에서 다른 종단 구조체들로 대체될 수 있다.

[0085] 저농도 도핑된 n-형 또는 p-형(또는 언도핑된) 탄화 규소 층(660)은 n-형 전류 확산 층(630)의 상부 표면 상에 그리고 p-형 탄화 규소 차폐 영역들(640) 및 p-형 탄화 규소 가드 링들(650) 상에 제공된다. 탄화 규소 층(660)은 에피택셜 성장에 의해 형성될 수 있다. p-웰들(670)은 p-형 탄화 규소 차폐 영역들(640) 위의 저농도 도핑된 n-형 또는 p-형(또는 언도핑된) 탄화 규소 층(660) 내에 형성될 수 있다. p-웰들(670)은 탄화 규소 층(660) 내에 형성되는 적당히 도핑된 p-형 탄화 규소 영역들을 포함할 수 있다. 일부 실시예들에서, p-웰들(670)은 이온 주입에 의해 형성될 수 있다. 각각의 p-웰(670)의 상부 부분은 고농도 도핑된 p^+ 탄화 규소 이미터 영역(672)(또한 BJT(607)의 컬렉터로서의 역할을 함)을 형성하기 위해 p-형 도펀트들로 더 많이 고농도 도핑될 수 있다. 고농도 도핑된(n^+) n-형 탄화 규소 드레인 영역들(674)은 각각의 고농도 도핑된 p-형 탄화 규소 이미터 영역들(672)에 인접하여 p-웰들(670)의 상부 부분들 내에 형성될 수 있다. 각각의 n-형 드레인 영역(674)은 더 많은 고농도 도핑된 p-형 탄화 규소 이미터 영역(672)의 각각의 것에 바로 인접하고 접촉할 수

있다.

- [0086] 이러한 n^+ 탄화 규소 드레인 영역(674)은 IGBT(600)에 대한 공통 드레인으로서의 역할을 한다. 오믹 콘택트(690)는 p^+ 탄화 규소 이미터 영역(672) 및 n^+ 탄화 규소 드레인 영역(674)과 접촉하기 위해 형성되고, 오믹 콘택트(692)는 p^+ 탄화 규소 층(610)의 후면 측면 상에 형성된다.
- [0087] 게이트 트렌치들(680)은 탄화 규소 층(660) 내에 형성된다. 게이트 트렌치들(680)은 또한 n-형 전류 확산 층(630)의 상부 표면 내로 연장될 수 있다. 게이트 트렌치들(680)은 U-형상 단면을 가질 수 있다. 산화 규소 층과 같은 게이트 절연 층(682)은 각각의 게이트 트렌치(680)의 하단 표면 및 측벽들 상에 형성된다. IGBT(600)의 게이트(601)로서의 역할을 하는 게이트 전극(684)은 각각의 게이트 트렌치들(680)을 충전하기 위해 각각의 게이트 절연 층(682) 상에 형성된다. 게이트 전극들(684)은 예를 들어, 반도체 게이트 전극 또는 금속 게이트 전극을 포함할 수 있다. 게이트 콘택트(도시되지 않음)는 각각의 게이트 전극(684)에 전기적으로 연결될 수 있다.
- [0088] p-웰들(670)은 게이트 트렌치(680)의 전 부분에서 연장되지 않을 수 있지만, 그 대신에, 각각의 p-웰(670)은 저농도 도핑된 p-형 탄화 규소 층(660)의 각각의 부분(662)만큼 게이트 절연 층(682)으로부터 이격될 수 있다. 저농도 도핑된 p-형 탄화 규소 층(660)의 부분(662)은 전력 IGBT(600)의 MOSFET(609)의 수직 채널들(676)을 포함할 수 있다. 각각의 채널(676)은 p-웰들(670) 중 하나와 게이트 트렌치들(680) 중 하나 사이에 있을 수 있다. 채널들(676)은 저농도 도핑된 탄화 규소 층(660)을 p-형 탄화 규소 층으로서 성장시킴으로써 p-형 채널들로 이루어질 수 있다. 그러나, 채널들(676)은 p-웰들(670)보다 더 많이 저농도 도핑될 수 있다.
- [0089] MOSFET(609)의 수직 채널 영역들(676)은 n^+ 드레인 영역(674)과 n-형 전류 확산 층(630) 사이의 게이트 절연 층(682)에 인접하여 p-웰들(670) 내에 형성된다.
- [0090] 종단 영역(604) 내에 있는 저농도 도핑된 탄화 규소 층(660)의 부분은 주입되지 않을 수 있다. 예시적 실시예에서, 종단 영역(604) 내의 저농도 도핑된 탄화 규소 층(660)의 도핑 농도는 $1 \times 10^{15} / \text{cm}^3$ 내지 $1 \times 10^{16} / \text{cm}^3$ 일 수 있다. 다른 실시예에서, 종단 영역(604) 내의 저농도 도핑된 탄화 규소 층(660)의 도핑 농도는 $1 \times 10^{15} / \text{cm}^3$ 미만일 수 있다.
- [0091] IGBT(600)의 동작은 이제 논의될 것이다. MOSFET(609)의 임계 전압을 초과하는 바이어스 전압이 게이트(601)에 인가될 때, 전자 전류는 도 6b에 진한 붉은 화살표들에 의해 표시된 바와 같이, MOSFET(609)의 채널들(676)을 가로질러 BJT(607)의 베이스 내로 흐른다. 이러한 베이스 전류에 응답하여, 정공 전류(도 6b에 파선 화살표들에 의해 도시됨)는 IGBT(600)의 고농도 도핑된 p-형 이미터 영역(672)으로부터 p-웰들(670)을 통해 IGBT(600)의 컬렉터(605)로 흐른다.
- [0092] 도 7a 내지 도 7g는 도 2a 내지 도 2c의 게이트 트렌치 전력 MOSFET(200)를 제작하는 방법을 예시하는 개략 단면도들이다. 우선 도 7a를 참조하면, 전력 MOSFET의 능동 영역(202)에 대응하는 제1 부분 및 능동 영역(202)을 둘러싸는 종단 영역(204)에 대응하는 제2 부분을 포함하는 고농도 도핑된(n^+) n-형 탄화 규소 기판(210)이 제공된다. 저농도 도핑된(n^-) 탄화 규소 드리프트 영역(220)은 에피택셜 성장을 통해 기판(210) 상에 형성된다. n^- 탄화 규소 드리프트 층(220)의 상부 부분을 포함하는 n-형 탄화 규소 전류 확산 층(230)이 형성된다.
- [0093] 도 7b를 참조하면, 이온 주입은 능동 영역(202) 내에 복수의 이격된 p-형 탄화 규소 차폐 영역(240)을 형성하고 종단 영역(204) 내에 복수의 p-형 탄화 규소 가드 링(250)을 형성하기 위해 사용될 수 있다. p-형 탄화 규소 차폐 영역들(240) 및 p-형 탄화 규소 가드 링들(250)은 디바이스(200)의 n-형 전류 확산 층(230)의 상부 표면 내에 형성될 수 있고 거의 동일한 깊이까지 연장될 수 있다.
- [0094] 도 7c를 참조하면, 저농도 도핑된 n-형 탄화 규소 층(260)은 n-형 전류 확산 층(230)의 상부 표면, p-형 탄화 규소 차폐 영역들(240) 및 p-형 탄화 규소 가드 링들(250) 상에 형성된다. 탄화 규소 층(260)은 에피택셜 성장에 의해 형성될 수 있다.
- [0095] 도 7d를 참조하면, 능동 영역(202)에 있는 탄화 규소 층(260)의 부분은 이온 주입을 통해 p-형 탄화 규소 영역으로 변환된다. 그 다음, 게이트 트렌치들(280)은 표준 포토리소그래피 및 에칭 기술들을 사용하여 p-형 탄화 규소 영역 내에 형성된다. 게이트 트렌치들(280)의 형성은 p-형 탄화 규소 영역을 복수의 p-웰(270)으로 변환한다. 게이트 트렌치들(280)은 n-형 전류 확산 층(230)의 상부 표면 내로 연장되고, 일부 실시예들에서 U-형상

단면을 가질 수 있다.

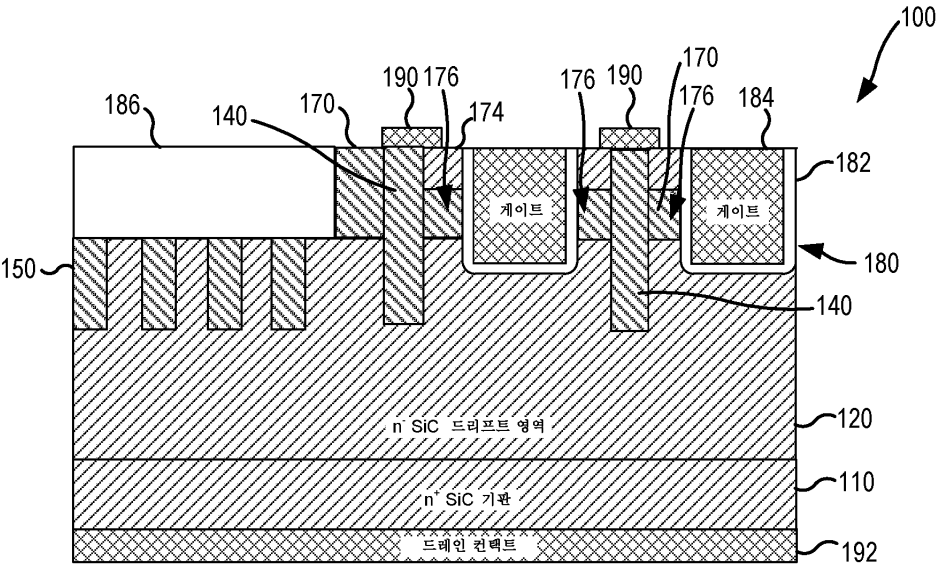
- [0096] 도 7e를 참조하면, 산화 규소 층과 같은 게이트 절연 층(282)은 각각의 게이트 트렌치(280)의 하단 표면 및 측벽들 상에 형성된다. 게이트 전극(284)은 각각의 게이트 절연 층(282) 상에 형성된다. 각각의 게이트 전극(284)은 그 각각의 게이트 트렌치(280)의 나머지를 충전할 수 있다.
- [0097] 그 다음, 도 7f를 참조하면, 다른 이온 주입 단계는 각각의 p-웰의 부분(272)을 p-형 도펀트들로 더 고농도 도핑하기 위해 수행될 수 있다. 그 다음, 다른 이온 주입 단계는 p-웰들(270)의 상부 부분들 내에 고농도 도핑된 (n^+) n-형 산화 규소 소스 영역들(274)을 형성하기 위해 수행된다. 일부 실시예들에서, 영역들(272, 274)을 형성하기 위해 사용되는 이온 주입 단계들 중 하나 또는 둘 또는 게이트 트렌치, 게이트(280) 절연 층(282) 및/또는 게이트 전극(284)의 형성 전에 수행될 수 있다.
- [0098] 도 7g를 참조하면, 소스 콘택트들(290)은 p-웰들의 고농도 도핑된 n-형 소스 영역(274) 및 더 많은 고농도 도핑된 부분들(272) 상에 형성된다. 드레인 콘택트(292)는 기판(210)의 하부 표면 상에 형성된다. 수직 채널 영역들(276)은 게이트 절연 층(282)에 인접하여 p-웰들(270) 내에 제공된다.
- [0099] 도 8은 본 발명의 실시예들에 따른 매립된 에지 종단을 갖는 게이트 트렌치 전력 반도체 디바이스를 제작하는 방법을 예시하는 흐름도이다. 도 7a 및 도 8에 도시된 바와 같이, 동작들은 반도체 기판 상의 넓은 밴드갭 반도체 드리프트 영역의 에피택셜 성장으로 시작될 수 있다(블록(700)). 드리프트 영역 및 반도체 기판은 제1 전도형을 갖는 도펀트들로 각각 도핑된다. 드리프트 영역의 상부 부분은 드리프트 영역의 상부 부분 내에 전류 확산 층을 제공하기 위해 제1 전도형 도펀트들로 더 높게 도핑될 수 있다. 다음에, 도 7b 및 도 8을 참조하면, 제2 전도형 도펀트들은 반도체 디바이스의 종단 영역 내에 종단 구조체를 형성하고 반도체 디바이스의 능동 영역 내에 차폐 패턴을 형성하기 위해 드리프트 영역의 상부 표면(전류 확산 층일 수 있음) 내로 주입될 수 있다(블록(710)). 제2 전도형은 제1 전도형과 대향한다.
- [0100] 그 다음, 도 7c 및 도 8을 참조하면, 저농도 도핑된 반도체 층(일부 실시예들에서 언도핑될 수 있음)은 드리프트 영역의 상부 표면 상에 에피택셜 성장될 수 있다(블록(720)). 일부 실시예들에서, 이러한 반도체 층은 성장된 바와 같이 $1 \times 10^{16} / \text{cm}^3$ 미만의 도펀트 농도, 또는 다른 실시예들에서 $1 \times 10^{15} / \text{cm}^3$ 미만의 농도를 가질 수 있다.
- [0101] 도 7d 및 도 8을 참조하면, 제2 전도형 도펀트들은 디바이스의 능동 영역 내에 있는 에피택셜 성장된 반도체 층의 부분 내로 주입될 수 있다(블록(730)). 일부 실시예들에서, 능동 영역 내에 있는 반도체 층의 전체 부분이 주입될 수 있는 반면에, 다른 실시예들에서 능동 영역으로의 선택적 임플란트들이 대신에 사용될 수 있다. 그 다음, 게이트 트렌치들은 능동 영역 내의 주입된 반도체 층 내에 형성될 수 있다(블록(740)). 게이트 트렌치들은 표준 포토리소그래피 및 에칭 기술들을 사용하여 형성될 수 있다. 이러한 게이트 트렌치들은 드리프트 영역의 상부 표면 내로 연장될 수 있고, 일부 실시예들에서 라운딩된 하단 코너들을 가질 수 있다. 게이트 트렌치들의 형성은 드리프트 영역 위의 능동 영역 내에 복수의 제2 전도형 웰을 정의하는 역할을 한다.
- [0102] 도 7e 및 도 8을 참조하면, 게이트 절연 층들 및 게이트 전극들은 각각의 게이트 트렌치 내에 순차적으로 형성될 수 있다(블록(750)). 도 7f 및 도 8을 참조하면, 하나 이상의 이온 주입 단계는 제2 전도형 웰들의 선택된 부분들에서 제2 전도형 도펀트 농도를 증가시키기 위해 그리고/또는 제1 전도형 도펀트들을 제2 전도형 웰들의 상부 부분들 내로 선택적으로 주입하기 위해 수행될 수 있다(블록(760)). 최종적으로, 도 7g 및 도 8을 참조하면, 소스 및 드레인 콘택트들(및 일부 경우들에서 게이트 콘택트들)은 디바이스를 완성하기 위해 형성될 수 있다.
- [0103] 상기 설명에서, 각각의 예시적 실시예는 특정 전도형을 갖는다. 대향 전도형 디바이스들은 상기 실시예들 각각에서 n-형 및 p-형 층들의 전도성을 간단히 반전시킴으로써 형성될 수 있다는 점이 이해될 것이다. 따라서, 본 발명은 각각의 상이한 디바이스 구조체에 대한 n-채널 및 p-채널 디바이스들(예를 들어, MOSFET, IGBT 등) 둘 다를 커버한다는 점이 이해될 것이다.
- [0104] 본 발명이 전력 MOSFET 및 전력 IGBT 구현들에 대해 상기 설명되었지만, 본원에 설명되는 기술들은 게이트 트렌치를 갖는 다른 유사한 수직 전력 디바이스들에 동등하게 잘 적용된다는 점이 이해될 것이다.
- [0105] 또한 본원에 설명되는 상이한 실시예들의 상이한 특징들은 부가 실시예들을 제공하기 위해 조합될 수 있다는 점이 이해될 것이다. 예를 들어, 그것은 접합 종단 연장들이 가드 링들을 대신해서 사용될 수 있는 일 실시예에 대해 상기 논의되었다. 이것은 본원에 개시되는 각각의 실시예에서 마찬가지이다. 마찬가지로, 게이트 트렌치

들 아래의 차폐 영역들은 실시예들 중 어느 것에 포함되거나 생략될 수 있다. 실시예들 중 어느 것은 또한 더 낮게 도핑된 채널 영역들을 포함하는 가변 도펀트 농도들을 갖는 웰 영역들을 포함할 수 있다.

- [0106] 본 발명의 실시예들은 발명의 실시예들이 도시되는 첨부 도면들을 참조하여 상기 설명되었다. 그러나, 본 발명은 많은 상이한 형태들로 구체화될 수 있고 상기 제시된 실시예들에 제한되는 것으로 해석되지 않아야 한다는 점이 이해될 것이다. 오히려, 이러한 실시예들은 본 개시가 철저하고 완전하고, 발명의 범위를 본 기술분야의 통상의 기술자들에게 완전히 전달하도록 제공된다. 유사한 번호들은 도처에서 유사한 요소들을 언급한다.
- [0107] 용어들 제1, 제2 등이 다양한 요소들을 설명하기 위해 본 명세서 도처에서 사용되지만, 이러한 요소들이 이러한 용어들에 의해 제한되지 않아야 한다는 점이 이해될 것이다. 이러한 용어들은 일 요소를 다른 요소와 구별하기 위해서만 사용된다. 예를 들어, 본 발명의 범위를 벗어나는 것 없이, 제1 요소는 제2 요소로 칭해질 수 있고, 유사하게, 제2 요소는 제1 요소로 칭해질 수 있다. 용어 "및/또는"은 연관된 열거 항목들 중 하나 이상의 임의의 및 모든 조합들을 포함한다.
- [0108] 본원에 사용되는 전문용어는 특정 실시예들만을 설명하는 목적을 위한 것이고 발명을 제한하도록 의도되지 않는다. 본원에 사용되는 바와 같이, 단수 형태들(하나의("a", "an") 및 상기("the"))은 맥락이 달리 분명히 표시하지 않는 한, 또한 복수 형태들을 포함하도록 의도된다. 용어들 "구성되다" "구성되는", "포함하다" 및/또는 "포함하는"은 본원에 사용될 때, 명시된 특징들, 정수들, 단계들, 동작들, 요소들, 및/또는 구성요소들의 존재를 지정하지만, 하나 이상의 다른 특징, 정수, 단계, 동작, 요소, 구성요소, 및/또는 그것의 그룹들의 존재 또는 추가를 배제하지 않는다는 점이 추가로 이해될 것이다.
- [0109] 층, 영역 또는 기판과 같은 요소가 다른 요소 "위" 있거나 다른 요소 "위로" 연장되는 것으로 언급될 때, 그것이 다른 요소 바로 위에 있거나 다른 요소 바로 위로 연장될 수 있거나 개재 요소들이 또한 존재할 수 있다는 점이 이해될 것이다. 대조적으로, 요소가 다른 요소 "바로 위에" 있거나 다른 요소 "바로 위로" 연장되는 것으로 언급될 때, 어떠한 개재 요소들도 존재하지 않는다. 또한 요소가 다른 요소에 "연결" 또는 "결합"된 것으로 언급될 때, 그것이 다른 요소에 직접 연결되거나 결합될 수 있거나 개재 요소들이 존재할 수 있다는 점이 이해될 것이다. 대조적으로, 요소가 다른 요소에 "직접 연결" 또는 "직접 결합"된 것으로 언급될 때, 어떠한 개재 요소들도 존재하지 않는다.
- [0110] 관계 용어들 예컨대 "아래에" 또는 "위에" 또는 "상부" 또는 "하부" 또는 "상단" 또는 "하단"은 도면들에 예시된 바와 같이 다른 요소, 층 또는 영역에 대한 일 요소, 층 또는 영역의 관계를 설명하기 위해 본원에 사용될 수 있다. 이러한 용어들은 도면들에 도시된 배향에 더하여 디바이스의 상이한 배향들을 망라하도록 의도된다는 점이 이해될 것이다.
- [0111] 발명의 실시예들은 발명의 이상화된 실시예들(및 개재 구조체들)의 개략 예시들인 단면 예시들을 참조하여 본원에 설명된다. 도면들 내의 층들 및 영역들의 두께는 명료성을 위해 과장될 수 있다. 부가적으로, 예를 들어, 제조 기술들 및/또는 공차들의 결과로서 예시들의 형상들로부터의 변화들이 예상되어야 한다. 발명의 실시예들은 또한 흐름도를 참조하여 설명된다. 흐름도에 도시된 단계들은 도시된 순서로 수행될 필요가 없다는 점이 이해될 것이다.
- [0112] 발명의 일부 실시예들은 n-형 또는 p-형과 같은 전도형을 갖는 것을 특징으로 하는 반도체 층들 및/또는 영역들을 참조하여 설명되며, 그것은 층 및/또는 영역 내의 다수 캐리어 농도를 언급한다. 따라서, n-형 재료는 음전하 전자들의 다수 평형 농도를 갖는 반면에, p-형 재료는 양전하 정공들의 다수 평형 농도를 갖는다. 일부 재료는 다른 층 또는 영역과 비교하여 다수 캐리어들의 상대적으로 더 큰("+") 또는 작은("-") 농도를 표시하기 위해, "+" 또는 "-"(n+, n-, p+, p-, n++, n--, p++, p-- 등에서와 같음)로 지정될 수 있다. 그러나, 그러한 표기법은 층 또는 영역 내의 다수 또는 소수 캐리어들의 특정 농도의 존재를 시사하지 않는다.
- [0113] 도면들 및 명세서에서, 발명의 전형적 실시예들이 개시되었고, 특정 용어들이 이용되지만, 그들은 일반적이고 설명적 의미에만 사용되고 제한의 목적들을 위해 사용되지 않으며, 발명의 범위는 이하의 청구항들에 제시된다.

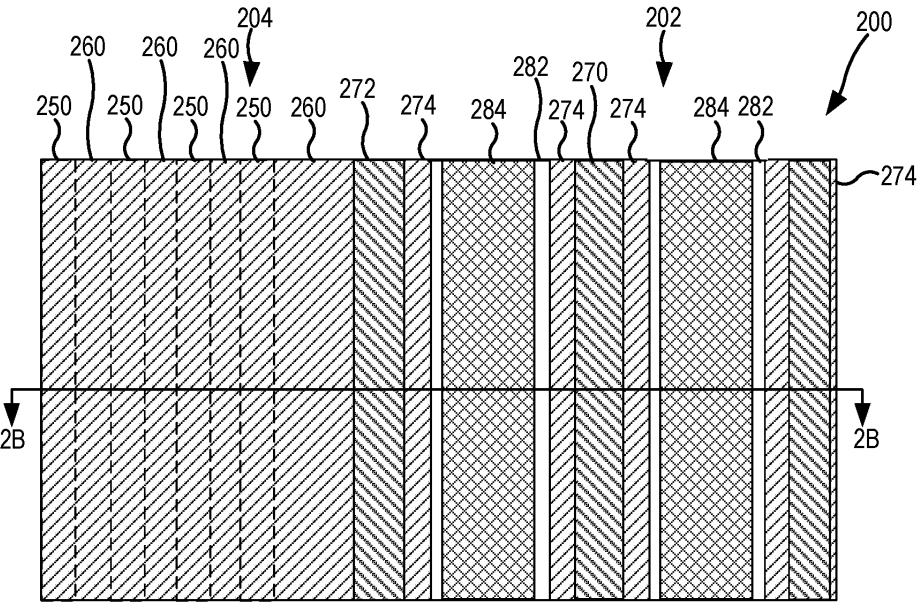
도면

도면1

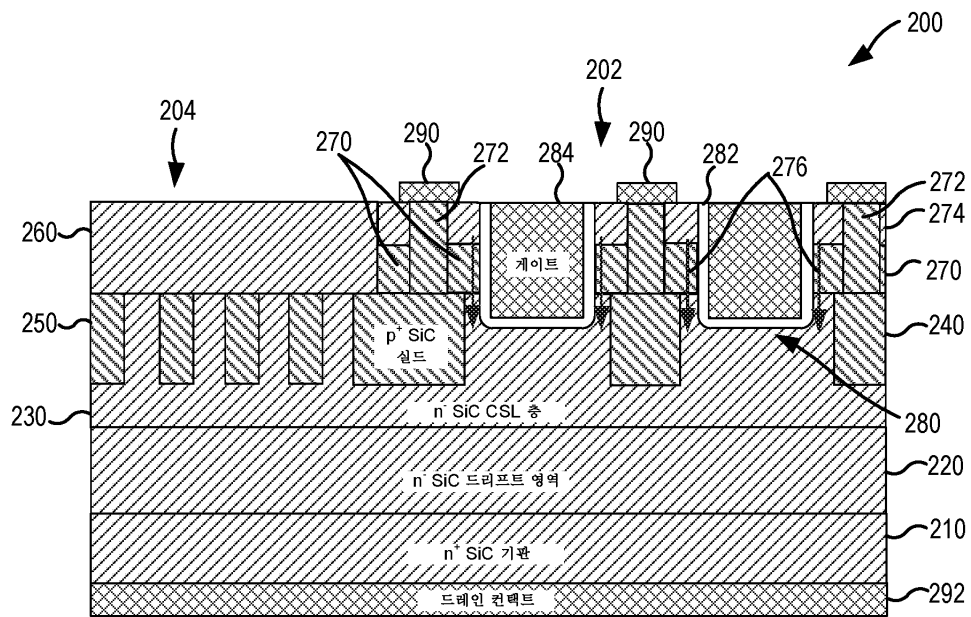


(관련 기술)

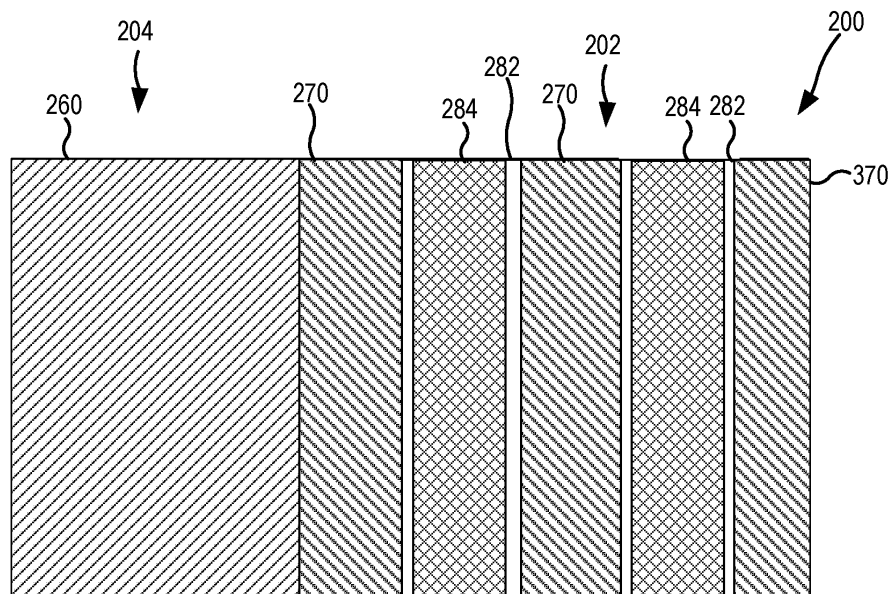
도면2a



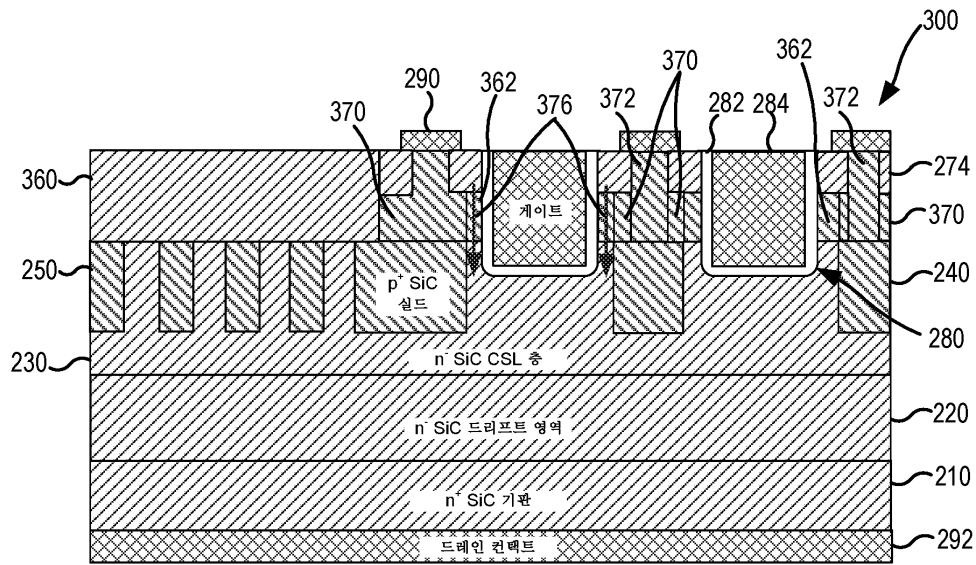
도면 2b



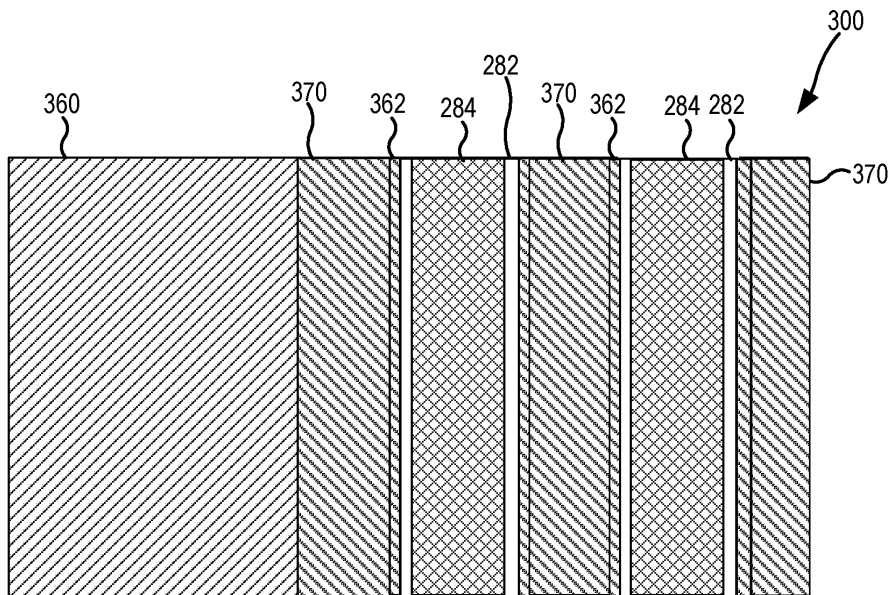
도면2c



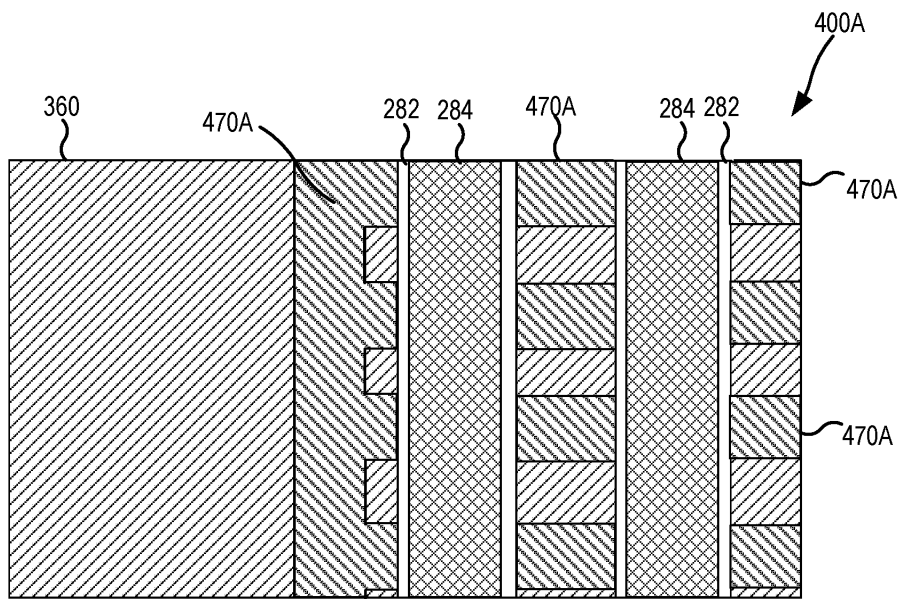
도면3a



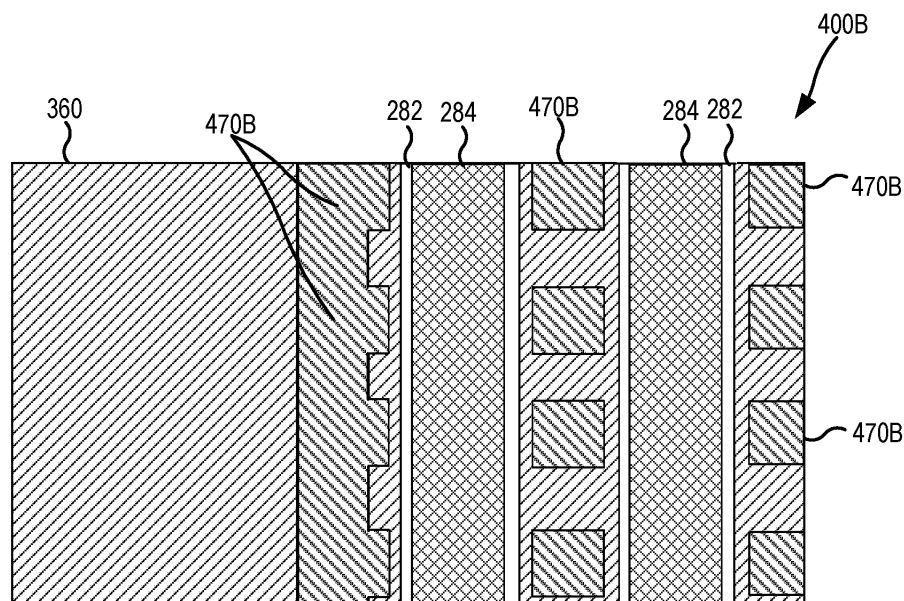
도면3b



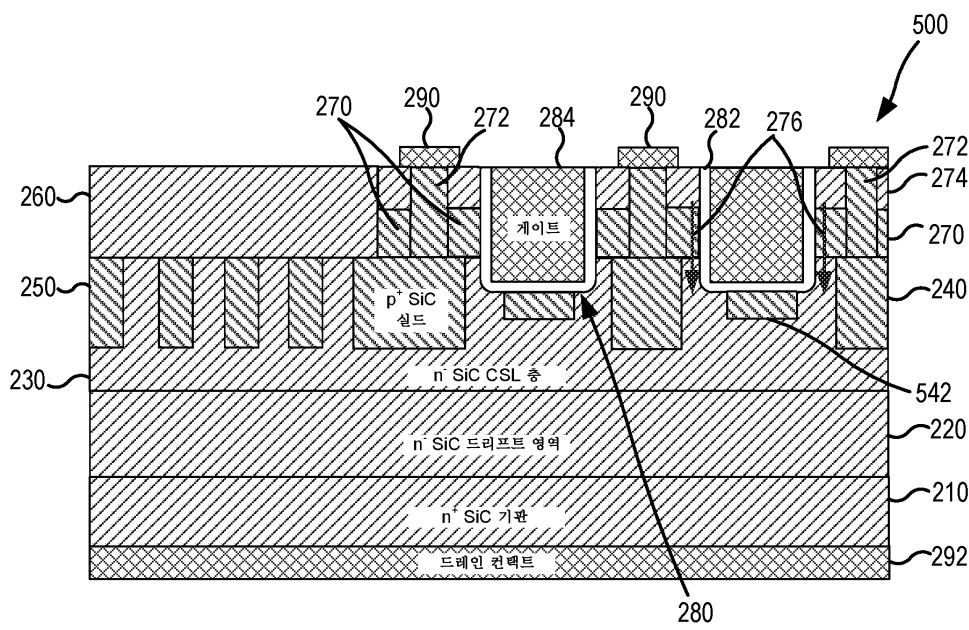
도면4a



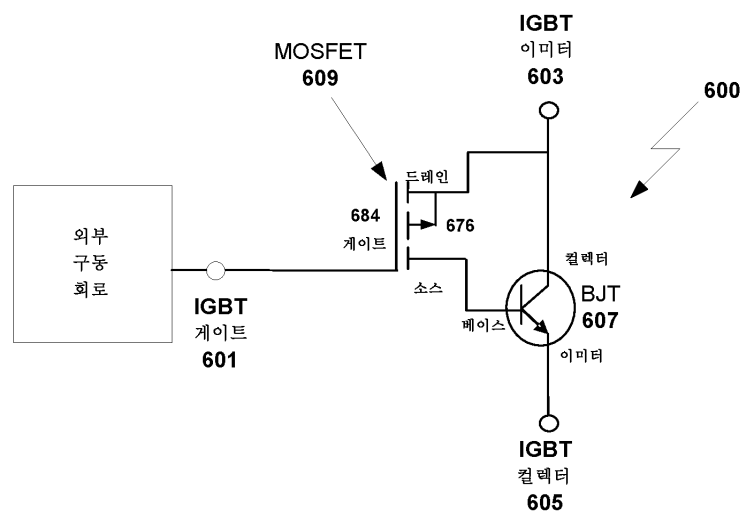
도면4b



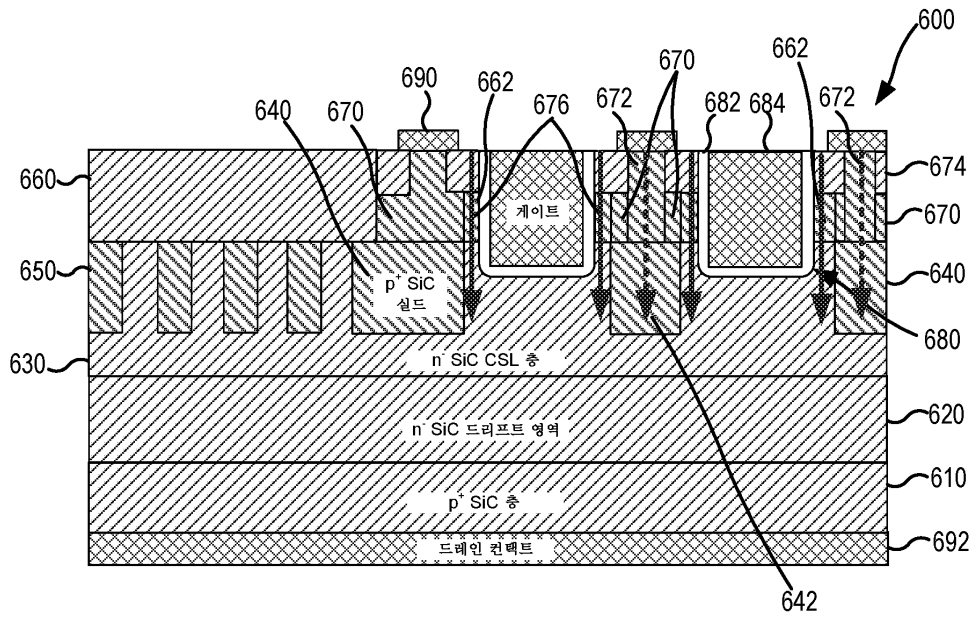
도면5



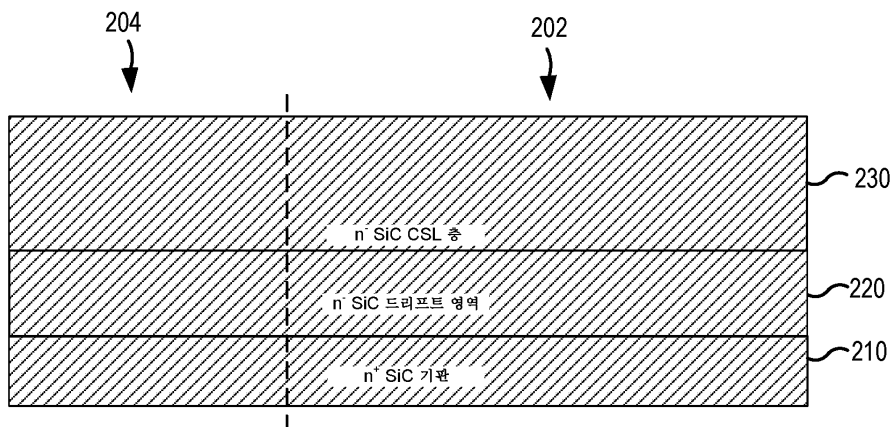
도면6a



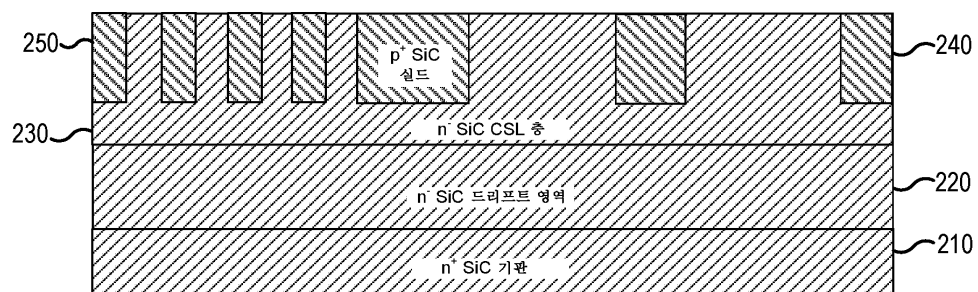
도면6b



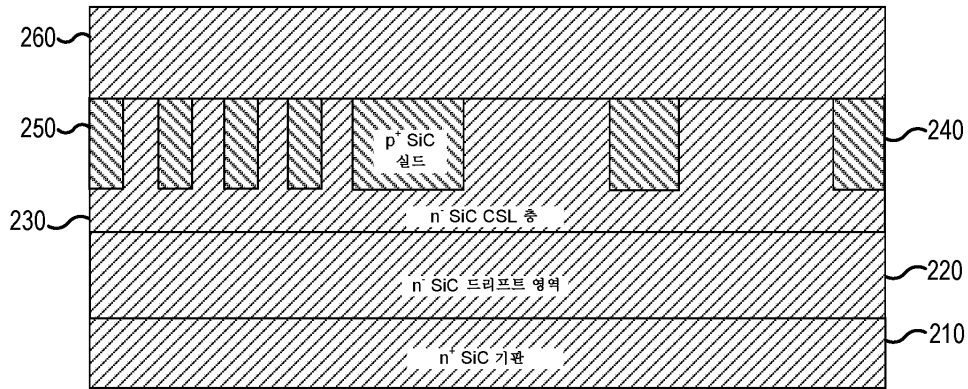
도면7a



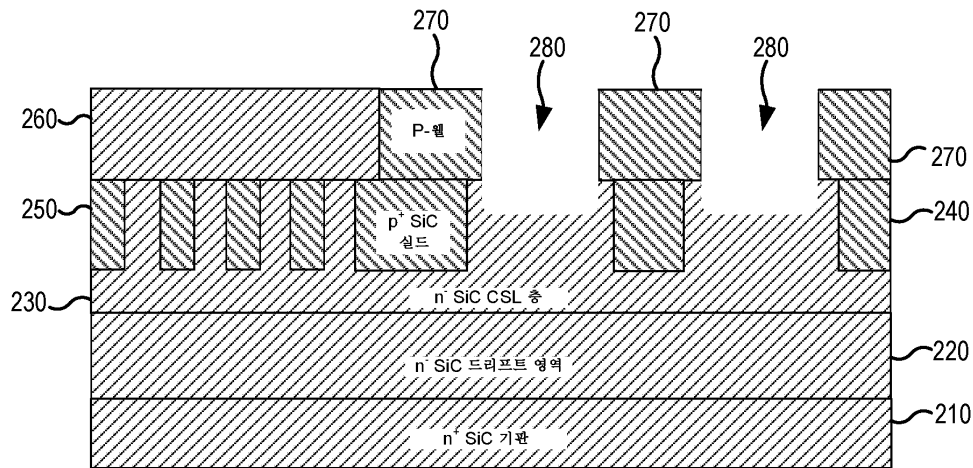
도면7b



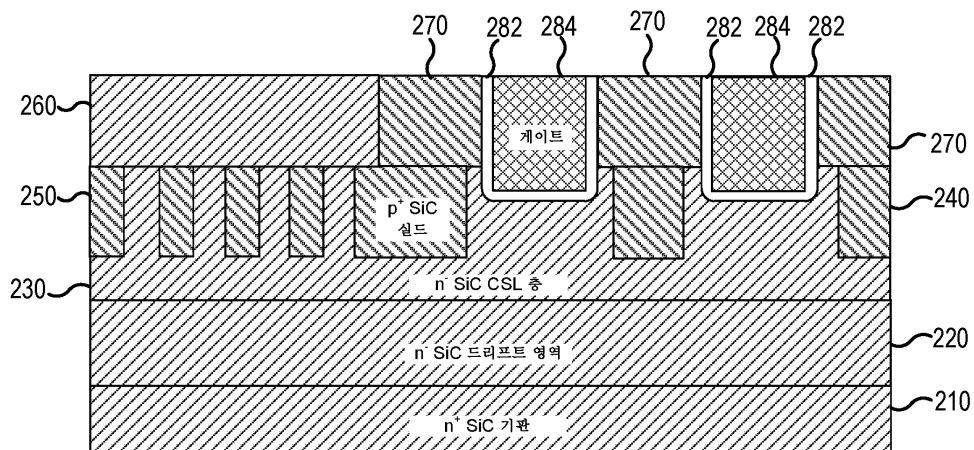
도면7c



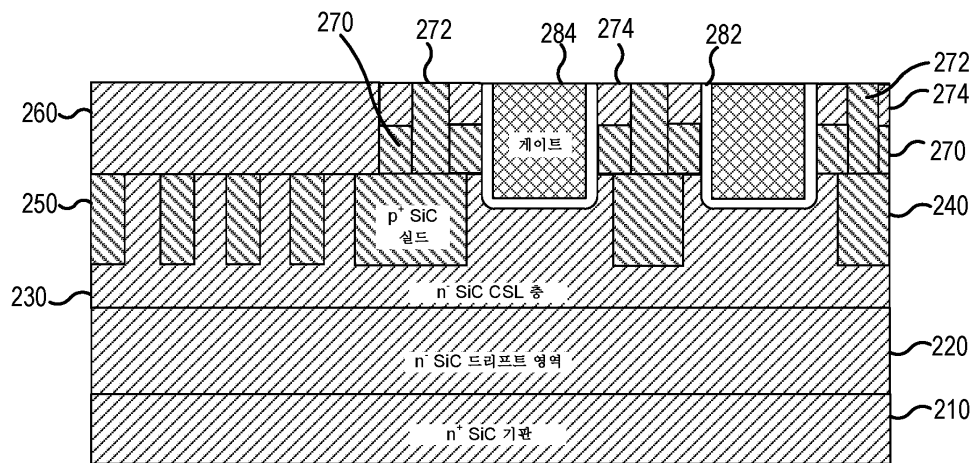
도면7d



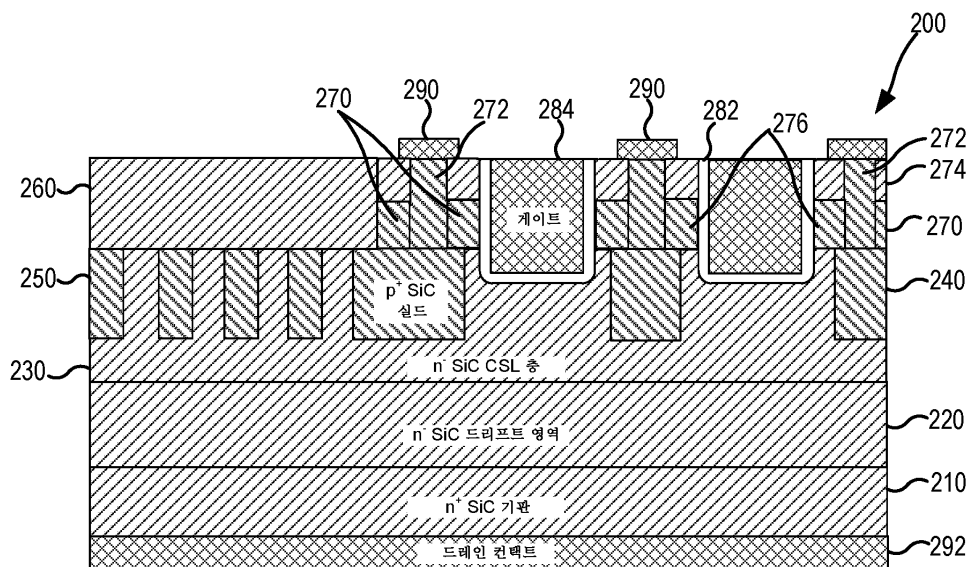
도면7e



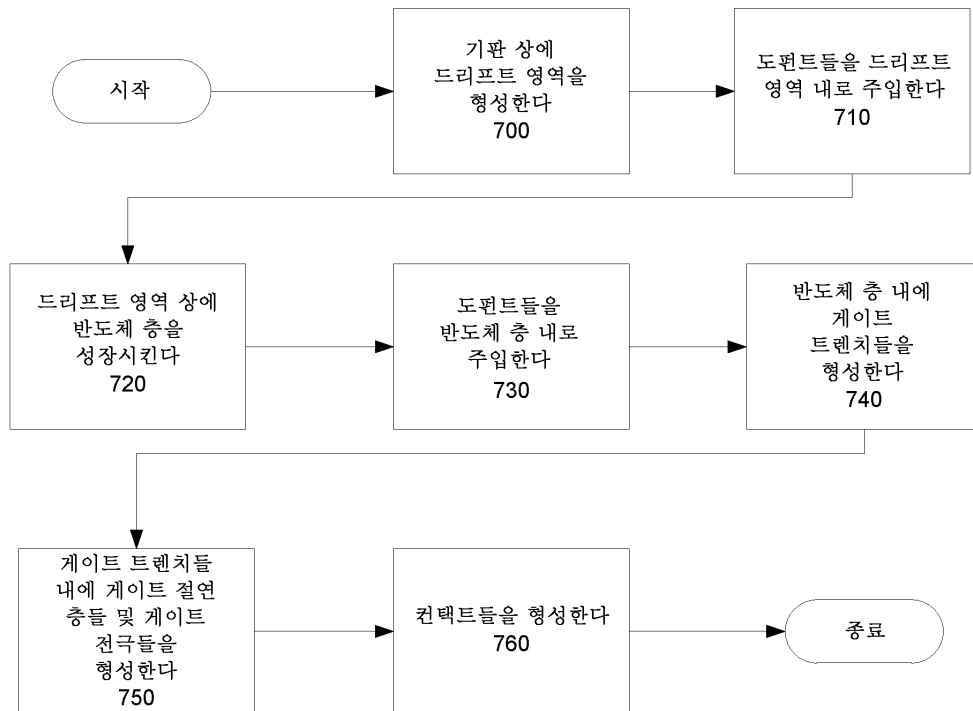
도면7f



도면 7g



도면8



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 11

【변경전】

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 드리프트 영역은 제1 전도형을 갖는 도펀트들로 도핑되고, 상기 중단 영역 내에 있는 상기 반도체 층의 일부는 $1 \times 10^{15} / \text{cm}^3$ 미만의 농도에서 상기 제2 전도형을 갖는 도펀트들로 도핑되는 반도체 디바이스.

【변경후】

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 드리프트 영역은 제1 전도형을 갖는 도펀트들로 도핑되고, 상기 중단 영역 내에 있는 상기 반도체 층의 일부는 $1 \times 10^{15} / \text{cm}^3$ 미만의 농도에서 제2 전도형을 갖는 도펀트들로 도핑되는 반도체 디바이스.