(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2006-202940
(P2006-202940A)
(43)公開日　平成18年8月3日(2006.8.3)

(51)Int.Cl.		F I		テーマコード（参考）
H01L 29/78	(2006.01)	H01L 29/78	652J	
H01L 21/336	(2006.01)	H01L 29/78	652N	
		H01L 29/78	652S	
		H01L 29/78	653A	
		H01L 29/78	658A	

審査請求 未請求　請求項の数 8　OL　（全 18 頁）　最終頁に続く

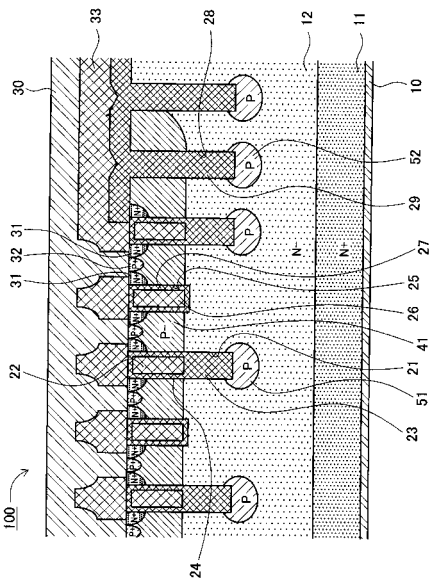
(21)出願番号　特願2005-12365(P2005-12365)
(22)出願日　平成17年1月20日(2005.1.20)

(71)出願人　000003207
トヨタ自動車株式会社
愛知県豊田市トヨタ町１番地
(71)出願人　000004260
株式会社デンソー
愛知県刈谷市昭和町１丁目１番地
(74)代理人　110000291
特許業務法人コスモス特許事務所
(72)発明者　高谷　秀史
愛知県豊田市トヨタ町１番地　トヨタ自動車株式会社内
(72)発明者　宮城　恭輔
愛知県豊田市トヨタ町１番地　トヨタ自動車株式会社内

最終頁に続く

(54)【発明の名称】半導体装置およびその製造方法

(57)【要約】
【課題】ドリフト領域内にフローティング領域を有するものであって，簡素な製造工程によってオン抵抗の低減が図られた半導体装置およびその製造方法を提供すること。
【解決手段】半導体装置１００は，N^- ドリフト領域１２内に埋め込まれたＰフローティング領域５１によって高耐圧化が図られる。Ｐフローティング領域５１は，ブレイクダウンする直前でＰフローティング領域５１から広がる空乏層同士が繋がるピッチで設けられている。そのため，Ｐフローティング領域５１のピッチは広く，ドリフト抵抗成分は小さい。また，半導体装置１００は，Ｐフローティング領域５１の形成に供するゲートトレンチ２１，２１間に，ゲートトレンチ２１よりも深さが浅いゲートトレンチ２５を設けることとしている。そのため，半導体装置１００は，チャネル密度が高く，結果としてチャネル抵抗成分が小さい。
【選択図】　図１



【特許請求の範囲】
【請求項１】
半導体基板内の上面側に位置し第１導電型半導体であるボディ領域と，前記ボディ領域の下方に接し第２導電型半導体であるドリフト領域とを備え，トレンチゲート構造を有する半導体装置において，
前記ドリフト領域に囲まれ，第１導電型半導体であるフローティング領域と，
前記ボディ領域を貫通し，底部が前記フローティング領域内に位置し，ゲート電極を内蔵するトレンチ部群と，
前記トレンチ部群のうちの隣り合うトレンチ部間に位置し，前記ボディ領域を貫通し，底部が前記ドリフト領域内であって前記トレンチ部群の各トレンチ部の底部よりも上方に位置し，ゲート電極を内蔵する中間トレンチ部とを備え，
前記トレンチ部群のトレンチ部に内蔵されるゲート電極と，前記中間トレンチ部に内蔵されるゲート電極とが電気的に接続されていることを特徴とする半導体装置。
【請求項２】
半導体基板内の上面側に位置し第１導電型半導体であるボディ領域と，前記ボディ領域の下方に接し第２導電型半導体であるドリフト領域とを備え，トレンチゲート構造を有する半導体装置において，
前記ドリフト領域に囲まれるとともに上面から見てドット状に形成され，第１導電型半導体であるフローティング領域と，
前記ボディ領域を貫通し，底部が前記ドリフト領域内に位置し，ゲート電極を内蔵するトレンチ部群と，
底部が前記フローティング領域内に位置し，開口部が前記トレンチ部群の各トレンチ部の底部に設けられ，内部に絶縁物を堆積してなる堆積絶縁層を有するホール部とを備えることを特徴とする半導体装置。
【請求項３】
請求項２に記載する半導体装置において，
前記トレンチ部群のうちの隣り合うトレンチ部間に位置し，前記ボディ領域を貫通し，底部が前記ドリフト領域内であって前記ホール部の底部よりも上方に位置し，ゲート電極を内蔵する中間トレンチ部とを備え，
前記トレンチ部群のトレンチ部に内蔵されるゲート電極と，前記中間トレンチ部に内蔵されるゲート電極とが電気的に接続されていることを特徴とする半導体装置。
【請求項４】
請求項１または請求項３に記載する半導体装置において，
前記中間トレンチ部の端部は，前記トレンチ部群のトレンチ部の側面と繋がっていることを特徴とする半導体装置。
【請求項５】
半導体基板内の上面側に位置し第１導電型半導体であるボディ領域と，前記ボディ領域の下面と接し第２導電型半導体であるドリフト領域とを備え，トレンチゲート構造を有する半導体装置の製造方法において，
半導体基板の一部を第１の深さまで掘り下げることによりトレンチ部を形成するトレンチ部形成工程と，
前記トレンチ部形成工程にて形成されたトレンチ部の底部から不純物を注入することにより，第１導電型半導体であるフローティング領域を形成する不純物注入工程と，
前記トレンチ部形成工程にて形成された各トレンチ部内に絶縁物の堆積による堆積絶縁層を形成する堆積絶縁層形成工程と，
前記堆積絶縁層形成工程にてトレンチ部内に堆積した堆積絶縁層の一部を除去するとともに半導体基板の一部を露出させるエッチバック工程と，
前記エッチバック工程にて露出させた部位から半導体基板を第１の深さよりも浅い第２の深さまで掘り下げることにより中間トレンチ部を形成する中間トレンチ部形成工程と，
前記トレンチ部形成工程にて形成したトレンチ部内および前記中間トレンチ部形成工程

にて形成した中間トレンチ部内にゲート電極層を形成するゲート電極層形成工程とを含むことを特徴とする半導体装置の製造方法。
【請求項６】
請求項５に記載する半導体装置の製造方法において，
前記エッチバック工程にてトレンチ部内に堆積した堆積絶縁層の一部を除去するとともにトレンチ部の壁面に絶縁膜層を形成することを特徴とする半導体装置の製造方法。
【請求項７】
半導体基板内の上面側に位置し第１導電型半導体であるボディ領域と，前記ボディ領域の下面と接し第２導電型半導体であるドリフト領域とを備え，トレンチゲート構造を有する半導体装置の製造方法において，
半導体基板の一部を第１の深さまで掘り下げることによりホール部を形成するホール部形成工程と，
前記ホール部形成工程にて形成されたホール部の底部から不純物を注入することにより，第１導電型半導体であるフローティング領域を形成する不純物注入工程と，
前記ホール部形成工程にて形成された各ホール部内に絶縁物の堆積による堆積絶縁層を形成する堆積絶縁層形成工程と，
前記堆積絶縁層形成工程にてホール部内に堆積した堆積絶縁層の一部を除去するとともに半導体基板の一部を露出させるエッチバック工程と，
前記エッチバック工程にて露出させた部位から半導体基板を第１の深さよりも浅い第２の深さまで掘り下げることによりトレンチ部を形成するトレンチ部形成工程と，
前記トレンチ部形成工程にて形成したトレンチ部内にゲート電極層を形成するゲート電極層形成工程とを含むことを特徴とする半導体装置の製造方法。
【請求項８】
請求項７に記載する半導体装置の製造方法において，
前記ホール部形成工程では，半導体基板の上面から見て等間隔にホール部を形成し，
前記トレンチ部形成工程では，隣り合うホール部を結ぶ線上にトレンチ部を形成することを特徴とする半導体装置の製造方法
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は，トレンチゲート構造を有する半導体装置およびその製造方法に関する。さらに詳細には，ドリフト領域内にフローティング領域を有するものであって，高耐圧化と低オン抵抗化との両立を図ることができる半導体装置およびその製造方法に関するものである。
【背景技術】
【０００２】
従来から，パワーデバイス用の絶縁ゲート型半導体装置として，トレンチゲート構造を有するトレンチゲート型の半導体装置が提案されている。このトレンチゲート型の半導体装置では，ゲートトレンチのピッチを狭くしてチャネル密度を高くすることがチャネル抵抗（オン抵抗）の低減に有効である。
【０００３】
例えば，特許文献１には，ゲート電極を内蔵したトレンチ間に，ゲート電極と電気的に接続されたダミー電極を内蔵したダミートレンチを設けた半導体装置が開示されている。ダミー電極を設けることで，実質的にゲート電極のピッチの縮小化が図られる。また，特許文献２には，ゲートトレンチ間に位置するＰ型拡散領域の幅を狭くすることで，ゲートトレンチのピッチの縮小化を図っている。
【特許文献１】特開２００４－２２９４１号公報（特に，図１２）
【特許文献２】特開２００２－２７０８４１号公報
【発明の開示】
【発明が解決しようとする課題】

【０００４】
パワーデバイス用の絶縁ゲート型半導体装置では，低オン抵抗であることに加え，高耐圧であることが要求される。本出願人は，低オン抵抗化と高耐圧化との両立を図るトレンチゲート型半導体装置として，図１０に示すような絶縁ゲート型半導体装置９００を提案している（特願２００３－３４９８０６号）。
【０００５】
この絶縁ゲート型半導体装置９００では，N^+ ソース領域３１と，N^+ ドレイン領域１１と，P^- ボディ領域４１と，N^- ドリフト領域１２とが設けられている。また，半導体基板の上面側の一部を掘り込むことによりN^+ ソース領域３１およびP^- ボディ領域４１を貫通するゲートトレンチ２１が形成されている。また，ゲートトレンチ２１の底部には，絶縁物の堆積による堆積絶縁層２３が形成されている。さらに，堆積絶縁層２３上には，ゲート電極２２が形成されている。そして，ゲート電極２２は，ゲートトレンチ２１の壁面に形成されているゲート絶縁膜２４を介して，N^+ ソース領域３１およびP^- ボディ領域４１と対面している。さらに，N^- ドリフト領域１２内には，Ｐフローティング領域５１が形成されている。そして，ゲートトレンチ２１の下端は，Ｐフローティング領域５１内に位置している。
【０００６】
この絶縁ゲート型半導体装置９００は，N^- ドリフト領域１２内にＰフローティング領域５１が設けられていることにより，次のような特性を有する。すなわち，ドレイン－ソース間（以下，「ＤＳ間」とする）に電圧を印加すると，N^- ドリフト領域１２中，P^- ボディ領域４１との間のＰＮ接合箇所から空乏層が広がる。そして，その空乏層がＰフローティング領域５１にまで到達することで，Ｐフローティング領域５１がパンチスルー状態となって電位が固定される。さらに，Ｐフローティング領域５１とのＰＮ接合箇所からも空乏層が広がるため，P^- ボディ領域４１との間のＰＮ接合箇所とは別に，Ｐフローティング領域５１とのＰＮ接合箇所も電界強度のピークとなる。すなわち，電界のピークを２箇所に形成でき，最大ピーク値を低減することができる。また，Ｐフローティング領域５１から広がる空乏層が隣り合うＰフローティング領域から広がる空乏層と繋がることでN^- ドリフト領域１２内の空乏化が促進される。従って，高耐圧化が図られる。また，高耐圧であることから，N^- ドリフト領域１２の不純物濃度を上げて低オン抵抗化を図ることができる。
【０００７】
また，絶縁ゲート型半導体装置９００は，底部がＰフローティング領域５１内に位置するゲートトレンチ２１を有することにより，エピタキシャル成長等によってN^- ドリフト領域１２を形成した後，ゲートトレンチ２１を形成し，そのゲートトレンチ２１の底部から不純物を注入することによりＰフローティング領域５１を形成することができる。すなわち，フローティング領域５１の形成がN^- ドリフト領域１２の形成後に行われるため，Ｐフローティング領域５１の形成後に再度エピタキシャル成長により単結晶シリコン層を形成する必要がない。従って，絶縁ゲート型半導体装置９００は，簡便に作製することができるとともに熱負荷が小さいという利点を有している。
【０００８】
しかしながら，前記した絶縁ゲート型半導体装置９００に対して，ゲートトレンチ２１，２１間を狭くし，さらなる低オン抵抗化を図ろうとすると，次のような問題がある。すなわち，ゲートトレンチ２１のピッチを狭くし過ぎると，隣り合うＰフローティング領域５１，５１の間隔が狭くなり過ぎる。そのため，ＪＦＥＴ（Junction FET）効果によってN^- ドリフト領域１２中の電流経路が狭くなり，却ってオン抵抗の増大を招いてしまう。つまり，Ｐフローティング領域５１の存在が低オン抵抗化の妨げになる。
【０００９】
また，隣り合うＰフローティング領域５１，５１の接近を避けるため，単純に深さが異なるゲートトレンチ２１，２１を形成し，Ｐフローティング領域５１の厚さ方向の位置を変えることで接近を回避することが考えられる。しかしながら，２種類以上のゲートトレ

ンチを設けると，トレンチ形成工程，ゲート絶縁膜形成工程，ゲート電極形成工程等がそれぞれ２回以上必要となる。そのため，工程数が多くなり，コストアップを招く。

【００１０】

具体的に，図１０に示した半導体装置９００の製造プロセスは，主として次の順の製造工程からなる（図３，図１１，図１２参照）。

（ａ）P^- ボディ領域４１，ゲートトレンチ２１，終端トレンチ２８の形成
（ｂ）Ｐフローティング領域５１，５２の形成
（ｃ）ゲートトレンチ２１，終端トレンチ２８内への絶縁膜埋め込み
（ｄ）絶縁膜のエッチバック
（ｅ）エッチバック後酸化アニール，ウェットエッチング
（ｆ）ゲート電極２２の形成
（ｇ）N^+ ソース領域３１，コンタクトP^+ 領域３２の形成
（ｈ）コンタクトの形成
（ｉ）ソース電極３０，ドレイン電極１０の形成

【００１１】

そして，深さが異なる２種類のゲートトレンチを形成する場合には，上記の工程のうち，工程（ａ）から工程（ｆ）までを繰り返す必要がある。そのため，工程数が非常に多くなってしまう。

【００１２】

本発明は，前記した従来の技術が有する問題点を解決するためになされたものである。すなわちその課題とするところは，ドリフト領域内にフローティング領域を有するものであって，簡素な製造工程によってオン抵抗の低減が図られた半導体装置およびその製造方法を提供することにある。

【課題を解決するための手段】

【００１３】

この課題の解決を目的としてなされた半導体装置は，半導体基板内の上面側に位置し第１導電型半導体であるボディ領域と，ボディ領域の下方に接し第２導電型半導体であるドリフト領域とを備え，トレンチゲート構造を有する半導体装置であって，ドリフト領域に囲まれ，第１導電型半導体であるフローティング領域と，ボディ領域を貫通し，底部がフローティング領域内に位置し，ゲート電極を内蔵するトレンチ部群と，トレンチ部群のうちの隣り合うトレンチ部間に位置し，ボディ領域を貫通し，底部がドリフト領域内であってトレンチ部群の各トレンチ部の底部よりも上方に位置し，ゲート電極を内蔵する中間トレンチ部とを備え，トレンチ部群のトレンチ部に内蔵されるゲート電極と，中間トレンチ部に内蔵されるゲート電極とが電気的に接続されていることを特徴とするものである。

【００１４】

すなわち，本発明の半導体装置は，ドリフト領域内に埋め込まれたフローティング領域によって高耐圧化が図られる。このフローティング領域は，ブレイクダウンする直前でフローティング領域から広がる空乏層同士が繋がるピッチで設けられる。すなわち，フローティング領域のピッチは広く，ドリフト抵抗成分は小さい。また，上記の半導体装置は，フローティング領域の形成に供するトレンチ部がフローティング領域のピッチと同等のピッチで設けられ，さらに隣り合うトレンチ部間に中間トレンチ部が設けられる。そして，この中間トレンチ部内にもゲート電極が設けられる。そのため，本発明の半導体装置は，チャネル密度が高く，チャネル抵抗成分が小さい。また，中間トレンチ部は，トレンチ部群の各トレンチ部よりも深さが浅く，その底部はドリフト領域に囲まれている。そのため，ＪＦＥＴ効果の問題は生じない。従って，高耐圧化とともに低オン抵抗化が確実に図られる。

【００１５】

また，中間トレンチ部の端部は，トレンチ部群のトレンチ部の側面と繋がっていることとするとよりよい。例えば，ストライプ状に設けられたトレンチ部群に対して，上面から見て梯子状になるように中間トレンチ部を設ける。あるいは，網目状になるように設けて

もよい。このような配置とすることで，トレンチ部のピッチが狭く，トレンチ部と平行に中間トレンチ部を形成できない場合であっても，トレンチ部と中間トレンチ部とを直交させることでチャネル密度が高い半導体装置とすることができる。

【００１６】

また，本発明の半導体装置の製造方法は，半導体基板内の上面側に位置し第１導電型半導体であるボディ領域と，ボディ領域の下面と接し第２導電型半導体であるドリフト領域とを備え，トレンチゲート構造を有する半導体装置の製造方法であって，半導体基板の一部を第１の深さまで掘り下げることによりトレンチ部を形成するトレンチ部形成工程と，トレンチ部形成工程にて形成されたトレンチ部の底部から不純物を注入することにより，第１導電型半導体であるフローティング領域を形成する不純物注入工程と，トレンチ部形成工程にて形成された各トレンチ部内に絶縁物の堆積による堆積絶縁層を形成する堆積絶縁層形成工程と，堆積絶縁層形成工程にてトレンチ部内に堆積した堆積絶縁層の一部を除去するとともに半導体基板の一部を露出させるエッチバック工程と，エッチバック工程にて露出させた部位から半導体基板を第１の深さよりも浅い第２の深さまで掘り下げることにより中間トレンチ部を形成する中間トレンチ部形成工程と，トレンチ部形成工程にて形成したトレンチ部内および中間トレンチ部形成工程にて形成した中間トレンチ部内にゲート電極層を形成するゲート電極層形成工程とを含むことを特徴としている。

【００１７】

本発明の半導体装置の製造方法では，トレンチ部形成工程と，中間トレンチ部形成工程とで，深さが異なるトレンチ部をそれぞれ形成する。具体的には，まず，トレンチ部形成工程にて深さが深いトレンチ部を形成し，不純物注入工程にてそのトレンチ部を利用してフローティング領域を形成する。その後，エッチバック工程にてゲート電極のためのスペースを確保するとともに中間トレンチ部のためのマスクパターンを形成する。そして，中間トレンチ形成工程にてそのマスクパターンを利用して中間トレンチ部を形成する。そして，各トレンチ部および各中間トレンチ部の洗浄処理を行った後，ゲート電極層形成工程にてトレンチ部内のゲート電極層と中間トレンチ部内のゲート電極層とをまとめて形成する。

【００１８】

すなわち，本発明の半導体装置の製造方法では，各トレンチ部内のゲート電極層と各中間トレンチ部内のゲート電極層とを１回のゲート電極層形成工程によって形成している。そのため，トレンチ部の形成からゲート電極層の形成までを繰り返し行っている従来の製造方法と比較して工程が少ない。よって，製造プロセスが簡素化され，コストアップが最小限に抑制される。

【００１９】

さらに，本発明の半導体装置の製造方法では，エッチバック工程にてトレンチ部内に堆積した堆積絶縁層の一部を除去するとともにトレンチ部の壁面に絶縁膜層を形成することとするとよりよい。すなわち，エッチバック工程では，トレンチ部の壁面に薄膜の絶縁層を残した状態でエッチバックを行う。これにより，その薄膜の絶縁層が中間トレンチ部形成工程でのエッチング保護膜として作用する。従って，トレンチ部の壁面の汚染が抑制され，素子特性の劣化を抑えることができる。

【００２０】

また，本発明の別の半導体装置は，半導体基板内の上面側に位置し第１導電型半導体であるボディ領域と，ボディ領域の下方に接し第２導電型半導体であるドリフト領域とを備え，トレンチゲート構造を有する半導体装置であって，ドリフト領域に囲まれるとともに上面から見てドット状に形成され，第１導電型半導体であるフローティング領域と，ボディ領域を貫通し，底部がドリフト領域内に位置し，ゲート電極を内蔵するトレンチ部群と，底部がフローティング領域内に位置し，開口部が前記トレンチ部群の各トレンチ部の底部に設けられ，内部に絶縁物を堆積してなる堆積絶縁層を有するホール部とを備えることを特徴とするものである。

【００２１】

すなわち，上記の半導体装置では，ゲート電極を内蔵するトレンチ部と，フローティング領域の形成に供するホール部とを有している。さらに，ホール部の底部からイオン注入することにより形成されるフローティング領域がドット状をなしている。そのため，フローティング領域の密度が小さく，耐圧を向上させつつドリフト抵抗成分（ＪＦＥＴ抵抗成分）を低減することができる。

【００２２】

さらに，上記の半導体装置では，ホール部の開口部がトレンチ部群の各トレンチ部の底部に設けられている。すなわち，ホール部がトレンチ部の下方に設けられていることにより，幅広い電流経路を確保することができる。つまり，ホール部がチャネル領域の障害となることはない。よって，低オン抵抗化をより一層図ることができる。

【発明の効果】

【００２３】

本発明によれば，トレンチの底部からのイオン注入によって形成されたフローティング領域を有するものであって，簡素な製造工程によってオン抵抗の低減が図られた半導体装置およびその製造方法が実現されている。

【発明を実施するための最良の形態】

【００２４】

以下，本発明を具体化した実施の形態について，添付図面を参照しつつ詳細に説明する。なお，本実施の形態は，絶縁ゲートへの電圧印加により，ドレイン－ソース間の導通をコントロールする絶縁ゲート型半導体装置に本発明を適用したものである。

【００２５】

［第１の形態］

第１の形態に係る絶縁ゲート型半導体装置１００（以下，「半導体装置１００」とする）は，図１の断面図に示す構造を有している。なお，本明細書においては，出発基板と，出発基板上にエピタキシャル成長により形成した単結晶シリコンの部分とを合わせた全体を半導体基板と呼ぶこととする。また，図１中，図１０で示した従来の半導体装置と同一記号の構成要素は，その構成要素と同一機能を有するものである。

【００２６】

第１の形態に係る半導体装置１００は，図１の正面断面図に示す構造を有している。半導体装置１００では，半導体基板内における上面側に，N^+ ソース領域３１およびコンタクトP^+ 領域３２が，下面側にN^+ ドレイン領域１１がそれぞれ設けられている。それらの間には上面側から，P^- ボディ領域４１およびN^- ドリフト領域１２が設けられている。また，半導体基板の下面側にはドレイン電極１０が，上面側には層間絶縁層３３を介してソース電極３０がそれぞれ設けられている。

【００２７】

また，半導体基板の上面側の一部を掘り込むことにより，P^- ボディ領域４１を貫通してなるゲートトレンチ２１，およびゲートトレンチ２１，２１間に位置しゲートトレンチ２１と深さが異なるゲートトレンチ２６が形成されている。ゲートトレンチ２１は，半導体基板の上面からみてストライプ状に形成されている。そして，ゲートトレンチ２５は，ゲートトレンチ２１と平行になるようにストライプ形状あるいはドット形状に設けられている。

【００２８】

また，ゲートトレンチ２１の底部には，絶縁物（例えば，酸化シリコン）の堆積による堆積絶縁層２３が形成されている。さらに，堆積絶縁層２３上には，導体（例えば，ポリシリコン）の堆積によるゲート電極２２が形成されている。ゲート電極２２の下端は，P^- ボディ領域４１の下面より下方に位置している。そして，ゲート電極２２は，トレンチ２１の壁面に形成されているゲート絶縁膜２４を介して，半導体基板のN^+ ソース領域３１およびP^- ボディ領域４１と対面している。すなわち，ゲート電極２２は，ゲート絶縁膜２４によりN^+ ソース領域３１およびP^- ボディ領域４１から絶縁されている。

【００２９】

また，ゲートトレンチ２５内にもゲート電極２６が設けられている。ゲート電極２２とゲート電極２６とは，同電位となるように半導体基板内部あるいは半導体基板の表面にて電気的に接続されている。そして，ゲート電極２６も，トレンチ２５の壁面に形成されているゲート絶縁膜２７を介して，半導体基板のN^+ソース領域３１およびP^-ボディ領域４１と対面している。すなわち，ゲート電極２６も，ゲート絶縁膜２７によりN^+ソース領域３１およびP^-ボディ領域４１から絶縁されている。

【００３０】

このような構造を持つ半導体装置１００では，ゲート電極２２，２６への電圧印加によりP^-ボディ領域４１にチャネル効果を生じさせ，もってN^+ソース領域３１とN^-ドリフト領域１２との間の導通をコントロールしている。

【００３１】

さらに，半導体装置１００には，N^-ドリフト領域１２に囲まれたＰフローティング領域５１が形成されている。Ｐフローティング領域５１の断面は，図１の断面図に示したように，ゲートトレンチ２１の底部を中心とする略円形形状となっている。

【００３２】

Ｐフローティング領域５１の半径は，堆積絶縁層２３の厚さの１／２以下である。従って，堆積絶縁層２３の上端は，Ｐフローティング領域５１の上端よりも上方に位置する。よって，堆積絶縁層２３上に堆積するゲート電極２２とＰフローティング領域５１とは対面していない。そして，ゲートトレンチ２１の底部に堆積絶縁層２３が設けられていることにより，ゲート絶縁膜２４およびゲート電極２２は，トレンチエッチングにおける損傷の影響を受けない。よって，素子特性の劣化および信頼性の低下が抑止される。また，ゲート電極２２とＰフローティング領域５１との対面が抑止され，オン抵抗の増大を回避できる。また，堆積絶縁層２３を設けない場合と比較してゲート電極２２が小さい。そのため，ゲート－ドレイン間容量Ｃｇｄが小さく，スイッチングスピードが速い。

【００３３】

このように半導体基板中にＰフローティング領域５１が設けられている半導体装置１００では，電界のピークがN^-ドリフト領域１２とP^-ボディ領域４１とのＰＮ接合箇所近傍と，N^-ドリフト領域１２とＰフローティング領域５１とのＰＮ接合箇所近傍との２箇所に形成される。つまり，Ｐフローティング領域５１によっても耐圧を支えることができるため，高耐圧化が図られる。また，高耐圧であることから，N^-ドリフト領域１２の不純物濃度を上げて低オン抵抗化を図ることができる。

【００３４】

また，Ｐフローティング領域５１は，Ｐフローティング領域５１から広がる空乏層同士がブレイクダウンする直前で繋がるピッチで設けられている。そのため，隣り合うＰフローティング領域５１，５１間には十分なスペースがあり，オン状態においてＰフローティング領域５１の存在がドレイン電流に対する妨げとなることはない。具体的には，Ｐフローティング領域５１の位置を決定するゲートトレンチ２１のピッチP_{FP}が次の条件（１）を満たすように設計する。

$$P_{FP} < 2r_{FP} + 2W_{2MAX} \quad (1)$$

条件（１）中，r_{FP}はＰフローティング領域５１の幅方向の半径を，W_{2MAX}はブレイクダウンの発生時におけるＰフローティング領域５１から広がる空乏層の最大幅を，それぞれ意味する（各変数は図２の概略図参照）。

【００３５】

なお，条件（１）中の空乏層の最大幅W_{2MAX}は，次の式（２）のように定義することができる。

$$W_{2MAX} = \sqrt{(2\varepsilon_S(V_{BI2} + VR_{2MAX})/qN_D)} \quad (2)$$

式（２）中，ε_Sは半導体の誘電率を，V_{BI2}はＰフローティング領域５１とN^-ドリフト領域１２とのＰＮ接合箇所のビルトインポテンシャル電圧を，VR_{2MAX}はブレイクダウン直前にＤＳ間に印加された電圧のうち，Ｐフローティング領域５１にて保持する分圧を，ｑは素電荷量を，N_DはN^-ドリフト領域１２の不純物濃度を，それぞれ意味する。そし

て，式（２）を条件（１）に代入することにより，次の条件（３）が得られる。

$$P_{FP} < 2r_{FP} + \sqrt{(2\varepsilon_S(V_{BI2} + VR_{2MAX})/qN_D)} \quad (3)$$

【００３６】

条件（３）を満たす範囲のピッチP_{FP}であれば，Ｐフローティング領域５１から幅方向に広がる空乏層を繋ぎ合わせることができ，高耐圧化を図ることができる。さらに，条件（３）を満たす範囲でできる限りゲートトレンチ２１，２１間のピッチを広くすることでＪＦＥＴ効果の影響を抑えることができ，低オン抵抗化を図ることができる。

【００３７】

また，ゲートトレンチ２１，２１間には，深さがゲートトレンチ２１よりも浅く，底部がＰフローティング領域に囲まれていないゲートトレンチ２５が設けられている。ゲートトレンチ２５を設けることにより，ゲートトレンチ２５の近傍にもチャネル領域が形成される。そのため，ゲートトレンチ２１，２１間におけるチャネル密度が従来のものと比較して高く，結果としてさらなる低オン抵抗化を図ることができる。なお，ゲートトレンチ２１，２１間に設けるゲートトレンチ２５は１本に限るものではない。すなわち，図２に示したように複数本のゲートトレンチ２５を設けてもよい。ゲートトレンチ２５の数が多いほどチャネル密度が高くなり，低オン抵抗化をより一層図ることができる。

【００３８】

また，半導体装置１００の終端エリアにも，内部が絶縁層２９にて充填された終端トレンチ２８が設けられている。また，Ｐフローティング領域５１と同様の作用を有し，終端トレンチ２８の下方に位置するＰフローティング領域５３が形成されている。半導体装置１００では，終端トレンチ２８およびそれに対応するＰフローティング領域５３によってセルエリアと同様に終端エリアについても高耐圧化を図っている。また，Ｐフローティング領域５２のピッチは，Ｐフローティング領域５１のピッチよりも狭い。すなわち，Ｐフローティング領域５２から広がる空乏層は，Ｐフローティング領域５１から広がる空乏層と比べて広がり難いため，Ｐフローティング領域５２のピッチを狭くすることで高耐圧化を確実にしている。

【００３９】

続いて，図１に示した半導体装置１００の製造プロセスを図３ないし図５により説明する。半導体装置１００の製造プロセスは，主として次の順の製造工程からなる。

（ａ）P^- ボディ領域４１，ゲートトレンチ２１，終端トレンチ２８の形成
（ｂ）Ｐフローティング領域５１，５２の形成
（ｃ）ゲートトレンチ２１，終端トレンチ２８内への絶縁膜埋め込み
（ｄ）絶縁膜のエッチバック
（ｄ’）ゲートトレンチ２５の形成
（ｅ）（犠牲酸化兼）エッチバック後酸化アニール，ウェットエッチング
（ｆ）ゲート電極２２，２６の形成
（ｇ）N^+ ソース領域３１の形成
（ｈ）コンタクト，コンタクトP^+ 領域３２の形成
（ｉ）ソース電極３０，ドレイン電極１０の形成

以下，工程（ａ）～工程（ｉ）の詳細について述べる。

【００４０】

まず，N^+ ドレイン領域１１となるN^+ 基板上に，N^- 型シリコン層をエピタキシャル成長により形成する。このN^- 型シリコン層（エピタキシャル層）は，N^- ドリフト領域１２，P^- ボディ領域４１，N^+ ソース領域３１，コンタクトP^+ 領域３２の各領域となる部分である。

【００４１】

次に，半導体基板の上面側に，不純物として例えばボロン（Ｂ）のイオン注入を行い，その後の熱拡散処理によってP^- ボディ領域４１を形成する。次に，半導体基板上にＨＴＯ（High Temperatuer Oxide）などのハードマスク９１を形成し，そのハードマスク９１上にレジストを形成する。そして，ゲートトレンチ２１および終端トレンチ６２用のパタ

ーニングを行う。次に，マスクドライエッチングを行った後，トレンチドライエッチングを行う。このトレンチドライエッチングにより，P^- ボディ領域４１を貫通するゲートトレンチ２１および終端トレンチ６２がまとめて形成される（図３：工程（ａ））。トレンチドライエッチングを行った後，不要なレジストは除去する。

【００４２】

次に，熱酸化処理を行うことにより，各トレンチのそれぞれの壁面に３０ｎｍ程度の厚さの犠牲酸化膜を形成する。犠牲酸化膜は，各トレンチの側壁にイオン注入を行わないようにするためのものである。次に，各トレンチの底面から不純物として例えばボロン（Ｂ）のイオン注入を行う。そしてその後の熱拡散処理により，Ｐフローティング領域５１を形成する（図３：工程（ｂ））。イオン注入を行った後，不要なハードマスク９１は除去する。その後，ＣＤＥ（Chemical Dry Etching）等の等方的なエッチング法を利用して各トレンチの壁面を平滑化する。

【００４３】

次に，ＣＶＤ（Chemical Vapor Deposition）法によって各ゲートトレンチ２１および各終端トレンチ６２内に絶縁膜９２を堆積する（図３：工程（ｃ））。絶縁膜９２としては，例えばＴＥＯＳ（Tetra-Ethyl-Orso-Silicate）を原料とした減圧ＣＶＤ法，あるいはオゾンとＴＥＯＳとを原料としたＣＶＤ法によって形成されるシリコン酸化膜が該当する。この絶縁膜９２が，図１中の堆積絶縁層２３，２９となる。

【００４４】

次に，絶縁膜９２上にレジスト９０を形成し，ゲートトレンチ２１およびゲートトレンチ２５用のパターニングを行う。そして，そのレジスト９０をマスクとして絶縁膜９２に対してエッチバックを行う（図４：工程（ｄ））。これにより，絶縁膜９２の一部が除去され，トレンチゲート２１内のゲート電極２２を形成するためのスペースが確保される。さらにこのエッチバックにて，ゲートトレンチ２５が設けられる部位上の絶縁膜９３が除去され，シリコンの一部が露出する。エッチバック後は，レジスト９０を除去する。

【００４５】

なお，パターニングの際，トレンチゲート２１の側壁に，５０ｎｍ程度の厚さの絶縁膜９３が残るようにレジストパターンを形成する。この残された絶縁膜は，ゲートトレンチ２５用のトレンチエッチングの際にエッチング保護膜として作用する。

【００４６】

次に，絶縁膜９３をマスクとして半導体基板に対してトレンチドライエッチングを行う。これにより，ゲートトレンチ２１よりも浅く，底部がＰフローティング領域に囲まれていないゲートトレンチ２５が形成される（図４：工程（ｄ’））。

【００４７】

次に，熱酸化処理として９００℃～１０５０℃程度の熱酸化を行い，ＣＶＤによる酸化膜９２の接合箇所を強固にする。この熱酸化処理は，ゲートトレンチ２５の壁面への犠牲酸化膜の形成を兼ねる。その後，各トレンチの壁面に形成された酸化膜をウェットエッチングにて除去する。その際，犠牲酸化膜の除去も兼ねる。これにより，ドライエッチングによるダメージ層が除去される（図４：工程（ｅ））。

【００４８】

次に，熱酸化処理を行い，シリコン表面に膜厚が４０ｎｍ～１００ｎｍの範囲内の熱酸化膜を形成する。この熱酸化膜が，図１中のゲート酸化膜２４，２７となる。次に，エッチバックにて確保したスペースに対し，ゲート材を堆積する。具体的にゲート材の成膜条件としては，例えば反応ガスをSiH_4 を含む混合ガスとし，成膜温度を５８０℃～６４０℃とし，常圧ＣＶＤ法によって８００ｎｍ程度の膜厚のポリシリコン膜を形成する。その後，堆積したゲート材に対してリン（Ｐ）を注入・拡散し，さらにエッチバックを行うことにより，ゲート電極２２，２６が形成される（図４：工程（ｆ））。

【００４９】

次に，半導体基板上にN^+ ソース領域３１用のレジストパターンを形成し，リン（Ｐ）を注入・拡散することにより，N^+ ソース領域３１を形成する（図５：工程（ｇ））。そ

の後，セル領域上の絶縁膜９２を除去し，半導体基板上に層間絶縁層３３を形成する。なお，ゲートトレンチ２５用のマスクパターンをN^+ソース領域３１用のレジストパターンとして利用することもできる。その場合，N^+ソース領域３１用のフォトリソグラフィ工程を省略することができる。

【００５０】

次に，その層間絶縁層３３に対してコンタクトホールを形成する。その後，コンタクトホールを介して半導体基板の露出している部位に対してボロン（Ｂ）を注入・拡散することにより，コンタクトP^+領域３２を形成する（図５：工程（ｈ））。最後に，ソース電極３０，ドレイン電極１０等を形成することにより，トレンチゲート型の半導体装置１００が作製される（図５：工程（ｉ））。

【００５１】

本製造プロセスは，従来の半導体装置９００の製造プロセスと比較して，工程（ｄ’）が追加されるのみである。すなわち，工程（ｄ’）を追加するだけで深さが異なる２種類のゲートトレンチを作製することができる。なお，コンタクトP^+領域３２を形成する手順が本製造プロセスでは工程（ｈ），従来の製造プロセスでは工程（ｇ）と異なるが，工程数の増加はない。

【００５２】

具体的に，従来の製造プロセス（図３，図１１，図１２参照）にて半導体装置１００を製造する場合には，次の手順による。すなわち，工程（ａ）から工程（ｆ）まで行ってゲート電極２２を内蔵したゲートトレンチ２１を形成した後，再度工程（ａ），工程（ｅ），工程（ｆ）を行う必要がある。すなわち，本形態の製造プロセスと比較して，工程（ｅ）ないし工程（ｆ）の分だけ工程数が多い。よって，本製造プロセスがシンプルであることがわかる。

【００５３】

以上詳細に説明したように第１の形態の半導体装置１００は，N^-ドリフト領域１２内に埋め込まれたＰフローティング領域５１によって高耐圧化を図ることとしている。このＰフローティング領域５１は，Ｐフローティング領域５１から広がる空乏層同士が繋がるピッチで設けられている。そのため，Ｐフローティング領域５１のピッチは広く，ドリフト抵抗成分は小さい。また，半導体装置１００は，Ｐフローティング領域５１の形成に供するゲートトレンチ２１，２１間に，ゲートトレンチ２１よりも深さが浅いゲートトレンチ２５を設けることとしている。そして，このゲートトレンチ２５内にもゲート電極２６を設けることとしている。そのため，半導体装置１００は，チャネル密度が高く，結果としてチャネル抵抗成分が小さい。つまり，ドリフト抵抗成分およびチャネル抵抗成分がともに小さいことから，結果としてオン抵抗が低い。従って，高耐圧化とともに，低オン抵抗化が確実に図られた半導体装置が実現している。

【００５４】

また，半導体装置１００の製造プロセスは，従来の半導体装置の製造プロセスに工程（ｄ’）を加えるのみである。具体的に，本形態の製造プロセスでは，洗浄処理（工程（ｅ））およびゲート電極形成処理（工程（ｆ））については，ゲートトレンチ２１とゲートトレンチ２５とで共用していることから工程数が少ない。

【００５５】

また，Ｐフローティング領域５１をゲートトレンチ２１の底部からのイオン注入によって形成している。すなわち，N^-ドリフト領域１２（エピタキシャル層）を形成した後にＰフローティング領域５１を形成している。そのため，エピタキシャル成長工程を繰り返す必要がない。また，Ｐフローティング領域５１の形成後の熱負荷が小さく，Ｐフローティング領域５１のサイズの制御性が良好である。

【００５６】

［第２の形態］

第２の形態に係る半導体装置２００は，図６の断面図に示す構造を有している。半導体装置２００の特徴は，ゲートトレンチが梯子状に配設されていることにある。この点，ゲ

ートトレンチがストライプ状に配設されている第１の形態と異なる。なお，図６中，図１で示した半導体装置１００と同一記号の構成要素は，その構成要素と同一機能を有するものである。

【００５７】

半導体装置２００では，図６に示したようにゲートトレンチ２１，２１間に位置するゲートトレンチ６１がゲートトレンチ２１と直交する方向に配設されている。そして，そのゲートトレンチ６１の両端がゲートトレンチ２１の側面と繋がっており，ゲートトレンチ全体として梯子状をなしている。また，ゲートトレンチ６１内には，ゲート電極６２およびゲート酸化膜６３が設けられており，ゲート電極６２はゲート電極２２と繋がっている。

【００５８】

半導体装置２００は，第１の形態と同様の製造プロセスにて製造可能である。すなわち，第１の形態での工程（ｄ’）にてゲートトレンチ２１と交差するゲートトレンチ６１を形成する。

【００５９】

すなわち，第２の形態の半導体装置２００は，第１の形態と同様に，ゲートトレンチ２１，２１間に位置するゲートトレンチ６１によってチャネル密度が高い。よって，チャネル抵抗が低い。また，半導体装置２００は，ゲートトレンチ２１に対して直交方向にゲートトレンチ２５を設け，ゲートトレンチ２１とゲートトレンチ２５とを繋いでいる。このような配置とすると，ゲートトレンチ２１のピッチが狭い場合（特に，ゲートトレンチ２１，２１間が２μｍ以下となってしまう場合）であってもチャネル密度の高密度化を図ることができる。例えば，ゲートトレンチ２１，２１間に配置するゲートトレンチをゲートトレンチ２１と平行に形成できない，さらにはそのゲートトレンチ周辺に極細幅の領域を形成できないときに，特に有効である。

【００６０】

なお，本形態の半導体装置２００では，ゲートトレンチを梯子状に配設しているが，これに限るものではない。例えば，網目状に配設してもよい。

【００６１】

［第３の形態］

第３の形態に係る半導体装置３００は，図７の断面図に示す構造を有している。半導体装置３００の特徴は，N^- ドリフト領域１２中に埋め込まれたＰフローティング領域５３が半導体基板の厚さ方向から見てドット状に配置されていることにある。この点，Ｐフローティング領域５１がストライプ状に配置されている第１の形態と異なる。なお，図７中，図１で示した半導体装置１００と同一記号の構成要素は，その構成要素と同一機能を有するものである。

【００６２】

半導体装置３００では，図７に示したようにゲート電極７２を内蔵し，ストライプ状に配設されたゲートトレンチ７１が設けられている。ゲート電極７２は，ゲート絶縁膜７４によりN^+ ソース領域３１およびP^- ボディ領域４１から絶縁されている。半導体装置３００では，ゲート電極７２への電圧印加によりP^- ボディ領域４１にチャネル効果を生じさせ，もってN^+ ソース領域３１とN^- ドリフト領域１２との間の導通をコントロールしている。

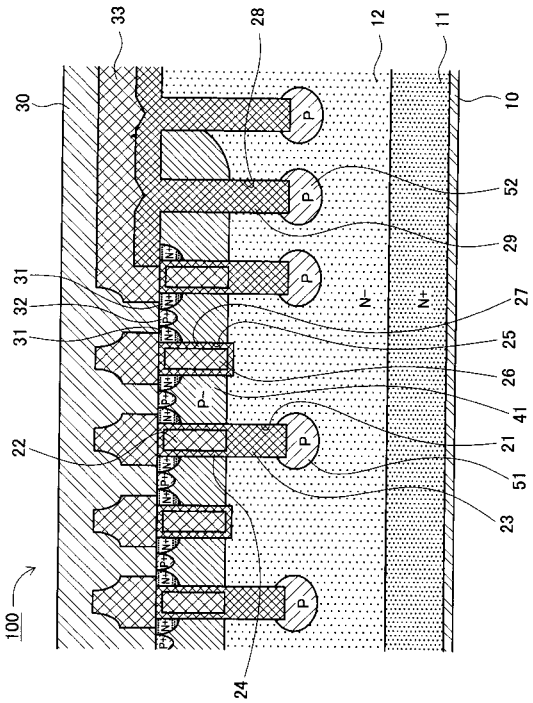
【００６３】

また，半導体装置では，ゲートトレンチ７１の底部に開口部を有するとともに内部が絶縁層７３にて充填されているホール７５が設けられている。さらに，N^- ドリフト領域１２内に埋め込まれるとともにホール７５の底部を囲むＰフローティング領域５３が設けられている。Ｐフローティング領域５３は，ホール７５の底部からイオン注入することによってN^- ドリフト領域１２中に埋め込まれるため，図８の上面透視図に示すようにドット状に配設される。このＰフローティング領域５３により，第１の形態と同様に高耐圧化が図られる。

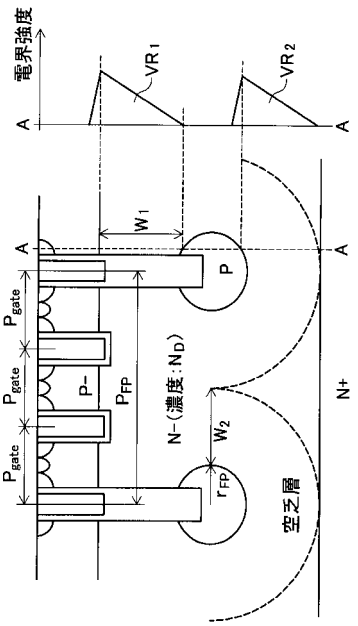
【００６４】
また，隣り合うゲートトレンチ７１およびＰフローティング領域５３は，ブレイクダウンする直前でＰフローティング領域５３から広がる空乏層同士が繋がるピッチで設けられている。また，ホール７５のピッチは，ゲートトレンチ７１の長手方向と，それに直交する方向とが略同一である。
【００６５】
半導体装置３００は，第１の形態と同様の製造プロセスにて製造可能である。すなわち，第１の形態での工程（ａ）にてホール７５を形成する。このときホール部７５は，半導体基板の上面から見てゲートトレンチ７１が形成される仮想線上に設けられる。そして，工程（ｂ）にてホール７５の底部からイオン注入を行い，ドット状のＰフローティング領域５３を形成する。そして，工程（ｄ）にてホール７５上に位置するゲート電極７２のためにスペースを確保し，工程（ｄ’）にてその仮想線上にゲートトレンチ７１を形成する。これにより，ホール７５の開口部がゲートトレンチ７１の底部に位置することになる。その後，ゲート電極の形成等を経て半導体装置３００が形成される。
【００６６】
従来の製造プロセス（図３，図１１，図１２参照）にて半導体装置３００を製造する場合には，工程（ａ）から工程（ｆ）まで行ってホール７５上に位置するゲート電極７２を形成した後，再度工程（ａ），工程（ｅ），工程（ｆ）を行う必要がある。すなわち，本形態の製造プロセスと比較して，工程（ｅ）ないし工程（ｆ）の分だけ工程数が多い。よって，本製造プロセスがシンプルであることがわかる。
【００６７】
以上詳細に説明したように第３の形態の半導体装置３００は，ゲートトレンチ７１の下方にホール部７５を設け，そのホール部７５の底部からのイオン注入によってなるドット状のＰフローティング領域５３が設けることとしている。そのため，フローティング領域５１がストライプ状に設けられている第１の形態と比較して，Ｐフローティング領域５３の密度が小さい。そのため，高耐圧でありながらドリフト抵抗成分（ＪＦＥＴ抵抗成分）の低減が図られる。よって，低オン抵抗化を一層図ることができる。
【００６８】
なお，Ｐフローティング領域５３をドット状に配設する場合，図９の上面透視図に示すようにホール７５を千鳥状に配設することでＰフローティング領域５３，５３間の距離を均一化することができる。よって，より高耐圧化が図られる。
【００６９】
また，ゲートトレンチ７１，７１間に，第１の形態と同様にゲート電極７２と電気的に接続された領域を内蔵するゲートトレンチを設けてもよい。このようにすることで，より一層の低オン抵抗化が図られる。この場合，そのゲートトレンチは，ゲートトレンチ７１と同一の工程で形成される。
【００７０】
なお，本実施の形態は単なる例示にすぎず，本発明を何ら限定するものではない。したがって本発明は当然に，その要旨を逸脱しない範囲内で種々の改良，変形が可能である。例えば，ゲート絶縁膜２４については，酸化膜に限らず，窒化膜等の他の種類の絶縁膜でもよいし，複合膜でもよい。また，半導体についても，シリコンに限らず，他の種類の半導体（ＳｉＣ，ＧａＮ，ＧａＡｓ等）であってもよい。
【００７１】
また，トレンチゲート２１の配置は，ストライプ形状に限定するものではない。例えば，トレンチゲート２１は同心のリング形状であってもよい。
【００７２】
また，実施の形態の半導体装置は，伝導度変調型パワーＭＯＳ（ＩＧＢＴ）に対しても適用可能である。
【図面の簡単な説明】
【００７３】

【図１】第１の形態に係るトレンチゲート型半導体装置の構造を示す断面図である。
【図２】ゲートトレンチのピッチの条件に必要な各変数の概略を示す図である。
【図３】第１の形態に係るトレンチゲート型半導体装置の製造工程を示す図（その１）である。
【図４】第１の形態に係るトレンチゲート型半導体装置の製造工程を示す図（その２）である。
【図５】第１の形態に係るトレンチゲート型半導体装置の製造工程を示す図（その３）である。
【図６】第２の形態に係るトレンチゲート型半導体装置の構造を示す断面図である。
【図７】第３の形態に係るトレンチゲート型半導体装置の構造を示す断面図である。
【図８】図７に示したトレンチゲート型半導体装置を上面から見た構造（例１）を示す上面透視図である。
【図９】図７に示したトレンチゲート型半導体装置を上面から見た構造（例２）を示す上面透視図である。
【図１０】従来のトレンチゲート型半導体装置の構造を示す断面図である。
【図１１】従来の形態に係るトレンチゲート型半導体装置の製造工程を示す図（その１）である。
【図１２】従来の形態に係るトレンチゲート型半導体装置の製造工程を示す図（その２）である。
【符号の説明】
【００７４】
１０　ドレイン電極
１１　N^+ ドレイン領域
１２　N^- ドリフト領域（ドリフト領域）
２１　第１ゲートトレンチ（トレンチ部）
２２　ゲート電極（ゲート電極）
２３　堆積絶縁層
２４　ゲート絶縁膜
２５　第２ゲートトレンチ（中間トレンチ部）
２６　ゲート電極（ゲート電極）
３０　ソース電極
３１　N^+ ソース領域
４１　P^- ボディ領域（ボディ領域）
５１　Ｐフローティング領域（フローティング領域）
５３　Ｐフローティング領域（フローティング領域）
６１　第３ゲートトレンチ（中間トレンチ部）
６２　ゲート電極（ゲート電極）
７１　ゲートトレンチ（トレンチ部）
７２　ゲート電極（ゲート電極）
７５　ホール（ホール部）
１００　半導体装置（半導体装置）

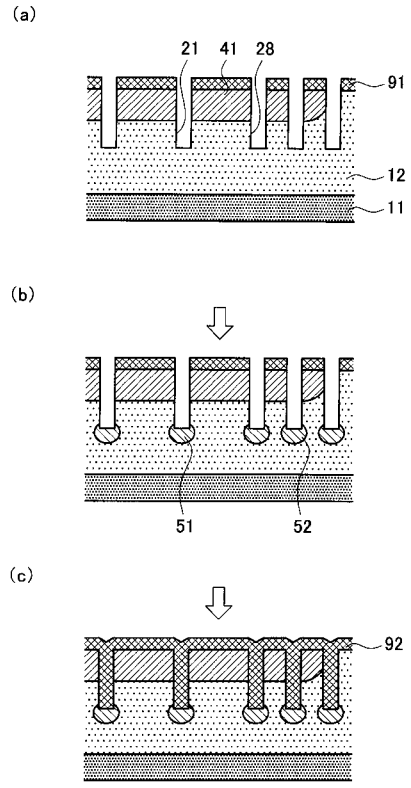
【図１】


33
28
12
11
30
10
52
29
31
27
32
25
31
26
41
21
22
51
23
24
100
P
N
N+
P-

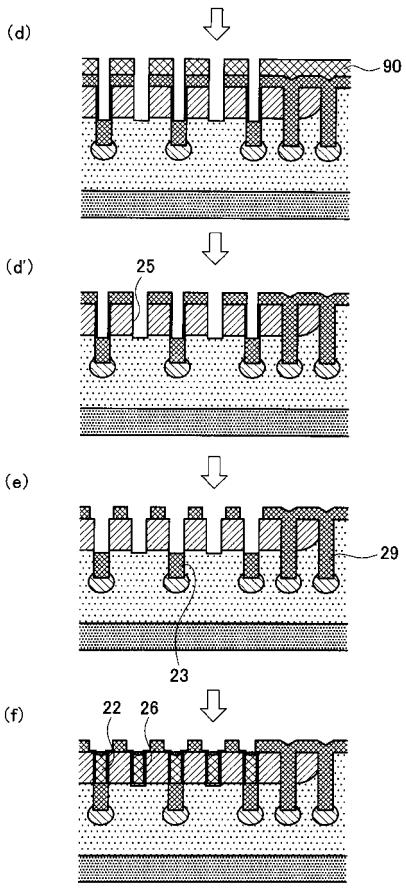
【図２】


電界強度
VR1
VR2
A
A
W1
P
Pgate
Pgate
Pgate
P-
PFP
N-（濃度：ND）
W2
rFP
空乏層
N+

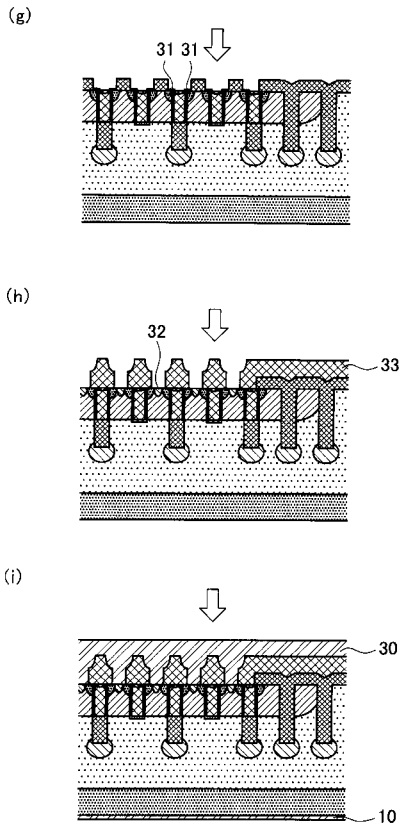
【図３】


(a)
21
41
28
91
12
11
(b)
51
52
(c)
92

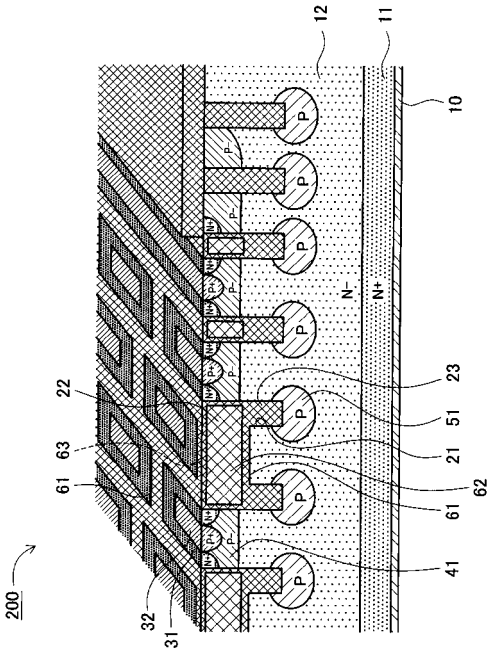
【図４】


(d)
90
(d')
25
(e)
29
23
(f)
22
26

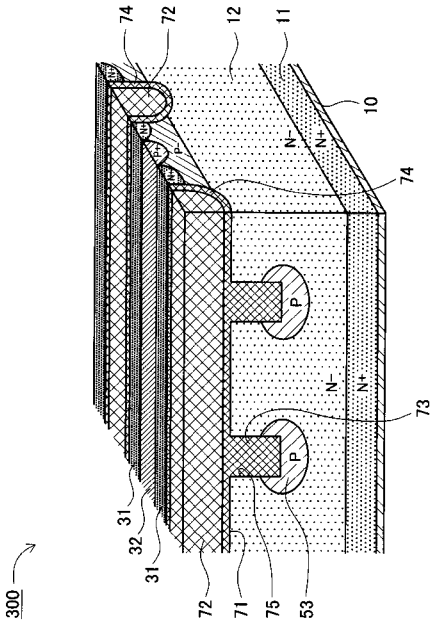
【図５】


(g)
31 31
(h)
32
33
(i)
30
10

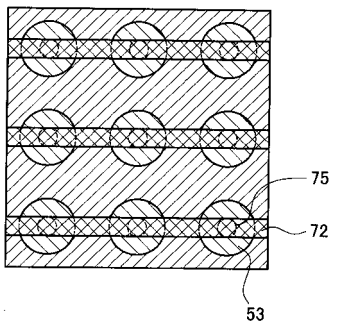
【図６】


12
11
10
N-
N+
P
22
23
51
21
63
61
62
61
41
200
32
31

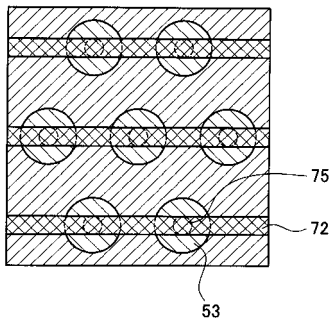
【図７】


74
72
12
11
10
N-
N+
74
P
73
31
32
31
72
71
75
53
300

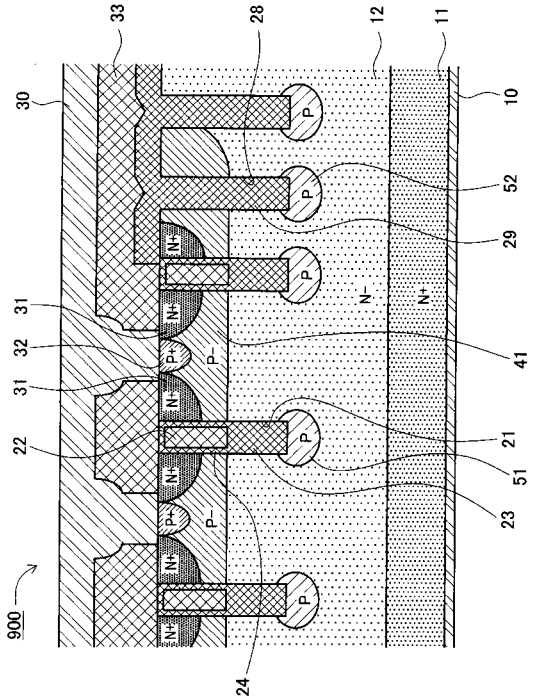
【図８】


75
72
53

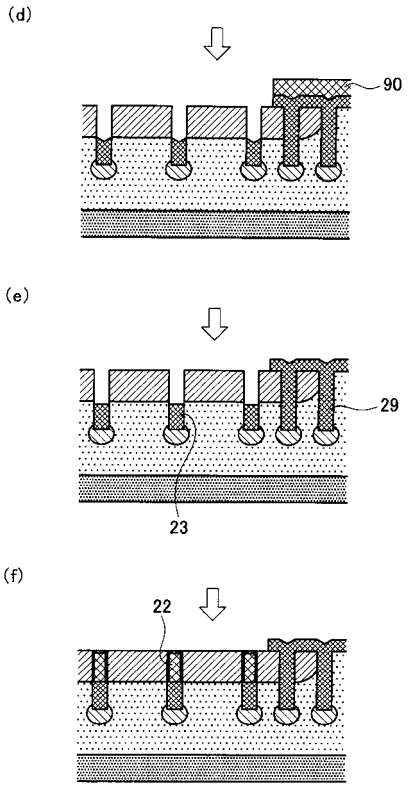
【図９】


75
72
53

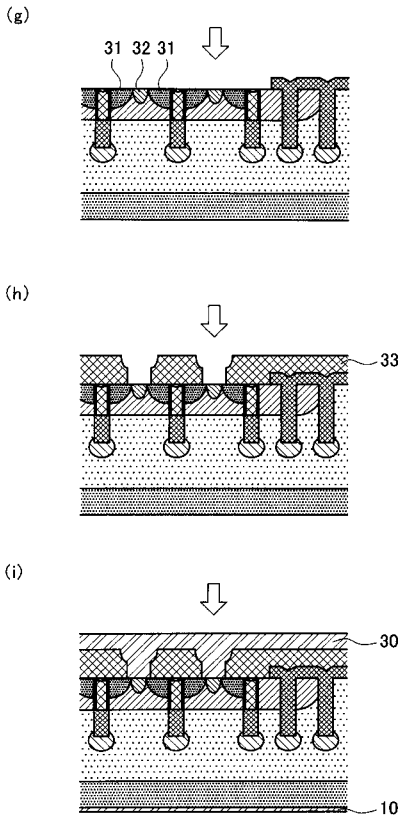
【図１０】


33
28
12
11
30
10
52
29
31
32
41
31
22
21
51
23
900
24
P
N+
P+
N−

【図１１】


(d)
90
(e)
29
23
(f)
22

【図１２】


(g)
31 32 31
(h)
33
(i)
30
10

フロントページの続き

(51)Int.Cl.	FI	テーマコード（参考）
	H01L 29/78 658G	

(72)発明者 大倉 康嗣
愛知県刈谷市昭和町１丁目１番地 株式会社デンソー内
(72)発明者 黒柳 晃
愛知県刈谷市昭和町１丁目１番地 株式会社デンソー内
(72)発明者 戸倉 規仁
愛知県刈谷市昭和町１丁目１番地 株式会社デンソー内