

(12) 发明专利申请

(10) 申请公布号 CN 103018512 A

(43) 申请公布日 2013.04.03

(21) 申请号 201110285769.9

(22) 申请日 2011.09.23

(71) 申请人 北京普源精电科技有限公司

地址 102206 北京市昌平区沙河镇躁河村
156 号

(72) 发明人 黄瑜清 龚桂强 王悦 王铁军
李维森

(51) Int. Cl.

G01R 13/02 (2006.01)

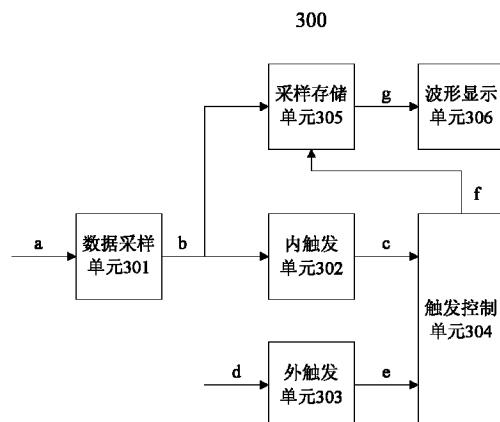
权利要求书 2 页 说明书 8 页 附图 5 页

(54) 发明名称

一种具有外触发功能的示波器

(57) 摘要

本发明提供了一种具有外触发功能的示波器，包括：一个数据采样单元，用于依据一个采样时钟对被测信号进行数字采样，获得采样数据；一个外触发单元，用于对一个外部引入信号进行电平比较处理，产生外触发信号；一个触发控制单元，用于对所述外触发信号执行数字化采样操作，并依据该数字化采样的结果，产生所述触发控制信号；一个采样存储单元，用于依据所述触发控制信号对所述采样数据进行存储，产生用于波形显示的波形显示数据。本发明通过对所述外触发信号执行数字化采样操作实现了外触发功能，且外触发由数字部分实现，消除了因模拟器件的离散性、不可控延时等引起的精度误差。



1. 一种具有外触发功能的示波器，包括：

一个数据采样单元，用于依据一个采样时钟对被测信号进行数字采样，获得采样数据；

一个外触发单元，用于对一个外部引入信号进行电平比较处理，产生外触发信号；

一个触发控制单元，用于依据所述外触发信号，产生一个触发控制信号；

一个采样存储单元，用于依据所述触发控制信号对所述采样数据进行存储，产生用于波形显示的波形显示数据；

其特征在于：

所述触发控制单元用于对所述外触发信号执行数字化采样操作，并依据该数字化采样的结果，产生所述触发控制信号。

2. 如权利要求 1 所述的示波器，其特征在于，

所述触发控制单元由一个可编程逻辑器件构成。

3. 如权利要求 1 或 2 所述的示波器，其特征在于，

所述触发控制单元包括：

一个时钟分配子单元，用于依据一个主时钟，产生 N 个频率相同、相位不同的过采样时钟，所述 N 大于或等于 4；

一个过采样子单元，用于响应于所述 N 个过采样时钟，对所述外触发信号进行数字化采样操作，产生数字化的外触发信号；

一个触发逻辑子单元，用于依据所述数字化的外触发信号，产生所述触发控制信号。

4. 如权利要求 3 所述的示波器，其特征在于，

所述过采样子单元包括：

一个串并转换模块，用于响应于所述 N 个过采样时钟，对所述外触发信号进行并行数字化采样，获得 N 路过采样触发数据；

一个数据重排模块，用于按照并行数字化采样的时间顺序，对所述 N 路过采样触发数据进行交叉排列组合，获得数字化的外触发信号。

5. 如权利要求 4 所述的示波器，其特征在于，

所述串并转换模块包括 N 个串行采样模块，所述时钟分配子单元将所述 N 个过采样时钟一对一的分配到 N 个串行采样模块，每一个所述串行采样模块包括：

一个延时线子模块，用于对所述外触发信号进行时间延迟，得到延时后的外触发信号；

一个高速串行采样子模块，用于依据所述时钟分配子单元分配的过采样时钟，对所述延时后的外触发信号进行数字化采样，产生相对应的一路过采样触发数据。

6. 如权利要求 3 所述的示波器，其特征在于，

所述 N 个过采样时钟之间具有相同的相位差。

7. 如权利要求 6 所述的示波器，其特征在于，

所述 N 个过采样时钟的相位在半个过采样时钟周期内均匀分布。

8. 如权利要求 5 所述的示波器，其特征在于，

所述串并转换模块包括 4 个串行采样模块，所述时钟分配子单元产生相邻相位差为 $\pi/4$ 的 4 个过采样时钟。

9. 如权利要求 3 所述的示波器，其特征在于，
一个所述过采样时钟与所述主时钟具有相同的相位；
所述主时钟与所述采样时钟具有相同的相位。
10. 如权利要求 3 所述的示波器，其特征在于，
所述触发逻辑子单元用于依据所述数字化的外触发信号获得外触发时刻，并在所述外触发时刻产生所述触发控制信号。

一种具有外触发功能的示波器

技术领域

[0001] 本发明涉及测试测量技术领域,特别是涉及一种具有外触发功能的示波器。

背景技术

[0002] 示波器是一种用途十分广泛的电子测量仪器,它能把人眼看不见的电信号转换成人眼可见的波形图像,便于人们研究各种电信号的变化过程。传统的模拟示波器采用模拟电路(示波管),其电子枪向屏幕发射电子,发射的电子经聚焦形成电子束,并打到内表面涂有荧光物质的屏幕上,这样电子束打中的点就会发出光,从而描绘出波形曲线。数字存储示波器(Digital Storage oscilloscopes, DSO),简称数字示波器,是通过模数转换器把被测量信号转换为数字信息并进行存储,并利用存储的数据重建波形信号并在示波器的屏幕上进行显示。

[0003] 触发是示波器的核心功能之一,目前的数字示波器大多采用数字触发,触发信号的处理以及触发方式的扩展可以由数字部分完成。在现有技术中,已经公开的具有数字触发功能的示波器有多种。

[0004] 例如,中国专利CN200780010628.8“无死区时间数据获取”,公开了一种具有数字触发功能的数字示波器。参照图1(a),数字示波器100的数据采样单元101对被测信号a进行数据采样,获得数字化的采样数据b;触发控制单元102依据采样数据b产生一个触发控制信号f;采样存储单元103依据触发控制信号f对采样数据b进行存储,产生波形显示数据g,以供波形显示单元104进行波形显示。

[0005] 通常的,获得采样数据之后、产生触发控制信号之前,还会对采样数据进行预处理操作。例如,美国专利US7072804“Digital trigger filter for a real time digital oscilloscope(用于数字示波器的数字触发滤波器)”,公开了一种具有数字触发功能的数字示波器,参考图1(b),该示波器100除了具有数据采样单元101、触发控制单元102、采样存储单元103和波形显示单元104之外,还具有一个内触发单元105,即数字滤波器,连接在数据采样单元101和触发控制单元102之间,用于对采样数据b进行滤波操作,该滤波操作属于预处理操作中的一种,它产生一个内触发信号c;触发控制单元102依据内触发信号c产生触发控制信号f。所述滤波操作可以包括AC、DC、HF-R(高频抑制)和LF-R(低频抑制)等,用以去除采样数据b中的某些频率成分,从而使触发控制单元102的触发功能更加稳定,以保证在波形显示单元104得到稳定触发的波形。

[0006] 现有技术公开的依据内触发信号c产生触发控制信号f的触发类型为通道触发;还有一种触发类型为外触发,如图2所示,为一种具有外触发功能的数字示波器,触发功能的实现由模拟部分完成。当进行外触发时,示波器200的触发比较器(为模拟比较器)201将外触发源产生的外部引入信号d与一个预置触发电平进行比较,产生比较信号h;当进行通道触发时,触发比较器201将被测信号a与一个预置触发电平进行比较,产生比较信号h。时间测量单元202依据所述比较信号获得触发时刻与采样时钟的时间差i,具体的,时间测量单元202由模拟器件构成,其通过电容充放电的时间得到时间差i。触发控制单元203依

据该时间差 i 产生一个触发控制信号 f ；数据采样单元 204 对被测信号 a 进行数据采样，获得数字化的采样数据 b ；采样存储单元 205 依据触发控制信号 f 对采样数据 b 进行存储，产生波形显示数据 g ，以供波形显示单元 206 进行波形显示。

[0007] 现有的外触发需要由模拟器件实现，由于模拟器件具有一定的离散性，因此会给触发系统带来随机的精度误差，而模拟器件的不可控延时差别，会导致不同通道间具有不同的触发延迟。这些都需要在数字部分增加校准进行调整和平衡，无形之中降低了触发的工作效率，更加剧了数字部分的设计和调试复杂度。

发明内容

[0008] 本发明所要解决的技术问题是提供一种具有外触发功能的示波器，能够实现全数字的外触发功能。

[0009] 为了解决上述问题，本发明公开了一种具有外触发功能的示波器，包括：

[0010] 一个数据采样单元，用于依据一个采样时钟对被测信号进行数字采样，获得采样数据；

[0011] 一个外触发单元，用于对一个外部引入信号进行电平比较处理，产生外触发信号；

[0012] 一个触发控制单元，用于对所述外触发信号执行数字化采样操作，并依据该数字化采样的结果，产生所述触发控制信号；

[0013] 一个采样存储单元，用于依据所述触发控制信号对所述采样数据进行存储，产生用于波形显示的波形显示数据。

[0014] 本发明通过对所述外触发信号执行数字化采样操作实现了外触发功能，并且，外触发功能由数字部分实现，消除了因模拟器件的离散性、不可控延时等带来随机的精度误差，无需在数字部分做进一步误差校准，提高了触发的工作效率，实现了数字触发功能。

[0015] 作为一种举例说明，本发明所述的触发控制单元由一个可编程逻辑器件构成。该可编程逻辑器件集成了数字化采样、触发判断、解码、以及对数据采样、采样存储、预处理、波形显示等操作的控制功能，将各种功能集成于一体，既减小了数字示波器的体积，又节约了成本。

[0016] 作为一种举例说明，本发明所述的触发控制单元包括：

[0017] 一个时钟分配子单元，用于依据一个主时钟，产生 N 个频率相同、相位不同的过采样时钟，所述 N 大于或等于 4；

[0018] 一个过采样子单元，用于响应于所述 N 个过采样时钟，对所述外触发信号进行数字化采样操作，产生数字化的外触发信号；

[0019] 一个触发逻辑子单元，用于依据所述数字化的外触发信号，产生所述触发控制信号。

[0020] 作为一种示例，在本举例说明中，所述 N 个过采样时钟之间具有相同的相位差。作为一种变形，本示例所述 N 个过采样时钟的相位在半个过采样时钟周期内均匀分布。

[0021] 作为另一种示例，在本举例说明中，一个所述过采样时钟与所述主时钟具有相同的相位；所述主时钟与所述采样时钟具有相同的相位。

[0022] 作为一种示例，在本举例说明中，所述触发逻辑子单元用于依据所述数字化的

外触发信号获得外触发时刻，并在所述外触发时刻产生所述触发控制信号。

[0023] 作为一种示例，本举例说明所述的过采样子单元包括：

[0024] 一个串并转换模块，用于响应于所述 N 个过采样时钟，对所述外触发信号进行并行数字化采样，获得 N 路过采样触发数据；

[0025] 一个数据重排模块，用于按照并行数字化采样的时间顺序，对所述 N 路过采样触发数据进行交叉排列组合，获得数字化的外触发信号。

[0026] 作为一种变形，本示例所述的串并转换模块包括 N 个串行采样模块，所述时钟分配子单元将所述 N 个过采样时钟一对一的分配到 N 个串行采样模块，每一个所述串行采样模块包括：

[0027] 一个延时线子模块，用于对所述外触发信号进行时间延迟，得到延时后的外触发信号；

[0028] 一个高速串行采样子模块，用于依据所述时钟分配子单元分配的过采样时钟，对所述延时后的外触发信号进行数字化采样。

[0029] 受 FPGA 数据处理速度的限制，过采样子单元的过采样率有限，不能实现较大的触发分辨率，则，利用多个并行的串行采样模块对外触发信号进行多次重复的并行采样（即过采样），从而获得较大的过采样率。相比于没有进行过采样处理的外触发信号，减小了外触发信号中相邻两个采样点之间的时间间隔，提高了触发分辨率，能够得到稳定显示的波形，缓解了显示波形的抖动。相应的，触发控制单元能够在具有较大过采样率的过采样信号中，更精确的定位触发时刻，提高了触发的可靠性。

[0030] 此外，通过延时线子模块，可以使外触发信号经过不同的传输路径后同步到达各个高速串行采样子模块，保证了并行采样的同步性。

[0031] 作为一种优选实例，在本变形中，所述串并转换模块包括 4 个串行采样模块，所述时钟分配子单元产生相邻相位差为 $\pi / 4$ 的 4 个过采样时钟。

附图说明

[0032] 图 1 是现有技术公开的具有通道触发功能数字示波器的结构示意图；

[0033] 图 2 是现有技术公开的具有外触发功能的数字示波器的结构示意图；

[0034] 图 3 是本发明一种具有外触发功能的示波器实施例的结构示意图；

[0035] 图 4 是本发明示波器实施例所述的外触发的原理示意图；

[0036] 图 5 是本发明示波器实施例的一种举例说明的结构示意图；

[0037] 图 6 是本发明所述过采样子单元的内部示意图；

[0038] 图 7 是过采样的原理示意图；

[0039] 图 8 是本发明示波器实施例的另一种举例说明的结构示意图；

[0040] 图 9 是本发明示波器实施例的又一种举例说明的结构示意图。

具体实施方式

[0041] 为了说明本发明的一种具有外触发功能的示波器，下面结合附图和具体实施方式对本发明作进一步详细的说明。

[0042] 参照图 3，示出了一种具有外触发功能的示波器的实施例的结构示意图，本实施例

提出的示波器 300，包括：数据采样单元 301、内触发单元 302、外触发单元 303、触发控制单元 304、采样存储单元 305 和波形显示单元 306。

[0043] 数据采样单元 301，其依据一个采样时钟对被测信号 a 进行数字采样，获得采样数据 b；

[0044] 内触发单元 302，其对采样数据 b 进行预处理，产生内触发信号 c；

[0045] 外触发单元 303，其对一个外部引入信号 d 进行电平比较处理，产生外触发信号 e；

[0046] 触发控制单元 304，其依据内触发信号 c 和外触发信号 e 之一，产生一个触发控制信号 f；

[0047] 采样存储单元 305，其依据触发控制信号 f 对采样数据 b 进行存储，产生用于波形显示的波形显示数据 g；

[0048] 波形显示单元 306，其依据波形显示数据 g 进行波形显示。

[0049] 本实施例所述的被测信号 a 由示波器的通道输入至数据采样单元 301 中，数据采样单元 301 相当于一个模数转换器 ADC，其依据一个采样时钟对被测信号 a 进行模拟到数字的转换，实现数据采样；之后，将得到的采样数据 b 传送至采样存储单元 305 中。一般的，在数据采样单元 301 之前还会有一个模拟前端电路，用于实现对被测信号 a 的缓冲、衰减、带宽限制等等一系列的功能。模拟前端电路的具体实现可以采用多种设计方案，此处不在赘述。

[0050] 在本实施例中，当用户选择通道触发（触发信源为通道）时，内触发单元 302 对采样数据 b 进行预处理，并将获得的内触发信号 c 传送至触发控制单元 304。触发控制单元 304 依据内触发信号 c 获得触发控制信号 f。具体的，触发控制单元 304 根据设置的触发条件执行触发判断、解码等，例如，执行脉宽计算、边沿判决、或者各种协议解码（如 RS232、SPI、CAN 解码）等，当判断满足触发条件时，获得一触发时刻，在该触发时刻下产生触发控制信号 f，用于采样存储单元 305 对采样数据 b 进行存储。

[0051] 外触发通常为边沿触发，包括上升沿触发和下降沿触发。外触发源产生一个用于实现外触发功能的外部引入信号 d，它可以是外部时钟、待测电路的信号等。

[0052] 当用户选择外触发（触发信源为外触发源）时，外触发源将外部引入信号 d 接入示波器 300 中，外触发单元 303 将外部引入信号 d 与一个预设电平进行比较，如果外部引入信号 d 小于该预设电平时，则输出低电平；如果外部引入信号 d 大于该预设电平时，则输出高电平，通过外触发单元 303 就可以将外部引入信号 d 转变为边沿陡峭的外触发信号 e。触发控制单元 304 对外触发信号 e 执行数字化采样操作，并依据该数字化采样的结果，产生触发控制信号 f。具体的，触发控制单元 304 依据该数字化采样的结果执行边沿判决，获得外触发时刻，并在所述外触发时刻产生触发控制信号 f。如图所示 4，为本发明实施例所述的外触发的原理示意图。图 4 所示的 A～E 点均为外触发信号 e 的采样点，触发控制单元 304 判断 D 点的电平由之前的 0 跳变到了 1，因此，将 D 点定为触发时刻，同时产生触发控制信号 f，用以控制采样存储单元 305 对采样数据 b 进行存储。

[0053] 本实施例所述的示波器不仅具有外触发功能和通道触发功能，而且，外触发功能由数字部分实现，消除了因模拟器件的离散性、不可控延时等带来随机的精度误差，无需在数字部分做进一步误差校准，提高了触发的工作效率，实现了数字触发功能。

[0054] 可以理解的是,本实施例所述的示波器 300 可以仅实现外触发功能,而不包括通道触发功能,也即,示波器 300 不包括内触发单元 302,触发控制单元 304 仅依据外触发信号 e,产生触发控制信号 f。

[0055] 作为一个举例说明,本实施例所述的触发控制单元 304 可以包括一个 ADC 采样芯片,用于执行数字化采样操作;作为另一个举例说明,本实施例所述的触发控制单元 304 可以由一个可编程逻辑器件构成,如,由 FPGA 或 CPLD 等器件构成,其集成了数字化采样、触发判断、解码、以及对数据采样、采样存储、预处理、波形显示等操作的控制功能,各种功能集成于一体,既减小了数字示波器的体积,又节约了成本。

[0056] 作为一个举例说明,参照图 5,本实施例所述的内触发单元 302 可以包括数字滤波子单元 501,也称为触发耦合滤波器,用于对采样数据 b 进行滤波,获得滤波数据 j,它决定信号中的哪种分量被传送到触发控制单元 304 中。触发耦合方式可以包括 AC(直流)、DC(交流)、HF-R(高频抑制) 和 LF-R(低频抑制) 等。数字滤波子单元 501 本质上是一个固定带宽的高通或低通滤波器,通过去除采样数据 b 中的某些频率成分,去除部分干扰,从而实现稳定触发,保证波形显示单元 306 能够显示稳定触发的波形。

[0057] 在本举例说明中,内触发单元 302 还可以包括粘滞比较子单元 502,其通过将滤波数据 j 与预置比较电平进行比较,获得内触发信号 c。粘滞比较子单元 502 由一系列粘滞比较器构成,每一个粘滞比较器可以是 8bit 比较精度,其预置比较电平及粘滞范围均自由可调,但不能超出可视范围(即屏幕范围)。粘滞比较器的数量由数据采样单元 301 的输出速率以及工作时钟决定,一般为 8 的整数倍。预置比较电平和粘滞范围组合后可以得到两个物理比较电平,称为上电平和下电平。如果粘滞比较器输入的滤波数据(8bit)大于上电平,则粘滞比较器输出逻辑‘1’(1bit);如果输入的滤波数据小于下电平,则粘滞比较器输出逻辑‘0’(1bit)。粘滞比较子单元 502 输出的数据量相比于输入的数据量压缩了 8 倍,大大降低了对后级各个单元处理带宽的要求。

[0058] 作为一个举例说明,如图 5 所示,本实施例所述的触发控制单元 304 可以包括:

[0059] 一个时钟分配子单元 503,其依据一个主时钟 k,产生 N 个频率相同、相位不同的过采样时钟 L,所述 N 大于或等于 4;

[0060] 一个过采样子单元 504,其响应于 N 个过采样时钟 L,对外触发信号 e 进行数字化采样操作,产生数字化的外触发信号 m;

[0061] 一个触发逻辑子单元 505,其依据数字化的外触发信号 m,产生触发控制信号 f。

[0062] 在本举例说明中,时钟分配子单元 503 相当于一个锁相环,其可以通过对一个主时钟 k(即参考时钟) 进行倍频和相移,得到具有多个相位的 N 个过采样时钟 L。过采样子单元 504 响应于 N 个过采样时钟 L,对外触发信号 e 进行数字化采样操作。触发逻辑子单元 505 依据数字化的外触发信号 m 获得外触发时刻,并在所述外触发时刻产生触发控制信号 f。N 个过采样时钟 L 之间具有相同的相位差。在本举例说明中,作为一种示例, N 个过采样时钟 L 的相位在半个过采样时钟周期内均匀分布,过采样子单元 504 进行 DDR 采样,即在过采样时钟的上升沿和下降沿均进行采样;作为一种示例, N 个过采样时钟 L 的相位在一个过采样时钟周期内均匀分布,过采样子单元 504 进行 SDR 采样,即仅在过采样时钟的上升沿或下降沿进行采样。

[0063] 作为一种示例,在本举例说明中, N 个过采样时钟 L 中的其中一个过采样时钟与主

时钟 k 具有相同的相位；主时钟 k 与用于对被测信号 a 采样的的采样时钟具有相同的相位，从而保证过采样子单元 504 的过采样操作与数据采样单元 301 的采样操作相互同步。可以理解的是，主时钟 k 与所述采样时钟可以产生自一个相同的时钟源。

[0064] 作为一种示例，如图 6 所示，本举例说明所述的过采样子单元 504 可以包括：

[0065] 一个串并转换模块 601，其响应于 N 个过采样时钟 L，对外触发信号 e 进行并行数字化采样，获得 N 路过采样触发数据 p；

[0066] 一个数据重排模块 602，其按照并行数字化采样的时间顺序，对 N 路过采样触发数据 p 进行交叉排列组合，获得数字化的外触发信号 m。

[0067] 并行数字化采样也就是过采样，串并转换模块 601 的作用就是实现信号的串并转换，即，通过并行数字化采样将一路外触发信号 e 转化为多路并行的过采样触发数据 p；之后，数据重排模块 602 按照并行数字化采样的时间顺序完成信号并行到串行的转化。通过串并转换模块 601 和数据重排模块 602，最终可获得具有较大过采样率的数字化的外触发信号 m。需要说明的是，为了区别被测信号 a 的采样率，本发明实施例中，将外触发信号 e 的采样率称之为过采样率。

[0068] 作为一种变形，在本示例中，如图 6 所示，串并转换模块 601 包括：串行采样模块 603A、串行采样模块 603B、串行采样模块 603C……串行采样模块 602N，共 N 个串行采样模块 603，结合图 5，时钟分配子单元 503 将 N 个过采样时钟 L 一对一的分配到 N 个串行采样模块 603 中，每一个串行采样模块 603 包括：

[0069] 一个延时线子模块，其对外触发信号 e 进行时间延迟，得到延时后的外触发信号；

[0070] 一个高速串行采样子模块，其依据时钟分配子单元 503 分配的过采样时钟，对延时后的外触发信号进行数字化采样，产生相对应的一路过采样触发数据 p。

[0071] 由于外触发信号 e 要分为 N 路同时输入至 N 个串行采样模块 603 中，不同的串行采样模块的传输路径不同，为了实现同步并行采样，所述延时线子模块按照一定的精度，对输入至各个串行采样模块的外触发信号 e 进行时间上的延时，使外触发信号 e 经过不同的传输路径后同步到达各个高速串行采样子模块。高速串行采样子模块的本质是一个寄存器，而且这个寄存器可以在时钟的上升沿和下降沿分别对输入信号进行一次寄存操作，实现对延时后的外触发信号进行采样。作为一个举例，高速串行采样子模块可以由 FPGA 的通用原语单元 SERDES 构成的，该通用原语单元可以对输入的延时后的外触发信号进行高速 DDR 采样或 SDR 采样。

[0072] 作为一种优选实例，在本变形中，所述 N 取值为 4，也即，串并转换模块 601 包括 4 个串行采样模块，时钟分配子单元 503 产生相邻相位差为 $\pi / 4$ 的 4 个过采样时钟。

[0073] 作为另一种优选实例，在本变形中，所述 N 取值为 5，也即，串并转换模块 601 包括 5 个串行采样模块，时钟分配子单元 503 产生相邻相位差为 $\pi / 5$ 的 5 个过采样时钟。

[0074] 下面，结合图 5、图 6 和图 7，对本优选实例实现外触发的过程做详细说明，其中，图 7 为过采样的原理示意图。在本优选实例中，图 6 所示的串并转换模块 601 包括：串行采样模块 602A、串行采样模块 602B、串行采样模块 602C、串行采样模块 602D 和串行采样模块 602E 共 5 个串行采样模块。假设图 5 所示的时钟分配子单元 503 产生 5 个过采样时钟 clk_a、clk_b、clk_c、clk_d 和 clk_e，其频率均为 500MHz，过采样时钟周期为 2ns。时钟分配子单元 503 以过采样时钟 clk_a 为基准，对其余 4 个过采样时钟 clk_b ~ clk_e 依次增

加 $180^\circ / 5 = 36^\circ$ 的相移,使 5 个过采样时钟在每半个过采样时钟周期内均匀分布。5 个串行采样模块 602 分别依据对应的 5 个过采样时钟,进行并行 DDR 采样,其中:过采样时钟 c1k_a 驱动串行采样模块 602A,得到一路过采样触发数据 data_a;过采样时钟 c1k_b 驱动串行采样模块 602B,得到另一路过采样触发数据 data_b..... 依此类推,可获得 5 路过采样触发数据,分别对应为 data_a、data_b、data_c、data_d 和 data_e,每一路过采样触发数据均为 1GSa/s 的采样率。

[0075] 之后,数据重排模块 602 针对各个过采样触发数据,按照数字化采样的时间先后顺序进行交叉排列、重新组合,如图 7 所示, data_a 至 data_e 中标注了数据重新排列的先后关系,依次为 :data_a(n)、data_b(n+1)、data_c(n+2)、data_d(n+3)、data_e(n+4)、data_a(n+5)、data_b(n+6)、data_c(n+7)、data_d(n+8)、data_e(n+9)..... 依此类推。

[0076] 对于串行采样模块 602A,由于过采样时钟 c1k_a 的时钟频率为 500MHz,因此,串行采样模块 602A 的采样率为 1GSa/s,即采样周期为 1ns。如果串并转换模块 601 只由一个串行采样模块 602A 组成,那么过采样子单元 504 的采样周期也就只有 1ns,相应的,外触发信号 e 的触发精度也就只有 1ns。对于在等效周期小于 1ns 的时基档位情况下,外触发只能得到宽度至少为 1ns 的“粗”波形,所述等效周期为屏幕上每两个像素之间的时间间隔。如果过采样子单元 504 包括 5 个相同的串行采样模块,且 5 个过采样时钟的相位在半个周期内均匀分布,那么综合考虑 5 个串行采样模块输出的数据并且对它们按相位(采样时间先后)顺序重新排列(如图 7 中,过采样触发数据按 n、n+1、n+2..... 的顺序排列),则排序后产生的数字化的外触发信号 m 中采样点之间的时间间隔为 $2ns/10 = 200ps$,即采样周期为 200ps,采样率为 5GSa/s,触发精度为 200ps。由此可知,使用 N 个串行采样模块并行采样,可以有效提高外触发信号 e 的采样率,从而提高触发的分辨率,降低显示波形的抖动。此外,结合图 4 和图 7,可以看出,触发逻辑子单元 505 能够在具有较大过采样率的外触发信号 e 中,更精确的定位触发时刻,即,将图 7 中的 X 点确定为触发时刻。

[0077] 从上述可以看出,如果触发控制单元 304 集成在可编程逻辑器件上,受 FPGA 数据处理速度的限制,过采样子单元 504 的过采样率有限,不能实现较大的触发分辨率。而本优选实例利用多个并行的串行采样模块对外触发信号 e 进行多次重复的并行采样(即过采样),从而获得较大的过采样率。相比于没有进行过采样处理的外触发信号 e,减小了外触发信号 e 中相邻两个采样点之间的时间间隔,提高了触发分辨率,能够得到稳定显示的波形,缓解了显示波形的抖动。相应的,触发逻辑子单元 505 能够在具有较大过采样率的过采样信号中,更精确的定位触发时刻,提高了触发的可靠性。

[0078] 作为一个举例说明,示波器 300 可以包括两个测量通道,数据采样单元 301 由一个具有双 A/D 转换电路的 ADC 构成,一个 A/D 转换电路对应一个通道,对相应通道接入的被测信号 a 进行采样。作为另一个举例说明,示波器 300 还可以包括 4 个测量通道,相应的,数据采样单元 301 由两个具有双 A/D 转换电路的 ADC 构成。

[0079] 作为另一个举例说明,如图 8 所示,本实施例所述的示波器 300 还可以包括:交织控制单元 801、内插器 802 和中央控制单元 803。交织控制单元 801,其根据每个通道的开通情况,对数据采样单元 301 输出的采样数据 b 进行相应的组合排列操作,生成交织后的采集数据 q,并分别输入至数字滤波子单元 501 和采样存储单元 305 中。通过交织控制单元 801 可以实现被测信号 a 的高速采样率。内插器 802,其对采样存储单元 305 中的波形显示数据

g 进行数据内插处理，并将内插后的波形显示数据 r 输入至波形显示单元 306 中进行显示，通过内插处理可以实现波形在时间轴上的放大。在本举例说明中，将触发功能和控制功能分两个器件独立处理，触发控制单元 304 专门用于产生触发控制信号 f，实现触发功能；中央控制单元 803，其依据触发控制单元 304 产生的触发控制信号 f 生成控制信号 s，实现对采样存储操作、内插操作、波形显示操作的控制。

[0080] 作为又一个举例说明，如图 9 所示，本实施例所述的示波器 300 还可以包括：触发缓存单元 901 和精细触发单元 902。触发缓存单元 901 响应于触发控制信号 f，对数字滤波子单元 501 产生的滤波数据 j 进行缓存，获得缓存数据 v；内插器 802 还对触发缓存单元 901 保存的缓存数据 v 执行数据内插处理，产生精细触发数据 t；精细触发单元 902 依据精细触发数据 t 产生精细触发控制信号 u，并输入至中央控制单元 803。中央控制单元 803 向波形显示单元 306 输出控制信号 s，依据精细触发数据 t 或者触发控制信号 f 对波形显示单元 306 进行控制。波形显示单元 306 将根据用户设定的时基情况和采样率情况，决定是否采用精细触发，当采用精细触发时，波形显示单元 306 依据用户设定的触发偏移和控制信号 s，调整被显示波形所对应的触发位置。本举例说明所述的示波器使得触发功能更加稳定、可靠。关于精细触发的功能此处仅作简略说明，此处不再赘述。

[0081] 以上对本发明所提供的一种具有外触发功能的示波器，进行了详细介绍，本文中应用了具体个例对本发明的原理及实施方式进行了阐述，以上实施例的说明只是用于帮助理解本发明的方法及其核心思想；同时，对于本领域的一般技术人员，依据本发明的思想，在具体实施方式及应用范围上均会有改变之处，综上所述，本说明书内容不应理解为对本发明的限制。

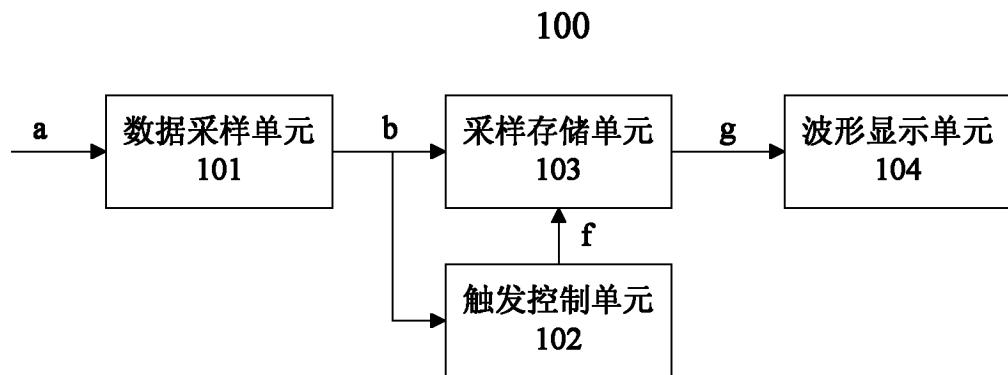


图 1(a)

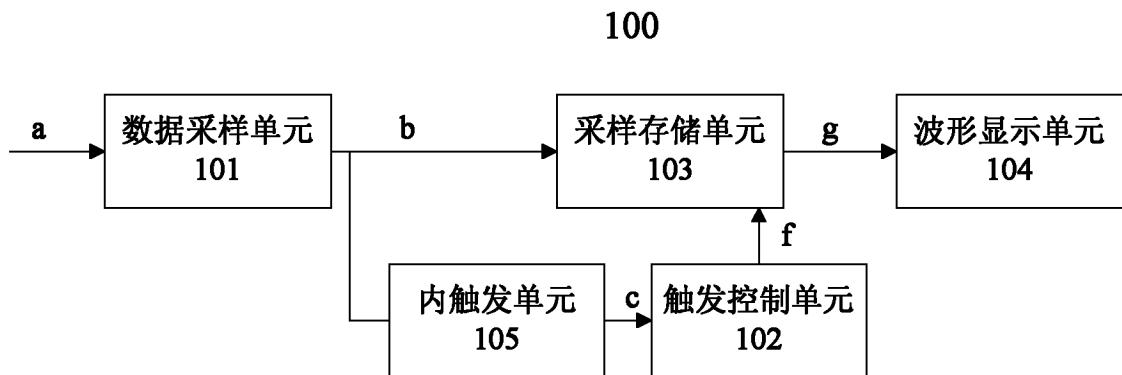


图 1(b)

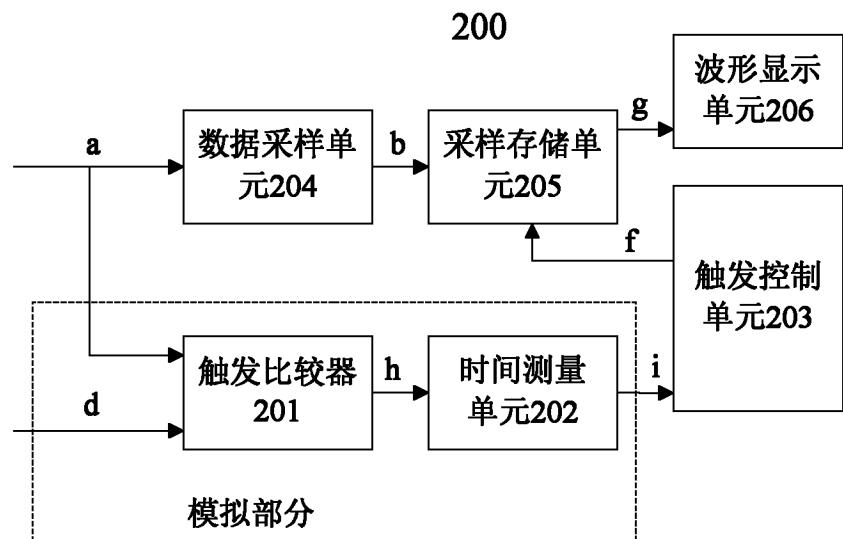


图 2

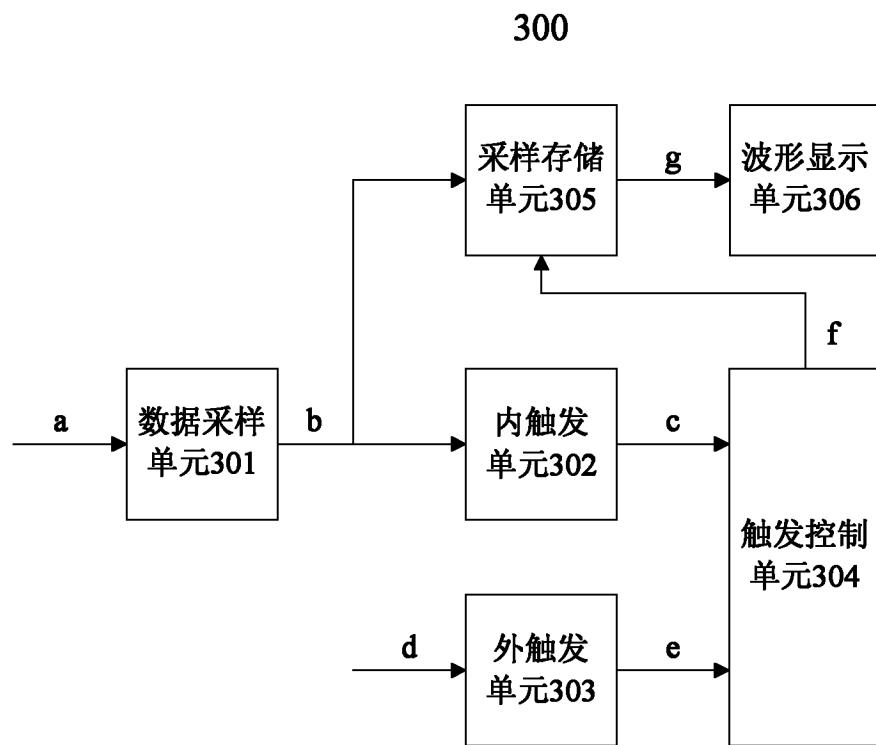


图 3

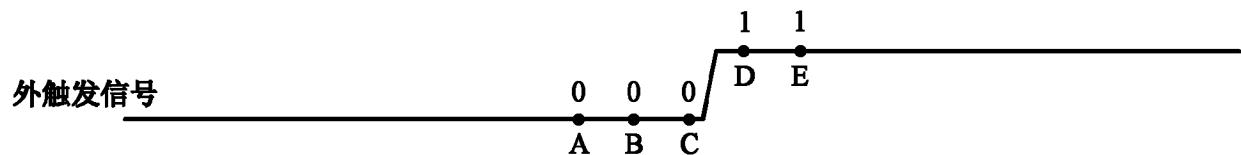


图 4

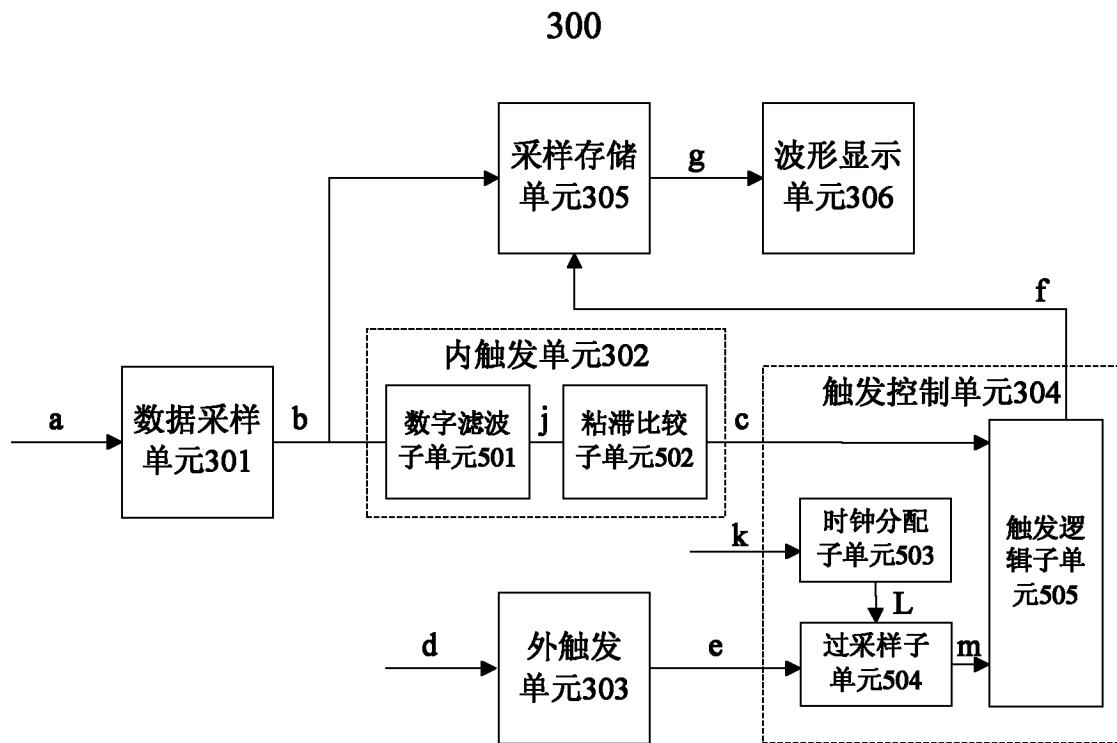


图 5

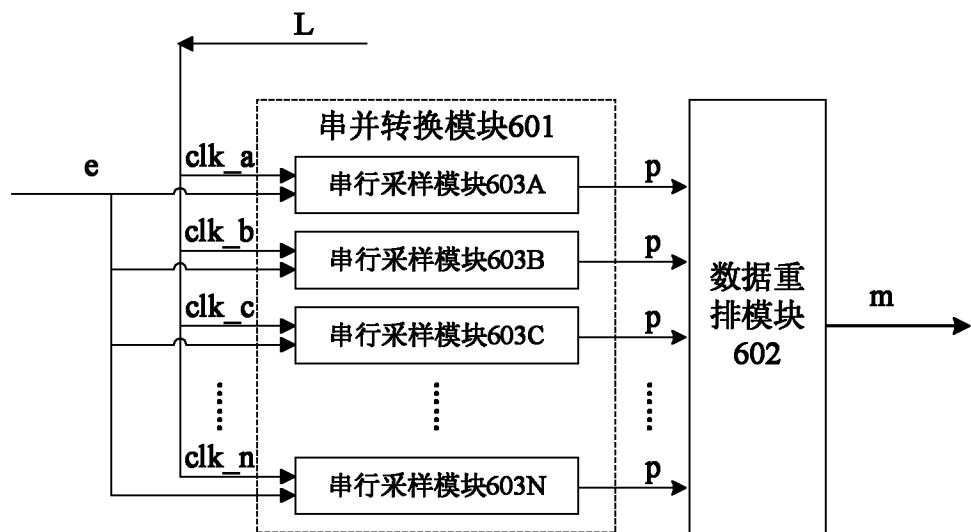
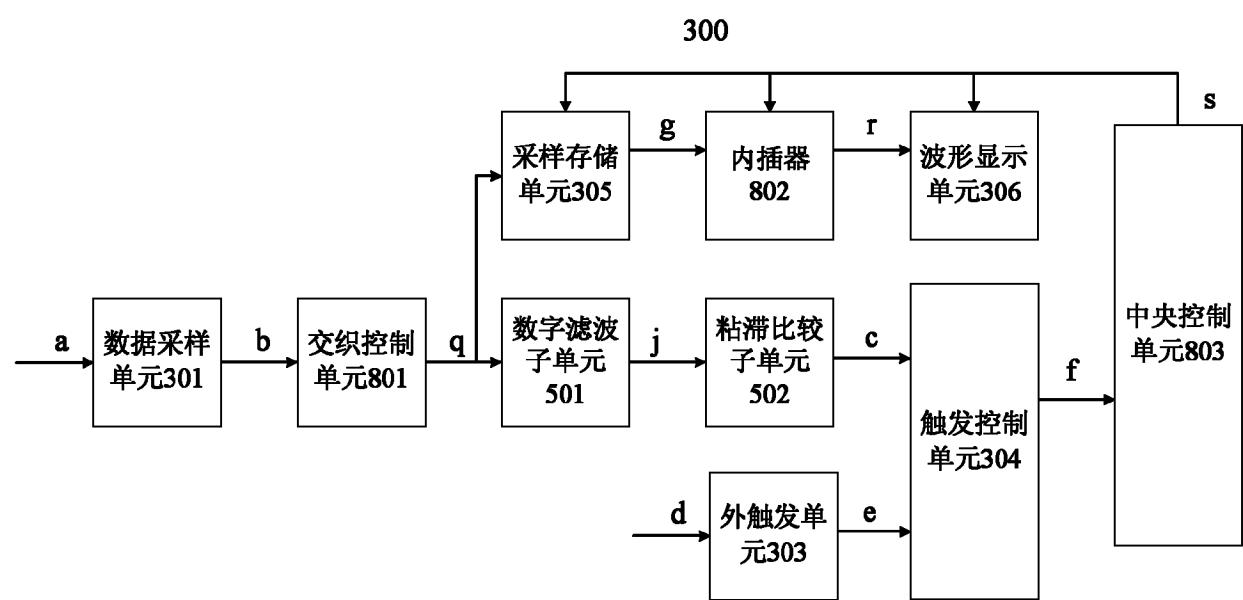
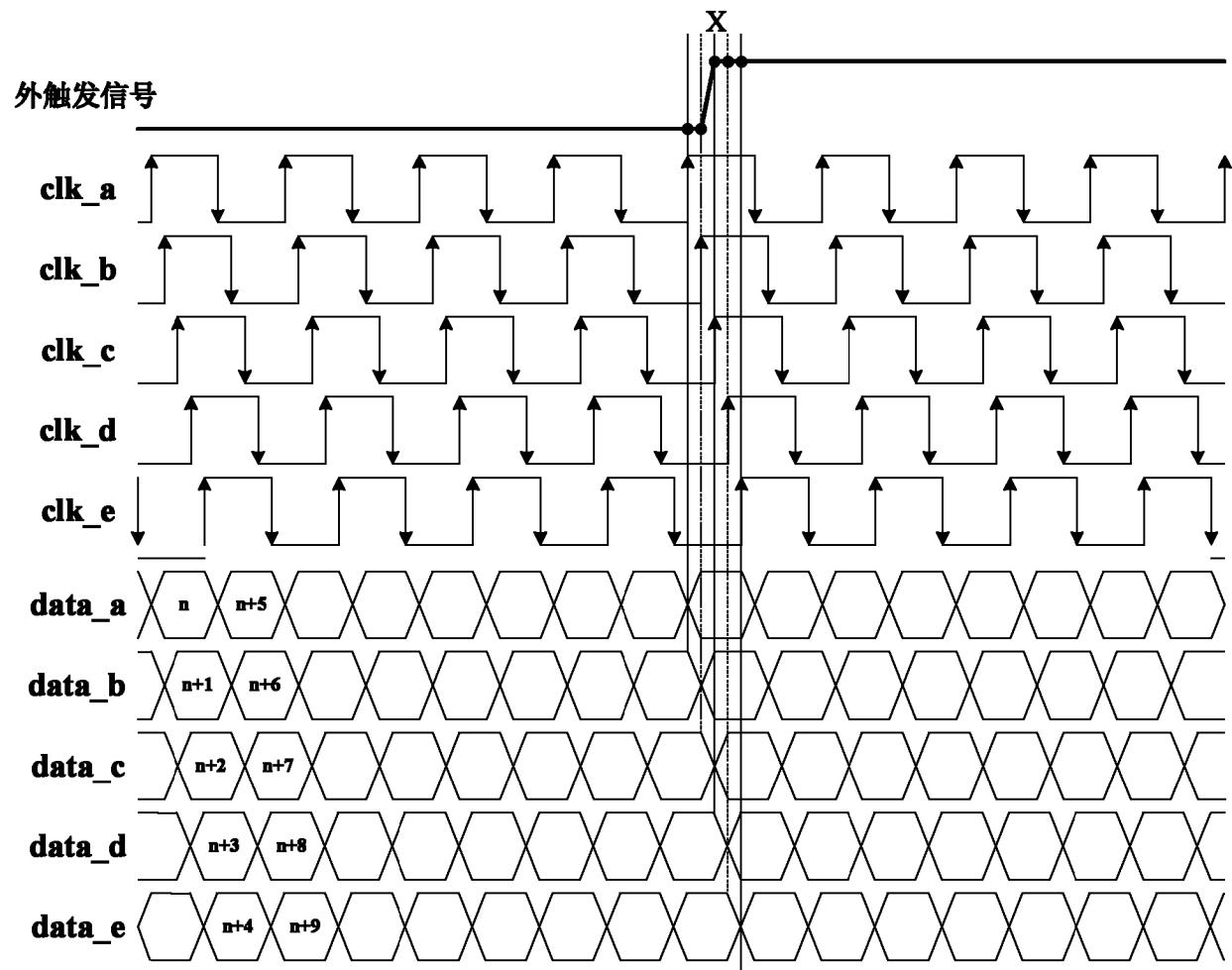


图 6



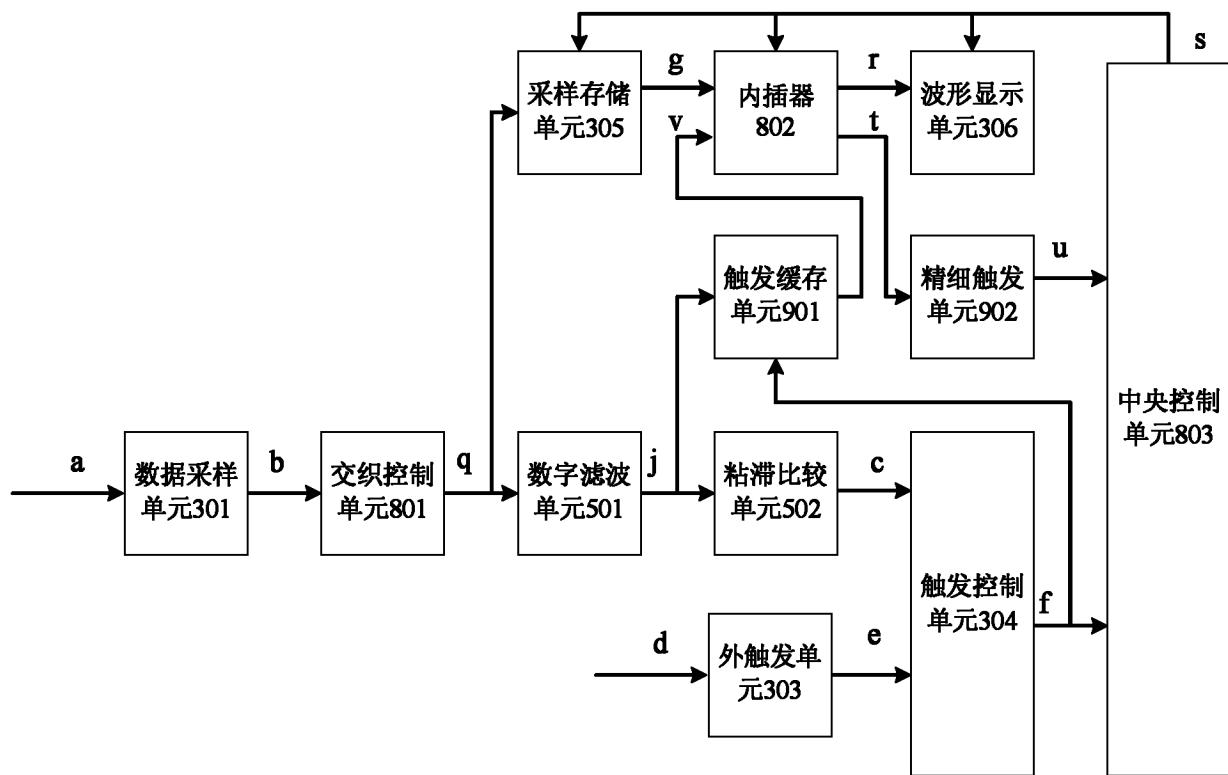


图 9