

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200580006883.6

[51] Int. Cl.

G06K 19/077 (2006.01)

G06K 19/07 (2006.01)

H01L 27/14 (2006.01)

H01L 27/15 (2006.01)

[45] 授权公告日 2009 年 4 月 15 日

[11] 授权公告号 CN 100478986C

[22] 申请日 2005.2.28

[21] 申请号 200580006883.6

[30] 优先权

[32] 2004.3.4 [33] JP [31] 060103/2004

[86] 国际申请 PCT/JP2005/003804 2005.2.28

[87] 国际公布 WO2005/086088 英 2005.9.15

[85] 进入国家阶段日期 2006.9.4

[73] 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

[72] 发明人 山崎舜平

[56] 参考文献

JP2001-155134A 2001.6.8

US4829166 1989.5.9

CN1169036A 1997.12.31

CN1204159A 1999.1.6

审查员 黄捷

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 刘红 张志醒

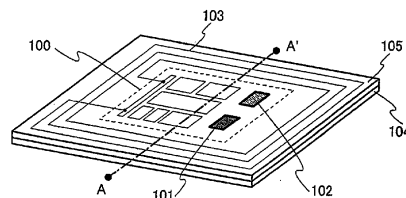
权利要求书 5 页 说明书 38 页 附图 20 页

[54] 发明名称

ID 芯片和 IC 卡

[57] 摘要

本发明提供一种 ID 芯片或 IC 卡, 其中可以增强集成电路的机械强度而不抑制电路规模。本发明的 ID 芯片或 IC 卡具有集成电路, 其中由绝缘薄半导体薄膜形成 TFT(薄膜晶体管)。而且, 本发明的 ID 芯片或 IC 卡具有发光元件和光接收元件, 每个发光元件和光接收元件都使用非单晶薄膜作为执行光电转换的层。这种发光元件或光接收元件可以与集成电路连续地(集成地)形成, 或可以单独形成并粘附到集成电路上。



1. 一种半导体装置, 包括:

天线;

包括薄膜晶体管的集成电路;

发光元件; 以及

光接收元件,

其中所述集成电路包括解调电路, 用于对光接收元件中接收的第一信号进行解调; 以及逻辑电路, 根据解调的第一信号执行算术运算以产生第二信号,

其中发光元件将该第二信号转换成光信号,

其中每个发光元件和光接收元件都具有使用非单晶薄膜执行光电转换的层, 以及,

其中天线、发光元件和光接收元件与集成电路电连接。

2. 一种半导体装置, 包括:

天线,

包括薄膜晶体管的集成电路,

发光元件, 以及

光接收元件,

其中所述集成电路包括解调电路, 用于对光接收元件中接收的第一信号进行解调; 以及逻辑电路, 根据解调的第一信号执行算术运算以产生第二信号,

其中发光元件将该第二信号转换成光信号,

其中天线、发光元件和光接收元件与集成电路电连接, 以及

其中集成电路、发光元件和光接收元件集成地形成。

3. 一种半导体装置, 包括:

天线,

包括薄膜晶体管的集成电路,

发光元件, 以及

光接收元件,

其中所述集成电路包括解调电路, 用于对光接收元件中接收的第一信号进行解调; 以及逻辑电路, 根据解调的第一信号执行算术运算以产生第二信号,

其中发光元件将该第二信号转换成光信号，

其中天线、发光元件和光接收元件与集成电路电连接，以及

其中天线、集成电路、发光元件和光接收元件集成地形成。

4. 一种半导体装置，包括：

集成电路，

发光元件，以及

光接收元件，

其中集成电路包括：连接端子；整流电路，用于从通过天线输入到连接端子的交流信号产生电源电压；解调电路，用于对光接收元件中接收的第一信号进行解调；以及逻辑电路，根据解调的第一信号执行算术运算以产生第二信号，

其中发光元件将该第二信号转换成光信号，以及

其中集成电路、发光元件和光接收元件集成地形成。

5. 一种半导体装置，包括：

天线，

包括薄膜晶体管的集成电路，

发光元件，以及

光接收元件，

其中所述集成电路包括解调电路，用于对光接收元件中接收的第一信号进行解调；以及逻辑电路，根据解调的第一信号执行算术运算以产生第二信号，

其中发光元件将该第二信号转换成光信号，

其中每个发光元件和光接收元件都具有使用非单晶薄膜执行光电转换的层，

其中天线、发光元件和光接收元件与集成电路电连接，以及

其中集成电路、发光元件和光接收元件形成在第一衬底上，然后分离，并粘附到第二衬底。

6. 一种半导体装置，包括：

天线，

包括薄膜晶体管的集成电路，

发光元件，以及

光接收元件，

其中所述集成电路包括解调电路，用于对光接收元件中接收的第一信号进行解调；以及逻辑电路，根据解调的第一信号执行算术运算以产生第二信号，

其中发光元件将该第二信号转换成光信号，

其中天线、发光元件和光接收元件与集成电路电连接，以及

其中集成电路、发光元件和光接收元件形成在第一衬底上，然后分离，并粘附到第二衬底。

7. 一种半导体装置，包括：

天线，

包括薄膜晶体管的集成电路，

发光元件，以及

光接收元件，

其中所述集成电路包括解调电路，用于对光接收元件中接收的第一信号进行解调；以及逻辑电路，根据解调的第一信号执行算术运算以产生第二信号，

其中发光元件将该第二信号转换成光信号，

其中天线、发光元件和光接收元件与集成电路电连接，以及

其中天线、集成电路、发光元件和光接收元件形成在第一衬底上，然后分离，并粘附到第二衬底。

8. 一种半导体装置，包括：

集成电路，

发光元件，以及

光接收元件，

其中集成电路包括：连接端子；整流电路，用于从通过天线输入到连接端子的交流信号产生电源电压；解调电路，用于对光接收元件中接收的第一信号进行解调；以及逻辑电路，根据解调的第一信号执行算术运算以产生第二信号，

其中发光元件将该第二信号转换成光信号，

其中集成电路、发光元件和光接收元件集成地形成，以及

其中集成电路、发光元件和光接收元件形成在第一衬底上，然后分离，并粘附到第二衬底。

9. 根据权利要求5到8任一项的半导体装置，其中第一衬底是玻璃

衬底且第二衬底是塑料衬底。

10. 根据权利要求 1 到 8 任一项的半导体装置，还包括显示装置，其中所述显示装置包括像素部分、信号线驱动器电路和扫描线驱动器电路。

11. 一种 IC 卡，包括：

天线，

包括薄膜晶体管的集成电路，

发光元件，以及

光接收元件，

其中所述集成电路包括解调电路，用于对光接收元件中接收的第一信号进行解调；以及逻辑电路，根据解调的第一信号执行算术运算以产生第二信号，

其中发光元件将该第二信号转换成光信号，

其中天线、发光元件和光接收元件与集成电路电连接，以及

其中集成电路、发光元件和光接收元件集成地形成。

12. 根据权利要求 11 的 IC 卡，其中天线、集成电路、发光元件和光接收元件集成地形成。

13. 一种 IC 卡，包括：

集成电路，

发光元件，以及

光接收元件，

其中集成电路包括：连接端子；整流电路，用于从通过天线输入到连接端子的交流信号产生电源电压；解调电路，用于对光接收元件中接收的第一信号进行解调；以及逻辑电路，根据解调的第一信号执行算术运算以产生第二信号，

其中发光元件将该第二信号转换成光信号，以及

其中集成电路、发光元件和光接收元件集成地形成。

14. 一种 IC 卡，包括：

天线，

包括薄膜晶体管的集成电路，

发光元件，以及

光接收元件，

其中所述集成电路包括解调电路，用于对光接收元件中接收的第一信号进行解调；以及逻辑电路，根据解调的第一信号执行算术运算以产生第二信号，

其中发光元件将该第二信号转换成光信号，

其中天线、发光元件和光接收元件与集成电路电连接，以及

其中集成电路、发光元件和光接收元件形成在第一衬底上，然后分离，并粘附到第二衬底。

15. 根据权利要求 14 的 IC 卡，其中天线、集成电路、发光元件和光接收元件形成在第一衬底上，然后分离，并粘附到第二衬底。

16. 根据权利要求 13 的 IC 卡，其中集成电路、发光元件和光接收元件形成在第一衬底上，然后分离，并粘附到第二衬底。

17. 根据权利要求 14 到 16 任一项的 IC 卡，其中第一衬底是玻璃衬底且第二衬底是塑料衬底。

18. 根据权利要求 11, 13 和 14 中任一项的 IC 卡，还包括显示装置，其中所述显示装置包括像素部分、信号线驱动器电路和扫描线驱动器电路。

ID 芯片和 IC 卡

技术领域

本发明涉及使用光通信的 ID 芯片或 IC 卡。

背景技术

无线地发送和接收诸如识别信息这样数据的 ID 芯片或 IC 卡在各种领域已经投入实际使用，且希望扩展成一类新模式的通信信息终端市场。ID 芯片也被称为无线标签、RFID（射频识别）标签或 IC 标签。一般而言，具有使用半导体衬底形成的天线和集成电路（IC 芯片）的 ID 芯片或 IC 卡现已投入实际使用。

发明内容

用于形成集成电路的半导体衬底在柔韧性上很差，且其机械强度很低。通过减小集成电路面积本身可以一定程度地改善机械强度。然而，这种情况很难确保电路规模，且 ID 芯片或 IC 卡的应用受到限制，这不是优选的。因此，当认为确保集成电路的电路规模重要时，随意减小集成电路的面积并不是优选的，这样限制了机械强度的改善。

鉴于上述问题，提出本发明。本发明的一个目标是提供一种 ID 芯片或 IC 卡，其中可以提高集成电路的机械强度，而不抑制电路的规模。

本发明的 ID 芯片或 IC 卡具有集成电路，其中使用绝缘的薄半导体薄膜形成 TFT（薄膜晶体管）。而且，本发明的 ID 芯片或 IC 卡具有发光元件和光接收元件，该发光元件和光接收元件使用非单晶薄膜作为执行光电转换的层。这种发光元件或光接收元件可以与集成电路连续地（集成）形成，或可以单独形成并粘附到集成电路上。

注意集成电路、发光元件和光接收元件可以直接在衬底上形成，或可以在衬底上形成然后分离，并粘附到单独准备的另一衬底上。

光接收元件可以将读/写器发送的第一信号转换成电信号（第一电信号），并将该第一电信号发送到集成电路。集成电路根据光接收元件发送的第一电信号进行操作。具体而言，集成电路可以产生发送到读/写器的第二电信号，并将它发送到发光元件。发光元件可以将集成电路发送的第二电信号转换成第二光信号，并将该第二光信号发送到读/写器。

本发明的 ID 芯片或 IC 卡可以采用具有天线以及集成电路、发光元件和光接收元件的模式。其上安装天线的本发明的芯片也称为射频芯片。集成电路可以从天线产生的交流电压产生电源电压。注意天线可以在与集成电路相同的衬底上形成，或可以和集成电路分离地形成，然后与集成电路电连接。如果本发明的 ID 芯片或 IC 卡没有天线，则集成电路具有用于电连接天线的连接端子。

备选地，本发明的 ID 芯片或 IC 卡可以具有电池而不是天线。

而且，本发明的 ID 芯片、IC 卡或射频芯片也称为半导体装置。

例如，可以根据如下各种方法将集成电路粘附到衬底上：在高热阻衬底和集成电路之间形成金属氧化物薄膜，且该金属氧化物薄膜被结晶并弱化，从而分离集成电路，由此将该集成电路粘附到物体上；在高热阻衬底和集成电路之间提供分离层，通过激光照射或通过腐蚀来分离集成电路，由此将该集成电路粘附到物体上；机械地去除或通过使用溶液或气体的腐蚀去除其上形成集成电路的高热阻衬底，从而分离集成电路，由此使该集成电路粘附到物体上。

单独形成的集成电路可以彼此粘附以堆叠集成电路，从而增大了电路规模或存储器容量。因为和使用半导体衬底制造的 ID 芯片相比，各个集成电路在厚度上极薄，即使多个集成电路堆叠在一起，仍可以保持一定程度的 ID 芯片的机械强度。可以通过已知的连接方法，例如倒装焊方法、TAB（带式自动结合）方法或导线结合方法，将堆叠的集成电路彼此连接。

TFT 用在集成电路中，非单晶薄膜用于发光元件和光接收元件中执行光电转换的层，由此使 ID 芯片大为减薄。因为集成电路、发光元件和光接收元件不需要半导体衬底，因此可以使用柔性衬底。因此，不像使用半导体衬底的集成电路，在不减小面积的情况下可以获得高的机械强度。因此，可以提高集成电路的机械强度而不抑制电路规模，且可以扩大 ID 芯片或 IC 卡的应用范围。

而且，根据本发明，因为使用电学隔离的 TFT 形成集成电路，不像在半导体衬底上形成的晶体管，因此在集成电路和衬底之间很难形成寄生二极管。因此，由于施加到源极或漏极区域的交流信号的电势，大量的电流不流经漏极区域，这几乎不导致恶化或击穿。本发明包括下面有利的影响：和使用半导体衬底的集成电路相比，无线电波很少被

阻隔，所以可以防止由于无线电波的阻隔而引起的信号衰减。

当集成电路、发光元件和光接收元件集成地形成时，用于连接集成电路和发光元件或光接收元件的导线可以与集成电路集成地形成。此外，如果发光元件和光接收元件与集成电路连接，该集成电路、发光元件和光接收元件容易集成地形成，这是因为发光元件和光接收元件通过使用薄膜形成。因此，这两种情况中，在形成 ID 芯片或 IC 卡中可以抑制连接失效的产生。而且，如果使用柔性衬底，还可以抑制对衬底施加应力导致的连接失效，这可以增强可靠性。

根据本发明，通过光通信执行信号的发送/接收，且通过无线电波供给电源电压。因此，和仅使用光信号执行信号的发送/接收和供给电源电压的情况相比，可以为集成电路供给较高的电源电压。因此，可以扩展通信范围，可以减小集成电路设计中所受电源电压的限制。

而且，和仅使用无线电波执行信号的发送/接收和供给电源电压的情况相比，通信区域更容易限制。因此，即使在通过和其它通信装置相同频段的无线电波执行通信的时候，仍可以防止重叠通信区域和干扰信号。而且，通过使用光信号，可以确保高的通信速度，可以发送和接收包括大容量数据的信号。此外，在使用光信号的情况，信号的发送/接收在无线电法（Radio Law）之上，只要确保供给的电源电压，就可以扩展通信范围。

附图说明

附图中：

图 1A 和 1B 分别是根据本发明一个方面的 ID 芯片的透视图和框图；

图 2A 和 2B 分别示出了根据本发明一个方面的 IC 卡的外观和内部结构；

图 3 的框图示出了根据本发明一个方面的 IC 卡的功能；

图 4A 和 4B 的框图分别示出了集成电路中产生电源电压的一部分的框图和使用太阳能电池的 IC 卡的外观；

图 5A 到 5D 每个都示出了根据本发明一个方面的 ID 芯片的制造方法；

图 6A 到 6C 每个都示出了根据本发明一个方面的 ID 芯片的制造方法；

图 7A 到 7C 每个都示出了根据本发明一个方面的 ID 芯片的制造方法;

图 8A 和 8B 每个都示出了根据本发明一个方面的 ID 芯片的制造方法;

图 9A 到 9C 每个都示出了根据本发明一个方面的 ID 芯片的制造方法;

图 10 示出了根据本发明一个方面的 ID 芯片的横截面;

图 11A 和 11B 每个都示出了根据本发明一个方面的 ID 芯片或 IC 卡的横截面;

图 12A 和 12B 每个都示出了根据本发明一个方面的 ID 芯片或 IC 卡的横截面;

图 13A 和 13B 每个都示出了根据本发明一个方面的 ID 芯片或 IC 卡的横截面;

图 14A 到 14C 每个都示出了根据本发明一个方面的 ID 芯片或 IC 卡的发光元件的横截面;

图 15A 到 15C 每个都是根据本发明一个方面的 ID 芯片或 IC 卡的发光元件的横截面;

图 16A 到 16C 每个都是根据本发明一个方面的 ID 芯片或 IC 卡的 TFT 的横截面;

图 17A 到 17D 的每个图示都示出了从大衬底制造多个集成电路的方法, 每个所述集成电路都用作根据本发明一个方面的 ID 芯片或 IC 卡;

图 18A 到 18D 每个都示出了当分离形成在一个衬底上的多个集成电路时需要形成的凹槽的形状;

图 19A 到 19C 每个都示出了怎样使用根据本发明一个方面的 ID 芯片; 以及

图 20A 和 20B 每个都示出了怎样使用根据本发明一个方面的 ID 芯片。

具体实施方式

此后将参考附图, 描述根据本发明的实施例模式。本发明可以以很多不同模式实施, 且本领域技术人员容易理解, 在不偏离本发明的精神和范围的情况下, 这里公开的模式和细节可以以各种方式修改。

应当注意本发明不应理解成受下面给出的实施例模式描述的限制。

将参考图 1A 和 1B 描述根据本发明的 ID 芯片的结构。图 1A 是根据本发明一种模式的 ID 芯片的透视图。附图标记 100 表示集成电路, 101 表示光接收元件, 102 表示发光元件, 以及 103 表示天线。光接收元件 101、发光元件 102 以及天线 103 都与集成电路 100 电连接。集成电路 100、光接收元件 101、发光元件 102 以及天线 103 形成在衬底 104 上。覆盖材料 105 与衬底 104 重叠, 同时其间夹有集成电路 100、光接收元件 101、发光元件 102 以及天线 103。

图 1A 中, 除了集成电路 100, 天线 101 夹在衬底 104 和覆盖材料 105 之间。然而本发明不局限于这种结构。例如, 天线 103 可以在覆盖材料 105 的表面上形成, 该表面是与衬底 104 相反的一面。可以在覆盖材料 105 中形成开孔部分, 且集成电路 100 通过该开孔部分和天线 103 彼此电连接。

本发明的 ID 芯片不必具有天线 103。如果天线 103 不包括在 ID 芯片中, 则为 ID 芯片提供用于电连接天线 103 的连接端子。

图 1A 示出了通过使用覆盖材料 105 增强 ID 芯片的机械强度的实例。然而, 本发明的 ID 芯片不必都具有覆盖材料 105。例如, 可以通过使用树脂等覆盖集成电路 100、光接收元件 101、发光元件 102 和天线 103, 从而改善 ID 芯片的机械强度。

图 1B 的框图示出了图 1A 中示出的本发明 ID 芯片的功能结构。

集成电路 100 包括: 整流电路 110, 用于对天线 103 中产生的交流电压进行整流; 以及电源电路 111, 用于从整流电压中产生直流电源电压。注意图 1B 中的附图标记 118 对应于与天线 103 的相反端子相连的电容器。电源电路 111 中产生的电源电压供给到集成电路 100 的各个电路。

而且, 集成电路 100 包括: 解调电路 112, 用于对从光接收元件 101 发送的电信号实施解调; 逻辑电路 113, 通过使用解调电路 112 中的解调电信号执行各种算术运算; 存储器 114, 保存包括程序的各种数据; 以及存储控制电路 115, 根据来自逻辑电路 113 的信号来规定存储器 114 的地址并写入或读取数据。此外, 使用各种算术运算或保持在存储器 114 中的数据, 逻辑电路 113 可以产生发送到读/写器的电信号。逻辑电路 113 中产生的电信号在发光元件 102 中被转换成光信号并发送到读/写器。

图 1B 示出了具有一个逻辑电路 113 的集成电路 100 的实例, 但本发

明不局限于这种结构。根据逻辑电路 113 中执行的算术运算的内容, 可以提供多个逻辑电路 113。此外, 光接收元件 101 中的从光信号转换来的电信号可以在它被解调电路 112 解调之前在放大器 116 中放大。备选地, 逻辑电路 113 中产生的电信号可以在它被发送到发光元件 102 之前被放大器 117 放大。

不一定使用一个存储器 114, 可以使用多个存储器。可以使用各种半导体存储器, 例如 DRAM、SRAM、闪存、ROM 或 FRAM (注册商标)。存储器 114 可以在算术运算时用作操作区。

图 1B 中, 可以包括振荡电路和调制电路, 该振荡电路可以产生交流电压, 该调制电路根据逻辑电路 113 中产生的电信号对振荡电路中产生的交流电压给予调制。在这种情况下, 发光元件 102 可以将调制的交流电压转换成光信号, 且该光信号可以被发送到读/写器。

发送用于供给电源电压的无线电波的方法不局限于图 1A 和 1B 中所示的电磁耦合方法。可以使用电磁感应方法、微波方法和其它发送方法。

绝缘 TFT 用于集成电路 100。可以使用各种半导体元件, 而不局限于 TFT 用作集成电路 100 中的半导体元件。除了 TFT, 例如, 一般可以使用存储元件、二极管、光电转换元件、电阻器元件、线圈、电容器元件、电感等。

将参考图 2A、2B 和 3 描述根据本发明的 IC 卡的结构。图 2A 示出了根据本发明的 IC 卡的外观。附图标记 201 表示卡体, 202 表示安装在卡体 201 中的显示装置 207 的像素部分, 203 表示光接收元件, 204 表示发光元件。

图 2B 示出了包括在图 2A 中所示的卡体中的衬底 205 结构。通过使用薄的半导体薄膜形成的集成电路 206、光接收元件 203、发光元件 204、显示装置 207 以及天线 208 形成在衬底 205 上。

图 2B 示出了天线 208 与集成电路 206、光接收元件 203 以及发光元件 204 一起形成的实例, 但本发明的 IC 卡不局限于这种结构。从集成电路 206 分离的天线可以与该集成电路 206 电连接。这种情况下, 例如, 通过在线圈中缠绕铜导线等并按压它使之夹在两个塑料薄膜之间 (每个塑料薄膜都有约 100 μm 的厚度) 所形成的材料可以用作天线。

图 2B 中一个 IC 卡仅使用一个天线 208, 但可以使用多个天线

208。

每个图 2A 和 2B 都示出了具有显示装置 207 的 IC 卡的结构，但本发明不局限于这种结构，可以不必提供显示装置 207。然而如果提供显示装置，可以在显示装置中显示人脸照片的数据，和使用印刷方法的情况相比，可以使替换人脸照片更为难办。而且，可以显示不同于人脸照片的信息，可以获得较高功能的 IC 卡。

图 3 的框图示出了图 2B 中示出的本发明 IC 卡的功能结构。

和图 1B 中示出的 ID 芯片一样，集成电路 206 包括整流电路 210 和电源电路 211。附图标记 221 对应于连接在天线 208 的相反端子之间的电容器。集成电路 206 包括解调电路 212、逻辑电路 213、存储器 214 和存储控制电路 215。而且，集成电路 206 可以包括放大器 216，用于在解调电路 212 中解调电信号之前放大该电信号，以及放大器 217，用于在电信号被发送到发光元件 204 之前放大该电信号。包括在该集成电路 206 中的各种电路的特定结构和操作可以参考图 1B 的描述。

图 3 中，对于图 2B 所示的本发明的 IC 卡，集成电路 206 包括控制电路 218，用于产生将要发送到显示装置 207 的各种信号。在控制电路 218 中产生的信号被发送到显示装置 207 的信号线驱动器电路 219 和扫描线驱动器电路 220。像素部分 202 的操作受信号线驱动器电路 219 和扫描线驱动器电路 220 的控制，由此可以在像素部分 202 上显示图像。

注意图 3 中示出的 IC 卡可以包括振荡电路和调制电路，该振荡电路可以产生交流电压，该调制电路根据逻辑电路 213 中产生的电信号对振荡电路中产生的交流电压添加调制。在这种情况下，发光元件 204 可以将调制的交流电压转换成光信号，且将该电信号发送到读/写器。

发送用于供给电源电压的无线电波的方法不局限于图 2B 和 3 中所示的电磁耦合方法。可以使用电磁感应方法、微波方法和其它发送方法。

绝缘 TFT 用于集成电路 206。可以使用各种半导体元件而不局限于 TFT 用作集成电路 206 中使用的半导体元件。例如，除了 TFT，可以使用存储元件、二极管、光电转换元件、电阻器元件、线圈、电容器元件、电感器等。

图 1A、1B、2A、2B 和 3 中示出的 ID 芯片或 IC 卡中，通过无线电波供给电源电压，但本发明不局限于这种结构。可以使用电池而不是天线向集成电路供给电源电压。图 4A 的框图中仅示出了集成电路中产生电源电压的一部分。图 4A 中，附图标记 301 表示电池而 302 表示电源电路。使用从电池 301 供给的电源电压，电源电路可以产生具有各种电路所必须的值（高度）的电源电压。注意化学电池、光电池等可以用作电池 301。

图 4B 示出了一种使用太阳能电池 303 的 IC 卡的外观，该电池是一种光电池。通过使用太阳能电池 303 来代替电池或对电池充电而使用该 IC 卡。除了天线，辅助电源电压的电池可以用于 ID 芯片或 IC 卡。

将描述本发明的 ID 芯片的特定制造方法。本实施例模式中，示出了绝缘 TFT 和用作光接收元件的光电二极管作为半导体元件的实例。然而，集成电路中使用的半导体元件不局限于这些实例，可以使用各种电路元件。

如图 5A 所示，通过溅射方法在热阻衬底（第一衬底）500 上形成分离层 501。例如，诸如硼硅酸钡玻璃和硼硅酸铝玻璃这样的玻璃衬底、石英衬底、陶瓷衬底等可以用作第一衬底 500。此外，可以使用包括不锈钢（SUS）衬底的金属衬底或其上形成绝缘薄膜的半导体衬底。具有柔性的合成树脂（例如塑料）制成的衬底一般具有一种趋势，其中可承受的温度限制比上述衬底低，但只要它能承受制造步骤中的处理温度，就可以使用。

主要包含硅的无定形硅薄膜、多晶硅薄膜、单晶硅薄膜、微晶硅薄膜（包括半非晶硅薄膜）等可以用于分离层 501。可以通过溅射方法、低压 CVD 方法、等离子体 CVD 方法等形成分离层 501。本实施例模式中，厚度大约为 50 nm 的无定形硅薄膜通过低压 CVD 方法形成，并用作分离层 501。分离层 501 不局限于硅，可以使用能够通过腐蚀选择性去除的材料。分离层 501 的厚度优选地为 50 nm 到 60 nm。半非晶硅的厚度可以为 30 nm 到 50 nm。

在分离层 501 上形成基底薄膜 502。提供基底薄膜 502 是为了防止包含在第一基底 500 中的碱金属（例如 Na）或碱土金属扩散到半导体薄膜中，并防止对诸如 TFT 这样的半导体元件的特性产生负面影响。此外，基底薄膜 502 还具有在后续分离半导体元件的步骤中保护半导

体元件的功能。基底薄膜 502 可以具有单层或多个叠层绝缘薄膜。因此,可以通过使用诸如氧化硅、氮化硅或氮氧化硅这样的能防止碱金属或碱土金属扩散到半导体薄膜的绝缘薄膜形成基底薄膜 502。

本实施例模式中,相继形成厚度为 100 nm 的 SiON 薄膜、厚度为 50 nm 的 SiN₀ 薄膜和厚度为 100 nm 的 SiON 薄膜以形成基底薄膜 502,每个薄膜的材料、厚度、堆叠数目不限于此。例如,在底层除了使用 SiON 薄膜,可以通过旋涂方法、狭缝式涂布、微滴释放方法、印刷方法等形成厚度为 0.5 μm 到 3 μm 的硅氧烷树脂。中间层中除了 SiN₀ 薄膜,可以形成氮化硅薄膜(例如 SiN_x 或 Si₃N₄)。上层中除了 SiON 薄膜,可以使用 SiO₂ 薄膜。此外,每层薄膜的厚度优选地为 0.05 μm 到 3 μm,可以从 0.05 μm 到 3 μm 的范围自由选择。

备选地,临近分离层 501 的基底薄膜 502 的底层可以由 SiON 薄膜或 SiO₂ 薄膜形成,中间层可以由硅氧烷树脂形成,且上层可以由 SiO₂ 薄膜形成。

微滴释放方法是一种从小孔释放包含预定成分的微滴形成预定图形的方法,它包括喷墨方法。印刷方法包括丝网印刷方法、胶印方法等。

可以使用 SiH₄/O₂、TEOS(四乙氧基硅烷)/O₂ 等的混合气体,通过热 CVD 方法、等离子体 CVD 方法、常压 CVD 方法、偏置 ECRCVD 方法等形成氧化硅薄膜。此外,一般使用 SiH₄/NH₃ 的混合气体,通过等离子体 CVD 方法形成氮化硅薄膜。此外,一般使用 SiH₄/N₂O 的混合气体通过等离子体 CVD 方法形成氧氮化硅薄膜(SiO_xN_y: x>y)和氮氧化硅薄膜(SiN_xO_y: x>y)。

在基底薄膜 502 上形成半导体薄膜 503。优选地,在形成基底薄膜 502 之后不暴露于大气环境形成该半导体薄膜 503。半导体薄膜 503 的厚度设置在 20 到 200 nm(希望是,40 到 170 nm,更优选地,50 到 150 nm)。半导体薄膜 503 可以是无定形半导体、半非晶半导体或多晶半导体。硅锗以及硅可以用作该半导体薄膜。当使用硅锗时,锗的浓度优选地设置在 0.01 到 4.5 的原子百分比。

可以通过已知的方法晶化该半导体薄膜 503。已知的结晶方法有:使用激光的激光结晶方法和使用催化元素的结晶方法。备选地,可以采用使用催化元素的结晶方法和激光结晶方法相结合的方法。当如石

英这样的极好热阻衬底用作第一衬底 500 时, 任意一种使用电加热熔炉的热结晶方法、使用红外线的灯退火结晶方法和使用催化元素的结晶方法可以与约 950℃ 的高温退火相结合, 作为结晶方法。

例如, 在激光结晶的情况, 在执行激光结晶之前, 对半导体薄膜 503 执行 500℃ 1 小时的热退火以提高该半导体薄膜对激光束的抵抗属性。使用连续波固态激光器, 且向半导体薄膜照射基波的二次到四次谐波的激光束, 从而获得大晶粒尺寸的晶体。例如, 一般地, 优选地使用 Nd:YVO₄ 激光器 (基波: 1064 nm) 的二次谐波 (532 nm) 或三次谐波 (355 nm)。具体而言, 通过使用非线性光学元件, 连续波 YVO₄ 激光器发送的激光束被转换成谐波, 以获得输出功率为 10 W 的激光束。优选地, 在将被激光束照射的半导体薄膜 503 的表面上形成具有矩形形状或椭圆形形状的激光束。在这种情况下, 需要大约 0.01 到 100 MW/cm² (优选地, 0.1 到 10 MW/cm²) 的能量密度。将其扫描速率设置为大约 10 到 2000 cm/sec 以便照射该半导体薄膜。

当脉冲激光束的振荡频率设置在不小于 10 MHz 时, 可以使用极高频带执行激光结晶, 该极高频带比通常使用的从几十到几百 Hz 的频带高得多。认为从向半导体薄膜照射脉冲激光束到完全固化半导体薄膜的周期为几十纳秒到几百纳秒。通过利用上述频带, 可以向半导体薄膜照射下一个脉冲激光, 直到半导体薄膜由于照射激光而熔化并固化为止。因此, 因为固-液界面可以在半导体薄膜中连续移动, 所以可以形成具有在扫描方向连续生长的晶粒的半导体薄膜。具体而言, 可以获得这样的晶粒团: 它们每个在扫描方向都具有 10 到 30 μm 的宽度, 在垂直于扫描方向的方向具有 1 到 5 μm 的宽度。通过形成沿扫描方向生长的单晶晶粒, 可以形成在 TFT 的沟道方向几乎没有晶粒边界的半导体薄膜。

对于激光结晶, 连续波激光器的基波的激光和连续波激光器的谐波的激光可以并行照射。备选地, 连续波激光器的基波的激光和脉冲激光器的谐波的激光可以并行照射。

可以在诸如稀有气体和氦气这样的惰性气体中照射激光束。

通过上述激光束照射, 形成具有增强结晶度的半导体薄膜 503。注意, 可以通过溅射方法、等离子体 CVD 方法、热 CVD 方法等提前形成多晶半导体。

尽管在本实施例模式中半导体薄膜 503 被晶化,但在下面的工艺中可以使用无定形硅薄膜或微晶半导体薄膜而不进行晶化。和使用多晶半导体的 TFT 相比,使用无定形半导体或微晶半导体的 TFT 需要的制作步骤数目较少,这样,具有减少成本和提高产出率的有利效果。

可以通过执行硅化物气体的挥光放电分解获得无定形半导体。一般地,使用 SiH_4 和 Si_2H_6 作为硅化物气体的实例。这些硅化物气体可以被氢气或氢气和氦气稀释。

半非晶半导体具有无定形结构和晶体结构(包括单晶结构和多晶结构)之间的中间结构,并具有自由能稳定的第三状态。这种半非晶半导体具有包括短程有序和点阵畸变的晶体结构。可以包含尺寸为 0.5 到 20 nm 的晶粒,且其分散在非单晶半导体中。对于半非晶半导体,拉曼谱向 520 cm^{-1} 波数的低端偏移,且在 X 射线衍射中观察到源自于硅晶格的 (111) 和 (220) 的衍射峰。而且,半非晶半导体包含 1% 原子百分比或更多的氢或卤素,用作终止悬挂键。这里,为方便起见,这种半导体被称为半非晶半导体(SAS)。当向 SAS(半非晶半导体)混合诸如氦、氩、氪或氙这样的稀有气体元素时,点阵畸变进一步增大,这样稳定性提高,由此获得良好的半非晶半导体(SAS)。

通过硅化物气体的挥光放电分解形成 SAS。 SiH_4 是典型的硅化物气体。除了 SiH_4 之外,也可使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等作为硅化物气体。硅化物气体还可以被氢气或氢气和一种或多种选自氦、氩、氪和氙的稀有气体元素的混合物稀释,使得 SAS 容易形成。优选地稀释比率设置在 1:2 到 1:1000。此外,诸如 CH_4 和 C_2H_6 这样的碳化合物气体、或者诸如 GeH_4 或 GeF_4 这样的锗气体,或者 F_2 等可以混入硅化物气体,使得能带宽度可以调节为 1.5 到 2.4 eV 或 0.9 到 1.1 eV。

在使用包含 SiH_4 和 H_2 混合物气体或包含 SiH_4 和 F_2 混合物气体的情况下,例如,当使用无定形半导体制造 TFT 时,TFT 的亚阈值系数(S 值)可以设置为不大于 0.35 V/sec,一般地,设置在 0.25 到 0.09 V/sec,而其迁移率可以设置为 $10\text{ cm}^2/\text{Vsec}$ 。例如,当通过使用上述半非晶半导体的 TFT 形成 19 级环形振荡器时,在 3 到 5V 的电源电压,可以获得不小于 1 MHz、优选地不小于 100 MHz 的振荡频率特性。此外,在 3 到 5V 的电源电压下,每级反相器的延时可以是 26 ns,优选地为 0.26 ns 或更小。

如图 5B 所示,图形化该半导体薄膜 503 以形成岛状半导体薄膜 504 到 507。形成覆盖岛状半导体薄膜 504 到 507 的栅绝缘薄膜 508。可以通过等离子体 CVD 方法或溅射方法,形成包括氮化硅、氧化硅、氮氧化硅或氧氮化硅作为单层或叠层的薄膜作为栅绝缘薄膜 508。在堆叠薄膜中,例如,优选地,采用在衬底上依次堆叠氧化硅薄膜、氮化硅薄膜和氧化硅薄膜的三层结构。

在形成栅绝缘薄膜 508 之后,可以在包含 3 到 100% 氢的气氛中在 300 到 450℃ 的温度执行 1 到 12 小时的热处理,从而氢化该岛状半导体薄膜 504 到 507。作为另一种氢化方法,可以执行等离子体氢化(使用被等离子体激励的氢)。通过该氢化步骤,可以通过热激励的氢终止悬挂键。后面的步骤中,如果在将半导体元件粘附到柔性第二衬底 545 上之后,由弯曲第二衬底 545 而在半导体薄膜中形成缺陷,通过氢化将半导体薄膜中包含的氢浓度设置在 1×10^{19} 到 1×10^{22} 原子/cm³,优选地,设置在 1×10^{19} 到 5×10^{20} 原子/cm³,使得这些缺陷可以被包含在半导体薄膜中的氢终止。此外,卤素可以被包含在半导体薄膜中以终止这些缺陷。

接着,如图 5C 所示,形成栅电极 509 到 512。本实施例模式中,在通过溅射方法堆叠 Si 和 W 之后,使用抗蚀剂 513 作为掩模通过腐蚀形成栅电极 509 到 512。当然,栅电极 509 到 512 的材料、结构和制造方法不局限于此,可以进行适当地选择。例如,可以采用 NiSi(硅化镍)与添加 n 型杂质的 Si 的叠层结构、或 TaN(氮化钽)与 W(钨)的叠层结构。此外,可以以各种导电材料的单层形成栅电极。

可以使用 SiO_x 掩模等代替抗蚀剂掩模。在这种情况下,增加图形化的步骤以形成 SiO_x、SiON 等的掩模(称为硬掩模),但和抗蚀剂掩模相比掩模的厚度在腐蚀中减少得较少。这样,可以形成具有所需宽度的栅电极 509 到 512。备选地,可以通过微滴释放方法选择性地形成栅电极 509 到 512 而不使用抗蚀剂 513。

根据导电薄膜的功能可以选择各种材料作为导电材料。如果栅电极和天线同时形成,根据功能可以选择材料。

在形成栅电极中,使用腐蚀方法,气体 CF₄、Cl₂ 和 O₂ 或 Cl₂ 气体的混合物可以用作腐蚀气体,但腐蚀气体不局限于此。

如图 5D 所示,将变成 p 沟道 TFT 的岛状半导体薄膜 505 覆盖有抗

蚀剂 514, 且使用栅电极 509、511 和 512 作为掩模, 向岛状半导体薄膜 504、506 和 507 掺杂 n 型杂质元素 (一般地, 磷或砷) 以形成低浓度区域 (第一掺杂步骤)。第一掺杂步骤的条件如下: 注入剂量 1×10^{13} 到 $6 \times 10^{13}/\text{cm}^2$, 且加速电压 50 到 70 KeV。然而, 条件不局限于此。通过该第一掺杂步骤, 透过栅绝缘薄膜 508 进行掺杂, 在岛状半导体薄膜 504、506 和 507 中形成成对的低浓度杂质区域 515 到 517。注意可以不用抗蚀剂覆盖将要变成 p 沟道 TFT 的岛状半导体薄膜 505 而执行第一掺杂步骤。

接着, 如图 6A 所示, 在通过灰化等去除抗蚀剂 514 之后, 形成新的抗蚀剂 518 以覆盖将要变成 n 沟道 TFT 的岛状半导体薄膜 504、506 和 507。使用栅电极 510 作为掩模, 向岛状半导体薄膜 505 注入 p 型导电性的杂质元素 (典型地, 硼) 以形成高浓度区域 (第二掺杂步骤)。第二掺杂步骤的条件如下: 注入剂量 1×10^{16} 到 $3 \times 10^{16}/\text{cm}^2$, 加速电压 20 到 40 KeV。通过执行该第二掺杂步骤, 透过栅绝缘薄膜 508 进行掺杂, 在岛状半导体薄膜 505 中形成成对的 p 型高浓度杂质区域 519。

接着, 如图 6B 所示, 在通过灰化等去除抗蚀剂 518 之后, 形成覆盖栅绝缘薄膜 508 和栅电极 509 到 512 的绝缘薄膜 520。本实施例模式中, 通过等离子体 CVD 方法形成厚度为 100 nm 的 SiO_2 薄膜。此后, 通过深腐蚀 (etchback) 方法部分地腐蚀绝缘薄膜 520 和栅绝缘薄膜 508。如图 6C 所示, 以自对准的方式形成与栅电极 509 到 512 的侧壁接触的侧壁 521 到 524。 CHF_3 和 He 的混合气体用作腐蚀气体。注意形成侧壁的步骤不局限于此。

当形成绝缘薄膜 520 时, 存在一个风险: 还在第一衬底 500 的背面形成绝缘薄膜。在这种情况下, 在第一衬底 500 的背面形成的绝缘薄膜可以通过使用抗蚀剂选择性地腐蚀和去除。在这种情况下, 通过深腐蚀方法, 在形成侧壁 521 到 524 的工艺中, 背面形成的绝缘薄膜以及绝缘薄膜 520 和栅绝缘薄膜 508 可以一起被腐蚀和去除。

接着, 如图 7A 所示, 形成新的抗蚀剂 525 以覆盖将变成 p 沟道 TFT 的岛状半导体薄膜 505, 且使用栅电极 509、511 和 512 以及侧壁 521、523 和 524 作为掩模, 掺杂 n 型杂质元素 (一般地, 磷或砷) 以形成高浓度区域 (第三掺杂步骤)。第三掺杂步骤的条件如下: 注入剂量: 1×10^{13} 到 $5 \times 10^{15}/\text{cm}^2$, 且加速电压: 60 到 100 KeV。通过执行该第三掺

杂步骤,在岛状半导体薄膜 504、506 和 507 中形成成对的 n 型高浓度杂质区域 526 到 528。

当掺杂 n 型杂质以形成高浓度区域时,侧壁 521、523 和 524 用作掩模以形成低浓度杂质区域或偏移区域,该区域中在侧壁 521、523 和 524 的底部不执行掺杂。因此可以通过适当改变绝缘薄膜 520 的厚度和在形成侧壁 521、523 和 524 中的深腐蚀方法的条件调整侧壁 521、523 和 524 的尺寸,从而控制低浓度杂质区域或偏移区域的宽度。

在通过灰化等去除抗蚀剂 525 之后,可以对杂质区域实施热激活。例如,形成 50 nm 厚的 SiON 薄膜,然后使之在氮气氛围中在 550℃ 条件下执行 4 小时的热处理。形成 100 nm 厚的包含氢的 SiN_x 薄膜,然后,使之在氮气氛围中在 410℃ 的条件下执行 1 个小时的热处理以校正多晶半导体薄膜中的缺陷。例如,这称为氢处理工艺,它终止了多晶半导体薄膜中的悬挂键。

经过上述一系列步骤,形成 n 沟道 TFT 529、531 和 532 以及 p 沟道 TFT 530。注意,n 沟道 TFT 531 可以用作光电二极管。上述制造步骤中,深腐蚀方法的条件可以适当地改变,调整侧壁的尺寸以形成沟道长度为 0.2 μm 到 2 μm 的 TFT。应当注意,本实施例模式中,尽管 TFT 529 到 532 采用顶栅结构,但可以采用底栅结构(反交叉结构)。

此外,此后可以形成钝化薄膜以保护 TFT 529 到 532。这样,优选地,钝化薄膜由可以防止碱金属或碱土金属进入 TFT 529 到 532 的氮化硅、氮氧化硅、氮化铝、氧化铝、氧化硅等形成。具体而言,例如,600 nm 厚的 SiON 薄膜可以用于该钝化薄膜。在这种情况下,可以在形成 SiON 薄膜之后执行氢化处理。像这样,在 TFT 529 到 532 上形成绝缘薄膜 SiON\SiN_x\SiON 以此顺序堆叠的三层结构,但其结构或材料不局限于此。通过上述结构,TFT 529 到 532 覆盖有基底薄膜 502 和钝化薄膜,由此进一步防止诸如 Na 这样的碱金属或碱土金属扩散到用在半导体元件中的半导体薄膜并防止对半导体元件特性的负面影响。

接着,如图 7B 所示,形成覆盖 TFT 529 到 532 的第一层间绝缘薄膜 533。诸如聚酰亚胺、丙烯酸或聚酰胺这样具有热阻的有机树脂可以用于第一层间绝缘薄膜 533。除了有机树脂,可以使用低介电常数的材料(低 k 材料)或包含 Si-O-Si 键的树脂(此后称为硅氧烷树脂)

等。硅氧烷具有硅(Si)和氧(O)键的框架结构。可以使用至少包括氢的有机基(例如烷基或芳烃)作为其取代基。而且,氟基可以用作取代基。而且,至少包括氢和氟基的有机基可以用作取代基。在形成第一层间绝缘薄膜533中,根据层间绝缘薄膜的材料,可以使用旋涂方法、浸渍方法、喷涂方法、微滴释放方法(喷墨方法、丝网印刷方法、胶印方法等)、刮刀、辊式涂布机、沐式淋涂、刮涂等。而且,可以使用无机材料。此时,可以使用氧化硅薄膜、氮化硅薄膜、氧氮化硅薄膜、PSG(磷硅酸盐玻璃)薄膜、PBSG(磷硼硅酸盐玻璃)薄膜、BPSG(硼磷硅酸盐玻璃)薄膜、氧化铝薄膜等。注意这些绝缘薄膜可以堆叠以形成第一层间绝缘薄膜533。

而且,本实施例模式中,可以在第一层间绝缘薄膜533上形成第二层间绝缘薄膜534。作为第二层间绝缘薄膜534,可以采用诸如DLC(类金刚石碳)或氮化碳(CN)这样的包含碳的薄膜、氧化硅薄膜、氮化硅薄膜、氮氧化硅薄膜等。作为形成方法,可以采用等离子体CVD方法、常压等离子体等。备选地,可以采用光敏或非光敏有机材料,例如聚酰亚胺、丙烯酸、聚酰胺、抗蚀剂和苯并环丁烯,或可以使用硅氧烷树脂。

注意可以向第一层间绝缘薄膜533和第二层间绝缘薄膜534至少其中之一混入填充物以防止由于第一层间绝缘薄膜533或第二层间绝缘薄膜534与在后续步骤形成的导线等的导电材料之间的热膨胀系数差异所产生的应力引起这些薄膜的薄膜分裂或开裂。

如图7B所示,在第一层间绝缘薄膜533和第二层间绝缘薄膜534中形成接触孔。形成连接到TFT 529到532的导线535到541。作为形成接触孔的腐蚀气体,采用 CHF_3 和He的混合气体,但本发明不局限于此。本实施例模式中,导线535到541由Al形成。这里,可以通过溅射相继形成Ti、TiN、Al-Si、Ti和TiN的五层结构形成导线535到541。

通过在Al层中混合Si,可以在图形化导线时在抗蚀剂烘焙过程中防止小丘(hillock)的产生。除了Si,可以混合大约0.5%的Cu。此外,通过使用Ti或TiN夹住Al-Si层,可以进一步改善小丘电阻。图形化中,优选地,采用上述 SiON 等的硬掩模。注意这些导线的材料和形成方法不局限于这些,可以采用上述形成栅电极的材料。

导线 535 和 536 与 n 沟道 TFT 529 的高浓度杂质区域 526 相连；导线 536 和 537 与 p 沟道 TFT 530 的高浓度杂质区域 519 相连；导线 538 和 539 与 n 沟道 TFT 531 的高浓度杂质区域 527 相连；导线 540 和 541 与 n 沟道 TFT 532 的高浓度杂质区域 528 相连。

如图 7C 所示，在第二层间绝缘薄膜 534 上形成保护薄膜 542 以覆盖导线 535 到 541。保护层 542 由在后续步骤通过腐蚀去除分离层 501 时能够保护 TFT 529 到 532 和导线 535 到 541 的材料制成。例如，完整涂敷水溶性或酒精可溶性环氧树脂、丙烯酸树脂或硅树脂以形成保护层 542。

本实施例模式中，为形成保护层 542，通过旋涂方法涂敷 30 μm 厚的水溶性树脂（Toagosei Co, Ltd 制造的 VL-WSHL10），并经过两分钟的曝光而使其暂时固化。然后，该水溶性树脂还被从背面照射的 UV 射线曝光 2.5 分钟，且还从顶面曝光 10 分钟，即总共曝光 12.5 分钟，使该水溶性树脂完全固化，由此形成保护层 542。当堆叠多种有机树脂时，根据包含在有机树脂中的溶剂，在涂敷或烘干过程，堆叠的有机树脂部分地相互溶解，其粘附性可能过高。因此，当第二层间绝缘薄膜 534 和保护层 542 由相同溶剂中可溶的有机树脂制成的情况下，优选地，形成覆盖第二层间绝缘薄膜 534 的无机绝缘薄膜（例如， SiN_x 薄膜， SiN_xO_y 薄膜、 AlN_x 薄膜或 AlN_xO_y 薄膜），以便在后续步骤中平稳地去除保护层 542。

如图 8A 所示，形成凹槽 543，以相互分离 ID 芯片。凹槽 543 足够地深以暴露下面的分离层 501。可以通过切割、划片等形成凹槽 543。当不需要分割第一衬底 500 上形成的 ID 芯片时，不需要形成凹槽 543。

如图 8B 所示，通过腐蚀去除分离层 501。本实施例模式中，氟化卤素用作腐蚀气体，该气体从凹槽 543 中引入。本实施例模式中，例如采用 ClF_3 （三氟化氯），在下列条件下执行腐蚀：温度设置为 350℃；流速：300 sccm；压力：799.8 Pa (6 Torr)；以及时间：3 小时。而且，可以使用混入氮气的 ClF_3 气体。通过使用诸如 ClF_3 这样的氟化卤素，选择性地腐蚀了分离层 501，所以可以从 TFT 529 到 532 分离第一衬底 500。注意氟化卤素可以是气态或是液态。

如图 9A 所示，使用粘合剂 544，将分离的 TFT 529 到 532 粘附到第二衬底 545。可以将把第二衬底 545 粘附到基底薄膜 502 的材料用

于粘合剂 544。下面各种类型的固化粘合剂的实例，包括：反应固化粘合剂、热固化粘合剂、诸如紫外固化粘合剂的光固化粘合剂以及厌氧固化粘合剂等，可以用作粘合剂 544。

对于第二衬底 545，可以使用诸如钡硼硅酸盐玻璃或铝硼硅酸盐玻璃这样的玻璃衬底或诸如纸张和塑料这样的柔性有机材料。此外，也可使用柔性无机材料。作为塑料衬底，可以使用具有极性基的由聚降冰片烯形成的 ARTON（由 JSR Corporation 制造）。而且，下面的材料可以用作塑料衬底：以聚对苯二甲酸乙二醇酯（PET）、聚醚砜（PES）、萘二甲酸乙二醇酯（PEN）、聚碳酸酯（PC）、尼龙、聚醚醚酮（PEEK）、聚砜（PSF）、聚醚酰亚胺（PEI）、多芳基化合物（PAR）、聚对苯二甲酸丁二醇酯（PBT）、聚酰亚胺、丙烯腈丁二烯苯乙烯树脂、聚氯乙烯、聚丙烯、聚乙酸乙烯酯、丙烯酸树脂等为代表的聚酯。希望第二衬底 545 具有大约 2 到 30 W/mK 的高热导率，以发散从集成电路产生的热。

接着，如图 9B 所示，在第二层间绝缘薄膜 534 上形成堤岸 546 以覆盖导线 535 到 541。堤岸 546 具有开孔部分，其中暴露部分导线 535 和 541。此外，可以使用有机树脂薄膜、无机绝缘薄膜或硅氧烷基绝缘薄膜形成堤岸 546。有机树脂薄膜的实例包括丙烯、聚酰亚胺、聚酰胺等。无机树脂薄膜的实例包括氧化硅、氮氧化硅等。具体而言，光敏有机树脂薄膜用于堤岸 546，形成堤岸 546，使得暴露导线 541 的开孔部分的侧壁具有连续曲率的倾斜平面。因此，可以防止导线 541 和后来形成的电极 548 的连接。此时，可以通过微滴释放方法或印刷方法形成掩模。备选地，堤岸 546 本身可以通过微滴释放方法或印刷方法形成。

接着，形成发光元件 549 或天线 550。本实施例模式示出了一种首先形成发光元件 549 的模式，但可以首先形成天线 550 或天线 550 可以与形成发光元件 549 的电极 548 同时形成。

在形成对应于执行光电转换层的电致发光层 547 之前，可以在大气氛围中执行热处理或在真空气氛执行热处理（真空烘焙），以去除堤岸 546 和导线 541 吸收的水、氧等。具体而言，在真空氛围中执行大约 0.5 到 20 小时的热处理，衬底温度为 200℃ 到 450℃，优选地为 250℃ 到 300℃。希望将真空氛围设置 3×10^{-7} Torr 或更低，最优选地，如有可能最优选地设置为 3×10^{-8} Torr 或更低。当电致发光层 547 在

真空氛围执行热处理之后形成时，在形成电致发光层 547 之前将衬底设置在真空氛围，可以进一步改善可靠性。为了使将用作阳极或阴极的导线 541 的表面平整化，在形成真空烘焙之前，可以通过 CMP 方法使用聚乙烯醇多孔体等对该表面进行清洁和抛光。此外，在通过 CMP 方法抛光之后，将用作阳极或阴极的导线 541 的表面暴露于紫外照射、氧离子体处理等。

形成与堤岸 546 的开孔部分中的导线 541 接触的电致发光层 547。电致发光层 547 可以以单层或叠层形成。本实施例模式中，因为导线 541 用作阴极，当通过多层形成电致发光层 547 时，在导线 541 上依次堆叠电子注入层、电子传输层、发光层、空穴传输层和空穴注入层。注意如果导线 541 用作阳极，相继堆叠空穴注入层、空穴传输层、发光层、电子传输层和电子注入层以形成电致发光层 547。

注意，通过适当地改变电致发光层 547 的叠层结构和用于这些层的电致发光材料，可以形成发射红外光的发光元件 549。

可以提供滤色镜以发射具有特定波长范围的光。滤色镜包括可以传输特定波长范围光的有色层，或者除了有色层，包括可以屏蔽可见光的屏蔽薄膜。滤色镜可以在用于密封发光元件的覆盖材料上形成，或在衬底上形成。在每种情况下，可以通过印刷方法或微滴释放方法形成有色层或屏蔽薄膜。

形成覆盖电致发光层 547 的电极 548。当导线 541 用作阴极时，电极 548 用作阳极。与此对照，当导线 541 用作阳极时，电极 548 用作阴极。根据材料，电极 548 的制造方法优选地选自蒸发淀积方法、溅射方法、微滴释放方法等。

即使使用下面任一种化合物时仍可以通过微滴释放方法形成电致发光层 547：高分子量有机化合物、中分子量有机化合物、低分子量有机化合物以及无机化合物。可以通过气相淀积方法形成中分子量有机化合物、低分子量有机化合物和无机化合物。注意电致发光层 547 和电极 548 在与后来形成天线 550 的区域不同的区域中形成。

诸如氧化铟锡 (ITO)、氧化锌 (ZnO)、氧化铟锌 (IZO) 和掺杂镓的氧化锌 (GZO) 这样的其它透光导电氧化物材料可以用作阳极。而且，可以通过使用包括 ITO 和氧化硅的氧化铟锡 (此后称为 ITS0) 和包含氧化硅 (其中混合了 2 至 20% 的氧化锌 (ZnO)) 的氧化铟形成阳极。除

了用于阳极的其它透光导电氧化物材料,例如,可以采用一种或多种 TiN、ZrN、Ti、W、Ni、Pt、Cr、Ag 和 Al 的单层;氮化钛薄膜和主要包含铝的薄膜的叠层;氮化钛薄膜、主要包含铝的薄膜和氮化钛薄膜的三层叠层等。注意,当从使用不同于透光导电氧化物材料的材料的阳极一端提取光时,形成的阳极具有传输光的足够的薄膜厚度(优选地,约 5 nm 到 30nm)。

阴极可以由金属、合金、导电化合物或这些材料的混合物形成,这些材料都具有低的功函数。具体而言,阴极可以由下面材料形成:诸如 Li 或 Cs 这样的碱金属;诸如 Ca、Sr 或 Mg 这样的碱土金属;包含这些材料的合金(例如 Mg:Ag, Al:Li 或 Mg:In);这些材料的化合物(例如 CaF_2 或 CaN);或诸如 Yb 或 Er 这样的稀土金属。当提供电子注入层时,可以使用诸如 Al 的另一导电层。当从阴极一端发射光时,阴极可以由另一种透光导电氧化物材料形成,例如氧化铟锡(ITO)、氧化锌(ZnO)、氧化铟锌(IZO)或掺杂镓的氧化锌(GZO)。而且,阴极可以通过包含 ITO 和氧化硅的氧化铟锡(ITSO)或包含氧化硅(其中混合了 2 至 20% 的氧化锌(ZnO))的氧化铟形成。在使用这种透光导电氧化物材料的情况下,优选地在电致发光层 547 中提供电子注入层。形成足够厚(优选地大约 5 nm 到 30 nm)的透光阴极而不使用透光导电氧化物材料,可以从阴极一端提取光。在这种情况下,使用透光导电氧化物材料,通过形成与阴极的上部或下部接触的透光导电薄膜,可以抑制阴极的薄层电阻。

第二层间绝缘薄膜 534 由氮化硅或氮氧化硅形成。使用包括透光导电氧化物材料和氧化硅(诸如 ITSO)的导电薄膜,形成与第二层间绝缘薄膜 534 接触的导线 541。这样,发光元件 549 的亮度可以比导线 541 和第二层间绝缘薄膜 534 的任意材料组合有所提高。注意上述真空烘焙对于 ITSO 用作导线 541 的情况是极为有效的,这是因为水容易被其中包含的氧化硅吸附。

导线 541、电致发光层 547 和电极 548 在堤岸 546 的开孔部分中重叠以形成发光元件 549。

来自发光元件 549 的光可以从导线 541 一端、从电极 548 一端或从相反两端提取。取决于所需的结构,每个阳极和阴极的材料和厚度从这三种结构选出。

下面描述天线 550 的制造方法。天线 550 可以在形成发光元件 549 的电极 548 的同时通过图形化导电薄膜形成，或可以通过另一种制造方法形成。本实施例模式示出了一个通过不同于电极 548 的制造方法的方法形成天线 550 的实例。

如图 9B 所示，在堤岸 546 上形成天线 550。可以使用导电材料形成天线 519，该导电材料包含一种或多种诸如 Ag、Au、Cu、Pd、Cr、Mo、Ti、Ta、W、Al、Fe、Co、Zn、Sn 和 Ni 这样的金属或其金属化合物。天线 550 与导线 535 相连。注意尽管在图 9B 中天线 550 与导线 535 直接相连，但本发明的 ID 芯片不局限于这种结构。例如，可以使用单独形成的导线使天线 550 与导线 535 电连接。

可以通过印刷方法、光刻、气相淀积、微滴释放方法等形成天线 550。尽管本实施例模式中天线 550 使用单层导电薄膜形成，但它可以通过堆叠多个导电薄膜形成。例如，使用 Ni 等形成的导线通过无电电镀覆盖 Cu 以形成天线 550。

使用印刷方法或微滴释放方法，可以不使用曝光掩模形成天线 550。和光刻情况（由腐蚀导致材料损耗）不同，微滴释放方法和印刷方法可以更有效地利用材料。此外，因为不需要使用昂贵的曝光掩模，因此可以减小 ID 芯片的制造成本。

当使用微滴释放方法或各种印刷方法时，例如，也可以使用通过用 Ag 覆盖 Cu 而获得的导电颗粒。在通过微滴释放方法形成天线 550 的情况，为增强天线 550 的粘附力，希望对堤岸 546 的表面进行处理。

为了增强粘附力，例如，可以使用下面的方法：使金属或金属化合物粘附到堤岸 546 的表面，该金属或金属化合物由于催化作用能够增强导电薄膜或绝缘薄膜的粘附力；对将要形成的导电薄膜或绝缘薄膜具有良好粘附性的有机绝缘薄膜、金属和金属化合物粘附到堤岸 546 的表面；通过在大气压或减压条件下对堤岸 546 的表面执行等离子体处理从而改变其表面属性。对导电薄膜或绝缘薄膜具有良好粘附力的金属，可以使用钛、氧化钛或 3d 过渡元素例如 Sc、Ti、V、Cr、Mn、Fe、Co、Ni、Cu、Zn 等。对于金属化合物，可以使用上述金属的氧化物、氮化物、氧氮化物等。对于上述有机绝缘薄膜，引用聚酰亚胺、硅氧烷树脂等作为实例。

在粘附到堤岸 546 的金属或金属化合物具有导电性的情况下，控

制薄层电阻以不阻碍天线的正确操作。具体而言,例如,具有导电性的金属或金属化合物的平均厚度控制在1到10 nm。金属或金属化合物可以被部分或全部地氧化而绝缘。备选地,在粘附力需要改善的区域之外的区域,粘附的金属或金属化合物可以通过腐蚀而选择性地去除。可以通过使用微滴释放方法、印刷方法、溶胶凝胶方法等,仅在特定区域选择性地粘附金属或金属化合物,而不是预先在衬底的整个表面上粘附。金属或金属化合物在堤岸 546 表面上不必具有像薄膜一样完整连续的形状,可以一定程度地分散。

在形成发光元件 549 和天线 550 之后,可以形成覆盖发光元件 549 或天线 550 的保护薄膜。比其它绝缘材料更能防止诸如水或氧这样的导致发光元件恶化的材料渗透的薄膜用作保护薄膜。一般地,优选地可以使用通过 RF 溅射或 CVD 方法形成的 DLC 薄膜、氮化碳薄膜、氮化硅薄膜等。氮化碳薄膜和氮化硅薄膜堆叠的薄膜、聚苯乙烯堆叠的薄膜等可以用于该保护薄膜。此外,可以使用防止水或氧渗透的薄膜和比上述薄膜透过较多的水或氧但内部应力低的薄膜的叠层作为该保护薄膜。本实施例模式中采用氮化硅薄膜。当氮化硅薄膜用作保护薄膜时,诸如 Ar 这样的稀有气体元素可以包含在反应气体中并可以混入保护薄膜,以在低淀积温度下形成好的保护薄膜。

如图 9C 所示,在堤岸 546 上涂敷粘合剂 551 以覆盖发光元件 549 和天线 550,然后,覆盖材料 552 与之粘附。可以使用与第二衬底 545 相同的材料形成覆盖材料 552。例如粘合剂 551 的厚度可以是例如 10 到 200 μm 。

可以使覆盖材料 552 和堤岸 546 以及天线 550 粘附到一起的材料用于粘合剂 551。作为粘合剂 551,例如,可以使用各种固化粘合剂,包括反应固化粘合剂、热固化粘合剂、诸如紫外固化粘合剂这样的光固化粘合剂、厌氧固化粘合剂等。

通过上述各个步骤,完成了 ID 芯片。通过该制造方法,可以在第二衬底 545 和覆盖材料 552 之间形成极薄的集成电路,其总厚度为 0.3 μm 到 3 μm ,一般大约为 2 μm 。除了半导体元件自身的厚度,集成电路的厚度还包括在粘合剂 544 和粘合剂 551 之间形成的各种绝缘薄膜和层间绝缘薄膜的厚度。包含在 ID 芯片中的集成电路的面积可以不大于 5 mm $\times$ 5 mm (25 mm²),优选地大约为 0.3 mm $\times$ 0.3 mm (0.09 mm²)

到 $4\text{ mm} \times 4\text{ mm}$ (16mm^2)。

通过将集成电路放置在紧邻第二衬底 545 和覆盖材料 552 之间中心的位置，可以增强 ID 芯片的机械强度。具体而言，当第二衬底 545 和覆盖材料 552 之间的距离为 d 时，优选地，控制粘合剂 544 和粘合剂 551 的厚度，使得在厚度方向集成电路的中心 O 和第二衬底 545 之间的距离 x 满足下面的公式 1。

公式 1

$$\frac{1}{2}d - 30\mu\text{m} < x < \frac{1}{2}d + 30\mu\text{m}$$

更优选地，控制粘合剂 544 和粘合剂 551 的厚度使其满足下面的公式 2。

公式 2

$$\frac{1}{2}d - 10\mu\text{m} < x < \frac{1}{2}d + 10\mu\text{m}$$

如图 10 所示，基底薄膜 502、第一层间绝缘薄膜 533、第二层间绝缘薄膜 534 或堤岸 546 的厚度可以调整，使得 TFT 的岛状半导体薄膜和底部的基底薄膜之间的距离 t_{under} ，以及岛状半导体薄膜和堤岸 546 之间的距离 t_{over} 在集成电路中相等或基本相等。通过将岛状半导体薄膜放置在集成电路的中间，半导体层上施加的应力可以释放，可以防止裂缝的产生。

图 9C 中，示出了使用覆盖材料 552 的实例，但本发明不局限于这种结构。例如，图 9B 中示出的步骤可以是最后的步骤，或在完成图 9B 所示的步骤之后，可以形成保护天线 550 和发光元件 549 的层，由此完成集成电路。

本实施例模式中示出了通过在高热阻的第一衬底 500 和集成电路之间提供分离层，并通过腐蚀去除分离层而从衬底分离集成电路的方法，然而，根据本发明的制造 ID 芯片的方法不局限于此。例如，可以在高热阻衬底和集成电路之间提供金属氧化物薄膜，且结晶弱化该金属氧化物薄膜，使得集成电路从衬底分离。备选地，可以在高热阻衬

底和集成电路之间提供包含氢气的无定形半导体薄膜形成的分离层，且通过激光照射去除分离层，使得可以从衬底分离集成电路。备选地，其上形成集成电路的高热阻衬底可以被机械地去除或通过使用溶液或气体来腐蚀消除，从而从衬底分离集成电路。

当有机树脂用作与基底薄膜 502 接触的粘合剂 544 以确保 ID 芯片的柔韧性时，通过使用氮化硅薄膜或氮氧化硅薄膜作为基底薄膜 502，可以防止诸如 Na 这样的碱金属或碱土金属从有机树脂扩散到半导体薄膜。

当 ID 芯片粘附到具有弯曲表面的物体时，该弯曲表面由圆锥形表面、圆柱形表面等上的母线产生，该 ID 芯片的第二衬底 545 也是弯曲的，优选地，母线的方向与 TFT 529 到 532 的载流子移动方向相同。根据这种结构，可以防止第二衬底 545 的弯曲对 TFT 529 到 532 的特性产生负面影响。当使岛状半导体薄膜在集成电路中的面积比率设置在 1 到 30% 时，即使第二衬底 545 是弯曲的，仍可以抑制 TFT 529 到 532 特性所受到的负面影响。

本实施例模式中描述了在相同的衬底上形成天线和集成电路的实例。然而本发明不局限于这种结构。在一个衬底上形成的天线可以和另一衬底上形成的集成电路彼此电连接。本实施例模式中，示出了在堤岸 546 上形成天线 550 和发光元件 549 的实例。然而，本发明不局限于这种结构，天线 550 和发光元件 549 可以在不同层上形成。

一般地，很多情况下 ID 芯片使用 13.56 MHz 或 2.45 GHz 频率的无线电波。因此，为扩展 ID 芯片的通用性，形成可以检测上述频率的无线电波的 ID 芯片是及其重要的。

和使用半导体衬底形成的 ID 芯片相比，本实施例模式的 ID 芯片具有无线电波被较少屏蔽的优点，这样可以防止由屏蔽的无线电波引起的信号衰减。因此，因为不需要半导体衬底，ID 芯片的成本可以急剧降低。例如，比较了使用 12 英寸硅衬底的情况和使用 $730 \times 920 \text{ mm}^2$ 的玻璃衬底的情况。硅衬底的面积大约是 73000 mm^2 ，而玻璃衬底的面积大约为 672000 mm^2 ，即，玻璃衬底大约是硅衬底的 9.2 倍大。当不考虑切割衬底的冗余时，面积大约为 672000 mm^2 的玻璃衬底上，可以形成大约 672000 个面积为 1 mm^2 的 ID 芯片。它大约是硅衬底上所形成的 ID 芯片的 9.2 倍。在使用需要更少制造步骤的尺寸为 730×920

mm²的玻璃衬底的情况, 和使用直径为 12 英寸硅衬底的情况相比, 用于大规模生产 ID 芯片的设备投资可以减小三分之一。而且, 根据本发明, 在从玻璃衬底分离集成电路之后, 玻璃衬底可以再利用。因此, 即使将补偿破碎的玻璃衬底和净化玻璃衬底表面的成本计算在内, 使用玻璃衬底的情况比使用硅衬底的情况所需成本小得多。即使玻璃衬底不再使用而被丢弃, 尺寸为 730×920 mm²的玻璃衬底的价格大约是 12 英寸直径硅衬底价格的一半。因此, 很明显制造 ID 芯片的成本可以大为减小。

这样, 使用 730×920 mm²的玻璃衬底的 ID 芯片价格可以大约减小到使用直径为 12 英寸硅衬底的 ID 芯片价格的三十分之一。因为期望的是 ID 芯片可随意使用, 因此, 成本大为减少的本发明的 ID 芯片对于这种应用是很有效的。

本实施例模式中, 示出了集成电路被分离且粘附到柔性衬底的实例。然而, 本发明不局限于这种结构。例如, 如果使用诸如玻璃衬底这样的可以承受集成电路制造步骤中热处理的热阻衬底, 则不必分离集成电路。

此外, 本发明的 IC 卡可以参考上述制造方法形成。注意当 IC 卡具有显示装置时, 该显示装置可以与集成电路分离地形成并粘附到第二衬底, 或该显示装置可以与集成电路一起形成并粘附到第二衬底。

实施例 1

实施例 1 描述一种 ID 芯片的结构, 其中在不同衬底上形成的天线和集成电路彼此电连接, 这不同于实施例模式。

如图 11A 所示, 本实施例的 ID 芯片中, 形成具有开孔部分的堤岸 1200, 且每个导线 1201 和 1202 的部分在开孔部分暴露。

在堤岸 1200 上形成粘合剂 1207 以覆盖端子 1203, 且通过粘合剂 1207 将覆盖材料 1208 粘附到堤岸 1200。各向异性导电树脂可以用于粘合剂 1207。

在覆盖材料 1208 上预先形成天线 1209。在覆盖材料 1208 的堤岸 1200 的相反面上形成天线 1209。天线 1209 的一部分通过覆盖材料 1208 中形成的接触孔暴露于端子 1203。注意天线 1209 可以在覆盖材料 1208 的堤岸 1200 一端形成。通过使用各向异性导电树脂用作粘合剂 1207, 天线 1209 和端子 1203 可以彼此电连接。

各向异性导电树脂是一种导电材料分散在树脂中的材料。下面的实例可以用作树脂:热固化树脂,例如环氧树脂、聚氨酯树脂和丙烯酸树脂;热塑性树脂,例如聚乙烯树脂和聚丙烯树脂;硅氧烷树脂等。作为导电材料,例如,可以使用:塑料颗粒,例如聚苯乙烯和被 Ni、Au 等电镀的环氧树脂;诸如 Ni、Au、Ag、焊锡这样的金属颗粒;微粒或纤维状碳,电镀 Au 的纤维 Ni 等。希望根据天线 1209 和端子 1203 之间的距离确定导电材料的尺寸。

通过向各向异性导电树脂施加超声波,使天线 1209 和端子 1203 彼此气压粘结 (pressure bonding), 或者通过照射紫外光固化各向异性导电树脂,使天线 1209 和端子 1203 彼此气压粘结。

尽管本实施例示出了使用各向异性导电树脂制成的粘合剂 1207 电连接天线 1209 和端子 1203 的实例,但本发明不局限于这种结构。作为粘合剂 1207 的替代物,通过气压粘结各向异性导电薄膜可以使天线 1209 和端子 1203 电连接。

尽管本实施例示出了集成电路被分离且粘附到柔性衬底的实例,然而,本发明不局限于这种结构。例如,当使用能够承受集成电路制造工艺中热处理的诸如玻璃衬底这样的衬底时,不必分离集成电路。图 11B 的剖面图示出了使用玻璃衬底形成的一种模式的 ID 芯片的剖面图。

图 11B 所示的 ID 芯片中,玻璃衬底用作衬底 1210。没有粘合剂夹在用于集成电路的半导体元件 1211 到 1214 和衬底 1210 之间,因此,形成的衬底 1210 和基底薄膜 1215 彼此接触。这种结构中,诸如 Na 这样的碱金属、碱土金属、湿气等不可能进入包含在半导体元件 1211 到 1214 的半导体薄膜中。

实施例 2

实施例 2 描述了在本发明的 ID 芯片或 IC 卡中使用的光电二极管的实例。

图 12A 示出了本实施例的 ID 芯片或 IC 卡的剖面图。图 12A 中,光电二极管 1500 在第二层间绝缘薄膜 1501 上形成,用于控制光电二极管 1500 的驱动的 TFT 1502 被第一层间绝缘薄膜 1503 和第二层间绝缘薄膜 1501 覆盖。尽管 TFT 1502 被两个层间绝缘薄膜即第一层间绝缘薄膜 1503 和第二层间绝缘薄膜 1501 覆盖,但本实施例并不局限于

这种结构。TFT 1502 还可以被单层层间绝缘薄膜或三层或更多层的层间绝缘薄膜覆盖。

光电二极管 1500 包括第二层间绝缘薄膜 1501 上的阴极 1504、阴极 1504 上形成的执行光电转换的光电转换层 1505、以及光电转换层 1505 上形成的阳极 1506。具体而言,例如,阴极 1504 可以由下面的材料形成:诸如 Li 或 Cs 这样的碱金属;诸如 Ca、Sr 或 Mg 这样的碱土金属;包括这些材料的合金(例如 Mg:Ag, Al:Li 或 Mg:In);这些材料的化合物(例如 CaF_2 或 CaN);或诸如 Yb 或 Er 这样的稀土金属。可以通过使用例如包含氢的无定形硅薄膜形成光电转换层 1505。此外,阳极 1506 可以由透光导电氧化物材料(诸如氧化铟锡(ITO)、氧化锌(ZnO)、氧化铟锌(IZO)或掺杂镓的氧化锌(GZO))形成。而且,阳极可以通过使用包含 ITO 和氧化硅的氧化铟锡(ITSO)或包含氧化硅(其中混合了 2 至 20% 的氧化锌(ZnO))的氧化铟形成。

注意阴极 1504、光电转换层 1505 和阳极 1506 都可以具有单层结构或叠层结构。

如图 12B 所示,在相对于光电二极管 1511 的衬底 1510 的相对一端提供屏蔽光的屏蔽薄膜 1513。这样,可以限制进入光电二极管 1511 的光的方向。可以屏蔽光的金属薄膜、添加色素的树脂等可以用于屏蔽薄膜 1513。

图 12B 中,从发光元件 1512 发射的光被引导到衬底的相反一端,形成屏蔽薄膜 1513 使得来自衬底 1510 一端的光优选地进入光电二极管 1511。然而,本发明不局限于这种结构。形成屏蔽薄膜 1513 的位置不局限于图 12B 中所示的位置。此外,对于发光元件 1512 发射的光的方向,光可以向衬底 1510 发送而不局限于图 12B 所示的结构。

注意,即使使用具有实施例模式中示出的结构的光电二极管,仍可以形成屏蔽薄膜 1513。

本发明的 ID 芯片或 IC 卡中使用的光电二极管不局限于本实施例的结构。

本实施例可以与实施例 1 相结合。

实施例 3

将参考图 13A 解释通过图形化一种导电薄膜形成与 TFT 和天线相连的导线情形下的 ID 芯片或 IC 卡的结构。图 13A 是根据本实施例的 ID

芯片或 IC 卡的剖面图。

图 13A 中, 附图标记 1401 表示用于控制发光元件 1409 操作的 TFT。TFT 1401 包括岛状半导体薄膜 1402、与岛状半导体薄膜 1402 接触的栅绝缘薄膜 1403、以及与该岛状半导体薄膜 1402 重叠的栅电极 1404, 其间夹有栅绝缘薄膜 1403。TFT 1401 覆盖有第一层间绝缘薄膜 1405 和第二层间绝缘薄膜 1406。本实施例中, TFT 1401 覆盖有两个层间绝缘薄膜, 即第一层间绝缘薄膜 1405 和第二层间绝缘薄膜 1406。然而, 本实施例不局限于这种结构。TFT 1401 可以覆盖有单层或三层或更多层的层间绝缘薄膜。

在第二层间绝缘薄膜 1406 上形成的导线 1407 通过第一层间绝缘薄膜 1405 和第二层间绝缘薄膜 1406 中形成的接触孔与岛状半导体薄膜 1402 相连。

在第二层间绝缘薄膜 1406 上形成天线 1408。导电薄膜形成在第二层间绝缘薄膜 1406 上并被图形化以形成导线 1407 和天线 1408。通过连同导线 1407 一起形成天线 1408, 可以减小 ID 芯片或 IC 卡的制造步骤的数目。

接着, 将参考图 13B 解释通过图形化一个导电薄膜形成 TFT 的栅电极和天线情况下的 ID 芯片或 IC 卡的结构。图 13B 是根据本实施例的 ID 芯片或 IC 卡的剖面图。

图 13B 中, 附图标记 1411 表示用于控制发光元件 1419 操作的 TFT。TFT 1411 包括岛状半导体薄膜 1412、与该岛状半导体薄膜 1412 重叠的栅绝缘薄膜 1413 以及与该岛状半导体薄膜 1412 重叠的栅电极 1414, 其间夹有栅绝缘薄膜 1413。在栅绝缘薄膜 1413 上形成天线 1418。导电薄膜在栅绝缘薄膜 1413 上形成并被图形化以形成栅电极 1414 和天线 1418。通过与栅电极 1414 一起形成天线 1418, 可以减小 ID 芯片或 IC 卡的制造步骤的数目。

本实施例模式中, 示出了集成电路被分离并粘附到单独准备的衬底上的实例。然而, 本发明不局限于这种结构。例如, 如果使用诸如玻璃衬底这样的能够承受集成电路制造步骤中热处理的热阻衬底, 则不必分离集成电路。

实施例 4

参考图 14A 到 14C, 实施例 4 描述控制发光元件操作的 TFT 是 p

型时的像素的剖面结构。注意，在图 14A 到 14C 中，包含在发光元件中的两个电极中与 TFT 直接或电连接的一个电极（第一电极）是阳极，另一个电极（第二电极）是阴极，但第一电极可以是阴极且第二电极可以是阳极。

图 14A 示出了 TFT 6001 是 p 型且发光元件 6003 发射的光是从第一电极 6004 一端提取的情况下像素的剖面图。图 14A 中，发光元件 6003 的第一电极 6004 通过导线 6009 与 TFT 6001 电连接。然而，本发明不局限于这种结构。与 TFT 6001 直接相连的导线 6009 的一部分可以用作第一电极 6004。

TFT 6001 覆盖有第一层间绝缘薄膜 6007 和第二层间绝缘薄膜 6002。尽管图 14A 中，TFT 6001 被两个层间绝缘薄膜，即第一层间绝缘薄膜 6007 和第二层间绝缘薄膜 6002 覆盖，然而本发明不局限于这种结构。TFT 6001 可以覆盖有单层层间绝缘薄膜或三层或更多层的层间绝缘薄膜。

在第二层间绝缘薄膜 6002 上形成具有开孔部分的堤岸 6008。第一电极 6004 的一部分在堤岸 6008 的开孔部分中暴露，且第一电极 6004、电致发光层 6005 和第二电极 6006 相继堆叠。

图 14A 中，第一电极 6004 是阳极，第二电极 6006 是阴极。适于每个阳极和阴极的材料可以参考实施例模式。注意通过使用能够透光的材料或厚度形成第一电极 6004。通过使用能反射或屏蔽光的材料或厚度形成第二电极 6006。

形成的电致发光层 6005 具有单层或多层。在多层结构的情况下，考虑载流子传输特性，下面的层可以归类成空穴注入层、空穴传输层、发光层、电子传输层、电子注入层等。当电致发光层 6005 除了具有发光层之外，还具有下面任何一层：空穴注入层、空穴传输层、电子传输层和电子注入层时，空穴注入层、空穴传输层、发光层、电子传输层、电子注入层以此顺序在第一电极 6004 上堆叠。注意每一层的边界不一定清晰并且某些情况下不能清楚地区分边界，这是因为形成各个层的材料部分地混入相邻层。每层可以由有机材料或无机材料形成。对于有机材料，可以使用任何一种高分子量材料、中分子量材料和低分子量材料。注意中分子量材料表示重复结构单元的数目（聚合程度）大约为 2 到 20 的低聚合物。在空穴注入层和空穴传输层之间没有清晰的

区别, 它们二者必然具有空穴传输属性(空穴迁移率)。空穴注入层与阳极接触, 为方便起见, 与空穴注入层接触的层区分为空穴传输层。对于电子传输层和电子注入层情况相同。与阴极接触的层称为电子注入层而与电子注入层接触的层称为电子传输层。发光层在某些情况具有电子传输层的功能, 因此, 它也称为发光电子传输层。

在图 14A 所示像素的情况下, 发光元件 6003 发射的光可以从第一电极 6004 一端提取, 如描绘的箭头所示。

图 14B 示出 TFT 6011 是 p 型且发光元件 6013 发射的光从第二电极 6016 一端提取的情况下像素的剖面图。图 14B 中, 与 TFT 6011 直接相连的导线的一部分用作第一电极 6014。然而, 本发明不局限于这种结构。发光元件 6013 的第一电极 6014 可以通过单独形成的导线与 TFT 6011 电连接。

在第一电极 6014 上相继堆叠电致发光层 6015 和第二电极 6016。图 14B 中, 第一电极 6014 是阳极且第二电极 6016 是阴极。适于每个阳极和阴极的材料可以参考实施例模式。注意通过使用能够反射或屏蔽光的材料或厚度形成第一电极 6014。使用能够透光的材料或厚度形成第二电极 6016。

电致发光层 6015 可以以与图 14A 中所示的电致发光层 6005 相同的方法形成。在图 14B 所示像素的情况下, 发光元件 6013 发射的光从第二电极 6016 一端提取, 如描绘的箭头所示。

图 14C 示出 TFT 6021 是 p 型且发光元件 6023 发射的光是从第一电极 6024 和第二电极 6026 的相反两端提取的情况下像素的剖面图。尽管图 14C 示出了发光元件 6023 的第一电极 6024 通过导线 6029 与 TFT 6021 电连接的结构, 但本发明不局限于这种结构。与 TFT 6021 直接相连的导线 6029 的一部分可以用作第一电极 6024。。

在第一电极 6024 上相继堆叠电致发光层 6025 和第二电极 6026。图 14C 中, 第一电极 6024 是阳极且第二电极 6026 是阴极。适于每个阳极和阴极的材料可以参考实施例模式。注意使用能够透光的材料或厚度形成第一电极 6024 和第二电极 6026。

电致发光层 6025 可以以与图 14A 中所示的电致发光层 6005 相同的方法形成。在图 14C 所示的像素的情况, 发光元件 6023 发射的光是从第一电极 6024 和第二电极 6026 相反两端提取, 如描绘的箭头所示。

本实施例中, 每个 TFT 6001、6011 和 6021 都具有两个栅电极的结构(双栅结构), 其中两个 TFT 串联。然而, 本实施例不局限于这种结构。可以使用包括一个栅电极的单栅结构或具有三个或更多栅电极的三个或更多 TFT 串联的多栅结构。

实施例 5

参考图 15A 到 15C 描述控制发光元件操作的 TFT 是 n 型时的像素的剖面结构。注意, 在图 15A 到 15C 中, 示出一种情况, 考虑发光元件的两个电极, 与 TFT 直接或电连接的一个电极(第一电极)是阴极, 另一个电极(第二电极)是阳极, 但第一电极可以是阳极且第二电极可以是阴极。

图 15A 示出了 TFT 6031 是 n 型且发光元件 6033 发射的光从第一电极 6034 一端提取时像素的剖面图。图 15A 中, 发光元件 6033 的第一电极 6034 通过导线 6039 与 TFT 6031 电连接。然而, 本发明不局限于这种结构。与 TFT 6031 直接相连的导线 6039 的一部分可以用作第一电极 6034。

在第一电极 6034 上相继堆叠电致发光层 6035 和第二电极 6036。图 15A 中, 第一电极 6034 是阴极, 且第二电极 6036 是阳极。适于每个阳极和阴极的材料可以参考实施例模式。注意使用能够透光的材料或厚度形成第一电极 6034。使用能反射或屏蔽光的材料或厚度形成第二电极 6036。

电致发光层 6035 可以以与图 14A 中所示的电致发光层 6005 相同的方法形成。注意, 如果电致发光层 6035 除了发光元件之外还有下面任何一层: 空穴注入层、空穴传输层、电子传输层和电子注入层时, 则电子注入层、电子传输层、发光层、空穴传输层、空穴注入层以此顺序在第一电极 6034 上堆叠。

在图 15A 所示像素的情况下, 发光元件 6033 发射的光可以从第一电极 6034 一端提取, 如描绘的箭头所示。

图 15B 示出了 TFT 6041 是 n 型且发光元件 6043 发射的光是从第二电极 6046 一端提取情况下像素的剖面图。图 15B 中, 与 TFT 6041 直接相连的导线的一部分用作第一电极 6044。然而, 本发明不局限于这种结构。发光元件 6043 的第一电极 6044 可以通过单独形成的导线与 TFT 6041 电连接。

在第一电极 6044 上相继堆叠电致发光层 6045 和第二电极 6046。图 15B 中, 第一电极 6044 是阴极且第二电极 6046 是阳极。适于每个阳极和阴极的材料可以参考实施例模式。注意使用能够反射或屏蔽光的材料或厚度形成第一电极 6044。使用能够透光的材料或厚度形成第二电极 6046。

电致发光层 6045 可以以与图 15A 中所示的电致发光层 6035 相同的方法形成。在图 15B 所示像素的情况下, 发光元件 6043 发射的光是从第二电极 6046 一端提取, 如描绘的箭头所示。

图 15C 示出了在 TFT 6051 是 n 型且发光元件 6053 发射的光是从第一电极 6054 和第二电极 6056 的相反两端提取情况下像素的剖面图。尽管图 15C 示出了发光元件 6053 的第一电极 6054 通过导线 6059 与 TFT 6051 电连接的结构, 但本发明不局限于这种结构。与 TFT 6051 直接相连的导线 6059 的一部分可以用作第一电极 6054。

在第一电极 6054 上相继堆叠电致发光层 6055 和第二电极 6056。图 15C 中, 第一电极 6054 是阴极且第二电极 6056 是阳极。适于每个阳极和阴极的材料可以参考实施例模式。注意通过使用能够透光的材料或厚度形成第一电极 6054 和第二电极 6056。

电致发光层 6055 可以以与图 15A 中所示的电致发光层 6035 相同的方法形成。在图 15C 所示像素的情况下, 发光元件 6053 发射的光是从第一电极 6054 和第二电极 6056 相反两端提取, 如描绘的箭头所示。

本实施例中, 每个 TFT 6031、6041、6051 都具有两个栅电极的结构(双栅结构), 其中两个 TFT 串联。然而, 本实施例不限于这种结构。可以使用包括一个栅电极的单栅结构或具有三个或更多栅电极(其中三个或更多 TFT 串联)的多栅结构。

实施例 6

实施例 6 将解释用于本发明的 ID 芯片或 IC 卡的 TFT 的结构。

图 16A 示出了根据本实施例的 TFT 的剖面图。附图标记 701 表示 n 沟道 TFT; 且 702 表示 p 沟道 TFT。n 沟道 TFT 701 的结构将作为实例得以解释。

n 沟道 TFT 701 包括将用作有源层的岛状半导体薄膜 705。岛状半导体薄膜 705 包括用作源极区域和漏极区域的两个杂质区域 703、夹在这两个杂质区域 703 之间的沟道形成区域 704、以及夹在杂质区域 703

和沟道形成区域 704 之间的两个 LDD (轻掺杂漏极) 区域。n 沟道 TFT 701 还包括覆盖岛状半导体薄膜 705 的栅绝缘薄膜 706、栅电极 707 以及由绝缘薄膜制成的两个侧壁 708 和 709。

尽管本实施例中栅电极 707 包括两层导电薄膜 707a 和 707b, 但本发明不局限于这种结构。栅电极 707 可以包括单层导电薄膜或两层或更多层的导电薄膜。栅电极 707 与岛状半导体薄膜 705 的沟道形成区域 704 重叠, 其间夹有栅绝缘薄膜 706。侧壁 708 和 709 与岛状半导体薄膜 705 的两个 LDD 区域 710 重叠, 其间夹有栅绝缘层 706。

例如, 可以通过腐蚀厚度为 100 nm 的氧化硅薄膜形成侧壁 708, 而可以通过腐蚀厚度为 200 nm 的 LTO 薄膜 (一种低温氧化物薄膜) 形成侧壁 709。本实施例中, 通过等离子体 CVD 方法形成用于侧壁 708 的氧化硅薄膜, 通过低压 CVD 方法形成用于侧壁 709 的 LTO 薄膜。注意尽管氧化硅薄膜可以包含氮, 但是氮原子的数目必须设置成比氧原子的数目低。

在使用栅电极 707 作为掩模向岛状半导体薄膜 705 掺杂 n 型杂质之后, 形成侧壁 708 和 709, 利用侧壁 708 和 709 作为掩模向岛状半导体薄膜 705 掺杂 n 型杂质元素, 从而分别形成杂质区域 703 和 LDD 区域 710。

p 沟道 TFT 702 具有和 n 沟道 TFT 701 几乎相同的结构; 不过, 仅 p 沟道 TFT 702 的岛状半导体薄膜 711 的结构不同。岛状半导体薄膜 711 不具有 LDD 区域, 但包括两个杂质区域 712 和夹在杂质区域之间的沟道形成区域 713。杂质区域 712 掺杂 p 型杂质。尽管图 16A 示出了 p 沟道 TFT 702 不具有 LDD 区域的实例, 但本发明不局限于这种结构。p 沟道 TFT 702 可以包括 LDD 区域。

图 16B 示出了一种情况, 其中图 16A 中的每个 TFT 都具有单层侧壁。如图 16B 所示, 每个 n 沟道 TFT 721 和 p 沟道 TFT 722 分别包括单层侧壁 728 和单层侧壁 729。例如, 可以通过腐蚀厚度为 100 nm 的氧化硅薄膜形成侧壁 728 和 729。本实施例中, 用于侧壁 728 和 729 的氧化硅薄膜通过等离子体 CVD 方法形成。氧化硅薄膜可以包含氮; 但是氮原子的数目必须设置成比氧原子的数目低。

图 16C 示出了底栅 TFT 的结构。附图标记 741 表示 n 沟道 TFT, 742 表示 p 沟道 TFT。n 沟道 TFT 741 将作为实例得以解释。

图 16C 中, n 沟道 TFT 741 包括岛状半导体薄膜 745。岛状半导体薄膜 745 包括用作源极区域和漏极区域的两个杂质区域 743, 夹在杂质区域 743 之间的沟道形成区域 744, 以及夹在两个杂质区域 743 和沟道形成区域 744 之间的两个 LDD(轻掺杂漏极)区域 750。n 沟道 TFT 741 还包括栅绝缘薄膜 746、栅电极 747 和绝缘薄膜制成的保护薄膜 748。

栅电极 747 与岛状半导体薄膜 745 的沟道形成区域 744 重叠, 其间夹有栅绝缘薄膜 746。在形成栅电极 747 之后形成栅绝缘薄膜 746, 且在形成栅绝缘薄膜 746 之后形成岛状半导体薄膜 745。保护薄膜 748 与栅绝缘薄膜 746 重叠, 其间夹有沟道形成区域 744。

例如, 可以通过腐蚀厚度为 100 nm 的氧化硅薄膜形成保护薄膜 748。本实施例中, 通过等离子体 CVD 方法形成氧化硅薄膜作为保护薄膜 748。注意氧化硅薄膜可以包含氮; 但是氮原子的数目必须设置成比氧原子的数目低。

利用抗蚀剂制成的掩模向岛状半导体薄膜 745 掺杂 n 型杂质之后, 形成保护薄膜 748, 利用保护薄膜 748 作为掩模, 向岛状半导体薄膜 745 掺杂 n 型杂质, 从而可以分别形成杂质区域 743 和 LDD 区域 750。

尽管 p 沟道 TFT 742 具有和 n 沟道 TFT 741 几乎相同的结构, 仅 p 沟道 TFT 742 的岛状半导体薄膜 751 的结构不同。岛状半导体薄膜 751 不包括 LDD 区域, 但它包括两个杂质区域 752 和夹在这两个杂质区域 752 之间的沟道形成区域 753。杂质区域 752 掺杂 p 型杂质。尽管图 16C 示出了 p 沟道 TFT 742 不具有 LDD 区域的实例, 但本发明不局限于这种结构。p 沟道 TFT 742 可以包括 LDD 区域。

本实施例可以与实施例 1 到 5 自由组合。

实施例 7

本实施例中, 描述使用大尺寸衬底制造多个 ID 芯片或 IC 卡的方法。

在高热阻衬底上形成集成电路 401 和天线 402。此后, 集成电路 401 和天线 402 都从高热阻衬底分离, 且通过使用粘合剂 404 粘附到单独准备的衬底 403 上, 如图 17A 所示。尽管图 17A 示出了一组集成电路 401 和天线 402 粘附到衬底 403 的一种模式, 但本发明不局限于这种结构。备选地, 彼此相连的多组集成电路 401 和天线 402 可以从

热阻衬底分离并同时粘附到衬底 403 上。

如图 17B 所示,覆盖材料 405 粘附到衬底 403,使得集成电路 401 和天线 402 夹在它们之间。此时,在衬底 403 上涂敷粘合剂 406,以覆盖集成电路 401 和天线 402。通过粘附覆盖材料 405 到衬底 403,获得图 17C 所示的状态。注意,为清楚地示出集成电路 401 和天线 402 的位置,图 17C 示出了集成电路 401 和天线 402,使得可以透过覆盖材料 405 看见它们。

如图 17D 所示,通过划片或切割,集成电路 401 和天线 402 的组从其它组的集成电路 401 和天线 402 分离,由此获得 ID 芯片或 IC 卡 407。

本实施例示出了连同集成电路 401 一起分离天线 402 的实例,然而,本实施例不局限于这种结构。可以在衬底 403 上提前形成天线,集成电路 401 可以粘附到该衬底,使得集成电路 401 和天线 402 彼此电连接。备选地,在将集成电路 401 粘附到衬底 403 之后,可以将天线粘附到该衬底,使得天线与集成电路 401 电连接。备选地,可以提前在覆盖材料 405 上形成天线,且覆盖材料 405 可以粘附到衬底 403,使得集成电路 401 和天线电连接。

当衬底 403 和覆盖材料 405 是柔性的时候,使用时 ID 芯片或 IC 卡 407 可以具有应力。本发明中,应力释放薄膜的使用可以允许施加到 ID 芯片或 IC 卡 407 的压力一定程度地释放。此外,通过提供多个阻挡薄膜,每个阻挡薄膜的应力可以减小,这样可以防止由于碱金属、碱土金属或水向半导体元件的扩散而导致对半导体元件特性的负面影响。

注意使用玻璃衬底的 ID 芯片可以称为 IDG 芯片(识别玻璃芯片),而使用柔性衬底的 ID 芯片可以称为 IDF 芯片(识别柔性芯片)。

本实施例可以与实施例 1 到 6 自由组合。

实施例 8

实施例 8 描述了凹槽的形状,当分离在一个衬底上形成的多个集成电路时,形成该凹槽。图 18A 是衬底 603 的顶视图,该衬底上形成凹槽 601。图 18B 是沿图 18A 的 A-A'线的剖视图。

集成电路 602 在分离层 604 上形成,该分离层 604 在衬底 603 上形成。凹槽 601 在集成电路 602 之间形成,并形成足够的深度以暴露

分离层 604。本实施例中，通过凹槽 601，并不是全部而是部分地将多个集成电路 602 隔离。

接着，每个图 18C 和 18D 都示出了一种模式，其中腐蚀气体流经如图 18A 和 18B 所示的凹槽 601，以通过腐蚀去除分离层 604。图 18C 对应于其上形成凹槽 601 的衬底 603 的顶视图。图 18D 对应于图 18C 的 A-A' 线的剖视图。假设从凹槽 601 腐蚀掉分离层 604 直到虚线 605 指示的区域。如图 18C 和 18D 所示，多个集成电路 602 被凹槽 601 部分地而不是完全地隔离，并且部分彼此相连。因此，在腐蚀分离层 104 之后，可以防止由于失去支撑之后，各个集成电路 602 移动。

在形成图 18C 和 18D 示出的模式之后，使用单独准备的粘附有粘合剂的带子、衬底等，将集成电路 602 从衬底 603 分离。在彼此分离之前或之后，从衬底 603 分离的多个集成电路 602 被粘附到支撑介质上。

本实施例描述了 ID 芯片或 IC 卡的制造方法的一个实例。根据本发明的 ID 芯片或 IC 卡的制造方法不局限于本实施例描述的结构。

本实施例可以与实施例 1 到 7 自由地结合。

实施例 9

当本发明的 ID 芯片使用柔性衬底形成时，该 ID 芯片适于被粘附到具有柔性或弯曲表面的物体。当在包含在本发明的 ID 芯片中的集成电路内形成不能重写的存储器（例如 ROM）时，可以防止粘附有该 ID 芯片的物体的伪造。例如，将本发明的 ID 芯片应用于食品是有优势的，其中这些食品的商品价值很大程度上依赖于产地和制造商，从而防止低成本的产地和制造商误贴标签。

具体而言，本发明的 ID 芯片可以用作粘附到具有有关物体信息的标签（例如货运标签、价格标签和名称标签）的 ID 芯片。而且，本发明的 ID 芯片本身可以用作这种标签。例如，ID 芯片可以粘附到对应于证明事实文件的证书上，例如户籍本、居住证、护照、驾驶证、身份证、会员卡、公证书、信用卡、现金卡、预付卡、会诊卡以及通勤票。此外，例如，ID 芯片可以粘附到对应于个人法律财产权的证书上，例如帐单、支票、运费票据、货单、入库单、股票、证券、礼券以及抵押契约。

图 19A 示出了粘附有本发明的 ID 芯片 1302 的支票 1301 的实例。

尽管在图 19A 中, ID 芯片 1302 粘附到支票 1301 内部, 但它可以暴露于支票的表面。

图 19B 示出了粘附有本发明的 ID 芯片 1303 的护照 1304 的实例。尽管在图 19B 中该 ID 芯片 1303 粘附到护照 1304 的封面上, 它也可以粘到护照的其它页上。

图 19C 示出了粘附有本发明的 ID 芯片 1305 的礼券 1306 的实例。ID 芯片 1305 可以粘附到礼券 1306 的内部或者粘附到其暴露表面。

使用具有 TFT 的集成电路的 ID 芯片便宜并且薄, 因此, 本发明的 ID 芯片适用于 ID 芯片最终被消费者丢弃的应用。具体而言, 当 ID 芯片应用于产品 (其中几到几十日元的价格差异极大影响销售) 时, 具有便宜并且薄的本发明 ID 芯片的包装材料是很有优势的。包装材料等价于可以成形或已经成形以包住物体的支撑介质, 例如塑料包装、塑料瓶、托盘和胶囊。

图 20A 示出了通过粘附有本发明 ID 芯片 1307 的包装材料 1308 包装出售的盒饭 1309 的状态。通过在 ID 芯片 1307 中保存产品的价格等信息, 盒饭 1309 的价格可以通过具有读/写器功能的寄存器计算。

例如, 本发明的 ID 芯片可以粘附到商品标签上, 使得可以管理商品的分配过程。

如图 20B 所示, 本发明的 ID 芯片 1311 粘附到诸如商品标签 1310 这样的其背面具有粘性性的支撑介质中。粘附有 ID 芯片 1311 的标签 1310 被粘贴到商品 1312 上。关于商品 1312 的标识信息可以从粘附到标签 1310 的 ID 芯片 1311 无线地读取。因此, 通过 ID 芯片 1311, 产品的分配过程管理变得简单。

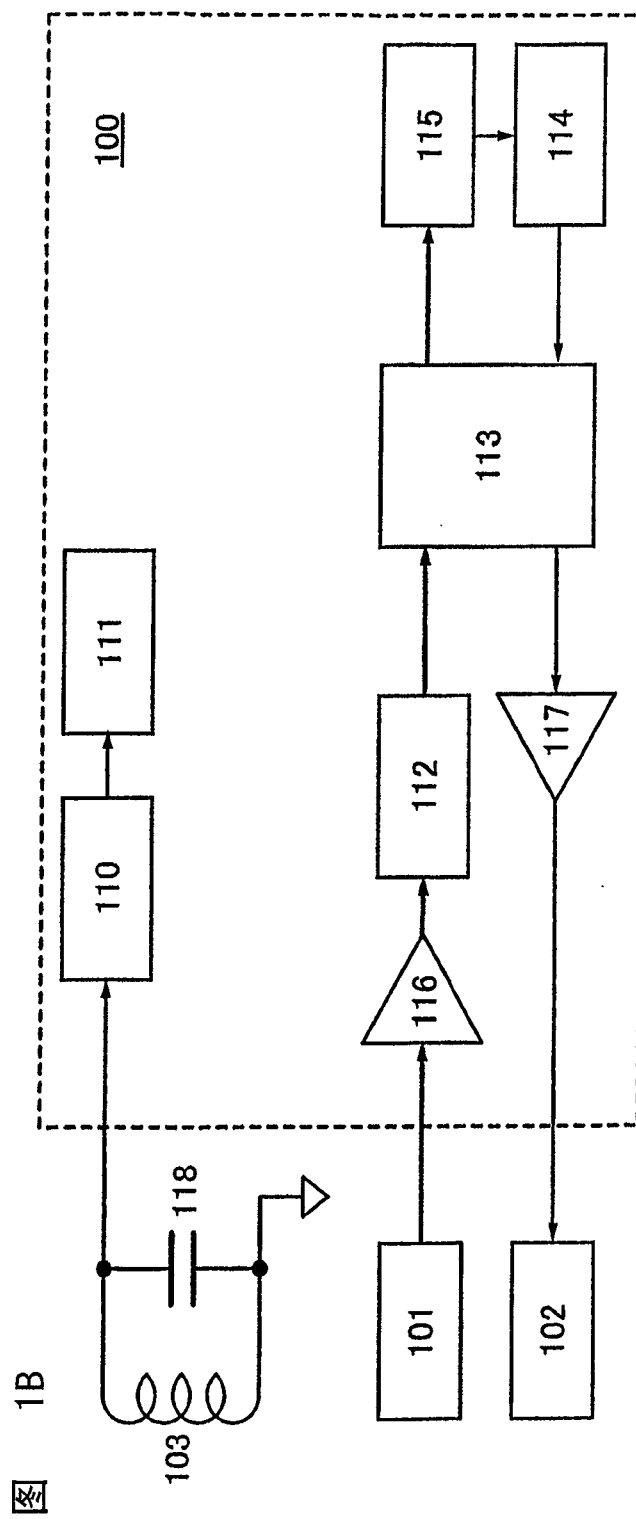
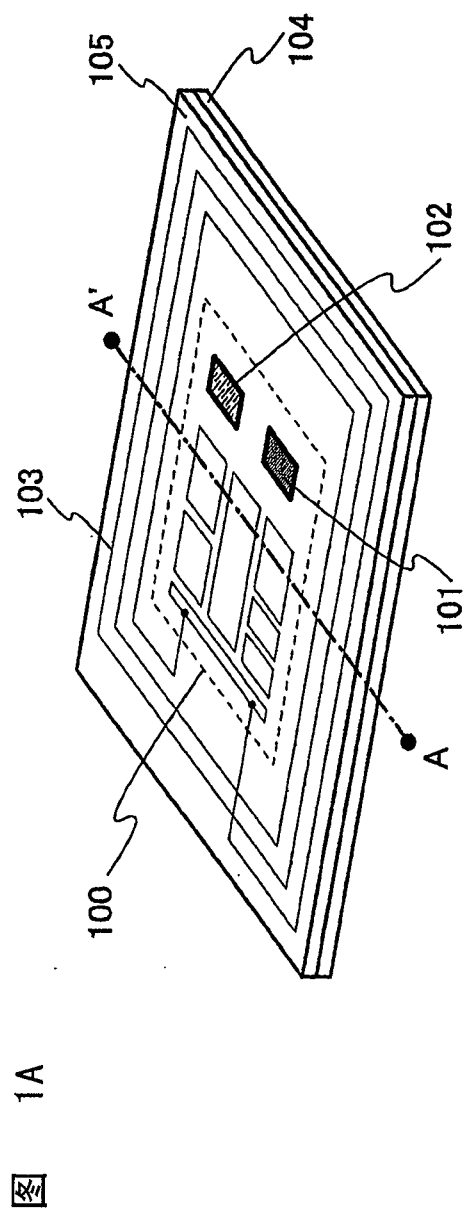
在使用可以向其写入的非易失性存储器作为包含在 ID 芯片 1311 中集成电路的存储器的情况下, 可保存产品 1312 的分配过程信息。产品生产阶段过程的存储信息允许批发商、零售商和消费者容易掌握关于产地、制造商、生产日期、制造方法等信息。

本实施例可以与实施例 1 到 8 自由地组合。

附图标记

100: 集成电路, 101: 光接收元件, 102: 发光元件, 103: 天线, 104: 衬底, 105: 覆盖材料, 110: 整流电路, 111: 电源电路, 112: 解调电路, 113: 逻辑电路, 114: 存储器, 115: 存储控制电路, 116: 放大器, 117: 放大器, 201: 卡体, 202: 像素部分, 203: 光接收元件, 204: 发光元件, 205: 衬底, 206: 集成电路, 207: 显示装置, 208: 天线, 210: 整流电路, 211: 电源电路, 212: 解调电路, 213: 逻辑电路, 214: 存储器, 215: 存储控制电路, 216: 放大器, 217: 放大器, 218: 控制电路, 219: 信号线驱动器电路, 220: 扫描线驱动器电路, 301: 电池, 303: 太阳能电池, 401: 集成电路, 402: 天线, 403: 衬底, 404: 粘合剂, 405: 覆盖材料, 406: 粘合剂, 407: IC 卡, 500: 衬底, 501: 分离层, 502: 基底薄膜, 503: 半导体薄膜, 504: 半导体薄膜, 505: 半导体薄膜, 508: 栅绝缘薄膜, 509: 栅电极, 510: 栅电极, 513: 抗蚀剂, 514: 抗蚀剂, 515: 低浓度杂质区域, 518: 抗蚀剂, 519: 高浓度杂质区域, 520: 绝缘薄膜, 521: 侧壁, 525: 抗蚀剂, 526: 高浓度杂质区域, 527: 高浓度杂质区域, 528: 高浓度杂质区域, 529: n 沟道 TFT, 530: p 沟道 TFT, 531: n 沟道 TFT, 532: n 沟道 TFT, 533: 层间绝缘薄膜, 534: 层间绝缘薄膜, 535: 导线, 536: 导线, 538: 导线, 540: 导线, 541: 导线, 542: 保护层, 543: 凹槽, 544: 粘合剂, 545: 衬底, 546: 堤岸, 547: 电致发光层, 548: 电极, 549: 发光元件, 550: 天线, 551: 粘合剂, 552: 覆盖材料, 601: 凹槽, 602: 集成电路, 603: 衬底, 604: 分离层, 605: 虚线, 701: n 沟道 TFT, 702: p 沟道 TFT, 703: 杂质区域, 704: 沟道形成区域, 705: 半导体薄膜, 706: 栅绝缘薄膜, 707: 栅电极, 707a: 导电薄膜, 708: 侧壁, 709: 侧壁, 710: LDD (轻掺杂漏极) 区域, 711: 半导体薄膜, 712: 杂质区域, 713: 沟道形成区域, 721: n 沟道 TFT, 722: p 沟道 TFT, 728: 侧壁, 741: n 沟道 TFT, 742: p 沟道 TFT, 743: 杂质区域, 744: 沟道形成区域, 745: 半导体薄膜, 746: 栅绝缘薄膜, 747: 栅电极, 748: 保护薄膜, 750: LDD (轻掺杂漏极) 区域, 751: 半导体薄膜, 752: 杂质区域, 753: 沟道形成区域, 1200: 堤岸, 1201: 导线, 1202: 导线, 1203: 端子, 1204: 电致发光层, 1205: 电极, 1206: 发光元件, 1207: 粘合剂, 1208: 覆盖材料, 1209: 天线, 1210: 衬底, 1211: 半导体元件, 1215: 基底薄膜, 1301: 支票, 1302: ID 芯片, 1303: ID 芯片, 1304: 护照, 1305: ID 芯片, 1306: 礼券, 1307: ID 芯片, 1308: 包装材料, 1309: 盒饭, 1310:

标签, 1311: ID 芯片, 1312: 产品, 1401: TFT, 1402: 半导体薄膜, 1403: 栅绝缘薄膜, 1404: 栅电极, 1405: 层间绝缘薄膜, 1406: 层间绝缘薄膜, 1407: 导线, 1408: 天线, 1409: 发光元件, 1411: TFT, 1412: 半导体薄膜, 1413: 栅绝缘薄膜, 1414: 栅电极, 1418: 天线, 1419: 发光元件, 1500: 光电二极管, 1501: 层间绝缘薄膜, 1502: TFT, 1503: 层间绝缘薄膜, 1504: 阴极, 1505: 光电转换层, 1506: 阳极, 1510: 衬底, 1511: 光电二极管, 1512: 发光元件, 1513 屏蔽薄膜, 6001: TFT, 6002: 层间绝缘薄膜, 6003: 发光元件, 6004: 电极, 6005: 电致发光层, 6006: 电极, 6007: 层间绝缘薄膜, 6008: 堤岸, 6009: 导线, 6011: TFT, 6013: 发光元件, 6014: 电极, 6015: 电致发光层, 6016: 电极, 6021: TFT, 6023: 发光元件, 6024: 电极, 6025: 电致发光层, 6026: 电极, 6029: 导线, 6031: TFT, 6033: 发光元件, 6034: 电极, 6035: 电致发光层, 6036: 电极, 6039: 导线, 6041: TFT, 6043: 发光元件, 6044: 电极, 6045: 电致发光层, 6046: 电极, 6051: TFT, 6053: 发光元件, 6054: 电极, 6055: 电致发光层, 6056: 电极, 6059: 导线。



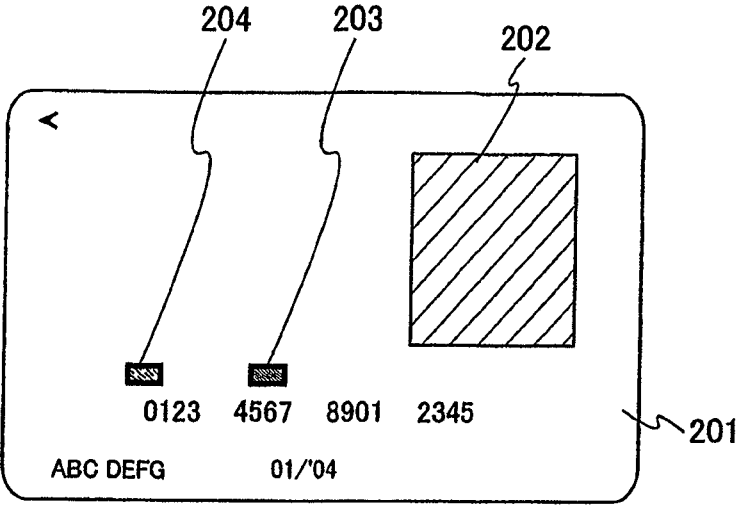


图 2A

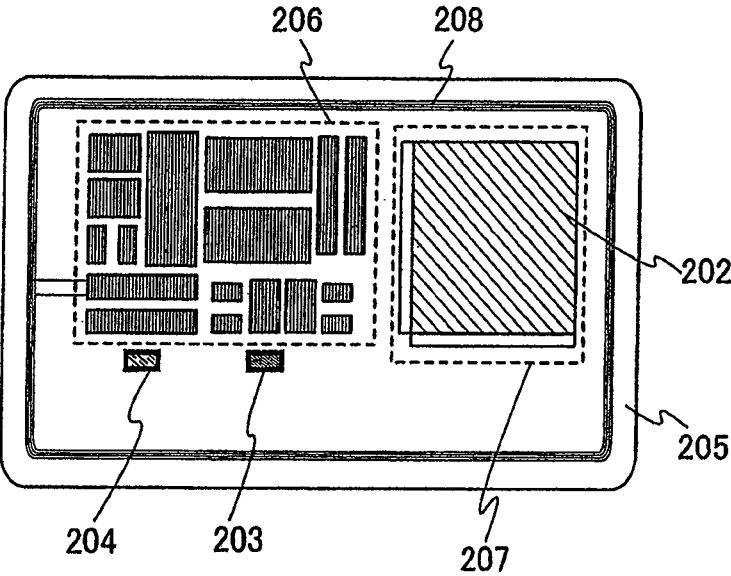


图 2B

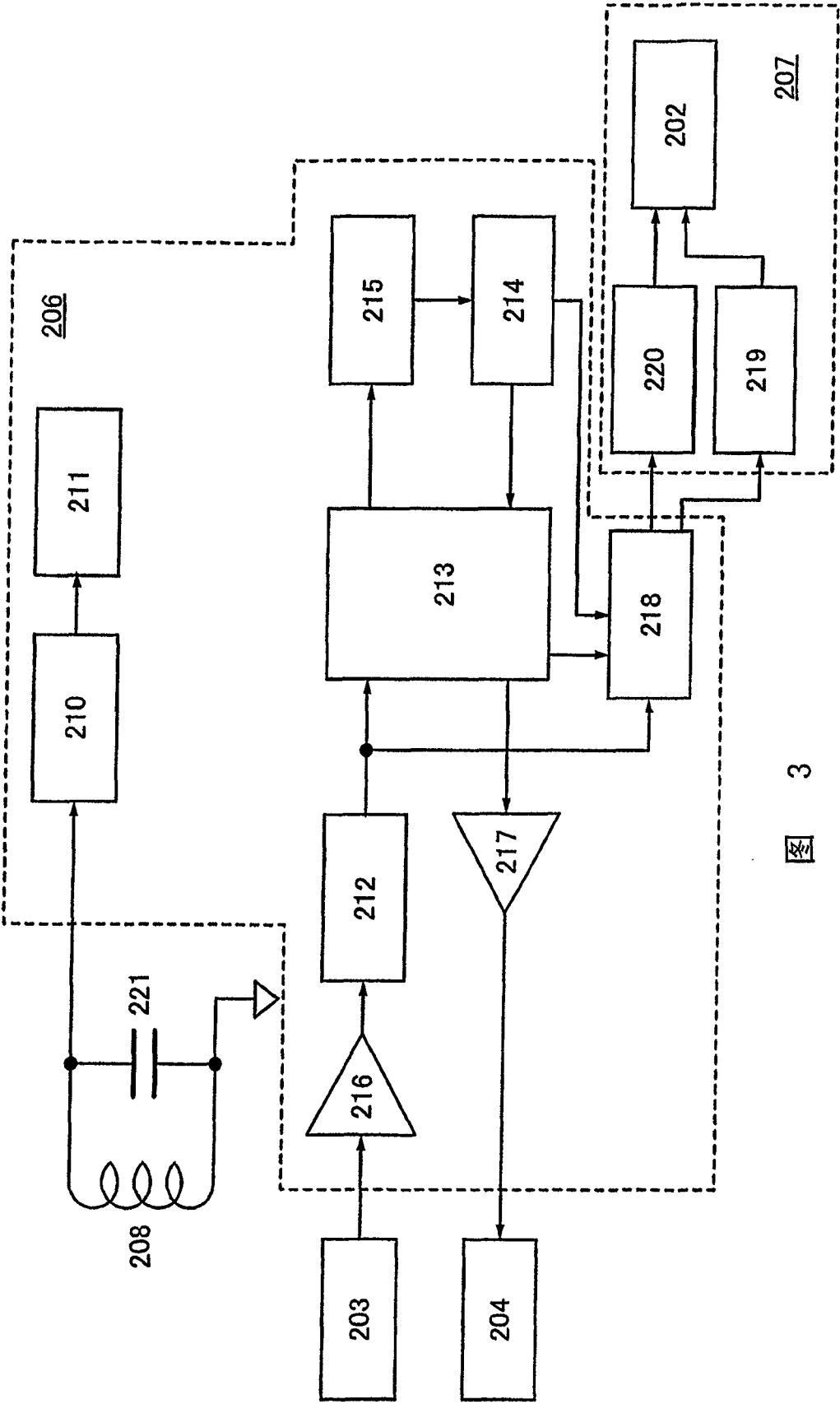


图 3

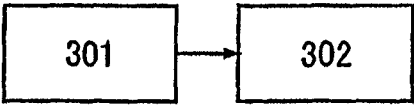


图 4A

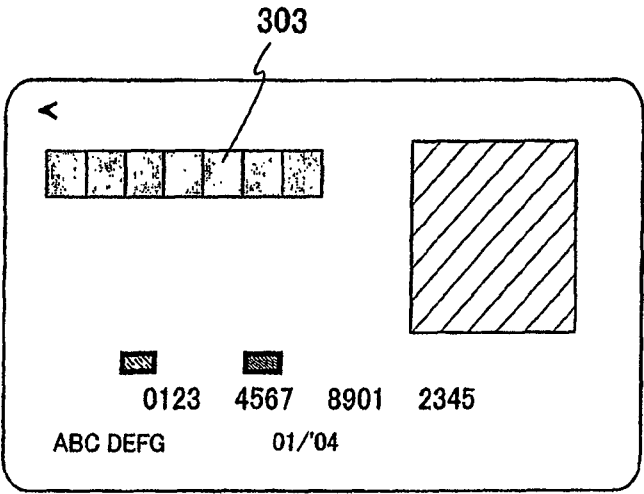
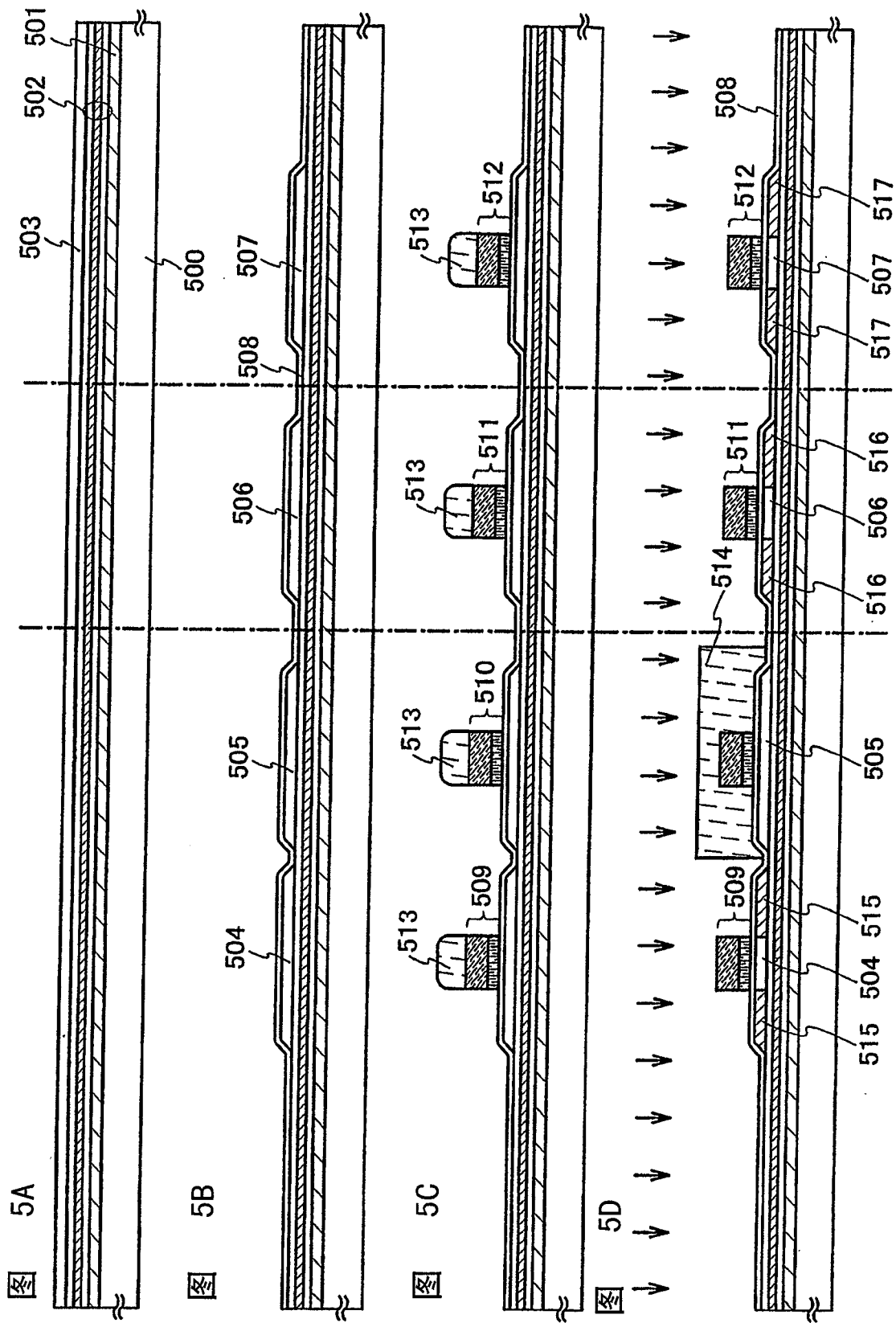
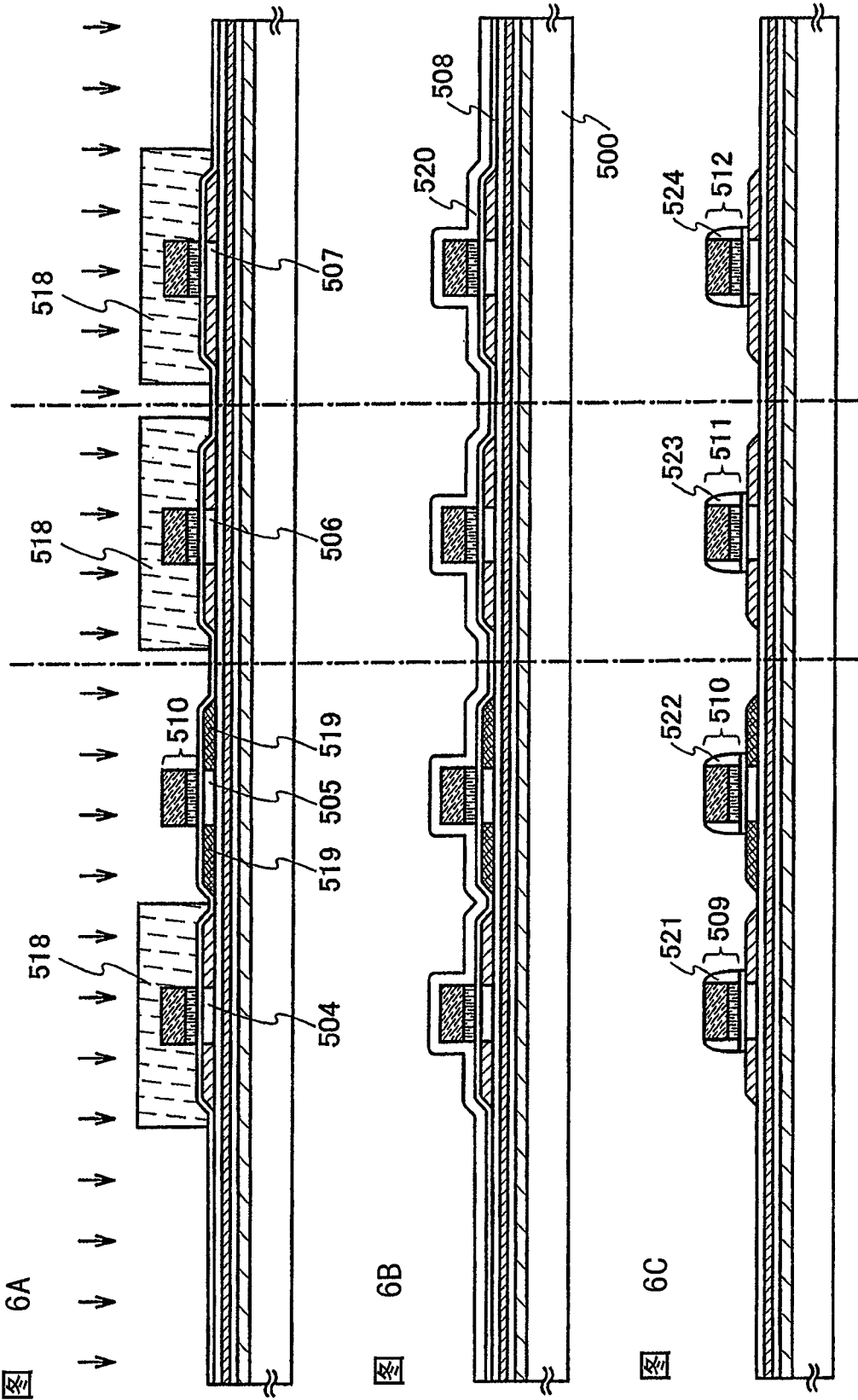


图 4B





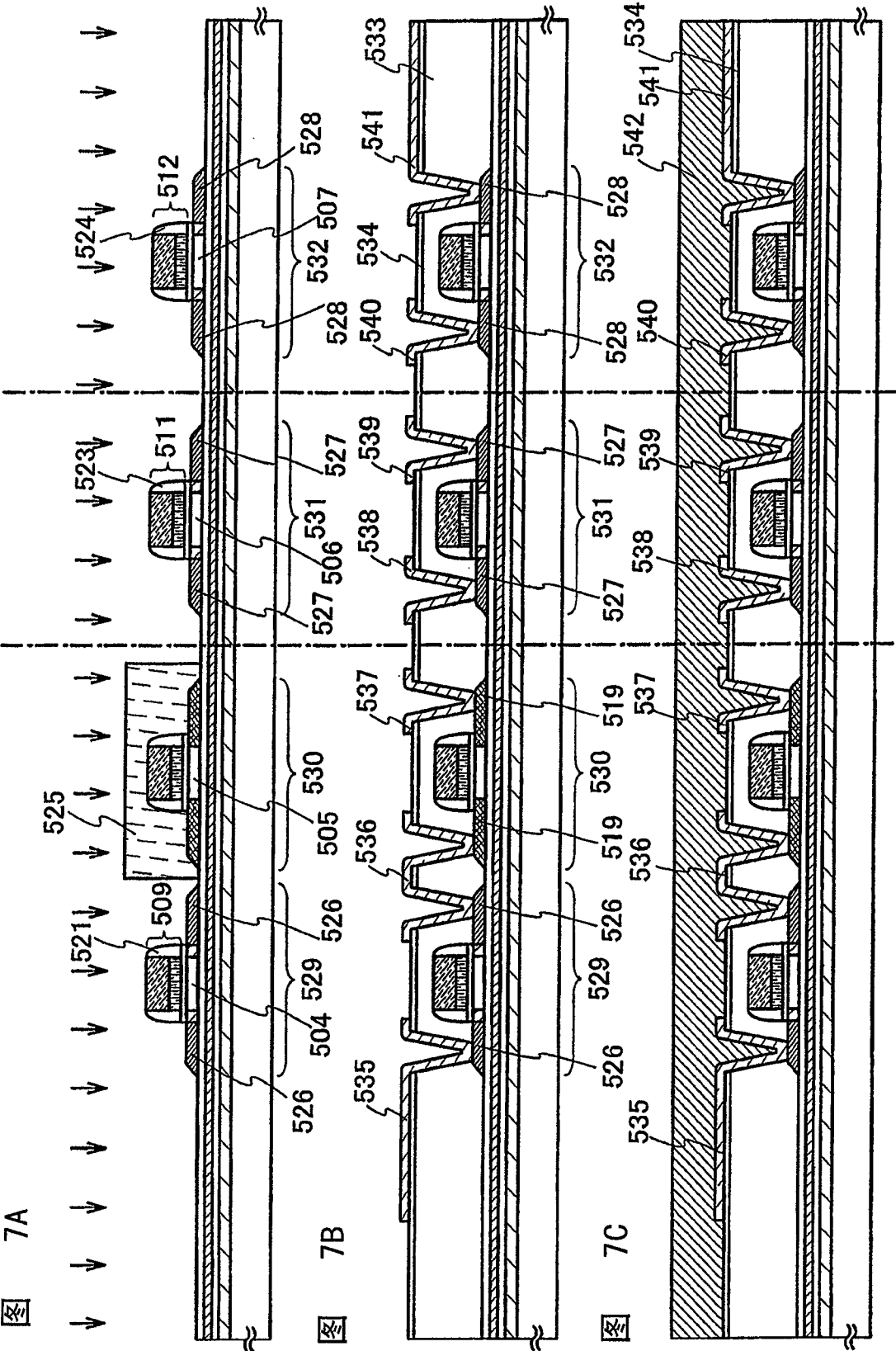


图 8A

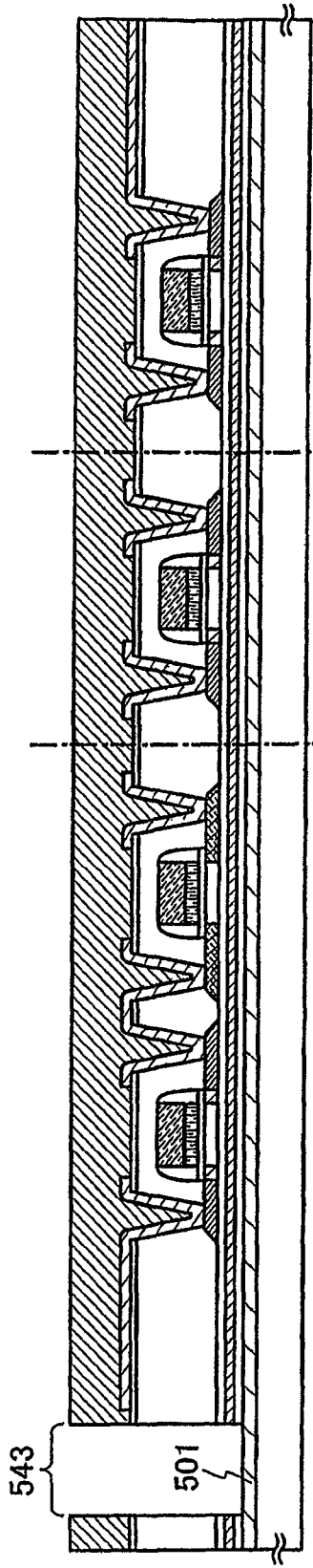


图 8B

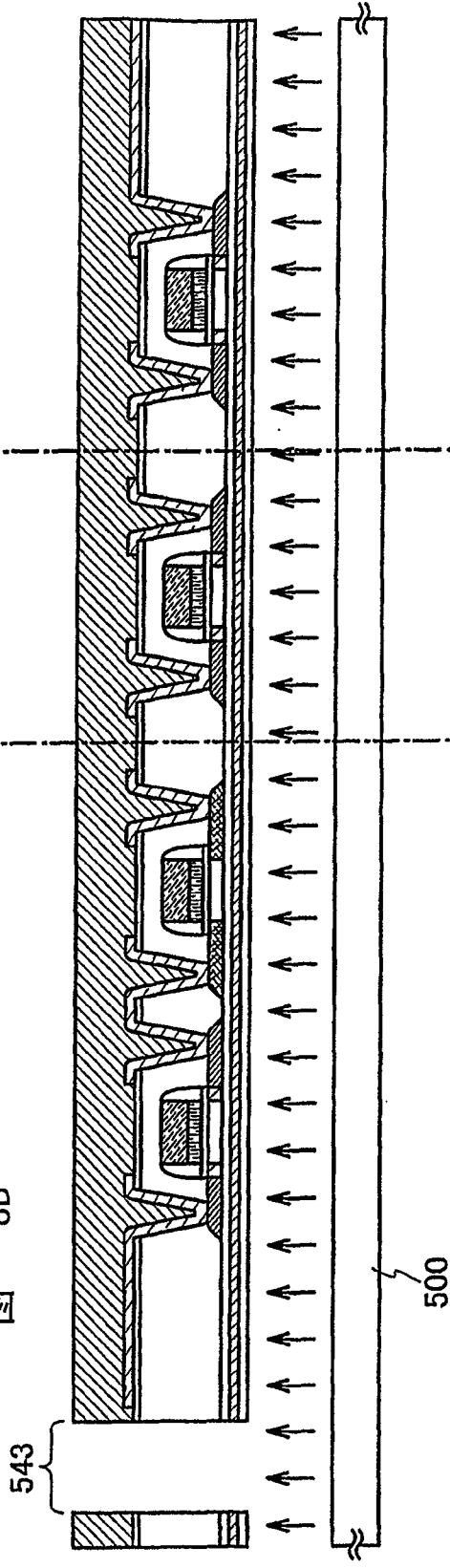


图 9A

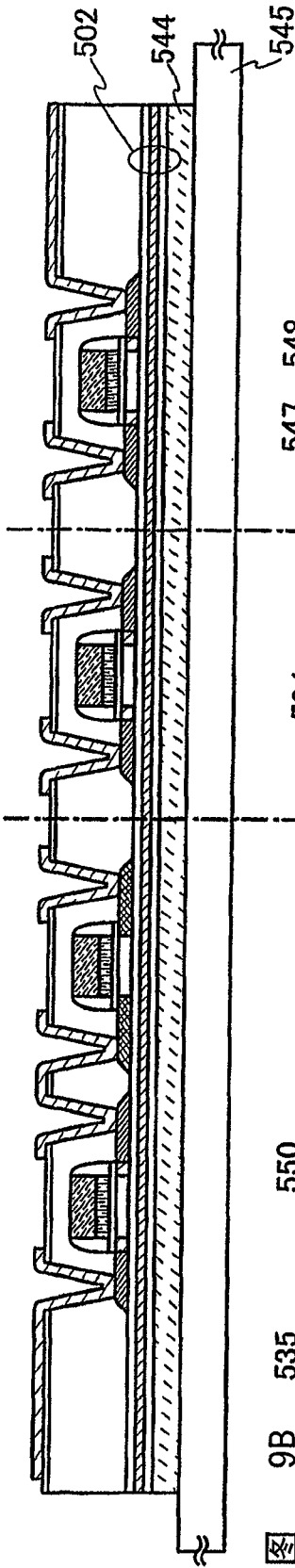


图 9B

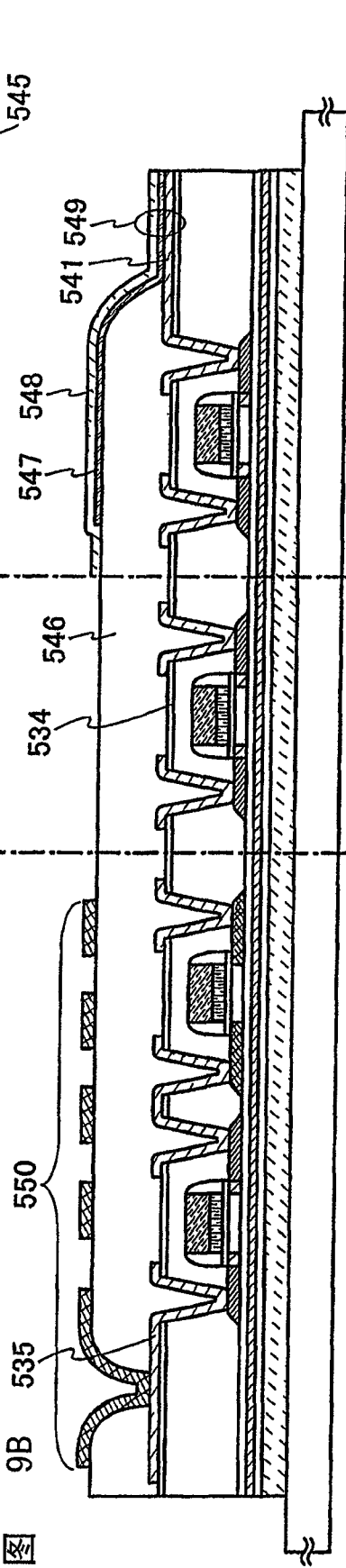
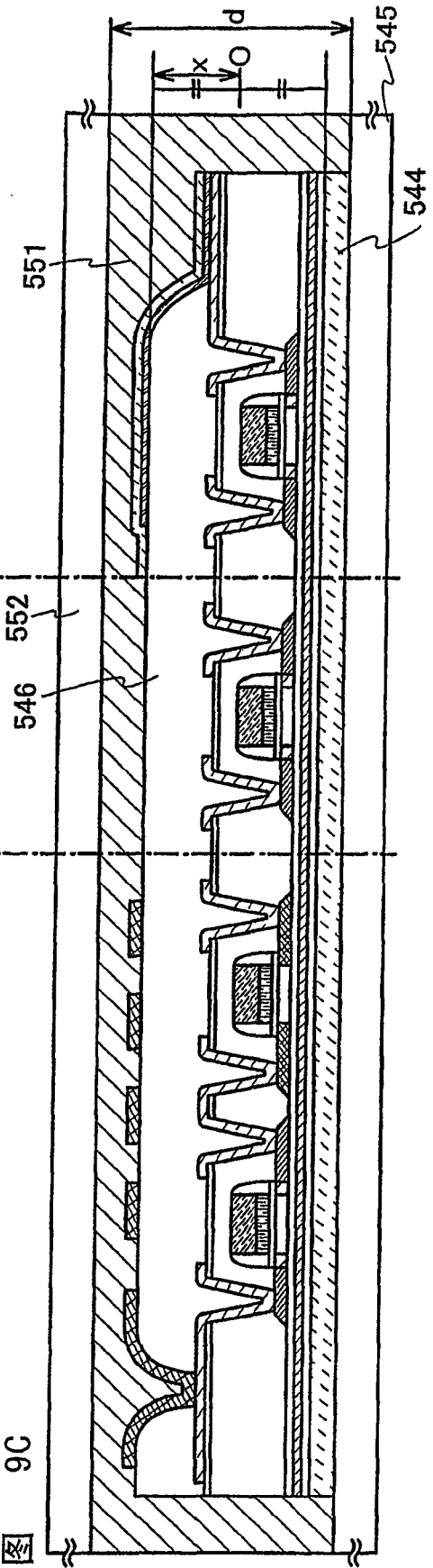


图 9C



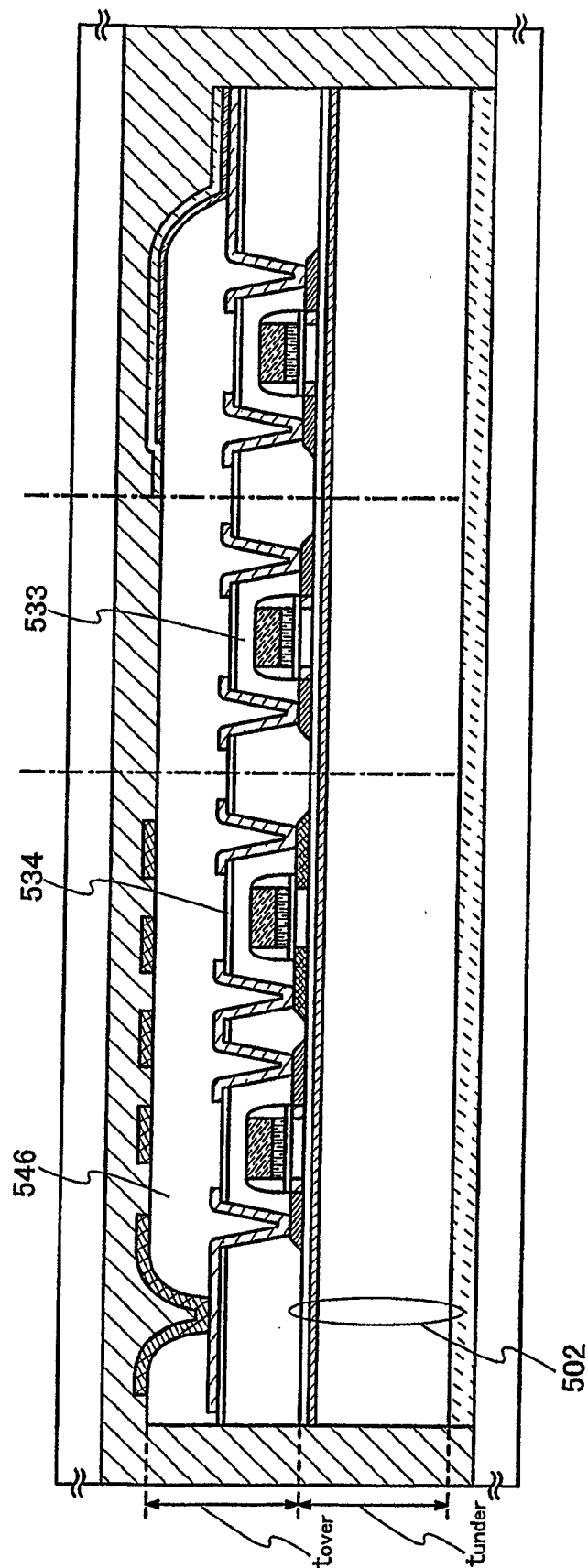
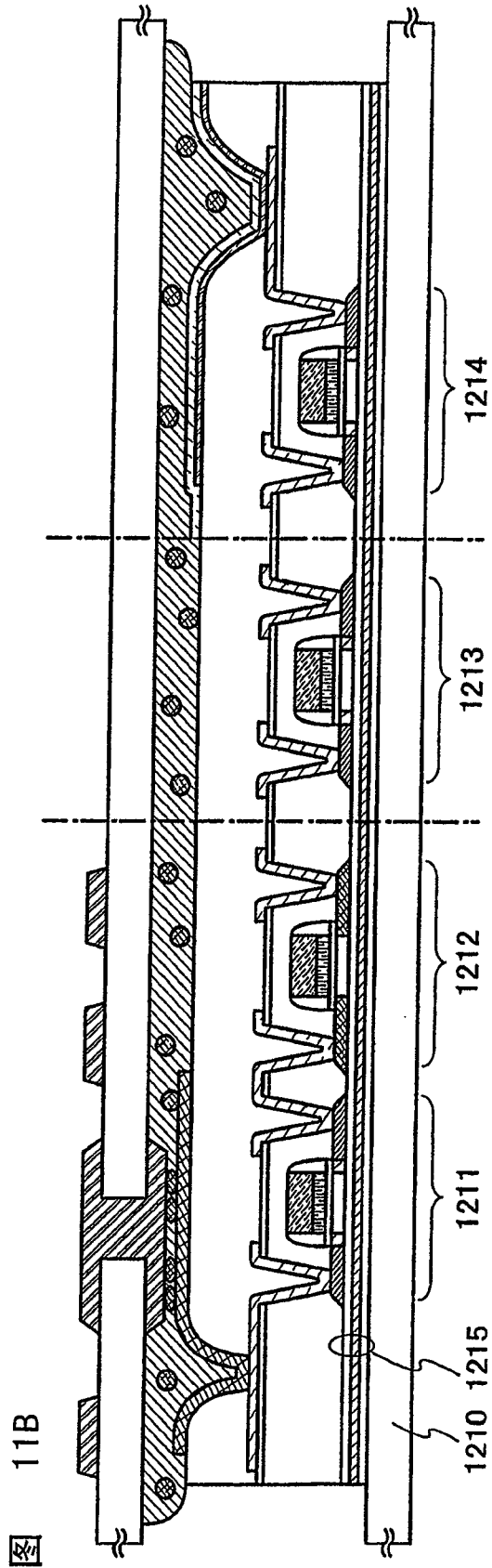
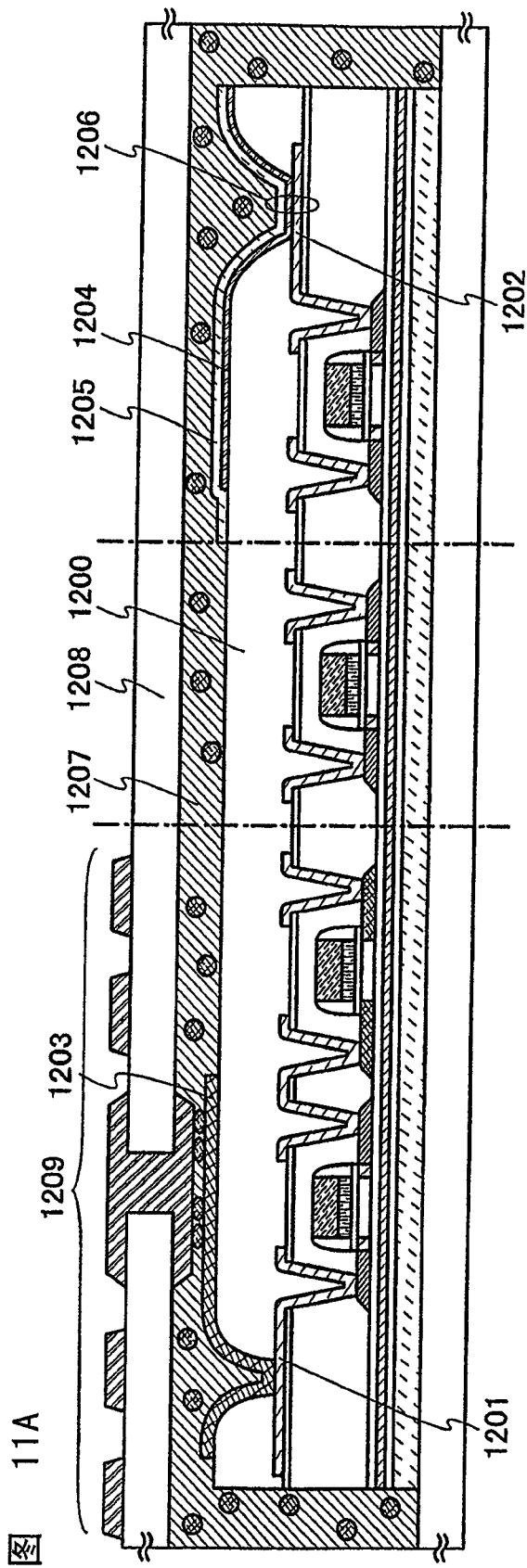
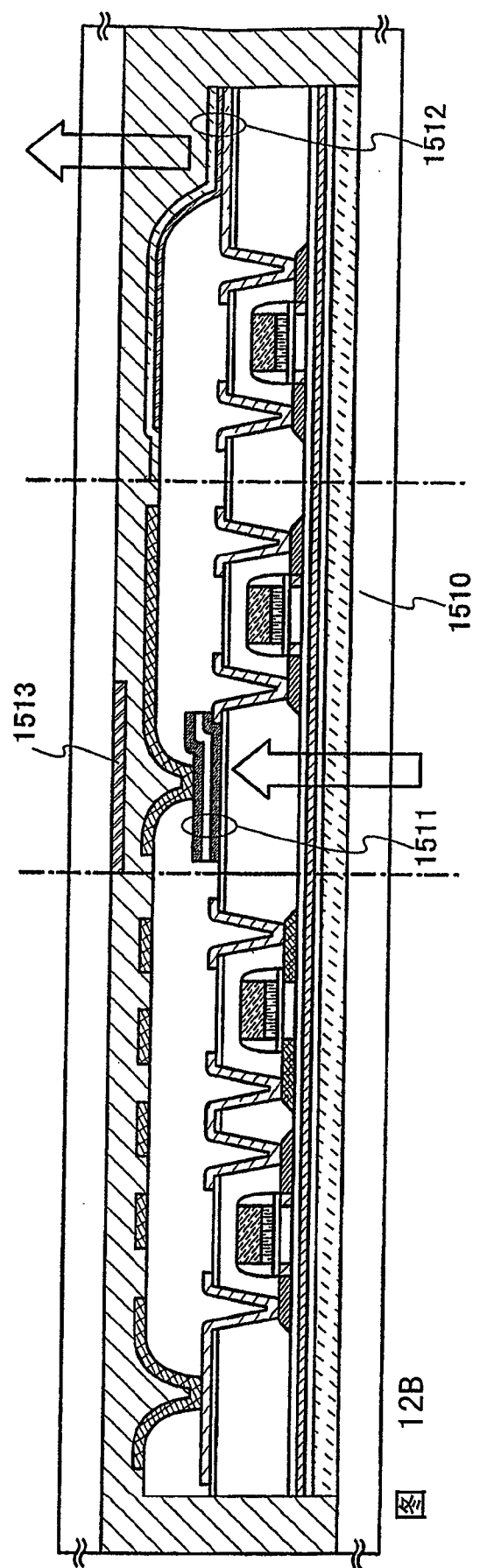
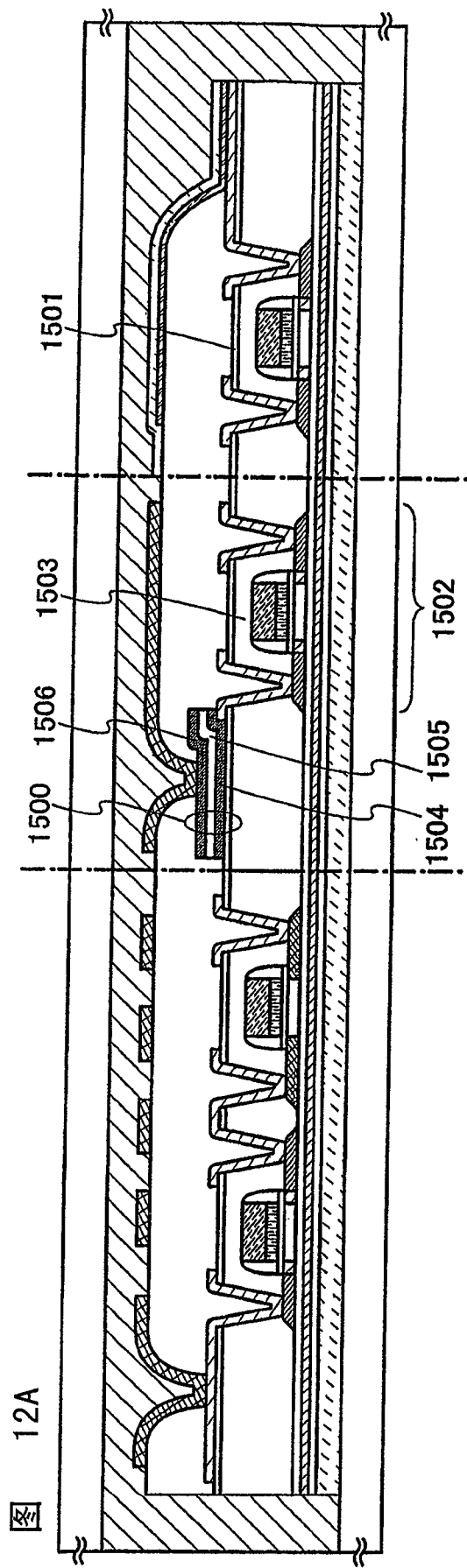
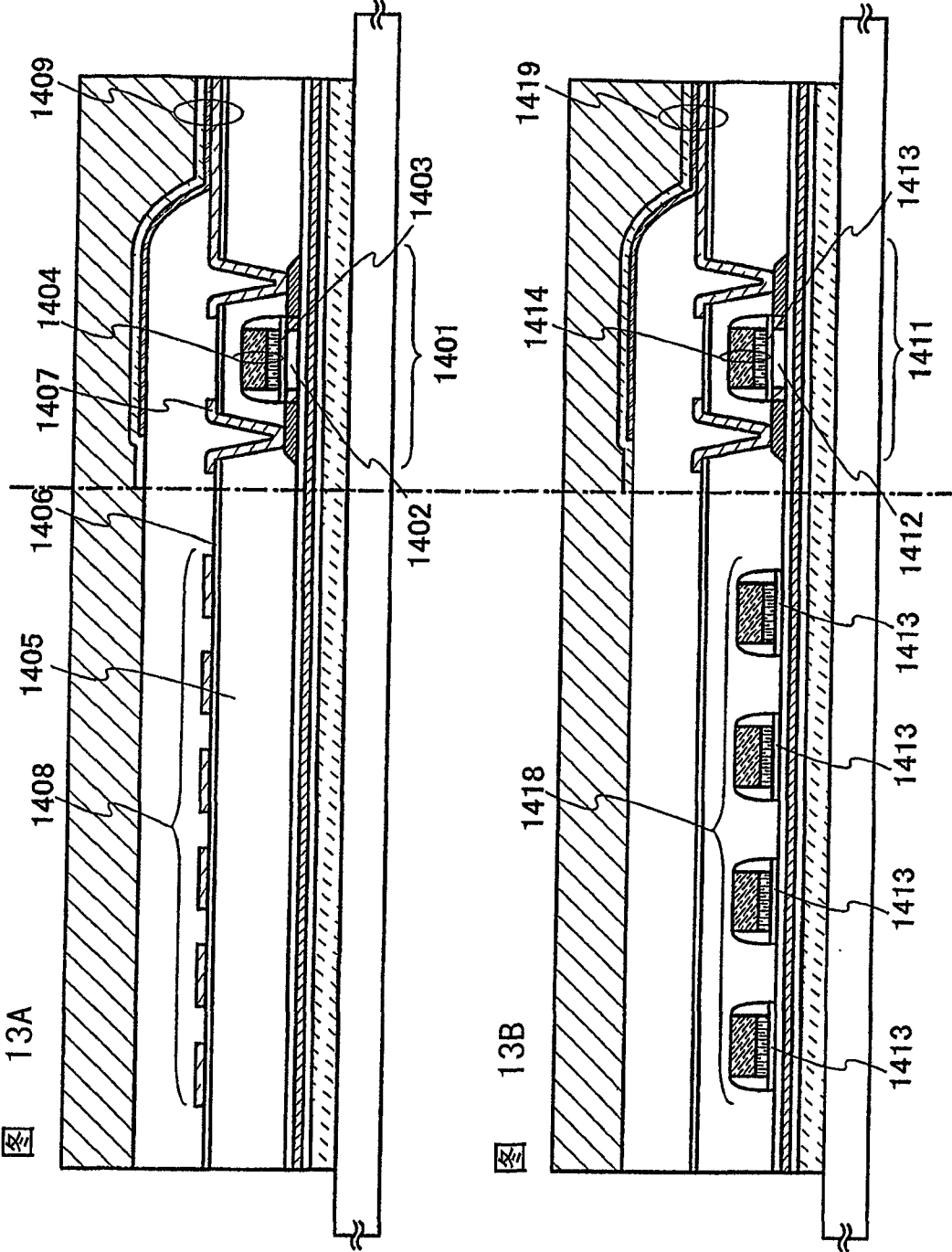
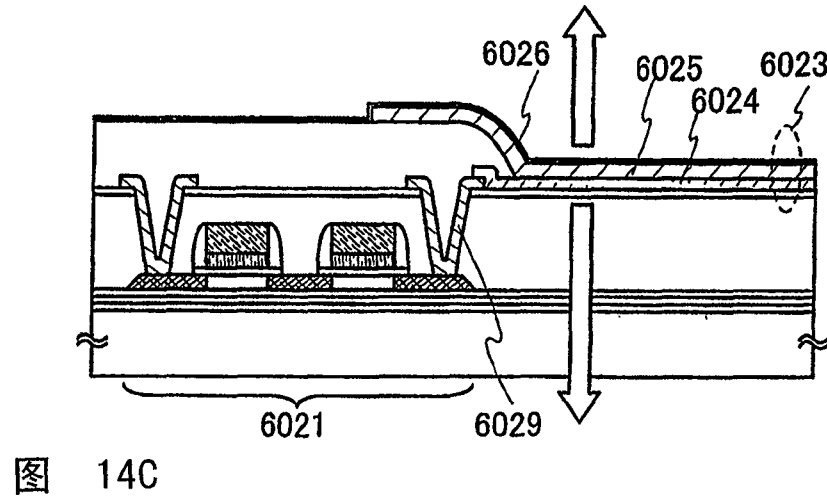
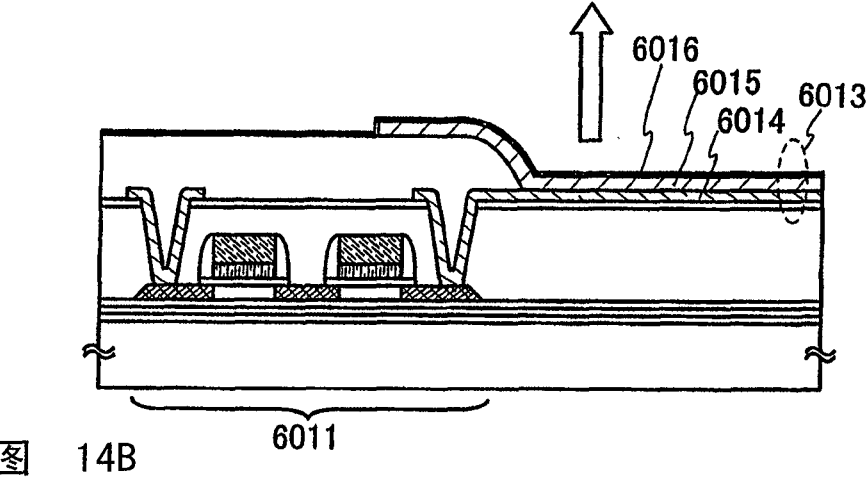
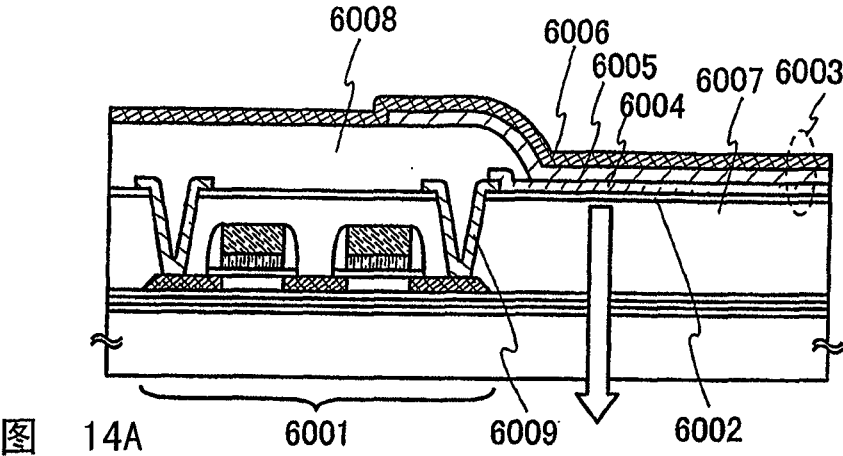


图 10









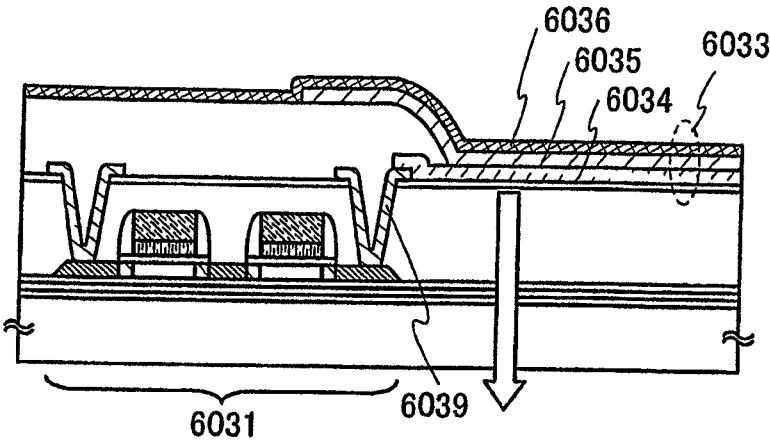


图 15A

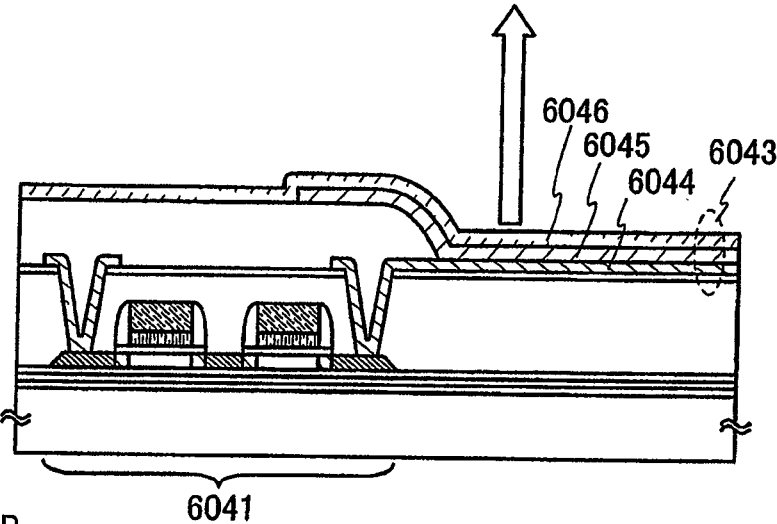


图 15B

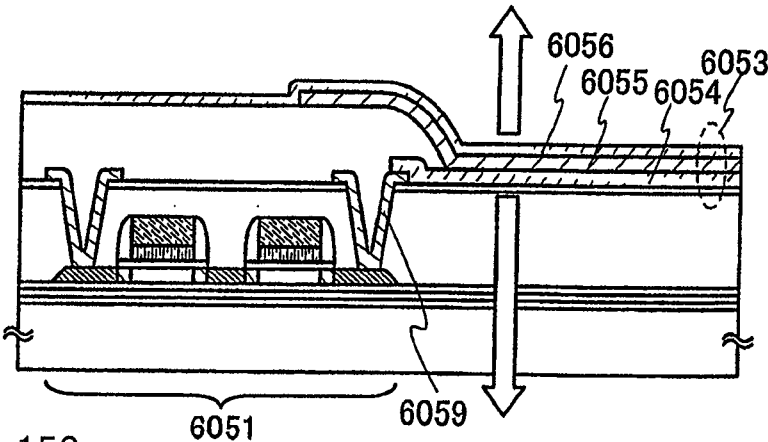
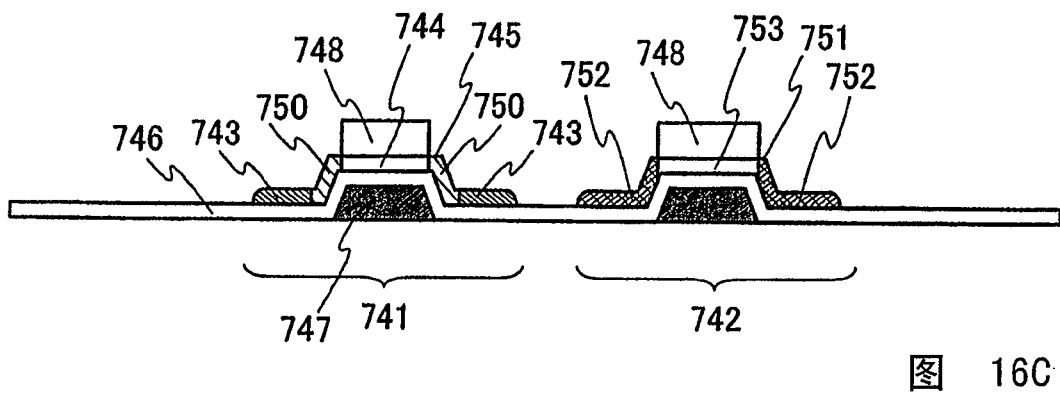
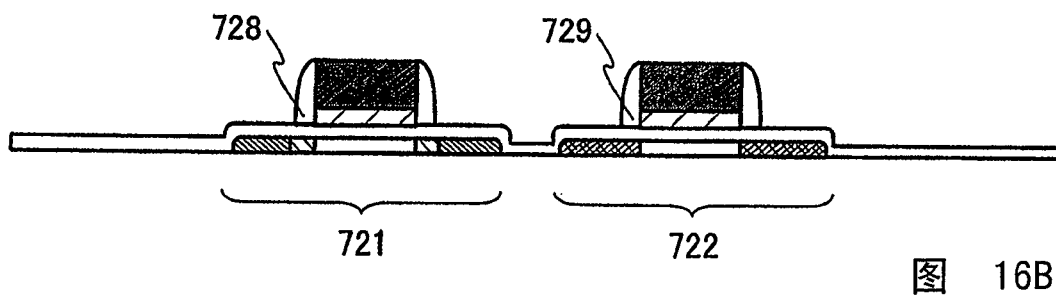
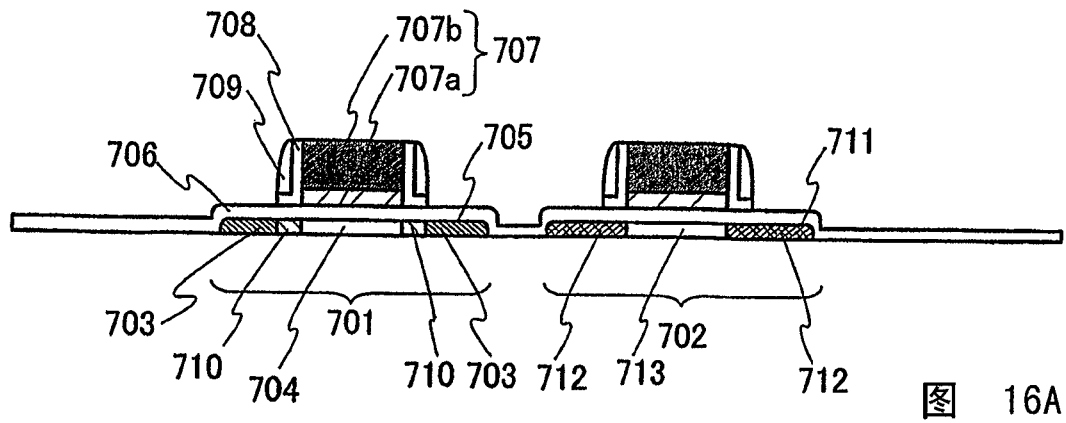
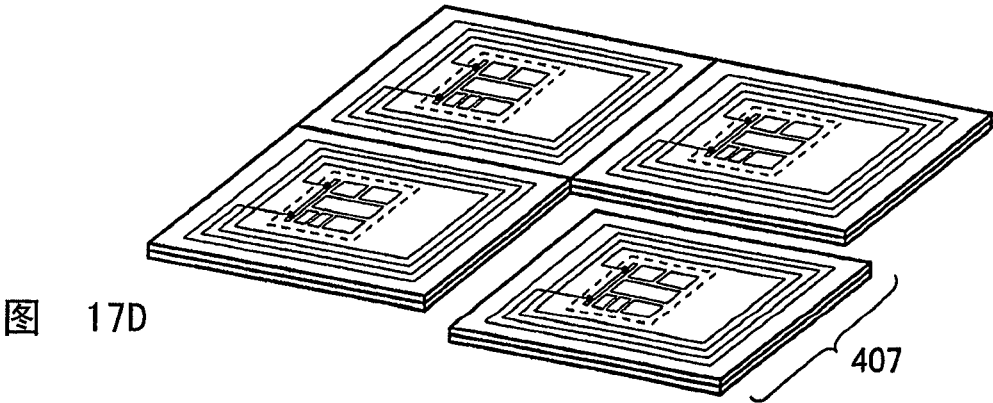
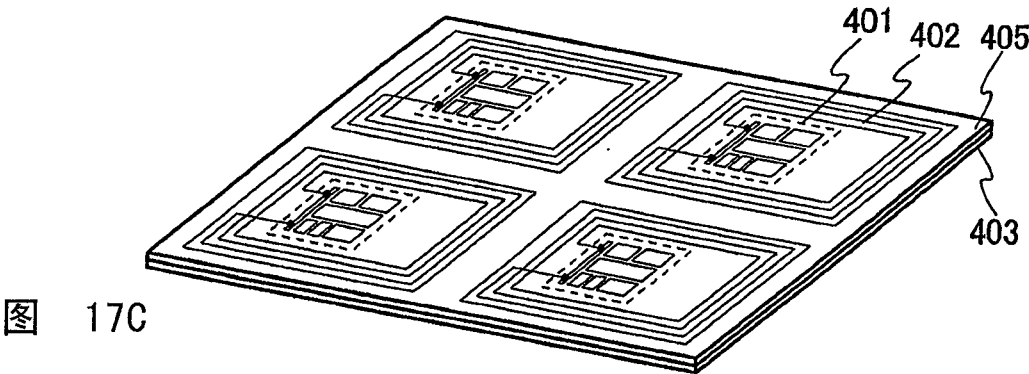
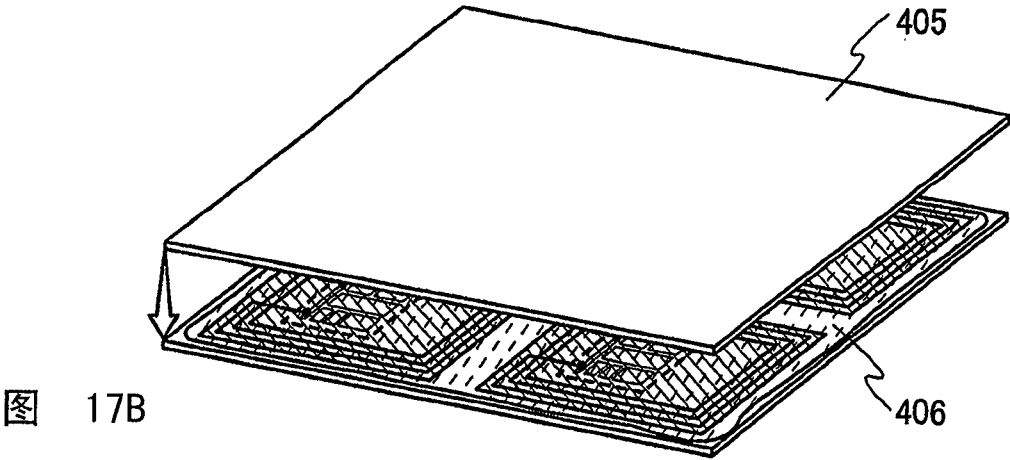
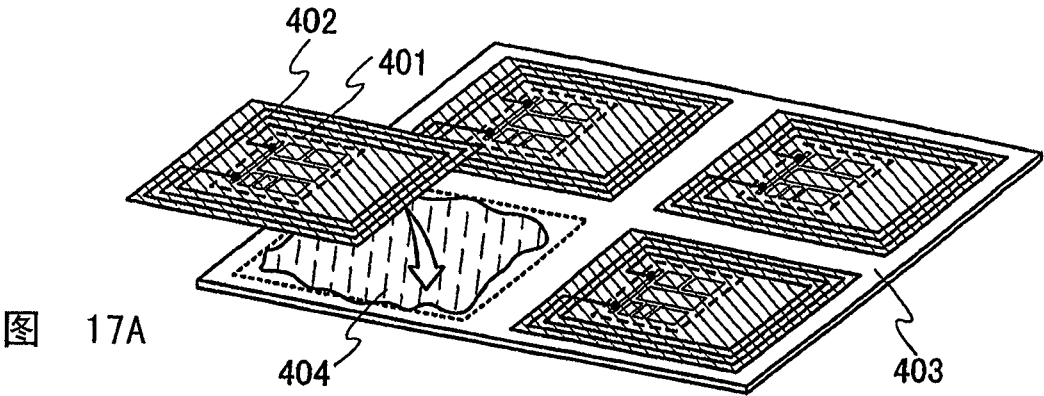
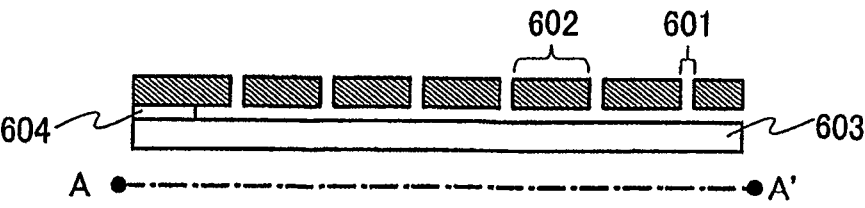
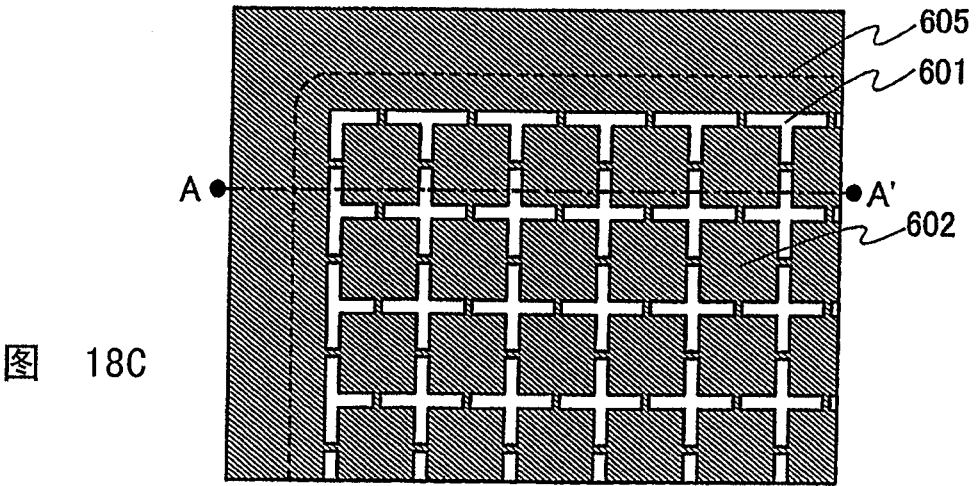
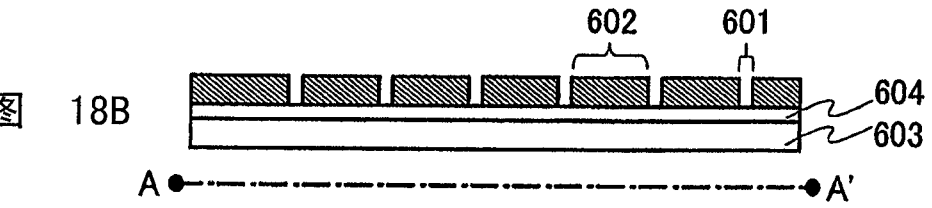
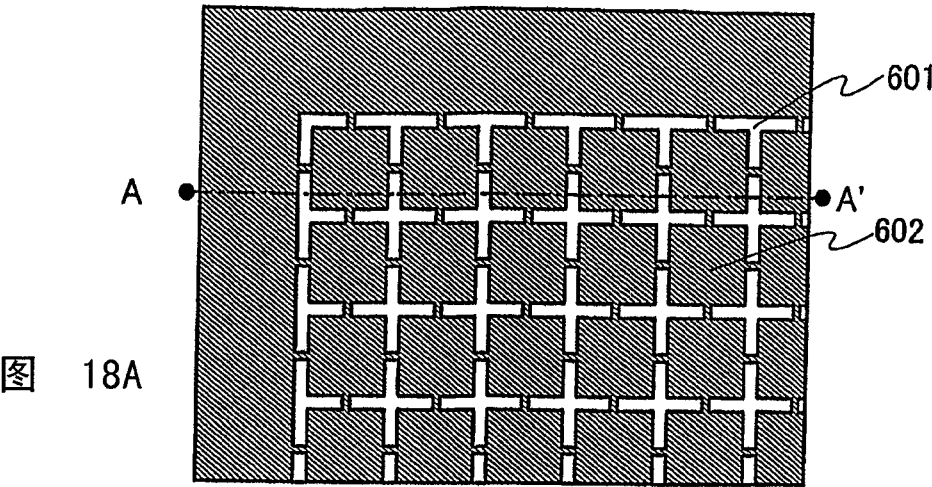


图 15C







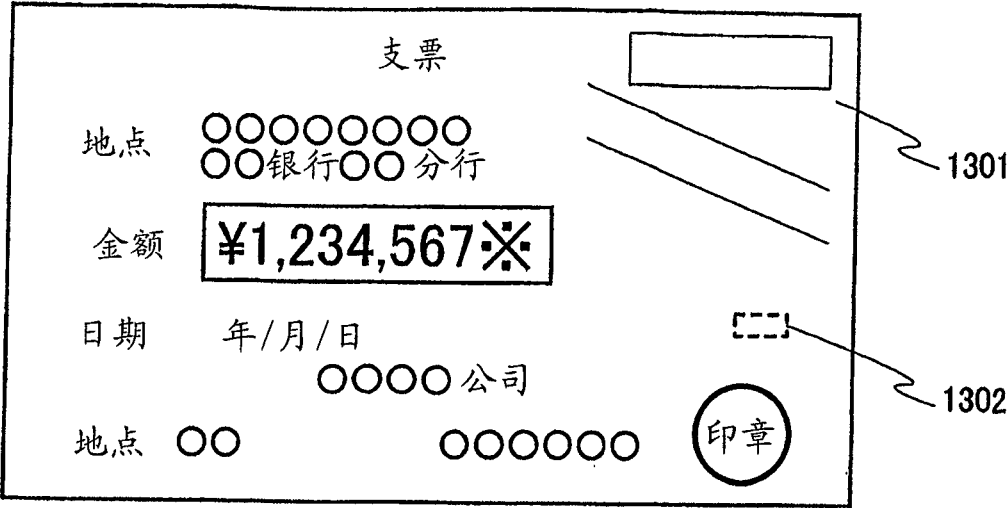


图 19A

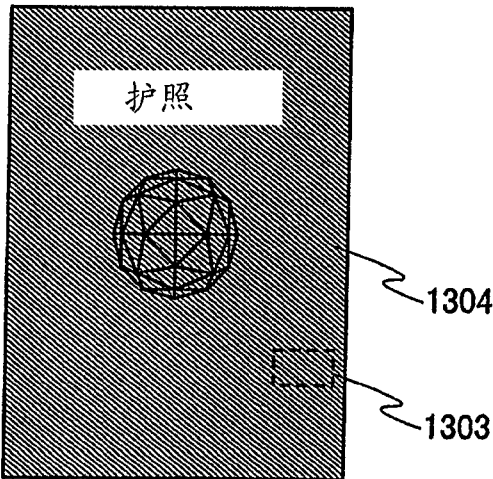


图 19B

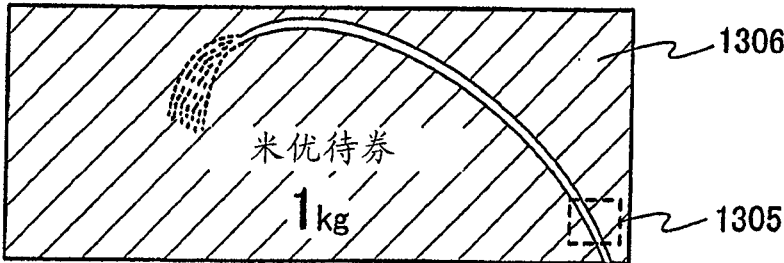


图 19C

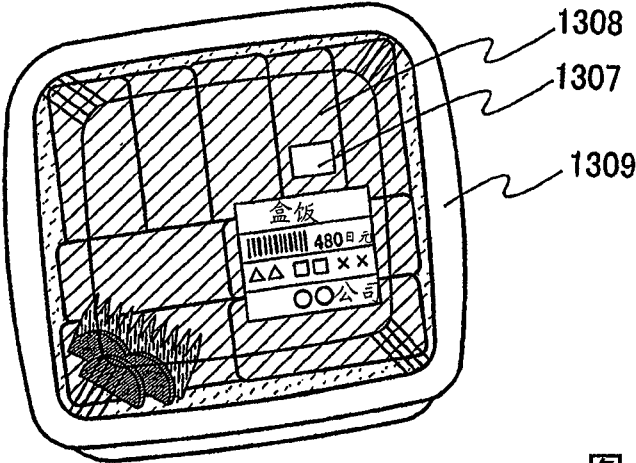


图 20A

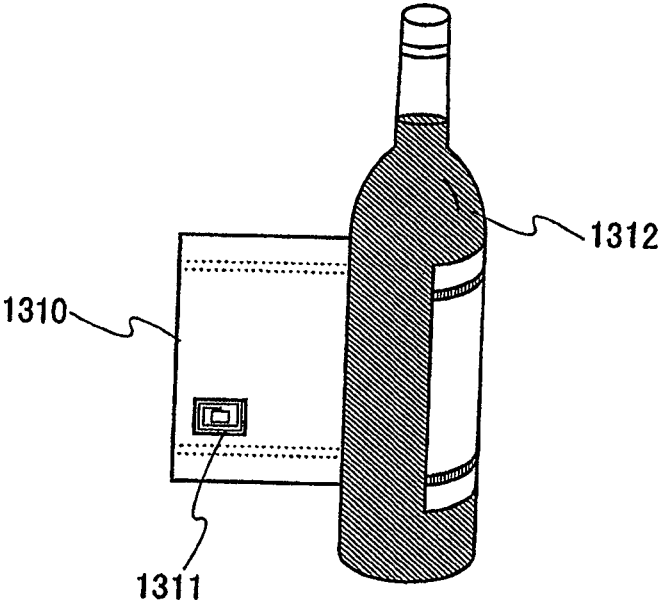


图 20B