



(12) 发明专利

(10) 授权公告号 CN 1757018 B

(45) 授权公告日 2010.09.08

(21) 申请号 200480005894.8

(22) 申请日 2004.02.25

(30) 优先权数据

03100554.9 2003.03.06 EP

(85) PCT申请进入国家阶段日

2005.09.05

(86) PCT申请的申请数据

PCT/IB2004/050151 2004.02.25

(87) PCT申请的公布数据

W02004/079489 EN 2004.09.16

(73) 专利权人 NXP 股份有限公司

地址 荷兰艾恩德霍芬

(72) 发明人 J·T·J·范埃恩德霍文

M·J·鲁坦 E·-J·D·波尔

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021

代理人 王波波

(51) Int. Cl.

G06F 12/08 (2006.01)

(56) 对比文件

说明书第 2 栏第 8-13 行, 第 6 栏第 25-50
行, 第 7 栏第 24-49 行、附图 1, 3, 4A, 4B, 4C.

全文.

US 6035375 A, 2000.03.07, 说明书第 2 栏第
8-13 行, 第 6 栏第 25-50 行, 第 7 栏第 24-49 行、
附图 1, 3, 4A, 4B, 4C.

Rutten M J ET AL. Eclipse: heterogeneous
Multiprocessor Architecture for Flexible
Media Processing. Parallel and Distributed
Processing Symposium., Processing
International, IPDPS 2002., 2002, 1-8.

审查员 张焰

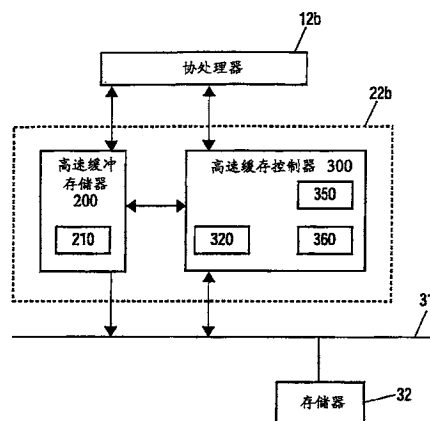
权利要求书 1 页 说明书 6 页 附图 1 页

(54) 发明名称

具有预取装置的数据处理系统、数据预取方法

(57) 摘要

一种数据处理系统包括: 用于处理流式数据的处理器; 具有多个高速缓存块的高速缓冲存储器, 其中所述高速缓冲存储器之一与每个所述处理器连接; 以及高速缓存控制器, 所述高速缓存控制器之一与每个所述高速缓冲存储器连接。所述高速缓存控制器包括: 确定装置, 用于识别所述高速缓冲存储器中包含第一数据块的至少一个位置, 所述第一数据块是被预测为无需代价就可被删除的数据; 以及预取装置, 用于发出预取操作来用适合所述位置的所述第二数据块代替在所述位置处的所述第一数据块。本发明提供了将数据预取到高速缓冲存储器, 同时减少由于删除有用的数据而引起的高速缓存未命中的情况的发生。



1. 数据处理系统,优化用于处理具有任务和数据流的数据流应用,其中不同的流竞争共享的高速缓存资源,所述系统包括:

- 至少一个用于处理流式数据的处理器 (12);
 - 至少一个具有多个高速缓存块 (210) 的高速缓冲存储器 (200),其中所述高速缓冲存储器 (200) 之一与每个所述处理器 (12) 连接,以及
 - 至少一个用于将数据预取到所述高速缓冲存储器 (200) 的高速缓存控制器 (300),其中所述高速缓存控制器 (300) 之一与每个所述高速缓冲存储器 (200) 连接;
- 所述高速缓存控制器 (300) 包括:
- 确定装置 (350),用于识别所述高速缓冲存储器 (200) 中包含第一数据块的至少一个位置,所述第一数据块是被预测为无需代价就可被删除的数据;
 - 预取装置 (320),用于发出一个预取操作来用适合所述位置的所述第二数据块代替在所述位置处的所述第一数据块,

所述确定装置 (350) 适于确定高速缓存块 (210) 中、所述第一数据块的最后一个数据字是否已被访问;以及

所述预取装置 (320) 适于从存储器 (32) 中预取所述第二数据块的数据字,该第二数据块的数据字代替所述高速缓存块 (210) 中所述第一数据块的数据字。

2. 根据权利要求 1 所述的系统,其中所述确定装置 (350) 适于对限制在预定的地址范围内的所述位置执行识别。

3. 根据权利要求 1 所述的系统,其中

所述预取装置 (320) 进一步适于从所述存储器 (32) 中的第二地址预取所述第二数据块的数据字,其中所述第二地址是存储器 (32) 中的第一地址的下一个较高地址,所述第一地址与所述第一数据块的数据字的前一地址相对应,并且其中所述第二数据块的数据字适合所述第一数据块的数据字的选定位置。

4. 用于将数据预取到高速缓冲存储器 (200) 的方法,在优化用于处理具有任务和数据流的数据流应用的数据处理系统中执行所述方法,其中不同的流竞争共享的高速缓存资源,所述高速缓冲存储器 (200) 包括多个高速缓存块 (210),该方法包括以下步骤:

- a) 通过确定高速缓存块 (210) 中、第一数据块的最后一个数据字是否已被访问,识别所述高速缓冲存储器 (200) 中包含被预测为无需代价就可被删除的第一数据块的至少一个位置;并且然后
- b) 通过用适合所述位置的所述第二数据块代替在所述位置处的所述第一数据块来发出预取操作。

具有预取装置的数据处理系统、数据预取方法

技术领域

[0001] 本发明涉及一种被优化以用于处理数据流应用的数据处理系统,一种被优化以用于处理数据流应用的、在数据处理环境中将数据预取到高速缓冲存储器的方法,以及一种被优化以用于处理数据流应用的供数据处理环境中使用的半导体装置。

背景技术

[0002] 由于对数据流应用的需求日益增长,因此特别是被装备以用于数据流应用的数据处理系统的设计成果,例如高清晰度数字 TV、具有时间移位功能的机顶盒、3D 游戏、视频会议、MPEG-4 应用等在最近几年中已逐渐增多。

[0003] 在流式处理中,由不同的处理器对数据流执行连续的操作。例如,第一数据流可能包括图像的像素值,该像素值由第一处理器进行处理以产生 DCT(离散余弦变换)系数为 8×8 像素块的第二块流。第二处理器可以处理 DCT 系数块以产生为每个 DCT 系数块已选定和已压缩系数的块流。

[0004] 为了实现数据流处理,提供了多个处理器,每个处理器能够重复执行一个特定操作,每次都使用来自数据对象流的下一个数据对象的数据和 / 或在这个数据流中产生下一个数据对象。数据流从一个处理器传递到另一个处理器,以使由第一处理器产生的数据流能够由第二处理器处理等等。将数据从第一处理器传递到第二处理器的一种方法是将第一处理器产生的数据块写入存储器中。网络中的数据流被缓冲。每个缓冲器被实现为 FIFO,确切地说有一个写入器和一个或多个读出器。由于这个缓冲,写入器和读出器不必在通道(channel)上相互同步各个读出和写入动作。典型的数据处理系统包括完全可编程处理器的混合以及分别专门用于单个应用的专用于系统。

[0005] 这种体系结构的一个例子示于 Rutten 等人的“Eclipse: A Heterogeneous Multiprocessor Architecture for Flexible Media Processing”, IEEE Design and Test of Computers: Embedded Systems, pp. 39-50, July-August 2002。所需要的处理应用被指定为 Kahn 处理网络,也就是一组当前正在执行的任务利用单向数据流交换数据。每个应用任务被映射到一个特定可编程处理器或专用处理器之一。专用处理器由协处理器实现,该协处理器只是稍微可编程的。每个协处理器能够在分时的基础上执行来自单个 Kahn 网络或来自多个网络的多个任务。例如媒体处理应用的数据流特性导致访问的高度局部性,也就是对相邻数据的存储地址的连续访问。而且,分布式协处理器的命令解释器(shell)在协处理器和通信网络即总线和主存储器之间实施。它用于解决诸如多任务处理、数据流同步和数据传输之类的许多系统级别的问题。由于其分布式的特性,命令解释器能够在其相关的协处理器附近实施。在每个命令解释器中,处理随着任务而来的数据流所需的所有数据被存储在命令解释器的数据流表中,该任务被映射到与命令解释器相关的协处理器上。

[0006] 命令解释器包括高速缓冲存储器,以便减少在读出或写入存储器时发生的数据访问等待时间。执行未来的处理步骤所需的数据被高速缓存,也就是存储在较小的存储器中,所述较小的存储器与主存储器分离并被安排在使用所存储的数据的处理器附近。换句话

说,一个高速缓冲存储器被用作一个中间存储设备。通过减少存储器访问的等待时间,处理器的处理速度能够被提高。如果数据字只由处理器从其高速缓冲存储器中而不是从主存储器中访问,则访问时间将显著减少。

[0007] 为了进一步减少数据访问的等待时间,使用预取方法来预测即将进行的输入和输出操作。这里,预取意味着在从处理器接收到对数据的请求之前,该数据被高速缓存或从主存储器被传输到高速缓冲存储器。

[0008] 一般而言,当涉及预取技术时会出现两个主要问题。第一,为了预测未来对存储器的输入/输出访问,必须通过观测一系列输入/输出(I/O)操作的地址来识别数据处理的访问模式,并在检查上述特性之后进行推断以便预测对存储器即将进行的I/O访问。在流式数据应用的情况中,该推断由于以下事实而变得非常复杂,即系统中的其他过程或数据流可以访问所述存储器中的数据,从而使得来自其他数据流的交叉访问的I/O操作阻碍正确的预测。

[0009] 第二,如果预测的是,某一数据字要在接下来的处理步骤期间被处理并且该特定的数据字当前未被存储在高速缓冲存储器中,则不得不对其进行取出,也就是说从存储器将其传送或取回到高速缓冲存储器中。然而,存在这种情况,即该预取的数据字被传送到高速缓冲存储器以在其中存储,由此替换了当前存储在该位置的数据字,而该数据字可能仍然有用,也就是在未来的处理步骤中仍然需要该数据字。因此,该预取技术可能导致不希望有的高速缓存未命中的情况,也就是未来的处理步骤中所需的数据被删除。

[0010] US 5,590,390 涉及一种在一个环境中的高速缓冲存储器预取技术,在所述环境中主存储器是一个大容量存储器(例如磁盘),而高速缓冲存储器用于存储从大容量存储器中预取的数据。特别是它公开了一种预取技术,其中通常会被解除高速缓存(decached)或被删除的某些高速缓存数据可以被保留或再循环。用于解除高速缓存的数据的一个例子是最近最少使用(LRU)方法,其中最近最少使用的数据被删除或解除高速缓存,以便在高速缓冲存储器中为新数据腾出空间。换句话说,LRU方法确定哪些数据没有被访问的时间最长或确定当前被高速缓存的数据。根据该方法的结果,某些高速缓存的数据从高速缓冲存储器中被释放,以便能够重新使用当前由那些数据占据的高速缓冲存储器空间以用于高速缓存一些当前需要而未高速缓存的数据。而且,根据其更高的重新使用的可能性,确定最近最少使用的哪些数据应该被保留在高速缓冲存储器中,以及哪些数据具有更小的被重新使用的可能性从而应该被解除高速缓存以便满足处理器对数据的需要。

[0011] 实际的预取或提前高速缓存是通过确定在接下来的处理器处理步骤中将要使用的在高速缓冲存储器中存在的数据段的数量而实现的。如果该数量被超出,则没有从主存储器预取数据的必要。然而,如果不是这种情况,则立即初始化预取过程。要被预取的数据是紧跟在当前数据之后的数据或是紧跟在当前数据之前的数据。通常当前数据之后的数据是要被预取的数据。根据该预取方法,首先确定哪个数据段要从主存储器中预取出来,并接着将预取的数据存储在高速缓冲存储器中的一个位置,该位置是由上述改进的最近最少使用方法确定的。然而,尽管使用了改进的LRU方法,但是由于重写高速缓冲存储器中处理器仍然需要的数据而导致高速缓存未命中的危险依然存在。

[0012] US 5,787,472 公开了一种用于在高速缓冲存储器中高速缓存顺序数据流的系统和方法。特别是它涉及一种分布式视频服务器,每个服务器基于视频数量

(video-on-amount) 服务多个用户。视频数据存储于盘上,同时应用一个高速缓冲存储器以便缓冲所述视频数据。在消耗过程读取了数据块后,确定这个数据块是否应该从高速缓冲存储器中被删除。首先,确定空闲位置是否可用,否则根据 LRU 方法来确定适合的位置。

[0013] 以高时钟速度运行高速缓冲存储器对于具有高结合性的高速缓冲存储器来说是困难的。另一方面,低结合性导致可供选择的牺牲位置 (victim location) 更少,从而增加了删除有用数据的危险。对于这些高速缓冲存储器来说基于 LRU 的方法是更低效的。

发明内容

[0014] 因此,本发明的目的在于提供将数据预取到高速缓冲存储器,同时减少由于删除有用的数据而引起的高速缓存未命中的情况的发生。

[0015] 该目的由根据本发明的数据处理系统、根据本发明的将数据预取到高速缓冲存储器的方法、以及根据本发明的被优化以用于处理数据流应用的供数据处理环境中使用的半导体装置来实现。

[0016] 本发明基于这样的思想:预测预期不被继续使用的高速缓存数据的删除,而不是预测未来的 I/O 操作。接下来,从主存储器预取数据以代替高速缓冲存储器中删除的数据。因此,首先识别高速缓冲存储器中包含预期不被继续使用的数据的位置(也就是牺牲位置),接着执行预取操作以便请求新数据来再次填充高速缓冲存储器中的上述位置。

[0017] 因此,数据处理系统包括:至少一个用于处理流式数据的处理器 12;至少一个具有多个高速缓存块的高速缓冲存储器 200,其中所述高速缓冲存储器 200 之一与每个所述处理器 12 连接;以及至少一个用于将数据预取到所述高速缓冲存储器 200 的高速缓存控制器 300,其中所述高速缓存控制器 300 之一与每个所述高速缓冲存储器 200 连接。所述高速缓存控制器 300 包括:确定装置 350,用于识别所述高速缓冲存储器 200 中包含第一数据块的至少一个位置,所述第一数据块是被预测为无需代价就可被删除的数据;以及预取装置 320,用于发出一个预取操作来用适合所述位置的所述第二数据块代替在所述位置处的所述第一数据块。因此,降低了由于重写高速缓存中仍需要的高速缓存数据所引起的高速缓存未命中的概率。

[0018] 在本发明的另一个方面,所述数据处理系统被优化以用于处理具有任务和数据流的数据流应用,其中不同的数据流竞争共享的高速缓存资源。

[0019] 在本发明的另一个方面,执行对位置的识别限制在具体预定的地址范围之内。

[0020] 在本发明的优选方面中,所述确定装置确定在高速缓冲存储器中高速缓存块的所述第一数据块的最后一个数据字是否已被访问,以及所述预取装置从存储器中预取第二数据块的数据字,该第二数据块的数据字代替所述高速缓存块中的所述第一数据块的数据字。

[0021] 如果这是在被设计来处理流式数据的数据处理系统中执行的,则后续对单个数据流的读取操作与存储器中的连续线性范围相对应。因此,当高速缓存块中第一数据块的最后一个数据字已被读取操作访问时,可以假设高速缓存块中第一数据块的所有数据字都被使用并且在接下来的处理器操作中不被需要。因此,存储空间和高速缓存块能够用于来自主存储器的将用于后续操作的数据。现在将数据块从存储器中的新位置或地址预取出来,其中该数据块必须适合被删除的高速缓存数据的高速缓存位置。

[0022] 在本发明的又一个方面,所述确定装置使所述高速缓存块中在第一数据块中存在的数据字无效,并且所述预取装置从存储器中预取第二数据块的数据字,所述第二数据块的数据字适合所述高速缓存块中所述被无效的第一数据块的数据字的所述位置。

[0023] 因此,一旦预取的所述第二数据块到达高速缓冲存储器,则它将被自动存储在被删除的数据的位置。读取操作预期在不久的将来会访问该预取的数据,因为对流式数据的访问是以线性顺序执行的。

[0024] 在另外的优选方面,被无效的第一数据块的数据从所述存储器重新加载。因为对于流式数据而言,读取操作预期在不久的将来会访问该数据,所以这将减少数据访问的等待时间。

[0025] 本发明也涉及一种用于将数据预取到高速缓冲存储器中的方法,其中所述高速缓冲存储器包括多个高速缓存块。识别所述高速缓冲存储器 200 中包含被预测为无需代价就可被删除的第一数据块的至少一个位置。然后,发出一个预取操作来用适合所述选定位置的所述第二数据块代替在所述位置的所述第一数据块。

[0026] 本发明还涉及一种用于数据处理环境中的半导体装置,其被优化以用于处理具有任务和数据流的数据流应用,其中不同的数据流竞争共享的高速缓存资源。所述设备包括一个具有多个高速缓存块的高速缓冲存储器 200,以及一个用于将数据预取到所述高速缓冲存储器 200 的高速缓存控制器 300,其中所述高速缓存控制器 300 与所述高速缓冲存储器 200 连接。所述高速缓存控制器 300 包括:确定装置 350,用于识别所述高速缓冲存储器 200 中包含第一数据块的至少一个位置 L,所述第一数据块是被预测为无需代价就可被删除的数据;以及预取装置 320,用于发出一个预取操作来用适合所述位置的所述第二数据块代替在所述位置处的所述第一数据块。

[0027] 本发明的另外一些方面在优选实施方式中被描述。

附图说明

[0028] 参考附图将更详细地描述本发明的这些和其他方面,附图示出如下:

[0029] 图 1 是根据本发明的基于流式的处理系统的结构的示意框图,以及

[0030] 图 2 是根据本发明的协处理器、高速缓存和高速缓存控制器的框图。

具体实施方式

[0031] 图 1 显示根据本发明优选实施例的一种用于处理数据对象流的处理系统。该系统可以被分为不同的层,即计算层 1、通信支持层 2 和通信网络层 3。计算层 1 包括一个 CPU11 和两个处理器或协处理器 12a、12b。这只是举例说明,显然该系统可以包含更多的处理器。通信支持层 2 包括一个与 CPU11 连接的命令解释器 21 以及分别与处理器 12a、12b 连接的命令解释器 22a、22b。通信网络层 3 包括一个通信网络 31 和一个存储器 32。

[0032] 处理器 12a、12b 优选为专用处理器;每个处理器专门用于执行有限范围的流处理功能。每个处理器被安排来对数据流的连续数据对象重复实施相同的处理操作。处理器 12a、12b 可以各自执行一个不同的任务或功能,例如可变长度解码、游程长度解码、运动补偿、图像缩放或执行 DCT 变换。在操作中,处理器 12a、12b 的每个对一个或多个数据流执行操作。该操作可以涉及,例如接收一个数据流并生成另一个数据流,或者接收一个数据流而

不生成新数据流,或者生成一个数据流而不接收数据流,或者修改接收到的数据流。处理器 12a、12b 能够处理由其他处理器 12b、12a 或由 CPU11 生成的数据流,乃至能处理由处理器自身生成的数据流。数据流包括连续的数据对象,该数据对象通过所述存储器 32 在处理器 12a、12b 之间来回传送。

[0033] 命令解释器 22a、22b 包括作为通信层的面向通信网络层的第一接口。该层对于所有的命令解释器是一致的或通用的。而且,命令解释器 22a、22b 包括面向分别与命令解释器 22a、22b 连接的处理器 12a、12b 的第二接口。第二接口是任务级接口,并且是为相应的处理器 12a、12b 定制的,以便能够处理所述处理器 12a、12b 的特定需求。因此,命令解释器 22a、22b 具有一个处理器专用的接口以作为第二接口,但是命令解释器的整体结构对于所有处理器而言是通用并一致的,以便有利于整个系统体系结构中命令解释器的重用,同时允许对特定应用的参数化和采用。

[0034] 命令解释器 22a、22b 包括一个用于数据传输的读/写单元,一个同步单元和一个任务切换单元。这三个单元与相关的处理器以主/从方式进行通信,其中处理器作为主控制器(master)。因此,三个单元分别由处理器的请求初始化。优选地,处理器和所述三个单元之间的通信由请求-应答握手机制实现以便移交变元值并等候要返回的所请求的值。因此,通信被阻塞,也就是各个控制线程等待它们的完成。

[0035] 命令解释器 22a、22b 是分布式的,以使每个命令解释器能够在与其相关的处理器 12a、12b 附近实现。每个命令解释器在本地包含与映射在其处理器上的任务相关联的数据流的配置数据,并且在本地执行所有控制逻辑以适当地处理该数据。因此,本地数据流表可以在命令解释器 22a、22b 中实现,所述命令解释器 22a、22b 对于每个数据流,或换句话说对于每个访问点包含一行区域(field)。

[0036] 而且,命令解释器 22 包括一个数据高速缓存以用于数据传输,也就是在处理器 12 和通信网络 31 以及存储器 32 之间的读操作和写操作。在命令解释器 22 中实施的数据高速缓存提供了对数据总线宽度的透明转换,对全局互连即通信网络 31 的排列限制的解决,以及在全局互连上 I/O 操作数量的减少。

[0037] 优选地,命令解释器 22 包括在读取和写入接口中的高速缓存,然而根据应用功能的观点,这些高速缓存是不可见的。所述高速缓存对将处理器读取和写入端口从通信网络 3 的全局互连分离开起着重要的作用。这些高速缓存对与速度、功率和面积相关的系统性能有较大影响。

[0038] 对根据图 1 的体系结构的更为详细的描述,请参考 Rutten 等人的“Eclipse :A Heterogeneous Multiprocessor Architecture for Flexible Media Processing”, IEEE Design and Test of Computers :Embedded Systems, pp. 39-50, July-August 2002。

[0039] 图 2 显示根据图 1 的体系结构的一部分。特别是显示了处理器 12b、命令解释器 22b、总线 31 和存储器 32。命令解释器 22b 包括高速缓冲存储器 200 和高速缓存控制器 300 以作为其数据传输单元的部分。高速缓存控制器 300 包括确定装置 350、预取装置 320 和可选地标记装置 360。高速缓冲存储器 200 可以被分为不同的高速缓存块 210。

[0040] 系统中的预取操作由命令解释器 22 控制,但由协处理器 12b 的读取请求或无效请求初始化,由于协处理器 12b 被设计为处理流式数据,所以假设来自单个数据流的处理所发起的协处理器 12b 的后续的读取请求在连续的线性存储地址范围内执行。

[0041] 确定装置 350 确定高速缓存块 210 中第一数据块的最后一个数据字是否已被处理器 12b 的读取操作访问。如果已被访问,就可以假设在上述读取操作过程中高速缓存块 210 中第一数据块的所有数据字都已被访问过,因此在即将进行的处理步骤中不再需要所述高速缓存块 210 中第一数据块的所有数据字。因此,这些数据字可以被删除,并且所述预取装置 320 从存储器 32 预取数据块。新预取的数据块必须适合高速缓存块 210,也就是要被预取的数据块必须与可以被删除的数据块大小相同。特别是,从所述存储器 32 中一个地址的位置上找到要被预取的数据块,所述地址是在所述存储器 32 中第一地址的下一个较高地址,所述第一地址与要被删除的第一数据块的数据字的前一地址相对应。换句话说,要预取的数据块必须适合高速缓存块 210 的存储空间和要被删除的数据块的空间。另外,预取操作必须根据高速缓存组织的限制进行。

[0042] 可选地,当确定装置 350 确定高速缓存块 210 中第一数据块的最后一个数据字已被处理器 12b 的读取操作访问时,高速缓存块 210 中第一数据块的所有数据字都可以被删除并因此由所述标记装置 360 标记为删除。其后,所述预取装置 320 从存储器 32 预取数据块。新预取的数据块必须适合高速缓存块 210,也就是要预取的数据块必须与标记为删除的数据块的大小相同。特别是,从所述存储器 32 中一个地址的位置上找到要被预取的数据块,所述地址是所述存储器 32 中第一地址的下一个较高地址,所述第一地址与在标记为删除的第一数据块的数据字的前一地址相对应。

[0043] 根据本发明的预取技术是有利的,因为从所述存储器 32 一找到预取的数据块并到达高速缓冲存储器 200,则预取的数据块就将被自动存储在高速缓存块 210,也就是要被删除的数据块的位置。该预取操作是合理的:由于数据处理是对流式数据执行的,并且相应的读取操作和存储器访问以线性顺序进行,因此所述处理器 12b 期望在接下来的处理步骤中访问预取的数据块。

[0044] 一种确定所述高速缓冲存储器 200 中能被删除的数据的可选技术要检查被无效的数据。在根据图 1 包含几个处理器的数据处理系统中,重要的是执行高速缓存的一致性,以确保每个处理器只访问来自被正确更新的共享存储器的那些数据值。当处理器 12b 通过其高速缓冲存储器 200 访问来自存储器的数据时,必须确认读取数据的有效性。然而,用于数据无效的技术不属于本发明,而是为现有技术所公知的。

[0045] 确定装置 350 确定被无效的数据字是否存在于高速缓存块 210 的数据字中。如果确定装置 350 找到了任何被无效的数据字,则所述预取装置 320 从存储器 32 中预取与被删除的高速缓存数据即被无效的数据的地址对应的数据字。换句话说,预取是通过在所述高速缓冲存储器中重新加载被无效数据而实现的。可选地,被无效的数据字在被重新加载之前被标记装置 360 标记为删除。

[0046] 预取操作是合理的,因为读取处理器预期在接下来的处理步骤中访问该数据,也就是被无效的数据。另外,预取只针对处于流式缓冲器的地址范围内的高速缓存位置执行。

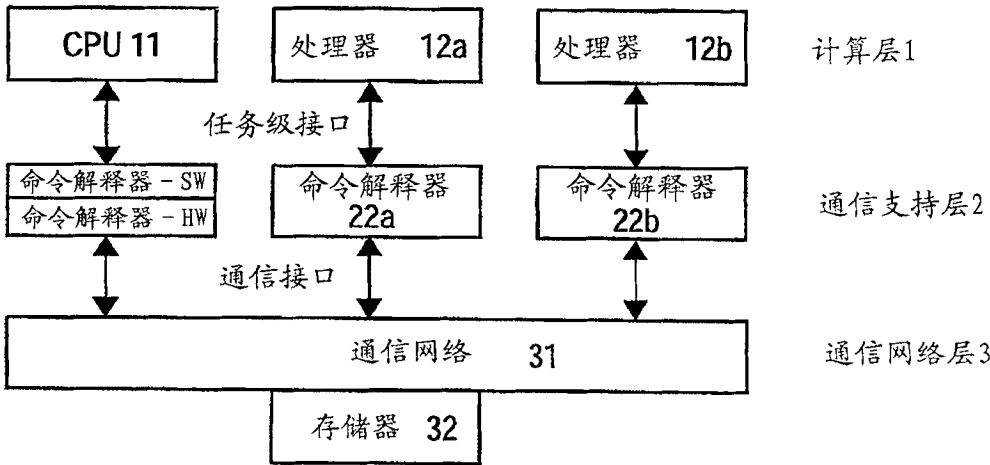


图 1

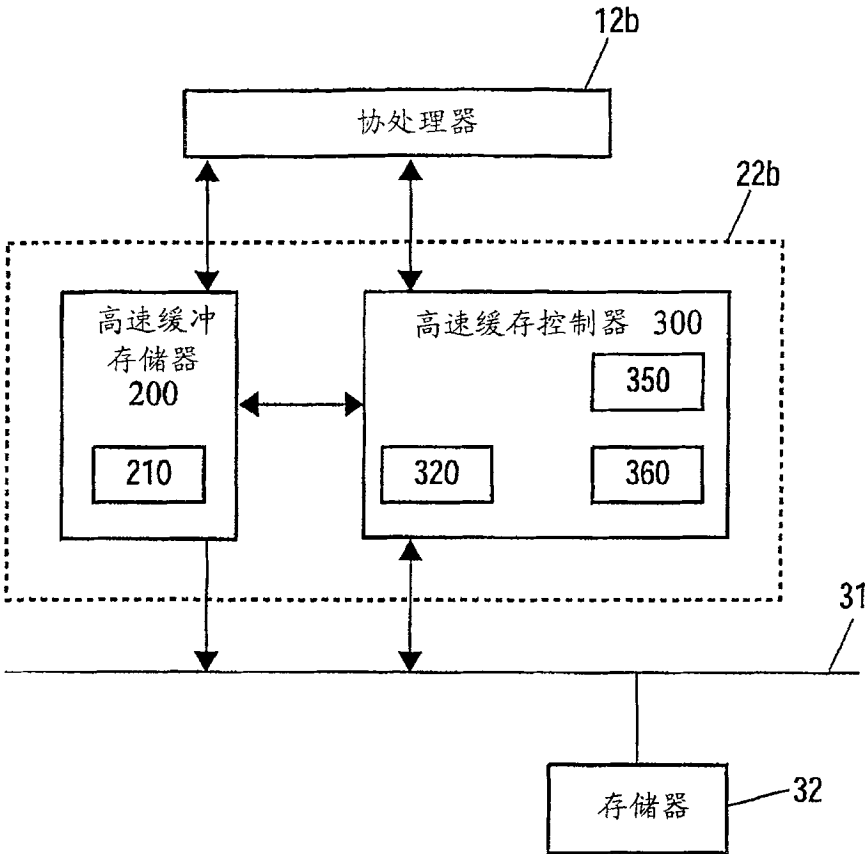


图 2