



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0101654
(43) 공개일자 2008년11월21일

(51) Int. Cl.

H01L 29/78 (2006.01) H01L 27/08 (2006.01)
H01L 21/20 (2006.01)

(21) 출원번호 10-2008-0027205

(22) 출원일자 2008년03월25일

심사청구일자 없음

(30) 우선권주장

JP-P-2007-00133382 2007년05월18일 일본(JP)

(71) 출원인

가부시키가이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

타나다 요시푸미

일본국 가나가와켄 아쓰기시 하세 398 가부시키가
이샤 한도오파이에네루기 켄큐쇼 나이

(74) 대리인

이화익, 권태복

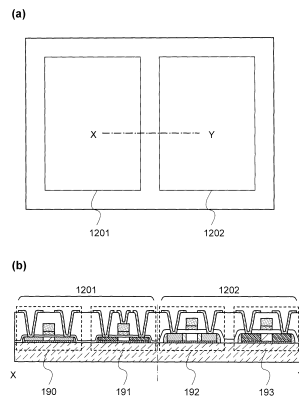
전체 청구항 수 : 총 16 항

(54) 반도체장치

(57) 요약

반도체장치에 있어서, 회로군 중에서 고속동작, 저전압동작이 요구되는 회로와, 고전압 인가시의 충분한 신뢰성이 요구되는 회로를 일체 형성하기 위한 구성 및 제조방법을 제공하는 것을 목적으로 한다. 반도체장치에 있어서, 동일기관 위에 단결정 반도체기관에서 분리, 접합된 막두께가 다른 단결정 반도체층을 포함하는 복수종의 트랜지스터를 가진다. 고속동작이 요구되는 트랜지스터의 단결정 반도체층을, 전압에 대하여 높은 내압성이 요구되는 트랜지스터의 단결정 반도체보다 박막화하여, 단결정 반도체층의 막두께를 얇게 한다.

대표도 - 도1



특허청구의 범위

청구항 1

절연 표면을 가지는 기판 위에 설치된 제1 회로군 및 제2 회로군을 가지고,
 상기 제1 회로군은, 제1 단결정 반도체층과 제1 게이트 절연층을 포함하는 제1 트랜지스터를 가지고,
 상기 제2 회로군은, 제2 단결정 반도체층과, 제2 게이트 절연층을 포함하는 제2 트랜지스터를 가지고,
 상기 제1 단결정 반도체층 및 상기 제2 단결정 반도체층은, 각각 상기 기판 위에 절연층을 개재하여 설치되고,
 상기 제1 단결정 반도체층의 막두께는, 상기 제2 단결정 반도체층의 막두께보다도 얇은 반도체장치.

청구항 2

제 1항에 있어서,
 상기 제1 게이트 절연층의 막두께는, 상기 제2 게이트 절연층의 막두께보다도 얇은 반도체장치.

청구항 3

제 1항에 있어서,
 상기 제1 회로군은, 표시장치의 데이터 드라이버, 로직 회로 및 판독전용의 메모리 회로 중에서 적어도 한 개를 포함하고,
 상기 제2 회로군은, 표시장치의 스캔 드라이버, 화소부, 전원회로 및 전기적으로 기록/고쳐 쓰기를 행하는 메모리 회로 중에서 적어도 한 개를 포함하는 반도체장치.

청구항 4

제 1항에 있어서,
 상기 기판의 일 표면과 상기 제1 단결정 반도체층과의 사이에 설치된 상기 절연층의 막두께는, 상기 기판의 일 표면과 상기 제2 단결정 반도체층과의 사이에 설치된 상기 절연층의 막두께보다도 두꺼운 반도체장치.

청구항 5

제 1항에 있어서,
 상기 기판의 일 표면과 상기 제 1 단결정 반도체층 사이에 하지막을 더 포함하는 반도체장치.

청구항 6

제 1항에 있어서,
 상기 절연층은, 유기 실란 가스를 사용하는 화학기상증착법에 의해 형성된 산화 실리콘 막을 포함하는 반도체장치.

청구항 7

제 1항에 있어서,
 상기 기판은 투광성을 가지는 재료를 포함하는 반도체장치.

청구항 8

제 1항에 있어서,
 상기 반도체장치는 휴대용 정보단말, 카메라, 전화기, 텔레비전, 컴퓨터 및 IC 태크인 반도체장치.

청구항 9

절연 표면을 가지는 기판 위에 설치된 제1 회로군, 제2 회로군, 및 제3 회로군을 가지고,

상기 제1 회로군은, 제1 단결정 반도체층과, 제1 게이트 절연층을 포함하는 제1 트랜지스터를 가지고,
 상기 제2 회로군은, 제2 단결정 반도체층과, 제2 게이트 절연층을 포함하는 제2 트랜지스터를 가지고,
 상기 제3 회로군은, 비정질 반도체층 혹은 다결정 반도체층과, 제3 게이트 절연층을 포함하는 제3 트랜지스터를 가지고,
 상기 제1 단결정 반도체층 및 상기 제2 단결정 반도체층은, 각각 상기 기판 위에 절연층을 개재하여 설치되고,
 상기 제1 단결정 반도체층의 막두께는, 상기 제2 단결정 반도체층의 막두께보다도 얇은 반도체장치.

청구항 10

제 9항에 있어서,
 상기 제1 게이트 절연층의 막두께는, 상기 제2 게이트 절연층의 막두께보다도 얇은 반도체장치.

청구항 11

제 9항에 있어서,
 상기 제1 회로군은, 표시장치의 데이터 드라이버, 로직 회로 및 관독전용의 메모리 회로 중에서 적어도 한 개를 포함하고,
 상기 제2 회로군은, 표시장치의 스캔 드라이버, 전원회로 및 전기적으로 기록/고쳐 쓰기를 행하는 메모리 회로 중에서 적어도 한 개를 포함하고,
 상기 제3 회로군은 표시장치의 화소부를 포함하는 반도체장치.

청구항 12

제 9항에 있어서,
 상기 기판의 일 표면과 상기 제 1 단결정 반도체층 사이에 설치된 절연층의 막두께는, 상기 기판의 상기 표면과 제 2 단결정 반도체층 사이에 설치된 절연층의 막두께보다 두꺼운 반도체장치.

청구항 13

제 9항에 있어서,
 상기 기판의 일 표면과 상기 제 1 단결정 반도체층 사이에 하지막을 더 포함하는 반도체장치.

청구항 14

제 9항에 있어서,
 상기 절연층은, 유기 실란 가스를 사용하는 화학기상증착법에 의해 형성된 산화 실리콘 막을 포함하는 반도체장치.

청구항 15

제 9항에 있어서,
 상기 기판은 투광성을 가지는 재료를 포함하는 반도체장치.

청구항 16

제 9항에 있어서,
 상기 반도체장치는 휴대용 정보단말, 카메라, 전화기, 텔레비전, 컴퓨터 및 IC 태크인 반도체장치.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은, 절연표면을 가지는 기판 위에 트랜지스터를 가지는 반도체장치 및 그 제조 방법에 관한 것이다.

배경 기술

<2> 단결정 반도체의 잉곳을 얇게 슬라이스해서 제조되는 실리콘 웨이퍼 대신에, 절연 표면에 얇은 단결정 반도체층을 설치한 실리콘·온·인슐레이터(이하, 「SOI」 고도 한다)로 불리는 반도체기판을 사용한 집적회로가 개발되어 있다. SOI기판을 사용한 집적회로는, 트랜지스터의 드레인과 기판 사이에 있어서의 기생 용량을 저감하여, 반도체집적회로의 성능을 향상시키는 것으로서 주목을 모으고 있다.

<3> SOI기판을 제조하는 방법으로서, 수소 이온주입 박리법이 알려져 있다(예를 들면 특허문헌 1 참조). 수소 이온주입 박리법은, 실리콘 웨이퍼에 수소 이온을 주입함으로써 표면에서 소정의 깊이에 미소 기포층을 형성하고, 상기 미소 기포층을 분리면으로 함으로써 별도의 실리콘 웨이퍼에 얇은 실리콘층(반도체층)을 부착, 접합한다. 더구나 반도체층을 박리하는 열처리를 행하는 것에 덧붙여, 산화성 분위기 하에서의 열처리에 의해 반도체층에 산화막을 형성한 후에 상기 산화막을 제거하고, 다음에 1000℃ 내지 1300℃의 환원성 분위기 하에서 열처리를 행해서 접합 강도를 높일 필요가 있는 것으로 되어 있다.

<4> 한편, 고내열성 유리 등의 절연 기판에 단결정 실리콘층을 설치한 반도체장치가 개시되어 있다(예를 들면 특허문헌 2 참조). 이 반도체장치는, 변형점(strain point)이 750℃ 이상인 결정화 유리의 전체면을 절연성 실리콘 막으로 보호하고, 수소 이온주입 박리법에 의해 얻어지는 단결정 실리콘층을 해당 절연성 실리콘 막 위에 고정하는 구성을 가지고 있다.

<5> 상기한 방법을 사용해서 얻어진 반도체층을 활성층으로 하여 트랜지스터를 제조할 경우, 실리콘 웨이퍼 위에 MOS 트랜지스터를 제조할 경우에 비해, 래치업(latch-up) 현상이 생기지 않는 것 등의 장점을 가지고 있고, 또한 절연 기판 위에 형성된 다결정 실리콘층을 활성층으로 하여 박막 트랜지스터(TFT)를 제조할 경우에 비해, 완성된 소자의 전기적 특성은 훨씬 양호한 것을 얻어진다고 하는 장점도 가지고 있다.

<6> [특허문헌 1] 일본국 특개 2000-124092호 공보

<7> [특허문헌 2] 일본국 특개 평 11-163363호 공보

발명의 내용

해결 하고자하는 과제

<8> 그런데, 실리콘 웨이퍼나, 절연 기판 위에 설치된 박막반도체층을 사용해서 트랜지스터를 제조하여, 집적회로를 구성함에 있어서는, 그 집적회로가 대규모화, 다기능화함에 따라, 각각의 트랜지스터가 구성하는 회로의 용도에 따라, 트랜지스터에 요구되는 특성이 다를 경우가 있다. 예를 들면 한편으로는 고속동작이나 저전압 동작이 요구되는 회로가 존재하고, 다른 한편으로는 고전압 인가시의 충분한 신뢰성이 요구되는 회로가 존재한다. 이러한 회로군을 동일기판 위에 일체 형성하기 위해서는, 각각의 용도에 최적의 특성을 가지는 트랜지스터를 제조할 필요가 있지만, 전술한 바와 같은 특성은 일반적으로는 트레이드오프의 관계가 되기 쉬워, 양자를 동시에 만족시키는 것은 곤란하다.

<9> 또한, SOI기판을 사용해서 반도체장치를 제조할 경우, 베이스가 되는 기판은 실리콘 웨이퍼를 사용하고 있기 때문에 비용이 높고, 더구나, 반도체장치의 대면적화에는 한계가 있었다.

<10> 본 발명은 이상과 같은 과제를 감안하여, 반도체장치에 있어서, 동일기판 위에 설치된 회로군 중에서 고속동작, 저전압동작이 요구되는 회로와, 고전압 인가시의 충분한 신뢰성이 요구되는 회로를 일체 형성하기 위한 구성 및 제조 방법을 제공하는 것이다.

과제 해결수단

<11> 상기한 과제를 해결하기 위해서, 본 발명에 있어서는 이하와 같은 수단을 강구하였다.

<12> 반도체장치에 있어서, 동일기판 위에 단결정 반도체기판에서 분리, 접합된 막두께가 다른 단결정 반도체층을 포함하는 복수종의 트랜지스터를 가지는 것을 특징으로 한다. 고속동작이 요구되는 트랜지스터의 단결정

반도체층을, 전압에 대하여 높은 내압성이 요구되는 트랜지스터의 단결정 반도체층보다 박막화하고, 단결정 반도체층의 막두께를 얇게 한다. 또한 게이트 절연층에 있어서도, 고속동작이 요구되는 트랜지스터는, 전압에 대하여 높은 내압성이 요구되는 트랜지스터보다 막두께가 얇은 쪽이 바람직하다.

<13> 예를 들면 서로 다른 복수의 실리콘 웨이퍼를 준비하고, 상기 실리콘 웨이퍼의 각각에 수소 이온조사를 행해서 분리면을 형성할 때, 목표 깊이를 제어함으로써, 막두께가 다른 복수의 반도체층을 얻고, 이것들을 별도로 준비한 동일한 지지 기판 위에 부착한다. 이들 서로 다른 막두께를 가지는 반도체층의 각각은, 나중에 형성되는 회로의 용도, 동작조건에 따라 선택되어, 트랜지스터의 활성층이나, 저항소자, 또는 다른 절연막, 도전막과 조합해서 용량소자를 형성하는 것 등에 이용된다.

<14> 반도체층의 막두께가 얇은 것은, 예를 들면 표면 자기산화에 의해 막두께가 얇은 게이트 절연막(게이트 절연막)이 형성되어, 주로 고속동작, 저전압동작이 요구되는 회로를 구성하는 트랜지스터의 형성이나, 고저항소자의 형성, 혹은 막두께가 얇은 게이트 절연막을 절연층으로서 사용하고, 더구나 다른 도전막과 조합해서 효율적인 용량소자의 형성 등에 적합하다.

<15> 한편, 반도체층의 막두께가 두꺼운 것은, 예를 들면 표면 자기산화에 의해 막두께가 두꺼운 게이트 절연막을 형성할 여지가 있거나, 혹은 활성층 두께를 크기 취할 수도 있으므로, 고인가 전압하에서의 동작 신뢰성이 요구되는 회로를 구성하는 트랜지스터의 형성 등에 적합하다.

<16> 따라서, 본 발명의 반도체장치는, 저소비 전력이면서 고신뢰성이 부여된 반도체장치로 할 수 있다.

<17> 본 발명의 반도체장치의 일 형태는, 절연 표면을 가지는 지지 기판 위에 설치된 제1 회로군 및 제2 회로군을 가지고, 제1 회로군은, 제1 단결정 반도체층과, 제1 게이트 절연층을 포함하는 제1 트랜지스터를 가지고, 제2 회로군은, 제2 단결정 반도체층과, 제2 게이트 절연층을 포함하는 제2 트랜지스터를 가지고, 제1 단결정 반도체층 및 제2 단결정 반도체층은, 각각 절연 표면을 가지는 지지 기판과의 사이에 절연층을 개재하여 설치되고, 제1 단결정 반도체층의 막두께는, 제2 단결정 반도체층의 막두께보다도 얇다.

<18> 상기 구성에 있어서, 제1 회로군은, 표시장치의 데이터 드라이버, 로직 회로, 혹은 판독 전용의 메모리 회로를 포함하고, 제2 회로군은, 표시장치의 스캔 드라이버, 표시장치의 화소부, 전원회로, 혹은 전기적으로 기록/고쳐 쓰기를 행하는 메모리 회로를 포함할 수 있다.

<19> 본 발명의 반도체장치의 일 형태는, 절연 표면을 가지는 지지 기판 위에 설치된 제1 회로군, 제2 회로군, 및 제3 회로군을 가지고, 제1 회로군은, 제1 단결정 반도체층과, 제1 게이트 절연층을 포함하는 제1 트랜지스터를 가지고, 제2 회로군은, 제2 단결정 반도체층과, 제2 게이트 절연층을 포함하는 제2 트랜지스터를 가지고, 제3 회로군은, 비정질 반도체층 혹은 다결정 반도체층과, 제3 게이트 절연층을 포함하는 제3 트랜지스터를 가지고, 제1 단결정 반도체층 및 제2 단결정 반도체층은, 각각 절연 표면을 가지는 지지 기판과의 사이에 절연층을 개재하여 설치되고, 제1 단결정 반도체층의 막두께는, 제2 단결정 반도체층의 막두께보다도 얇다.

<20> 상기 구성에 있어서, 제1 회로군은, 표시장치의 데이터 드라이버, 로직 회로, 혹은 판독전용의 메모리 회로를 포함하고, 제2 회로군은, 표시장치의 스캔 드라이버, 전원회로, 혹은 전기적으로 기록/고쳐 쓰기를 행하는 메모리 회로를 포함하고, 제3 회로군은 표시장치의 화소부를 포함할 수 있다.

<21> 상기 구성에 있어서, 제1 게이트 절연층의 막두께는, 제2 게이트 절연층의 막두께보다도 얇게 하는 것이 바람직하다.

<22> 지지 기판과 제1 단결정 반도체층과의 사이에 설치되는 접합면을 가지는 절연층의 막두께와, 지지 기판과 제2 단결정 반도체층과의 사이에 설치되는 접합면을 가지는 절연층의 막두께는 달라도 되고, 제1 단결정 반도체층과의 사이에 설치되는 접합면을 가지는 절연층의 막두께가, 지지 기판과 제2 단결정 반도체층과의 사이에 설치되는 접합면을 가지는 절연층의 막두께보다 두꺼워도 된다. 또한 지지 기판과, 제1 단결정 반도체층 및 제2 단결정 반도체층과의 사이에 하지막이 되는 절연층을 설치하고, 1개의 단결정 반도체층과의 사이에 설치되는 절연층의 막두께가, 지지 기판과 제2 단결정 반도체층과의 사이에 설치되는 절연층의 막두께보다 두꺼워도 된다.

<23> 이때, 본 발명에 있어서, 반도체장치란, 반도체특성을 이용함으로써 기능할 수 있는 장치를 가리킨다. 본 발명을 사용해서 반도체소자(트랜지스터, 메모리 소자나 다이오드 등)를 포함하는 회로를 가지는 장치나, 프로세서 회로를 가지는 칩 등의 반도체장치를 제조할 수 있다.

<24> 본 발명은 표시 기능을 가지는 장치인 반도체장치(표시장치라고도 한다)에도 사용할 수 있고, 본 발명을 사용하는 반도체장치에는, 일렉트로루미네센스(이하 「EL」이라고도 한다)이라고 불리는 발광을 발현하는 유

기물, 무기물, 혹은 유기물과 무기물의 혼합물을 포함하는 층을, 전극 사이에 개재시킨 발광소자와 TFT가 접속된 반도체장치(발광 표시장치)이나, 액정재료를 가지는 액정소자를 표시 소자로서 사용하는 반도체장치(액정표시장치) 등이 있다. 본 발명에 있어서, 표시 기능을 가지는 반도체장치란, 표시 소자(액정소자나 발광소자 등)를 가지는 장치를 말한다. 이때, 기판 위에 액정소자나 EL소자 등의 표시 소자를 포함하는 복수의 화소나 그것들의 화소를 구동시키는 주변구동회로가 형성된 표시 패널 본체라도 된다. 더구나, 플렉시블 프린트 서킷(FPC)나 프린트 배선 기판(PWB)이 부착된 것(IC나 저항소자나 용량소자나 인덕터나 트랜지스터 등)도 포함시키도 된다. 더구나, 편광판이나 위상차판 등의 광학 시이트를 포함하고 있어도 된다. 더구나, 백라이트(도광판이나 프리즘 시이트나 확산 시이트나 반사 시이트나 광원(LED나 냉음극관 등)을 포함하고 있어도 된다)를 포함하고 있어도 된다.

<25> 이때, 표시 소자나 반도체장치는, 여러가지 형태 및 여러가지 소자를 사용할 수 있다. 예를 들면, EL소자(유기 EL소자, 무기 EL소자 또는 유기물 및 무기물을 포함하는 EL소자), 전자방출소자, 액정소자, 전자 잉크, 그레이팅 라이트 밸브(GLV), 플라즈마 디스플레이(PDP), 디지털 마이크로미러 디바이스(DMD), 압전 세라믹 디스플레이, 카본 나노튜브 등, 전기자기적 작용에 의해 콘트라스트가 변화되는 표시 매체를 적용할 수 있다. 이때, EL소자를 사용한 반도체장치로서는 EL디스플레이, 전자방출소자를 사용한 반도체장치로서는 필드 에미션 디스플레이(FED)나 SED방식 평면형 디스플레이(SED: Surface-conduction Electron-emitter Display) 등, 액정소자를 사용한 반도체장치로서는 액정 모니터, 투과형 액정 모니터, 반투과형 액정 모니터, 반사형 액정 모니터, 전자 잉크를 사용한 반도체장치로서는 전자 페이퍼가 있다.

효 과

<26> 본 발명에 의해 제조된 반도체장치는, 동일기판 위에 고속동작이나 저전압 동작이 요구되는 제1 회로군과, 고인가 전압하에서의 신뢰성이 요구되는 제2 회로군을 가지고 있고, 제1 회로군을 구성하는 트랜지스터의 활성층의 막두께는, 제2 회로군을 구성하는 트랜지스터의 활성층의 막두께보다도 얇게 되어 있다. 또는, 제1 회로군을 구성하는 트랜지스터의 게이트 절연막의 막두께는, 제2 회로군을 구성하는 트랜지스터의 게이트 절연막의 막두께보다도 얇게 되어 있다.

<27> 제1 회로군을 구성하는 트랜지스터는, 활성층의 박막화, 혹은 게이트 절연막의 박막화에 의해, 소자의 미세화를 촉진할 수 있다. 이 때문에, 회로의 점유 면적을 축소, 배선길이의 단축에 의해 기생 저항, 기생 용량 등의 부하를 저감할 수 있어, 고속동작, 저전압 동작이 가능해 진다. 활성층의 박막화는, 채널 형성 영역을 완전 공핍층화하도록 작용한다. 따라서, 제1 회로군의 저소비 전력화가 실현된다.

<28> 한편, 제2 회로군을 구성하는 트랜지스터는, 활성층의 후막화, 혹은 게이트 절연막의 후막화에 의해, 고인가 전압에 대한 내압이 높아, 고신뢰성을 확보할 수 있다.

<29> 상기한 방법에 의해, 동일기판 위에 고속동작, 저전압 동작하는 영역과, 고인가 전압하에서 동작하는 영역을 집적하는 것이 가능해져, 종래는 외장형 IC 등으로 제공되어 있었던 기능 부분의 일체 형성화에 크게 공헌한다.

<30> 더구나, 지지 기판에 유리, 플라스틱 등을 대표로 한, 투광성이 있는 재질로 이루어진 기판을 사용함으로써 저렴하고도 대면적의 표시장치에의 적용이 가능해 진다.

<31> 이상과 같이, 본 발명의 반도체장치는, 저소비 전력이면서 고신뢰성이 부여된 반도체장치로 할 수 있다.

발명의 실시를 위한 구체적인 내용

<32> 본 발명의 실시예에 대해서, 도면을 사용해서 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 이탈하는 않고 그 형태 및 상세를 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타내는 실시예의 기재 내용에 한정해서 해석되는 것은 아니다. 이때, 이하에서 설명하는 본 발명의 구성에 있어서, 동일 부분 또는 동일한 기능을 가지는 부분에는 동일한 부호를 다른 도면 사이에서 공통되어서 사용하고, 그것의 반복의 설명은 생략한다.

<33> (실시예1)

<34> 본 발명의 반도체장치의 제조 방법에 대해서, 도 1~도 6, 도 9, 및 도 14를 참조해서 설명한다.

<35> 절연 표면을 가지는 기판 위에, 단결정 반도체기판에서 단결정 반도체층을 설치하는 방법을 도9a 내지

도9d 및 도 10a 내지 도 10c를 사용해서 설명한다.

- <36> 도9a에 나타내는 반도체기판(108)은 청정화되어 있고, 그 표면에서 전계로 가속된 이온을 소정의 깊이
에 조사하여, 분리층(110)을 형성한다. 이온의 조사는 지지 기판으로 전치하는 단결정 반도체층의 두께를 고려
해서 행해진다. 해당 단결정 반도체층의 두께는 1 μ m 이상 3 μ m 이하가 바람직하다. 이온을 조사할 때의 가속 전
압은 이러한 두께를 고려하여, 반도체기판(108)에 조사되도록 한다.
- <37> 반도체기판(108)으로서, 대표적으로는 p형 혹은 n형의 단결정 실리콘 기판(실리콘 웨이퍼)을 사용할 수
있다. 또한 다른 단결정 반도체기판으로서, 실리콘, 게르마늄, 기타 갈륨 비소, 인듐 인 등의 화합물 반도체
의 기판도 적용할 수 있다. 본 실시예는, 단결정 반도체기판의 소정의 깊이에 수소 또는 불소를 이온조사하고,
그후 열처리를 행해서 표면층의 단결정 실리콘층을 박리하는 이온조사 박리법으로 형성하지만, 포러스 실리콘
위에 단결정 실리콘을 에피택셜 성장시킨후, 포러스 실리콘층을 워터 제트로 분리하는 방법을 적용해도 된다.
- <38> 분리층은, 이온을 이온 도핑법이나 이온주입법에 의해 조사하면 된다. 분리층은 수소, 헬륨 혹은 불소
로 대표되는 할로겐의 이온을 조사함으로써 형성된다. 할로겐 원소로서 불소 이온을 조사할 경우에는 소스 가스
로서 BF₃를 사용하면 된다. 이때, 이온주입법이란 이온화한 가스를 질량분리해서 반도체에 조사하는 방식을 말한
다.
- <39> 단결정 실리콘 기판에 불소 이온과 같은 할로겐 이온을 조사했을 경우, 첨가된 불소가, 실리콘 결정격
자 내의 실리콘 원자를 녹아웃함(내쫓음)으로써 공백 부분을 효과적으로 만들어, 분리층에 미소한 공동을 만든
다. 이 경우, 비교적 저온의 열처리에 의해 분리층에 형성된 미소한 공동의 체적변화가 발생하고, 분리층을 따
라 분리하는 것에 의해 얇은 단결정 반도체층을 형성할 수 있다. 불소 이온을 조사한 후에, 수소 이온을 조사해
서 공동 내에 수소를 포함하도록 해도 된다. 반도체 기판으로부터 얇은 반도체층을 박리하기 위해서 형성하는
분리층은, 분리층에 형성된 미소한 공동의 체적변화를 이용해서 분리하므로, 이렇게 불소 이온이나 수소 이온의
작용을 효과적으로 이용하는 것이 바람직하다.
- <40> 또한 1개 또는 복수의 동일한 원자로 이루어지는 질량수가 다른 이온을 조사해도 된다. 예를 들면 수소
이온을 조사할 경우에는, H⁺, H₂⁺, H₃⁺ 이온을 포함시키는 동시에, H₃⁺ 이온의 비율을 높여 두는 것이 바람직하다.
수소 이온을 조사할 경우에는, H⁺, H₂⁺, H₃⁺ 이온을 포함시키는 동시에, H₃⁺ 이온의 비율을 높여 두면 조사 효율을
높일 수 있어, 조사 시간을 단축할 수 있다. 이러한 구성으로 함으로써, 분리를 용이하게 행할 수 있다.
- <41> 분리층의 형성에 있어서는 이온을 고도즈 조건에서 조사할 필요가 있고, 반도체기판(108)의 표면이 거
칠어져 버릴 경우가 있다. 그 때문에 이온이 조사되는 표면에 질화 실리콘 막 혹은 질화산화 실리콘 막 등에 의
해 이온조사에 대한 보호막을 50nm 내지 200nm의 두께로 설치하고 있어도 된다.
- <42> 또한 반도체기판(108)을 탈지 세정하고, 표면의 산화막을 제거해서 열산화를 행해도 된다. 열산화로서
는 일반적인 드라이 산화도 되지만, 산화 분위기중에 할로겐을 첨가한 산화를 행하는 것이 바람직하다. 예를 들
면 산소에 대하여 HCl을 0.5~10체적%(바람직하게는 3체적%)의 비율로 포함하는 분위기중에서, 700℃ 이상의 온
도에서 열처리를 행한다. 적합하게는 950℃~1100℃의 온도에서 열산화를 행하면 된다. 처리 시간은
0.1~6시간, 바람직하게는 0.5~1시간으로 하면 된다. 형성되는 산화막의 막두께로서는, 10nm~1000nm(바람직하
게는 50nm~200nm), 예를 들면 100nm의 두께로 한다.
- <43> 할로겐을 포함하는 것으로서는 HCl 이외에, HF, NF₃, HBr, Cl₂, ClF₃, BCl₃, F₂, Br₂, 디클로로에틸렌 등
으로부터 선택된 1종 또는 복수종을 적용할 수 있다.
- <44> 이러한 온도범위에서 열처리를 행함으로써 할로겐 원소에 의한 게터링 효과를 얻을 수 있다. 게터링으
로서는, 특히 금속 불순물을 제거하는 효과가 있다. 즉, 염소의 작용에 의해, 금속 등의 불순물이 휘발성의 염
화물이 되어서 기상중에 이탈해서 제거된다. 반도체기판(108)의 표면을 화학적 기계연마(CMP) 처리를 한 것에
대하여는 유효하다. 또한 수소는 반도체기판(108)과 형성되는 산화막의 계면의 결합을 보강해서 계면의 국제 준
위밀도를 저감하는 작용을 발휘하여, 반도체기판(108)과 산화막의 계면이 불활성화되어서 전기적 특성이 안정화
한다.
- <45> 이 열처리에 의해 형성되는 산화막중에 할로겐을 포함시킬 수 있다. 할로겐 원소는 1×10¹⁷/cm²~5×
10²⁰/cm²의 농도로 포함시키는 것에 의해 금속 등의 불순물을 포획해서 반도체기판(108)의 오염을 방지하는 보호

막으로서의 기능을 발현시킬 수 있다.

<46> 다음에 도 9b에서 도시한 것과 같이 지지 기판과 접합을 형성하는 면에 접합면을 가지는 절연층(접합층)(104)으로서 산화 실리콘 막을 형성한다. 산화 실리콘 막으로서의 유기 실란 가스를 사용해서 화학기상성장법에 의해 제조되는 산화 실리콘 막이 바람직하다. 그 밖에, 실란 가스를 사용해서 화학기상성장법에 의해 제조되는 산화 실리콘 막을 적용할 수도 있다. 화학기상성장법에 의한 성막에서는, 단결정 반도체기판에 형성한 분리층(110)으로부터 탈가스가 발생하지 않는 온도로서, 예를 들면 350℃ 이하의 성막 온도가 적용된다. 또한 단결정 혹은 다결정반도체기판으로부터 단결정 반도체층을 박리하는 열처리는, 성막 온도보다도 높은 열처리 온도가 적용된다.

<47> 절연층(104)은 평활면을 갖고 친수성 표면을 형성한다. 이 절연층(104)으로서 산화 실리콘 막이 적합하다. 특히 유기 실란 가스를 사용해서 화학기상성장법에 의해 제조되는 산화 실리콘 막이 바람직하다. 유기 실란 가스로서는, 규산 에틸(TEOS(Tetra Ethyl Ortho Silicate): 화학식 $\text{Si}(\text{OC}_2\text{H}_5)_4$), 트리메틸실란(TMS: $(\text{CH}_3)_3\text{SiH}$), 테트라메틸실란(화학식 $\text{Si}(\text{CH}_3)_4$), 테트라메틸시클로테트라실록산(TMCTS), 옥타메틸시클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시실란($\text{SiH}(\text{OC}_2\text{H}_5)_3$), 트리스디메틸아미노실란($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 등의 실리콘 함유 화합물을 사용할 수 있다.

<48> 상기 평활면을 갖고 친수성 표면을 형성하는 절연층(104)은 5nm 내지 500nm의 두께로 설치된다. 이 두께이면, 피성막 표면의 표면 거칠음을 평활화하는 동시에, 해당 막의 성장 표면의 평활성을 확보하는 것이 가능하다. 또한 접합하는 기판과의 왜곡을 완화할 수 있다. 지지 기판(101)에도 같은 산화 실리콘 막을 설치하고 있어도 된다. 즉, 지지 기판(101)에 단결정 반도체층(102)을 접합하는 것에 있어서, 접합을 형성하는 면의 한쪽 혹은 양쪽에, 바람직하게는 유기 실란을 원재료로 하여 성막한 산화 실리콘 막으로 이루어진 절연층(104)을 형성함으로써 강고한 접합을 형성할 수 있다.

<49> 도 9c는 지지 기판(101)과 반도체기판(108)의 절연층(104)이 형성된 면을 밀착시키고, 이 양자를 접합시키는 태양을 나타낸다. 접합을 형성하는 면은, 충분히게 청정화해 둔다. 그리고, 지지 기판(101)과 절연층(104)을 대향시켜서, 1군데를 외부에서 누르면, 국소적으로 접합면끼리의 거리가 줄어들 것에 의한 반데르발스 힘의 강함이나 수소결합의 기여에 의해, 서로 끌어 당긴다. 또한 인접한 영역에서도 대향하는 지지 기판(101)과 절연층(104) 사이의 거리가 줄어들어 반데르발스힘이 강하게 작용하는 영역이나 수소결합이 관여하는 영역이 넓어지는 것에 의해, 접합(본딩이라고도 한다)이 진행해 접합면 전역에 접합이 펼쳐진다.

<50> 양호한 접합을 형성하기 위해서, 표면을 활성화하고 있어도 된다. 예를 들면 접합을 형성하는 면에 원자빔 혹은 이온빔을 조사한다. 원자빔 혹은 이온빔을 이용할 경우에는, 아르곤 등의 불활성가스 중성 원자빔 혹은 불활성가스 이온빔을 사용할 수 있다. 그 밖에, 플라즈마 조사 혹은 라디칼 처리를 행한다. 이러한 표면처리에 의해 200℃ 내지 400℃의 온도라도 이중재료간의 접합을 형성하는 것이 용이하게 된다.

<51> 반도체기판에서 단결정 반도체층을 유리 기판에 박리하는 공정과, 유리 기판과 단결정 반도체층을 견고하게 접합하는 공정을 별개의 열처리로 행해도 되고, 1회의 가열처리로 동시에 행해도 된다.

<52> 지지 기판(101)과 반도체기판(108)을 절연층(104)을 통해서 부착한 후에는, 가열처리 또는 가압처리를 행하는 것이 바람직하다. 가열처리 또는 가압처리를 행함으로써 접합 강도를 향상시키는 것이 가능해진다. 가압처리에 있어서는, 접합면에 수직한 방향으로 압력이 가해지도록 행하고, 지지 기판(101) 및 반도체기판(108)의 내압성을 고려해서 행한다.

<53> 도 9d에 있어서, 지지 기판(101)과 반도체기판(108)을 부착한 후, 가열처리를 행해 분리층(110)을 분리면으로 하여 반도체기판(108)을 지지 기판(101)으로부터 분리한다. 예를 들면 400℃ 내지 600℃의 열처리를 함으로써, 분리층(110)에 형성된 미소한 공동의 체적변화가 발생하여, 분리층(110)을 따라 분리하는 것이 가능해진다. 본 실시예에 있어서는, 가열처리의 온도는, 미리 지지 기판(101)에 행한 가열처리보다 낮은 온도에서 행한다. 절연층(104)은 지지 기판(101)과 접합하고 있으므로, 지지 기판(101) 위에는 반도체기판(108)과 같은 결정성의 단결정 반도체층(102)이 잔존하게 된다.

<54> 도10은 지지 기판측에 접합면을 가지는 절연층을 설치해서 단결정 반도체층을 형성하는 공정을 나타낸다. 도 10a는 산화 실리콘 막(121)이 형성된 반도체기판(108)에 전계로 가속된 이온을 소정의 깊이로 조사하여, 분리층(110)을 형성하는 공정을 보이고 있다. 이온의 조사는 도9a의 경우와 같다. 반도체기판(108)의 표면에 산화 실리콘 막(121)을 형성해 두는 것으로 이온조사에 의해 표면이 대미지를 받아, 평탄성이 손상되는 것을 막을

수 있다. 또한 산화 실리콘 막(121)에 의해, 반도체기판(108)으로부터 형성되는 단결정 반도체층(102)에 대한 불순물의 확산 방지 효과가 발현된다.

<55> 도 10b는, 블록킹층(109) 및 절연층(104)이 형성된 지지 기판(101)과 반도체기판(108)의 산화 실리콘 막(121)이 형성된 면을 밀착시켜서 접합을 형성하는 공정을 보이고 있다. 절연층(104)과 산화 실리콘 막(121)을 대향시켜서, 1군데를 외부에서 누르면, 국소적으로 접합면끼리의 거리가 줄어들는 것에 의한 반데르발스힘의 강함이나 수소결합의 기여에 의해, 서로 끌어 당긴다. 또한 인접한 영역에서도 대향하는 절연층(104)과 산화 실리콘 막(121) 사이의 거리가 줄어들므로, 반데르발스힘이 강하게 작용하는 영역이나 수소결합이 관여하는 영역이 넓어지는 것에 의해, 접합(본딩이라고도 한다)이 진행해 접합면 전역에 접합이 펼쳐진다.

<56> 그 후에 도 10c에 도시한 것과 같이 반도체기판(108)을 박리한다. 단결정 반도체층을 박리하는 열처리 는 도 9d의 경우와 마찬가지로 해서 행한다. 접합 박리공정에 있어서의 가열처리의 온도는, 지지 기판(101)에 미리 행해진 가열처리 이하로 한다. 이렇게 하여 도 10c에서 나타낸 반도체기판을 얻을 수 있다.

<57> 지지 기판(101)으로서는, 절연 표면을 가지는 기판을 사용할 수 있고, 예를 들면 알루미늄 실리케이트 글래스, 알루미늄 보로실리케이트 글래스, 바륨 보로실리케이트 글래스와 같이 무알칼리 글래스로 불리는 전자 공업용에 사용되어지는 각종 유리 기판을 적용할 수 있다. 또한 석영유리라도 된다. 즉, 한번이 1미터를 초과하는 기판 위에 단결정 반도체층을 형성할 수 있다. 이러한 대면적기판을 사용해서 액정 모니터와 같은 표시장치 뿐만 아니라, 반도체집적회로를 제조할 수 있다.

<58> 이상의 공정을, 이온조사 깊이를 제어하여, 각각 원하는 다른 깊이로 분리층(110)을 형성한 복수의 반도체기판(108)에 대해서 행하여, 도 3a에 나타내는 것과 같이, 동일한 지지 기판(101) 위에, 막두께가 다른 단결정 반도체층(150, 160)을 형성한다. 여기에서는 2종류의 막두께를 가지는 단결정 반도체층만 나타내고 있지만, 3종류 이상의 막두께를 가지는 단결정 반도체층을 형성해도 된다. 단결정 반도체층(150, 160)은 지지 기판(101)상의 절연층(104)을 통해 지지 기판(101) 위에 설치된다. 이때, 블록킹층(109)은 도 3에 있어서는 생략하고 있지만, 지지 기판(101) 위에 블록킹층(109)을 형성해도 된다.

<59> 계속해서, 지지 기판(101) 위에 얻어진 단결정 반도체층(150, 160)을 사용해서 트랜지스터를 제조하고, 회로를 구성하는 공정에 관하여 설명한다.

<60> 상기의 공정에 따라서 지지 기판(101) 위에 절연층(104)을 통해 막두께가 다른 단결정 반도체층(150, 160)을 얻은 후, 포토마스크를 사용해서 원하는 형상의 레지스트 패턴을 형성하고, 포토리소그래피법을 사용한 가공 처리에 의해, 도 3b에 나타낸 것과 같이 섬 형상의 반도체층(151, 152, 161, 162)을 얻는다. 이후의 도면에 있어서는, 산화막(103), 블록킹층(109), 절연층(104)은 생략한다.

<61> 반도체층 151, 152 의 막두께는, 반도체층 161, 162의 막두께보다 얇고, 예를 들면 5nm 이상 30nm 이하, 더욱 바람직하게는 10nm 이상 20nm 이하로 하면 된다. 한편, 반도체층 161, 162의 막두께는, 예를 들면 25nm 이상 100nm 이하, 더욱 바람직하게는 50nm 이상 60nm 이하이면 된다.

<62> 상기 막두께는, 트랜지스터의 활성층으로서 사용할 경우에 적합한 반도체층의 막두께를 상정하고 있다. 따라서, 이후의 공정에 있어서 게이트 절연막을 반도체층 151, 152, 161, 162의 표면 자기산화에 의해 형성할 경우에는, 상기 반도체층의 막두께를, 게이트 절연 막두께분 만큼 적당하게 변경해도 된다.

<63> 반도체층을 박막화함으로써 트랜지스터의 단채널 효과를 억제하는 것이 가능해진다. 또한 트랜지스터의 임계전압을 작게 하는 것이 가능해서, 회로의 저전압구동을 실현할 수 있다.

<64> 또한 반도체층 151, 152, 161, 162의 단부에는 경사각(테이퍼 각)을 설치한다. 그 각도는 45도 내지 95도 정도로 하는 것이 바람직하다. 이 테이퍼 각이 작을 경우, 테이퍼 영역에 반도체층 151, 152, 161, 162의 각 각의 중앙부와 특성이 다른 기생 트랜지스터가 단부에 형성되는 영향을 피하기 위해서, 테이퍼 각은 수직에 가까운 쪽이 바람직하다.

<65> 이때, 본 명세서에 있어서, 반도체층의 「단부」란, 섬 모양으로 형성된 반도체층의 가장자리 부분(예지 부분)을 나타낸다. 반도체층의 「측면」이란, 그 가장자리분의 면을 나타낸다.

<66> 에칭 가공은, 플라스마에칭(드라이에칭)또는 습식 에칭의 어느쪽을 채용해도 되지만, 대면적기판을 처리하기 위해서는 플라스마에칭이 적합하다. 에칭 가스로서는, CF_4 , NF_3 , Cl_2 , BCl_3 등의 불소계 또는 염소계의 가스를 사용하고, He이 Ar 등의 불활성가스를 적당하게 첨가해도 된다. 또한 대기압방전의 에칭 가공을 적용하

면, 국소적인 방전가공도 가능해서, 기관의 전체면에 마스크를 형성할 필요는 없다.

<67> 본 발명에 있어서, 배선층 혹은 전극층을 형성하는 도전층이나, 소정의 패턴을 형성하기 위한 마스크 등을, 액적도출법과 같은 선택적으로 패턴을 형성할 수 있는 방법에 의해 형성해도 된다. 액적도출(분출)법(그 방식에 따라서는, 잉크젯법이라고도 불린다)은, 특정한 목적으로 조합된 조성물의 액적을 선택적으로 토출(분출)해서 소정의 패턴(도전층이나 절연층 등)을 형성할 수 있다. 이때, 피형성 영역에 젖은 성분이나 밀착성을 제어하는 처리를 행해도 된다. 또한 패턴이 전사, 또는 묘사할 수 있는 방법, 예를 들면 인쇄법(스크린 인쇄나 오프셋 등 패턴이 형성되는 방법) 등도 사용할 수 있다.

<68> 본 실시예에 있어서, 사용하는 마스크는, 에폭시 수지, 아크릴수지, 페놀수지, 노보락 수지, 멜라민수지, 우레탄 수지 등의 수지재료를 사용한다. 또한 벤조시클로부텐, 파릴렌, 불화아릴렌에테르, 폴리이미드 등의 유기재료, 실록산계 폴리머 등의 중합에 의해 생긴 화합물 재료 등을 사용할 수도 있다. 또는, 감광제를 포함하는 시판의 레지스트 재료를 사용하여도 되고, 예를 들면 포지티브형 레지스트, 네가티브형 레지스트 등을 사용해도 된다. 액적도출법을 사용할 경우, 어느쪽의 재료를 사용한다고 하더라도, 그것의 표면장력과 점도는, 용매의 농도를 조정한다, 계면활성제 등을 가하는 것 등에 의해 적당하게 조정한다.

<69> 또한, 반도체층 151, 152, 161, 162의 측면과 접하는 절연층 170a 내지 170h를 형성해도 된다. 반도체층 151, 152, 161, 162의 측면과 접하는 절연층 170a 내지 170h를 형성함으로써 나중에 반도체층 151, 152, 161, 162를 덮도록 형성되는 절연막에 있어서, 각 반도체층 단부에 있어서의 피복성(커버리지)을 양호하게 할 수 있다. 이에 따라 반도체층 151, 152, 161, 162와 다른 도전막과의 단락, 리크 전류의 발생, 정전과피 등을 방지할 수 있다.

<70> 절연층 170a 내지 170h는, 반도체층 151, 152, 161, 162를 형성한 후에, 산화 실리콘 막 또는 질화 실리콘 막을 퇴적하고, 이방성 에칭에 의해 가공함으로써 자기정합적으로 형성할 수 있다.

<71> 또한 절연층 170a 내지 170h는, 반도체층 151, 152, 161, 162의 단부를 산화 처리함으로써 선택적으로 절연화하여 형성할 수도 있다. 산화 처리는, 산소를 포함하는 분위기 하에서의 플라σμα처리에 의해 행할 수 있다. 또한 수용액을 사용해서 표면을 산화 처리(웨트 산화라고도 한다)해도 된다. 플라σμα 처리 이전에 반도체층 측단부에 불소나 염소 등의 할로젠을 도입하고나서, 플라σμα처리를 행해도 된다. 할로젠 첨가를 행하면, 산화 속도가 빠르기 때문에 산화가 우선적으로 진행되어, 반도체층 측단부에 있어서 막두께의 두꺼운 절연층을 형성할 수 있다.

<72> 계속해서, 도 3d에 나타내는 것과 같이, 게이트 절연막 171, 172를 형성하고, 반도체층 151, 152, 161, 162의 표면 및 단부를 충분히 피복한다. 바람직하게는, 반도체층 151, 152, 161, 162의 측면으로 접하는 영역의 막두께를 두껍게 함으로써 반도체층 151, 152, 161, 162의 단부의 전계집중을 완화할 수 있고, 리크 전류의 발생 등을 방지할 수 있다.

<73> 게이트 절연막 171, 172는 플라σμα CVD법 또는 스퍼터링법등을 사용해서 절연막을 형성하고, 반도체층 151, 152가 배치되어 있는 영역주변을 선택적으로 에칭해서 박막화해서 막두께가 다른 게이트 절연막 171, 172를 형성한다. 게이트 절연막 171의 박막화는, 반도체층 151, 152를 활성층으로서 나중 형성되는 트랜지스터를 고속으로, 그리고 저전압하에서 동작시키는 효과가 있다. 또한, 게이트 절연막 172의 막두께가 두꺼우면, 반도체층 161, 162를 활성층으로서 나중에 형성되는 트랜지스터의 고전압에 대한 내성이 높게 할 수 있어, 신뢰성을 높일 수 있다.

<74> 본 실시예에 있어서, 게이트 절연막 171의 막두께는 1nm 이상 10nm 이하, 더욱 바람직하게는 5nm 정도로 하면 된다. 한편, 게이트 절연막 172의 막두께는 50nm 이상 150nm 이하, 더욱 바람직하게는 60nm 이상 80nm 이하로 하면 된다.

<75> 게이트 절연막 171, 172는 산화 규소, 혹은 산화 규소와 질화규소의 적층구조로 형성하면 된다. 플라σμαCVD법이나 감압 CVD법에 의해 절연막을 퇴적함으로써 형성해도 되고, 플라σμα처리에 의한 고상 산화 혹은 고상질화로 형성하면 된다. 또한 반도체층 151, 152, 161, 162의 표면을 플라σμα처리에 의해 산화 또는 질화함으로써 게이트 절연막을 형성해도 된다. 이렇게 반도체층의 표면 자기산화에 의해 얻어지는 절연막은, 치밀하고 절연 내압이 높아 신뢰성이 우수하다.

<76> 표면 자기산화에 의해 반도체층 표면에 절연막을 형성할 경우, 도6a에 나타낸 것과 같이, 우선 반도체층 161, 162가 배치되어 있는 영역을 선택적으로 마스크한 상태에서 반도체층 151, 152의 표면을 자기산화해서 게이트 절연막 171a, 171b를 얻은 후, 반도체층 151, 152가 배치되어 있는 영역을 선택적으로 마스크한 상태에

서 반도체층 161, 162의 표면을 자기산화해서 게이트 절연막 172a, 172b를 얻는 것에 의해, 막두께가 얇은 게이트 절연막 171a, 171b과, 막두께가 두꺼운 게이트 절연막 172a, 172b를 나누어 만들어도 된다.

<77> 또는, 도 6b에 나타낸 것과 같이, 반도체층 151, 152, 161, 162의 표면을 자기산화하고, 동시에 막두께가 얇은 게이트 절연막 171c, 171d, 172c, 172d를 형성한 후, 반도체층 161, 162가 배치되어 있는 영역에, 선택적으로 막두께가 얇은 게이트 절연막 172e를 형성하고, 막두께가 두꺼운 게이트 절연막을 적층에 의해 형성해도 된다.

<78> 반도체층의 표면 자기산화에 의해 반도체층 표면에 절연막을 형성할 경우, 단부의 피복성은 당연히 양호해지기 때문에, 도 3c에 나타낸 것과 같은 반도체층 단부의 절연층의 형성을 생략해도 된다.

<79> 플라스마처리에 의한 고상산화 처리 혹은 고상질화처리로서, 마이크로파(대표적으로는 2.45GHz)에서 여기되고, 전자밀도가 $1 \times 10^{11} \text{ cm}^{-3}$ 이상 $1 \times 10^{13} \text{ cm}^{-3}$ 이하, 또한 전자온도가 0.5eV 이상 1.5eV 이하인 플라스마를 이용하는 것이 바람직하다. 고상산화 처리 혹은 고상질화처리에 있어서, 500℃ 이하의 온도에 있어서, 치밀한 절연막을 형성하는 동시에 실용적인 반응속도를 얻기 위해서이다.

<80> 이 플라스마처리에 의해 반도체층의 표면을 산화할 경우에는, 산소분위기 하(예를 들면 산소(O_2) 또는 일산화이질소(N_2O)와 희가스(He, Ne, Ar, Kr, Xe의 적어도 한 개를 포함한다) 분위기 하, 혹은 산소 또는 일산화이질소와 수소(H_2)와 희가스 분위기 하)에서 행한다. 또한 플라스마처리에 의해 질화를 할 경우에는, 질소 분위기 하(예를 들면 질소(N_2)와 희가스(He, Ne, Ar, Kr, Xe의 적어도 하나를 포함한다) 분위기 하, 질소와 수소와 희가스 분위기 하, 혹은 NH_3 와 희가스 분위기 하)에서 플라스마처리를 행한다. 희가스로서는, 예를 들면 Ar를 사용할 수 있다. 또한 Ar와 Kr를 혼합한 가스를 사용해도 된다.

<81> 이때, 플라스마 처리란, 반도체층, 절연층, 도전층에 대한 산화 처리, 질화처리, 산질화처리, 수소화처리, 표면개질처리를 포함하고 있다. 이것들의 처리는, 그 목적에 따라, 공급하는 가스를 선택하면 된다.

<82> 반도체층을 산화 처리 혹은 질화처리를 행하기 위해서는 아래와 같이 하면 된다. 우선, 처리실 내부를 진공으로 하고, 가스 공급부에서 산소 또는 질소를 포함하는 플라스마처리용 가스를 도입한다. 기판은 실온 혹은 온도제어부에 의해 100℃ 내지 550℃로 가열한다.

<83> 다음에 마이크로파공급부에서 안테나에 마이크로파를 공급한다. 그리고 마이크로파를 안테나로부터 유전체판을 통해서 처리실 내에 도입함으로써, 플라스마를 생성한다. 마이크로파의 도입에 의해 플라스마의 여기를 행하면, 저전자온도 (3eV 이하, 바람직하게는 1.5eV 이하)에서 고전자밀도($1 \times 10^{11} \text{ cm}^{-3}$ 이상)의 플라스마를 생성할 수 있다. 이 고밀도 플라스마에서 생성된 산소 라디칼(OH 라디칼을 포함할 경우도 있다) 및/또는 질소 라디칼(NH 라디칼을 포함할 경우도 있다)에 의해, 반도체층의 표면을 산화 또는 질화할 수 있다. 플라스마처리용 가스에 아르곤 등의 희가스를 혼합시키면, 희가스의 여기중에 의해 산소 라디칼이나 질소 라디칼을 효율적으로 생성할 수 있다. 이 방법은, 플라스마에서 여기한 활성화한 라디칼을 유효하게 사용하는 것에 의해, 500℃ 이하의 저온에서 고상반응에 의한 산화, 질화 혹은 산화와 질화의 동시 처리를 행할 수 있다.

<84> 상기한 것과 같은 플라스마처리에 의한 고상산화 처리 혹은 고상질화처리를 사용함으로써 내열온도가 700℃ 이하인 유리 기판을 사용해도, 950℃ ~ 1050℃에서 형성되는 열산화막과 동등한 절연층을 얻을 수 있다. 즉, 트랜지스터의 게이트 절연층으로서 신뢰성이 높은 막을 형성할 수 있다.

<85> 또한 게이트 절연막의 형성에는 고유전율 재료를 사용해도 된다. 게이트 절연막에 고유전율 재료를 사용함으로써, 게이트 리크 전류를 저감할 수 있다. 대표적인 고유전율 재료로서는, 이산화 지르코늄, 산화하프늄, 이산화티탄, 5산화탄탈 등을 사용할 수 있다. 또한 플라스마처리에 의한 고상산화에 의해 산화 실리콘층을 형성해도 된다.

<86> 또한, 얇은 산화 규소막의 형성 방법으로서, GRТА법, LRTA법 등을 사용해서 반도체 영역 표면을 산화하여, 열산화막을 형성함으로써 막두께가 얇은 산화 규소막을 형성할 수도 있다. 이때, 낮은 성막 온도에서 게이트 리크 전류가 적은 치밀한 절연막을 형성하기 위해서는, 아르곤 등의 희가스 원소를 반응 가스에 포함하도록 하여, 형성되는 절연막중에 혼입시키면 된다.

<87> 계속해서, 게이트 절연막 171, 172 위에, 게이트 전극층으로서 사용하는 막두께 20nm ~ 100nm의 제1 도전막과, 막두께 100nm ~ 400nm의 제2 도전막을 적층형성한다. 제1 도전막 및 제2 도전막은, 스퍼터링법, 증착법,

CVD법 등의 수법에 의해 형성할 수 있다. 제1 도전막 및 제2 도전막은 탄타르(Ta), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 크롬(Cr), 네오듐(Nd)에서 선택된 원소, 또는 상기 원소를 주성분으로 하는 합금재료 혹은 화합물 재료로 형성하면 된다. 또한 제1 도전막 및 제2 도전막으로서 인 등의 불순물원소를 도핑한 다결정 실리콘 막으로 대표되는 반도체막이나, AgPdCu 합금을 사용해도 된다. 또한 2층 구조에 한정되지 않고, 예를 들면 제1 도전막으로서 막두께 50nm인 텅스텐 막, 제2 도전막으로서 막두께 500nm인 알루미늄과 실리콘의 합금(Al-Si)막, 제3 도전막으로서 막두께 30nm인 질화 티타늄 막을 순차 적층한 3층 구조로 해도 된다. 또한 3층 구조로 할 경우, 제1 도전막의 텅스텐 대신에 질화 텅스텐을 사용해도 되고, 제2 도전막의 알루미늄과 실리콘의 합금(Al-Si)막 대신에 알루미늄과 티타늄의 합금막(Al-Ti)을 사용해도 되고, 제3 도전막의 질화 티타늄 막 대신에 티타늄 막을 사용해도 된다. 또한 단층 구조라도 된다. 본 실시예에서는, 제1 도전막으로서 질화 탄타르를 막두께 30nm 형성하고, 제2 도전막으로서 텅스텐(W)을 막두께 370nm 형성한다.

<88>

다음에 포토리소그래피법을 사용해서 제1 도전막 및 제2 도전막을 원하는 형상으로 가공하고, 제1 게이트 전극층 173a~176a 및 제2 게이트 전극층 173b~176b의 적층 형상이 된 게이트 전극을 형성한다(도4a 참조). ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 에칭법을 사용하여, 에칭 조건(코일형의 전극층에 인가되는 전력량, 기관층의 전극층에 인가되는 전력량, 기관층의 전극온도 등)을 적당하게 조절함에 의해, 제1 게이트 전극층 및 제2 게이트 전극층을 원하는 테이퍼 형상을 갖도록 에칭할 수 있다. 이때, 테이퍼 형상은, 마스크의 형상에 의해서도 각도 등을 제어할 수 있다. 또한, 에칭용 가스로서는, Cl_2 , BCl_3 , $SiCl_4$ 또는 CCl_4 등을 대표로 하는 염소계 가스, CF_4 , SF_6 또는 NF_3 등을 대표로 하는 불소계 가스 또는 O_2 를 적당하게 사용할 수 있다.

<89>

본 실시예에서는 제1 게이트 전극층, 제2 게이트 전극층을 수직한 측면을 가져서 형성하는 예를 나타내었지만, 본 발명은 거기에 한정되지 않고, 제1 게이트 전극층 및 제2 게이트 전극층 양쪽이 테이퍼 형상을 갖고 있어도 되고, 어느쪽인가 한쪽의 게이트 전극층의 1층만이 테이퍼 형상을 가지고, 다른 쪽은 이방성 에칭에 의해 수직한 측면을 갖고 있어도 된다. 테이퍼 각도도 적층하는 게이트 전극층 상에서 달라도 되고, 동일하여도 된다. 테이퍼 형상을 가짐으로써, 그 위에 적층하는 막의 피복성이 향상하고, 결함이 경감되므로 신뢰성이 향상한다. 또한 반도체층 151, 152 위에 형성되는 제1 게이트 전극층 173a, 174a 및 제2 게이트 전극층 173b, 174b에 있어서는, 반도체층 161, 162 위에 형성되는 제1 게이트 전극층 175a, 176a 및 제2 게이트 전극층 175b, 176b에 비해, 그것의 채널길이 방향의 길이를 작게 형성해도 된다. 이것은, 반도체층 151, 152의 막두께가 얇고, 또한 게이트 절연막 171의 막두께도 얇기 때문에, 트랜지스터의 특성을 유지한 채 더욱 미세화하는 것이 가능하게 되기 때문이다.

<90>

또한 게이트 전극층을 형성할 때의 에칭 공정에 의해, 게이트 절연막 171, 172는 다소 에칭되어, 막두께가 줄어드는(소위 막 감소) 일이 있다.

<91>

다음에 제1 게이트 전극층 173a~176a 및 제2 게이트 전극층 173b~176b를 마스크로 하여, n형을 부여하는 불순물원소 177을 첨가하고, 제1의 n형 불순물영역 177a~177h를 형성한다(도 4b 참조). 본 실시예에서는, 불순물원소를 포함하는 도핑 가스로서 포스핀(PH_3)(도핑 가스는 PH_3 를 수소(H_2)로 희석하고 있고, 가스중의 PH_3 의 비율은 5%)을 사용하고, 가스류량 80sccm, 빔 전류 $54 \mu A/cm$, 가속 전압 50kV, 조사하는 도즈량 $7.0 \times 10^{13} \text{ ions}/cm^2$ 에서 도핑을 행한다. 여기에서는, 제1의 n형 불순물영역 177a~177h에, n형을 부여하는 불순물원소가 $1 \times 10^{17} \sim 5 \times 10^{18} /cm^2$ 정도의 농도로 포함되도록 첨가한다. 본 실시예에서는, n형을 부여하는 불순물원소로서 인(P)을 사용한다.

<92>

다음에 반도체층 152, 161의 일부, 162를 덮는 마스크 178a~178c를 형성한다. 마스크 178a~178c 및 제1 게이트 전극층 173a, 제2 게이트 전극층 173b를 마스크로 하여, n형을 부여하는 불순물원소 179를 첨가하고, 제2의 n형 불순물영역 179a~179d, 제3의 n형 불순물영역 177i, 177j를 형성한다. 본 실시예에서는, 불순물 원소를 포함하는 도핑 가스로서 PH_3 (도핑 가스는 PH_3 를 수소(H_2)로 희석하고 있고, 가스중의 PH_3 의 비율은 5%)을 사용하고, 가스류량 80sccm, 빔 전류 $540 \mu A/cm$, 가속 전압 70kV, 조사하는 도즈량 $5.0 \times 10^{15} \text{ ions}/cm^2$ 로 도핑을 행한다. 여기에서는, 제2의 n형 불순물영역 179a~179d에 n형을 부여하는 불순물원소가 $5 \times 10^{19} \sim 5 \times 10^{20} /cm^2$ 정도의 농도로 포함되도록 첨가한다. 또한 반도체층 151에 채널 형성 영역 180a, 반도체층 161에 채널 형성 영역 180b가 형성된다(도 4c 참조).

<93>

제2의 n형 불순물영역 179a~179d는 고농도 n형 불순물영역으로서, n형 트랜지스터의 소스 영역, 드레

인 영역으로서 기능한다. 한편, 제3의 n형 불순물영역 177i, 177j는 저농도의 n형 불순물영역이며, 소위 LDD(Lightly Doped Drain) 영역이 된다. 또 제3의 n형 불순물영역 177i, 177j는 게이트 전극층에 덮여져 있지 않은, Loff 영역이라고 불리는 영역에 형성되어 있기 때문에, 트랜지스터의 오프 전류를 저감하는 효과가 있다. 이 결과, 고인가 전압하에서의 신뢰성이 높은 트랜지스터가 실현된다.

<94> 앞에서 언급한 마스크 178a~178c를 제거한 후, 반도체층 151, 161을 덮는 마스크 181a, 181b를 형성한다. 마스크 181a, 181b 및, 제1 게이트 전극층 174a, 176a, 제2 게이트 전극층 174b, 176b를 마스크로 하여, p형을 부여하는 불순물원소 182를 첨가하여, p형 불순물영역 182a~182d가 형성된다. 본 실시예에서는, 불순물원소로서 붕소(B)를 사용하기 때문에, 불순물원소를 포함하는 도핑 가스로서 디보란(B_2H_6)(도핑 가스는 B_2H_6 을 수소(H_2)로 희석하고 있고, 가스중의 B_2H_6 의 비율은 15%)을 사용하고, 가스류량 70sccm, 빔 전류 180 $\mu A/cm$, 가속 전압 80kV, 조사하는 도즈량 2.0×10^{15} ions/ cm^2 로 도핑을 행한다. 여기에서는, p형 불순물영역 182a~182d에 p형을 부여하는 불순물원소가 $1 \times 10^{20} \sim 5 \times 10^{21}/cm^3$ 정도의 농도로 포함되도록 첨가한다. 또한 반도체층 152, 162에는 채널 형성 영역 183a, 183b가 형성된다(도 4d참조).

<95> p형 불순물영역 182a~182d는 고농도 p형 불순물 영역으로서, p형 트랜지스터의 소스 영역, 드레인 영역으로서 기능한다.

<96> 불순물원소를 활성화하기 위해서 가열처리, 강한 광의 조사, 또는 레이저빔의 조사를 행해도 된다. 활성화와 동시에 게이트 절연층에의 플라즈마 대미지나 게이트 절연층과 반도체층과의 계면에의 플라즈마 대미지를 회복할 수 있다.

<97> 다음에, 게이트 전극층, 게이트 절연층을 덮는 층간 절연막을 형성한다. 본 실시예에서는, 층간 절연막(184)의 단막 구조로서 나타냈다. 층간 절연막(184)의 재료로서는, 스퍼터링법, 또는 플라즈마 CVD를 사용한 질화규소막, 질화산화 규소막, 산화 질화규소막, 산화 규소막이어도 되고, 다른 규소를 포함하는 절연막을 2층 또는 3층 이상의 적층구조로서 사용해도 된다(도 5a 참조).

<98> 더구나, 질소분위기중에서, 300~550℃에서 1~12시간의 열처리를 행하여, 반도체층을 수소화하는 공정을 행한다. 바람직하게는, 400~500℃에서 행한다. 이 공정은 층간절연층인 절연막 184에 포함되는 수소에 의해 반도체층의 덩글링 본드를 중단하는 공정이다. 본 실시예에서는, 410℃에서 1시간 가열처리를 행한다.

<99> 층간 절연막(184)으로서의 이외에 질화알루미늄(AlN), 산화 질화알루미늄($AlON$), 질소 함유량이 산소 함유량보다도 많은 질화산화 알루미늄($AlNO$) 또는 산화알루미늄, 다이아몬드 라이크 카본(DLC), 질소 함유 탄소막(CN) 기타의 무기절연성 재료를 포함하는 물질로부터 선택된 재료로 형성할 수 있다. 또한 실록산 수지를 사용해도 된다. 이때, 실록산 수지란, Si-O-Si 결합을 포함하는 수지에 해당한다. 실록산은, 실리콘(Si)과 산소(O)의 결합으로 골격구조가 구성된다. 치환기로서, 적어도 수소를 포함하는 유기기(예를 들면 알킬기, 방향족 탄화수소)를 사용할 수 있다. 치환기로서, 플루오르기를 사용해도 된다. 또는 치환기로서, 적어도 수소를 포함하는 유기기와, 플루오르기를 사용해도 된다. 또한 유기절연성 재료를 사용 있어도 되고, 유기재료로서는, 폴리이미드, 아크릴, 폴리아미드, 폴리이미드 아미드, 레지스트 또는 벤조시클로부텐, 폴리실라잔을 사용할 수 있다. 평탄성이 좋은 도포법에 의해 도포막을 사용해도 된다.

<100> 층간 절연막(184)의 형성에는, 전술한 스퍼터링법, 또는 플라즈마CVD법 이외에, 딥, 스프레이 도포, 닥터 블레이드, 롤 코터, 커튼 코팅, 나이프 코터, 증착법 등을 채용할 수 있다. 액적도출법에 의해 층간 절연막(184)을 형성해도 된다. 액적도출법을 사용했을 경우에는 재료액을 절약할 수 있다. 또한 액적도출법과 같이 패턴이 전사, 또는 묘사할 수 있는 방법, 예를 들면 인쇄법(스크린인쇄나 오프셋 등 패턴이 형성되는 방법) 등도 사용할 수 있다.

<101> 다음에, 레지스트로 이루어진 마스크를 사용하여, 층간 절연막 및 게이트 절연막에, 반도체층 및 게이트 전극층에 이르는 콘택홀(개구부)을 형성한다. 에칭은, 사용하는 재료의 선택비에 의해, 1회 행해도 복수회 행해도 된다. 또한 습식 에칭이라도 드라이에칭이라도 되고, 양쪽 사용해도 된다. 습식 에칭의 에첸트는, 불소 수소 암모늄 및 불화 암모늄을 포함하는 혼합 용액과 같은 불산계의 용액을 사용하면 된다. 에칭용 가스로서는, Cl_2 , BCl_3 , $SiCl_4$ 또는 CCl_4 등을 대표로 하는 염소계 가스, CF_4 , SF_6 또는 NF_3 등을 대표로 하는 불소계 가스 또는 O_2 을 적당하게 사용할 수 있다. 또한 사용하는 에칭용 가스에 불활성기체를 첨가해도 된다. 첨가하는 불활성 원소로서는, He, Ne, Ar, Kr, Xe로부터 선택된 1종 또는 복수종의 원소를 사용할 수 있다.

- <102> 개구부를 덮도록 도전막을 형성하고, 포토리소그래픽법에 의해 상기 도전막을 원하는 형상으로 에칭하여, 각 소스 영역 또는 드레인 영역의 일부, 혹은 게이트 전극과 각각 전기적으로 접속하는 전극 185a~185i를 형성한다. 전극 185a~185i는, 액적도출법, 인쇄법, 전해 도금법 등에 의해, 소정의 장소에 선택적으로 도전층을 형성함으로써 형성해도 된다. 더구나 리플로우법, 다마신법을 사용해도 된다. 전극 185a~185i의 재료는, Ag, Au, Cu, Ni, Pt, Pd, Ir, Rh, W, Al, Ta, Mo, Cd, Zn, Fe, Ti, Zr, Ba 등의 금속, 및 Si, Ge, 또는 그 합금, 혹은 그것의 질화물을 사용해서 형성한다. 또한 이들의 적층구조로 해도 된다. 본 실시예에서는, 티타늄(Ti)을 막두께 60nm 형성하고, 질화 티타늄 막을 막두께 40nm 형성하며, 알루미늄을 막두께 700nm 형성하고, 티타늄(Ti)을 막두께 200nm 형성해서 적층구조로 해서 원하는 형상으로 가공한다.
- <103> 이상의 공정에서, 제1 회로군을 구성하는 트랜지스터(190, 191), 제2 회로군을 구성하는 트랜지스터(192, 193)를 동일기판 위에 가지는 반도체장치가 완성된다(도 5c 참조).
- <104> 본 실시예에서 나타낸 반도체장치에 있어서, 트랜지스터 190, 191의 반도체층의 막두께는, 트랜지스터 192, 193의 반도체층의 막두께보다도 얇다. 또한 트랜지스터 190, 191의 게이트 절연막의 막두께는, 트랜지스터 192, 193의 게이트 절연막의 막두께보다도 얇다.
- <105> 본 실시예에서 나타낸 반도체장치에 있어서, 트랜지스터 190, 191의 반도체층 151, 152의 막두께는, 5nm 이상 30nm 이하, 더욱 바람직하게는 10nm 이상 20nm 이하로 하면 된다. 한편, 트랜지스터 192, 193의 반도체층 161, 162의 막두께는, 25nm 이상 100nm 이하, 더욱 바람직하게는 50nm 이상 60nm 이하로 하면 된다.
- <106> 또한 본 실시예에서 나타낸 반도체장치에 있어서, 트랜지스터 190, 191의 게이트 절연막의 막두께는, 1nm 이상 10nm 이하, 더욱 바람직하게는 5nm 정도로 하면 된다. 한편, 트랜지스터 192, 193의 게이트 절연막의 막두께는, 50nm 이상 150nm 이하, 더욱 바람직하게는 60nm 이상 80nm 이하로 하면 된다.
- <107> 채널 형성 영역 막두께가 두껍고, 채널길이가 짧은 경우에는, 소스와 드레인과의 사이의 전계의 영향에 의해, 게이트 전압이 임계전압 이하인 서브 스레숄드 영역에서 채널 형성 영역의 하측을 전류가 흐른다. 그 때문에, 서브 스레숄드 값이 상승하여, 임계전압이 저하한다. 채널 형성 영역의 막두께를 얇게 하는 것에 의해, 채널 형성 영역의 하측을 흐르는 전류경로가 차단되기 때문에, 누설전류가 억제된다. 그 때문에, 서브 스레숄드 값의 상승을 억제할 수 있어, 임계전압의 저하도 억제할 수 있다. 그 때문에 채널 형성 영역의 막두께를 얇게 하는 것에 의해, 채널길이가 짧은 영역에서의 임계전압의 마이너스 시프트를 억제할 수 있고, 또한, 서브 스레숄드 값이 작은 박막트랜지스터를 제조할 수 있다. 서브 스레숄드 값이 작아지고 있기 때문에, 게이트 전압 0V에서의 소스와 드레인과의 사이에 흐르는 전류를 억제하면서, 임계전압을 하강시킬 수 있다.
- <108> 트랜지스터 190, 191에 있어서의 반도체층 151, 152의 박막화는, 채널 형성 영역의 전역을 공핍층화하도록 작용하여, 단채널 효과를 억제할 수 있다. 또한 트랜지스터의 임계전압을 작게 할 수 있다. 또한, 트랜지스터는, 반도체층(또는, 더구나 게이트 절연층도)을 박막화함으로써 미세화할 수 있기 때문에, 저전압구동과 고속 동작을 실현할 수 있어, 저소비 전력화를 실현할 수 있다.
- <109> 한편, 트랜지스터 192, 193에 있어서는, 반도체층 161, 162의 막두께를, 트랜지스터 190, 191보다도 두껍게 유지함으로써, 고인가 전압에 대한 내압성을 향상하여, 고신뢰성으로 할 수 있다. 마찬가지로, 게이트 절연막의 후막화에 의해, 게이트 리크의 저감도 실현된다.
- <110> 이렇게, 반도체층의 막두께를 다르게 함으로써, 요구되는 각 특성에 대하여 최적의 트랜지스터를 동일기판 위에 복수 형성하는 것이 본 발명에 의해 실현된다. 이때, 본 실시예에서 나타낸 트랜지스터의 제조 방법에 한정되지 않고, 톱 게이트형(플래너형), 보텀 게이트형(역스태거형), 혹은 채널 영역의 상하에 게이트 절연막을 거쳐서 배치된 2개의 게이트 전극층을 갖는 듀얼 게이트형이나 그 밖의 구조에 있어서도 적용할 수 있다.
- <111> 도1a 및 도 1b에, 본 실시예에 따라서 제조된, 본 발명을 이용한 반도체장치의 일례를 나타낸다. 도1a는 본 실시예에 따라서 제조된 반도체장치의 평면도로서, 도 1b는, 도1a에 있어서의 선 X-Y의 단면도이다.
- <112> 도1a에 나타난 것과 같이, 동일한 지지 기판(101) 위에, 제1 회로군(1201) 및 제2 회로군(1202)이 형성되어 있다. 막두께가 얇은 반도체층 및, 막두께가 얇은 게이트 절연막을 사용해서 형성된 트랜지스터 190, 191을 사용하여, 제1 회로군(1201)이 형성되고, 막두께가 두꺼운 반도체층 및, 막두께가 두꺼운 게이트 절연막을 사용해서 형성된 트랜지스터 192, 193을 사용하여, 제2 회로군(1202)이 형성되어 있다.
- <113> 제1 회로군(1201)은, 주로 고속동작, 저전압동작이 요구되는 회로군이며, 제2 회로군(1202)은, 주로 저리크전류, 고인가 전압하에서의 신뢰성이 요구되는 회로군이다.

- <114> 본 발명을 적용한 표시 기능을 가지는 반도체장치의 예를 도 11 내지도 도 13을 사용하여 설명한다.
- <115> 도11은, 액티브 매트릭스형의 표시장치이다. 절연 기판(1001) 위에, 복수의 화소회로를 매트릭스 모양으로 배열한 화소부(1002), 데이터 드라이버(1003), 스캔 드라이버(1004)가 형성되어 있다. 더구나, 대향기관(1005)에 의해 상면이 봉지, 밀봉되어 있다. 플렉시블 프린트 기판(FPC)(1006)을 거쳐, 표시장치의 구동에 필요한 제어신호, 영상신호, 및 구동전원의 공급을 외부에서 행한다.
- <116> 여기에서, 데이터 드라이버(1003)는, 외부에서 공급되는 영상신호를, 각각의 화소에 입력하기 위한 처리를 내부에서 행하고 있으며, 표시장치 중에서는 비교적 고속동작이 요구되는 회로이다. 따라서 이 영역은, 막두께가 얇은 반도체층 및, 막두께가 얇은 게이트 절연막을 사용해서 형성된 트랜지스터를 갖고 회로를 구성하는 것이 바람직하다.
- <117> 한편, 스캔 드라이버(1004)는, 데이터 드라이버(1003)에 비해 그것의 동작 속도는 느리지만, 다소 구동전압이 높은 영역을 포함할 경우가 있다. 화소부(1002)도 또한 동작 속도는 주변의 데이터 드라이버(1003), 스캔 드라이버(1004)에 비해 느리지만, 입력된 영상신호를 일정 기간 유지해서 두어야 하기 때문에, 화소를 구성하는 트랜지스터에는, 리크 전류의 저감이 요구된다. 따라서, 스캔 드라이버(1004), 화소부(1002)는, 막두께가 두꺼운 반도체층 및, 막두께가 두꺼운 게이트 절연막을 사용해서 형성된 트랜지스터를 갖고 회로를 구성하는 것이 바람직하다.
- <118> 또한, 데이터 드라이버(1003), 스캔 드라이버(1004)는, FPC(1006)를 통해 외부에서 입력되는 제어신호에 의해 동작하지만, 외부에 설치되는 컨트롤러 IC 등의 구동전압은, 일반적인 표시장치에 비교해서 낮기 때문에, 통상은, 표시장치에의 신호 입력후에 레벨 시프터 등을 사용해서 신호 진폭의 승압 등을 행할 경우가 많지만, 본 발명에 의해, 데이터 드라이버(1003), 스캔 드라이버(1004)를, 막두께가 얇은 반도체층 및, 막두께가 얇은 게이트 절연막을 사용해서 형성된 트랜지스터를 갖고 구성함으로써 저전압동작이 실현가능하면, 동작 전압을 외부의 컨트롤러 IC 등과 동등하게 할 수 있기 때문에, 레벨 시프터 등이 불필요하게 되어, 회로 규모의 축소나 소비 전력의 저감에 이어진다.
- <119> 이때, 이러한 형태를 가지는 액티브 매트릭스형 표시장치로서는, 액정 모니터, 일렉트로루미네센스(EL) 디스플레이, 전계 효과형 디스플레이, 전자 페이퍼 등이 있고, 본 발명은 이들 어느 한 개의 형태의 표시장치에 적용이 가능하다.
- <120> 도 12에 도 11의 화소부(1002)에 설치된 표시 소자가 액정표시 소자인 액정표시장치의 예를 나타낸다. 도 12는 도 11에 대응하는 선 A-B의 단면도이다.
- <121> 데이터 드라이버(1003)에 설치된 트랜지스터 250, 251은 도 1의 트랜지스터 190, 191과 마찬가지로 제조되어 있고, 박막화된 단결정 반도체층 및 막두께가 얇은 게이트 절연막을 가지고 있다. 한편, 화소부(1002)에 설치된 트랜지스터(252)는 도 1의 트랜지스터 192, 193과 마찬가지로 제조되어 있고, 막두께가 두꺼운 단결정 반도체층 및, 막두께가 두꺼운 게이트 절연막을 가지고 있다. 이때, 화소부(1002)에는 용량소자(253)가 형성되어 있다.
- <122> 트랜지스터(252)의 전극에 접하여, 화소전극층(235)을 형성한다. 화소전극층(235)은, 투과형의 액정표시 패널을 제조하는 경우에는, 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐 아연 산화물, 산화티탄을 포함하는 인듐 산화물, 산화티탄을 포함하는 인듐 주석 산화물등을 사용할 수 있다. 물론, 인듐 주석 산화물(ITO), 인듐 아연산화물(IZO), 산화 규소를 첨가한 인듐 주석 산화물(ITSO) 등도 사용할 수 있다. 또한 반사성을 가지는 금속박막으로서, 티타늄, 텅스텐, 니켈, 구리, 백금, 은, 알루미늄, 마그네슘, 칼슘, 리튬, 및 그것들의 합금으로 이루어진 도전막 등을 사용할 수 있다.
- <123> 화소전극층(235)은, 증착법, 스퍼터링법, CVD법, 인쇄법 또는 액적도출법 등을 사용해서 형성할 수 있다.
- <124> 다음에, 화소전극층(235)을 덮도록, 인쇄법이나 스핀코트법에 의해, 배향막으로 불리는 절연층(231)을 형성한다. 이때, 절연층(231)은, 스크린인쇄법이나 오프셋법을 사용하면, 선택적으로 형성할 수 있다. 그 후에 러빙을 행한다. 계속해서, 셀재(282)를 액적도출법에 의해 화소를 형성한 주변의 영역에 형성한다.
- <125> 그 후에 배향막으로서 기능하는 절연층(233), 대향전극으로서 기능하는 도전층(239), 칼라필터로서 기능하는 착색층(234), 편광판(237)이 설치된 대향기관(1005)과, TFT 기관인 지지 기관인 절연 기관(1001)을 스페이서(281)를 통해서 부착하고, 그 공극에 액정층(232)을 설치함으로써 액정표시 패널을 제조할 수 있다. 지지

기관인 절연 기관(1001)의 소자를 갖는 면과 반대측에도 편광판(238)이 설치된다. 셀재에는 필러가 혼입되어 있어도 되고, 더구나 대향기관(1005)에는, 차폐막(블랙 매트릭스) 등이 형성되어 있어도 된다. 또한, 액정층을 형성하는 방법으로서, 디스펜서식(적하식)이나, 소자를 가지는 지지 기관인 절연 기관(1001)과 대향기관(1005)을 부착하고나서 모세관 현상을 사용해서 액정을 주입하는 딥식(퍼올리기식)을 사용할 수 있다.

<126> 도 13에 도 11의 화소부(1002)에 설치된 표시 소자가 발광소자인 발광 표시장치의 예를 나타낸다. 도 13은 도 11에 대응하는 선 A-B의 단면도이다.

<127> 데이터 드라이버(1003)에 설치된 트랜지스터 350, 351은 도 1의 트랜지스터 190, 191과 마찬가지로 제조되어 있고, 박막화된 단결정 반도체층 및 막두께가 얇은 게이트 절연막을 가지고 있다. 한편, 화소부(1002)에 설치된 트랜지스터(352)는 도 1의 트랜지스터 192, 193과 마찬가지로 제조되어 있고, 막두께가 두꺼운 단결정 반도체층 및, 막두께가 두꺼운 게이트 절연막을 가지고 있다. 또한, 표시 소자로서 발광소자(325)를 가지고 있다.

<128> 트랜지스터(352)의 전극에 접하여, 화소전극층인 제1 전극층(320)을 형성한다. 제1 전극층(320)은, 지지 기관인 절연 기관(1001)측에서 빛을 방사할 경우에는, 인듐 주석 산화물(ITO), 산화 규소를 포함하는 인듐 주석 산화물(ITSO), 산화아연(ZnO)을 포함하는 인듐 아연 산화물(IZO(indium zinc oxide)), 산화아연(ZnO), ZnO에 갈륨(Ga)을 도프한 것, 산화 주석(SnO₂), 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐 아연 산화물, 산화티탄을 포함하는 인듐 산화물, 산화티탄을 포함하는 인듐 주석 산화물 등을 사용해서 형성할 수 있다.

<129> 또한 투광성을 갖지 않는 금속막과 같은 재료라도 막두께를 얇게(바람직하게는, 5nm~30nm 정도의 두께) 해서 빛을 투과가능한 상태로 놓음으로써 제1 전극층(320)으로부터 빛을 방사하는 것이 가능해 진다. 또한, 제1 전극층(320)에 사용할 수 있는 금속박막으로서, 티타늄, 텅스텐, 니켈, 구리, 백금, 은, 알루미늄, 마그네슘, 칼슘, 리튬, 아연, 및 그것들의 합금으로 이루어지는 도전막, 또는 질화 티타늄, TiSi_xN_y, WSi_x, 질화 텅스텐, WSi_xN_y, NbN 등의 상기 원소를 주성분으로 하는 화합물 재료로 이루어지는 막을 사용할 수 있다.

<130> 제1 전극층(320)은, 소스 전극층 또는 드레인 전극층(110a)과 전기적으로 접속하면 되므로, 그 접속 구조는 본 실시예에 한정되지 않는다. 소스 전극층 또는 드레인 전극층인 전극 위에 층간절연층이 되는 절연층을 형성하고, 배선층에 의해, 제1 전극층(320)과 전기적으로 접속되는 구조를 사용해도 된다. 또한 발광된 빛을 지지 기관인 절연 기관(1001)측과는 반대측으로 방사시키는 구조로 할 경우(상면 방사형의 표시 패널을 제조할 경우)에는, Ag(은), Au(금), Cu(구리), W(텅스텐), Al(알루미늄) 등을 사용할 수 있다.

<131> 절연층(321)(격벽이라고도 불린다)을 선택적으로 형성한다. 절연층(321)은, 제1 전극층(320) 위에 개구부를 갖도록 형성한다. 본 실시예에서는, 절연층(321)을 전체면에 형성하고, 레지스트 등의 마스크에 의해, 에칭하여 가공한다. 절연층(321)을, 직접 선택적으로 형성할 수 있는 액적도출법이나 인쇄법 등을 사용해서 형성하는 경우에는, 에칭에 의한 가공은 반드시 필요는 없다.

<132> 절연층(321)은, 산화 규소, 질화규소, 산화 질화규소, 산화알루미늄, 질화알루미늄, 산질화 알루미늄, 기타의 무기 절연성 재료, 또는 아크릴산, 메타크릴산 및 이것들의 유도체, 또는 폴리이미드, 방향족 폴리이미드, 폴리벤조이미다졸 등의 내열성 고분자, 또는 실록산 수지재료를 사용할 수 있다. 아크릴, 폴리이미드 등의 감광성, 비감광성의 재료를 사용해서 형성해도 된다. 절연층(321)은 곡률반경이 연속적으로 변화되는 형상이 바람직하고, 위에 형성되는 전계발광층(322), 제2 전극층(323)의 피복성이 향상된다.

<133> 전계발광층(322)으로서, 적색(R), 녹색(G), 청색(B)의 발광을 나타내는 재료를, 각각 증착 마스크를 사용한 증착법 등에 의해 선택적으로 형성한다. 적색(R), 녹색(G), 청색(B)의 발광을 나타내는 재료는 칼라필터와 같이 액적도출법에 의해 형성할 수도 있고(저분자 또는 고분자재료 등), 이 경우 마스크를 사용하지 않더라도, RGB의 형성을 별개로 행할 수 있기 때문에, 바람직하다. 전계발광층(322) 위에 제2 전극층(323)을 적층형성하여, 발광소자를 사용한 표시 기능을 가지는 표시장치가 완성된다.

<134> 도면에는 나타내지 않았지만, 제2 전극층(323)을 덮도록 해서 패시베이션 막을 설치하는 것은 유효하다. 표시장치를 구성할 때에 설치하는 패시베이션 막은, 단층 구조라도 다층구조라도 된다. 패시베이션 막으로서는, 질화규소, 산화 규소, 산화 질화규소, 질화산화 규소, 질화알루미늄(AlN), 산화 질화알루미늄, 질소 함유량이 산소 함유량보다도 많은 질화산화알루미늄 또는 산화알루미늄, 다이아몬드 라이크 카본, 질소 함유 탄소막을 포함하는 절연막으로 이루어지고, 상기 절연막을 단층 혹은 조합한 적층을 사용할 수 있다. 예를

들면, 질소함유 탄소막, 질화규소와 같은 적층, 또는 유기재료를 사용할 수도 있고, 스티렌 폴리머 등 고분자의 적층이라도 된다. 또한 실록산 재료(무기 실록산, 유기 실록산)를 사용해도 된다.

<135> 이때, 커버리지가 좋은 막을 패시베이션 막으로서 사용하는 것이 바람직하고, 탄소막, 특히 DLC막을 사용하는 것은 유효하다. DLC막은 실온으로부터 100℃ 이하의 온도범위에서 성막가능하기 때문에, 내열성이 낮은 전계발광층의 윗쪽에도 용이하게 성막할 수 있다. DLC막은 산소에 대한 블록킹 효과가 높아, 전계발광층의 산화를 억제하는 것이 가능하다. 그 때문에, 이 후에 이어지는 밀봉공정을 행하는 사이에 전계발광층이 산화한다고 하는 문제를 방지할 수 있다.

<136> 지지 기관인 절연 기관(1001)과 대향기관(1005) 사이에는 충전제를 봉입해서 셀체에 의해 밀봉할 수 있다. 충전제의 봉입에는, 적하법을 사용할 수도 있다. 충전제 대신에, 질소 등의 불활성가스를 충전해도 된다. 또한 건조제를 표시장치 내에 설치함으로써, 발광소자의 수분에 의한 열화를 방지할 수 있다.

<137> 이때, 본 실시예에서는, 유리 기관으로 발광소자 및 액정소자를 봉지했을 경우를 나타내지만, 밀봉의 처리란, 발광소자를 수분으로 보호하기 위한 처리이며, 커버재로 기계적으로 봉입하는 방법, 열경화성 수지 또는 자외광 경화성 수지로 봉입하는 방법, 금속 산화물이나 질화물 등의 배리어 능력이 높은 박막에 의해 봉지하는 방법 중 어느 하나를 사용한다. 커버재로서는, 유리, 세라믹, 플라스틱 혹은 금속을 사용할 수 있지만, 커버재층으로 빛을 방사시키는 경우에는 투광성이 아니면 안된다. 또한 커버재와 상기 발광소자가 형성된 기관은 열경화성 수지 또는 자외광 경화성 수지 등의 셀체를 사용해서 부착할 수 있고, 열처리 또는 자외광 조사처리에 의해 수지를 경화시켜서 밀폐 공간을 형성한다. 이 밀폐 공간 중에 산화바륨으로 대표되는 흡습제를 설치하는 것도 유효하다. 이 흡습제는, 셀체 위에 접해서 형성해도 되고, 발광소자에서의 빛을 방해하지 않도록, 격벽 위나 주변부에 형성해도 된다. 더구나, 커버재와 발광소자가 형성된 기관과의 공간을 열경화성 수지 혹은 자외광 경화성 수지로 충전하는 것도 가능하다. 이 경우, 열경화성 수지 혹은 자외광 경화성 수지 중에 산화바륨으로 대표되는 흡습제를 첨가해 두는 것은 유효하다.

<138> 도 14a 및 도 14b는, 무선 IC 태그의 일례를 보이고 있다. 절연 기관(1101) 위에, 안테나(1102), 정류회로 등을 가지는 전원회로(1103), 각 명령에 대하여 처리를 행하는 로직 회로(1104), 메모리(1105) 등을 가지고 있다. 리더/라이터(1106)로부터 출력되는, 명령을 포함하는 반송파를 안테나(1102)에서 수신하고, 수신된 반송파를 이용하고, 정류회로 등을 가지는 전원회로(1103)는 IC 태그의 처리, 응답에 필요한 전원의 생성을 행한다. 수신된 반송파에는, 리더/라이터(1106)로부터의 명령이 포함되어 있고, 로직 회로(1104)에 포함되는 복조회로로 명령이 추출되면, 그것에 따라서 로직 회로(1104)는 메모리(1105)에 격납된 데이터를 판독해서 응답 신호를 생성하고, 변조 회로에서 응답 신호를 반송파에 실어, 안테나(1102)에서 출력한다.

<139> 도 14b에 도 14a에 있어서의 선 C-D의 단면도를 나타낸다. 로직 회로(1104)에 설치된 트랜지스터 450, 451은 도 1의 트랜지스터 190, 191과 동일하게 제조되어 있고, 박막화된 단결정 반도체층 및 막두께가 얇은 게이트 절연막을 가지고 있다. 한편, 메모리(1105)에 설치된 트랜지스터 452, 453은 도 1의 트랜지스터 192, 193과 동일하게 제조되어 있고, 막두께가 두꺼운 단결정 반도체층 및, 막두께가 두꺼운 게이트 절연막을 가지고 있다. 또한, 절연층(455)이 형성되어 있고, 절연층(455) 위에는 안테나로서 기능하는 도전층(456)이 형성되어 있다. 도 14b에 있어서는, 선 C-D 사이는 안테나(1102)는 설치되지 않지만, 절연층(455) 위에 안테나(1102)가 설치되어 있는 것부터 모식적으로 보이고 있다.

<140> 이러한 무선 IC 태그에 있어서, 로직 회로(1104)에 있어서는, 한정된 생성 전력으로 확실한 동작이 요구되기 때문에, 그것의 구동전압의 저전압화가 요구된다. 또한 메모리(1105)가, 판독동작만을 행하는 ROM인 경우에도 동일한 특성이 요구된다. 이러한 회로군을 구성하기 위해서는, 막두께가 얇은 반도체층 및, 막두께가 얇은 게이트 절연막을 사용해서 형성된 트랜지스터를 갖고 회로를 구성하는 것이 바람직하다.

<141> 한편, 정류회로 등을 가지는 전원회로(1103)에 있어서는, 안테나(1102)가 수신하는 반송파의 강약에 따르지 않고, 안정된 전원 생성 동작이 요구된다. 또한 안테나(1102)의 수신 전력이 클 경우, 정류회로를 구성하는 트랜지스터에는 큰 스트레스가 걸리기 때문에, 이러한 조건하에서의 충분한 신뢰성이 요구된다. 한편, 메모리(1105)가 전기적인 기록/고쳐 쓰기 기능을 가질 경우, 전기적으로 기록된 정보의 유지를 확실하게 하기 위해서도, 충분한 신뢰성이 요구된다. 이러한 회로군을 구성하기 위해서는, 막두께가 두꺼운 반도체층 및, 막두께가 두꺼운 게이트 절연막을 사용해서 형성된 트랜지스터를 갖고 회로를 구성하는 것이 바람직하다.

<142> 이상과 같이, 본 발명의 반도체장치는, 저소비 전력이면서 고신뢰성이 부여된 반도체장치로 할 수 있다.

- <143> (실시예 2)
- <144> 본 실시예에 있어서는, 본 발명에 따라서 실시예 1과는 다른 태양의 반도체장치를 제조하는 예에 대해서 설명한다.
- <145> 실시예 1에 있어서는, 지지 기판 위에 2종류 혹은 그 이상의, 막두께가 다른 복수의 단결정 반도체층을, 부착에 의해 형성하는 방법에 대해서 설명했지만, 예를 들면 지지 기판 위에 비정질 반도체막을 성막한 후, 결정화 처리를 행함으로써 다결정 반도체막을 얻고, 상기 다결정 반도체막을 원하는 영역만 남겨서 제거한 영역에, 상기 막두께가 다른 복수의 단결정 반도체층을 부착에 의해 형성해도 된다.
- <146> 지지 기판 위에 비정질 반도체막을 성막하고, 결정화 처리를 행해서 다결정 반도체막을 얻기 위한 공정은, 본 명세서에 있어서는 어떤 제한을 가하는 것은 아니며, 지지 기판의 재질에 의해, 공정중의 온도, 부하 등의 조건이 적합한, 공지의 방법을 적당하게 선택해서 행하면 된다. 또한 다결정 반도체막이 원하는 영역에 형성된 지지 기판 위에, 상기 막두께가 다른 복수의 단결정 반도체층을 부착에 의해 형성하는 방법에 관해서도, 실시예 1에서 개시한 순서를 따르면 된다.
- <147> 더구나, 반도체층을 원하는 형상으로 가공하여, 게이트 전극, 소스 전극, 드레인 전극을 형성해서 트랜지스터를 형성하는 방법에 관해서도, 실시예 1에서 개시한 순서를 따르면 된다.
- <148> 도 7에 본 실시예에 따라서 제조된 반도체장치의 단면구성을 보이고 있다. 동일한 지지 기판 위에, 막두께가 얇은 반도체층 및, 막두께가 얇은 게이트 절연막을 사용해서 형성된 트랜지스터 190, 191을 사용하고, 제1 회로군(1201)이 형성되고, 막두께가 두꺼운 반도체층 및, 막두께가 두꺼운 게이트 절연막을 사용해서 형성된 트랜지스터 192, 193을 사용하고, 제2 회로군(1202)이 형성되고, 비정질 반도체막에 결정화 처리를 가해서 얻어진 다결정 반도체막을 사용해서 형성된 트랜지스터 1300, 1301을 사용하여, 제3 회로군(1302)이 형성되어 있다.
- <149> 제1 회로군(1201)은, 주로 고속 동작, 저전압 동작이 요구되는 회로군이며, 제2 회로군(1202)은, 주로 저리크 전류, 고인가 전압하에서의 신뢰성이 요구되는 회로군이다. 또한, 제3 회로군에 대해서는, 다결정 반도체층을 사용해서 형성된 트랜지스터는, 그것의 임계전압이나 전계 효과 이동도 등에 대해서, 소자마다 격차를 생기기 쉽기 때문에, 비교적 소자 격차의 영향을 받기 어려운 디지털 회로 등을 중심으로 한 회로군을 형성하는 것이 바람직하다.
- <150> 또한 본 실시예에서 나타난 구성에 따르면, 지지 기판 위에 용이하게 대면적의 다결정 반도체층을 형성할 수 있고, 따라서, 실시예 1과 같이, 복수의 단결정 반도체층의 부착만으로는 실현이 곤란한 대면적에, 비교적 균일하게 트랜지스터를 형성할 수 있다. 따라서, 이러한 다결정 반도체층을 형성한 영역에 구성되는 제3 회로군은, 대화면을 가지는 표시장치의 화소부를 구성하는 회로군으로서 적합하다.
- <151> (실시예 3)
- <152> 본 실시예에서는, 막두께가 다른 단결정 반도체층을 지지 기판에 설치하는 다른 방법을 나타낸다.
- <153> 실시예 1에서 나타난 것과 같이, 서로 다른 막두께의 단결정 반도체층을 모체가 되는 반도체기판에서 분리하여 지지 기판에 접합하고, 동일 기판 위에 다른 막두께의 단결정 반도체층을 형성해도 되지만, 지지 기판에 단결정 반도체층을 분리하여 접합한 후, 단결정 반도체층을 선택적으로 박막화하여, 동일기판 위에 다른 막두께의 단결정 반도체층을 형성해도 된다.
- <154> 반도체층의 박막화는, 1회의 에칭 공정으로 행해도 되고, 복수의 에칭 공정으로 행해도 된다. 또한 반도체층을 직접 에칭 가스(또는 에칭 용액)로 에칭해도 되고, 반도체층 표면을 부분적으로 처리해서 개질하고, 개질영역만을 선택적으로 제거해도 된다.
- <155> 도 2에 복수의 공정에서 반도체층을 박막화하는 예를 나타낸다. 도2a에 있어서, 지지 기판(10) 위에 접합면을 가지는 절연층(11)과, 반도체층(12)이 형성되어 있다. 반도체층(12) 위의 원하는 영역에, 선택적으로 마스크(13)를 형성한다(도 2b 참조). 계속해서, 플라스마처리(14)에 의해 반도체층(12)을 선택적으로 개질(본 실시예에서는 산화)하여, 개질영역(15)을 형성한다(도 2c 참조). 계속해서, 반도체층(12)을 에칭하지 않고, 개질영역(15)만을 선택적으로 에칭할 수 있는 조건(에칭 가스, 에칭 용액)에서 개질영역(15)을 제거하고, 부분적으로 박막화된 반도체층(16)을 형성한다(도 2d 참조). 이 도 2c 및 도 2d의 처리를 반복함으로써 반도체층은 원하는 막두께까지 박막화할 수 있다.

<156> 그 결과, 박막화된 반도체층(16)과, 반도체층(12)이 동일한 지지 기판(10) 위에 얻어진다. 그 후에는, 다른 실시예에 따라, 각각의 반도체층을 활성층에 사용한 트랜지스터군을 형성하여, 회로를 구성하면 된다.

<157> 이상의 공정에서 형성한 막두께가 다른 단결정 반도체층을 사용하여, 본 발명의 일 형태인 저소비 전력 이면서 고신뢰성이 부여된 반도체장치를 제조할 수 있다.

<158> (실시예 4)

<159> 본 발명의 반도체장치에 있어서는, 지지 기판(101) 위에 막두께가 얇은 단결정 반도체층(150)과, 막두께가 두꺼운 단결정 반도체층(160)을 부착에 의해 형성하는 것을 특징으로 하고 있지만, 각 단결정 반도체층의 최표면에는, 이온조사공정에 의한 분리면의 일부가 잔류하고 있는 경우가 있다(도 17a 참조). 이 분리면(51, 52)은, 일반적인 단결정 반도체층의 표면상태에 비해 평탄성이 떨어지기 때문에, 이후의 공정에서의 불량을 일으키지 않기 위해 표면상태의 개선이 필요하게 된다.

<160> 이러한 분리면(51, 52)을 제거하는 방법으로서 대표적으로는, 도17b 및 도 17c에 나타낸 것과 같이 예를 들면 표면산화를 행해서 분리면(51, 52)을 산화(53, 54)한 후, 환원성 분위기 하에서 산화층(53, 54)을 제거(55, 56)한다고 하는 방법 이외에, 화학적 기계연마(CMP)에 의한 표면연마가 있다.

<161> 그러나, 본 발명과 같이, 동일표면 상에 막두께가 다른 반도체층이 형성되어 있을 경우, 지지 기판 표면을 기준면으로 한 경우의 각 반도체층의 최표면 높이에는 갭이 있기 때문에, CMP에 의한 분리층의 제거는 곤란하다.

<162> 이러한 경우, 도17d에 나타낸 것과 같이, 지지 기판(101) 위에서, 나중에 막두께가 얇은 단결정 반도체층(150)의 부착을 행하는 영역에, 선택적으로 하지막(57)을 형성하고, 계속해서 단결정 반도체층(150, 160)의 부착을 행했을 때에, 막두께가 얇은 단결정 반도체층(150)의 최표면 높이와, 막두께가 두꺼운 단결정 반도체층(160)의 최표면 높이가 같은 정도가 되도록 해 두면 된다.

<163> 그 후에, 도 17e에 나타낸 것과 같이, CMP 공정에 의해, 단결정 반도체층 표면의 분리면(51, 52)의 제거(58, 59)를 행할 수 있다.

<164> 이상의 공정에서 형성한 막두께가 다른 단결정 반도체층을 사용하여, 본 발명의 일 형태인 저소비 전력 이면서도 고신뢰성이 부여된 반도체장치를 제조할 수 있다.

<165> (실시예5)

<166> 본 발명을 적용하고, 여러가지 표시 기능을 가지는 반도체장치를 제조할 수 있다. 즉, 그들 표시 기능을 가지는 반도체장치를 표시부에 짜 넣은 여러가지 전자기기에 본 발명을 적용할 수 있다. 본 실시예에서는, 고성능이면서 고신뢰성을 부여하는 것을 목적으로 한 표시 기능을 가지는 반도체장치를 가지는 전자기기의 예를 설명한다.

<167> 그와 같은 본 발명에 따른 전자기기로서, 텔레비전 장치(간단히 텔레비, 또는 텔레비전 수신기라고도 부른다), 디지털 카메라, 디지털 비디오 카메라 등의 카메라, 휴대전화장치(간단히 휴대전화기, 휴대전화라고도 부른다), PDA 등의 휴대 정보단말, 휴대형 게임기, 컴퓨터용의 모니터, 컴퓨터, 카 오디오 등의 음향재생장치, 가정용 게임기 등의 기록 매체를 구비한 화상재생장치(구체적으로는 Digital Versatile Disc(DVD) 등을 들 수 있다. 그 구체적인 예에 대해서, 도 8을 참조해서 설명한다.

<168> 도8a에 나타내는 휴대 정보단말기기는, 본체(9201), 표시부(9202) 등을 포함하고 있다. 표시부(9202)는, 본 발명의 반도체장치를 적용할 수 있다. 그 결과, 고성능이면서 신뢰성이 높은 휴대 정보단말기기를 제공할 수 있다.

<169> 도 8b에 나타내는 디지털 비디오 카메라는, 표시부(9701), 표시부(9702) 등을 포함하고 있다. 표시부(9701)는 본 발명의 반도체장치를 적용할 수 있다. 그 결과, 고성능이면서 신뢰성이 높은 디지털 비디오 카메라를 제공할 수 있다.

<170> 도 8c에 나타내는 휴대전화기는, 본체(9101), 표시부(9102) 등을 포함하고 있다. 표시부(9102)는, 본 발명의 반도체장치를 적용할 수 있다. 그 결과, 고성능이면서 신뢰성이 높은 휴대전화기를 제공할 수 있다.

<171> 도 8d에 나타내는 휴대형의 텔레비전 장치는, 본체(9301), 표시부(9302) 등을 포함하고 있다. 표시부(9302)는, 본 발명의 반도체장치를 적용할 수 있다. 그 결과, 고성능이면서 신뢰성이 높은 휴대형의 텔레비전

장치를 제공할 수 있다. 또한 텔레비전 장치로서는, 휴대전화기 등의 휴대 단말에 탑재하는 소형의 것부터, 운반을 할 수 있는 중형의 것, 또한 대형의 것(예를 들면 40인치 이상)까지, 폭넓은 것에, 본 발명의 반도체장치를 적용할 수 있다.

<172> 도 8e에 나타내는 휴대형 컴퓨터는, 본체(9401), 표시부(9402) 등을 포함하고 있다. 표시부(9402)는, 본 발명의 반도체장치를 적용할 수 있다. 그 결과, 고성능이면서 신뢰성이 높은 휴대형 컴퓨터를 제공할 수 있다.

<173> 이렇게, 본 발명의 반도체장치에 의해, 고성능이면서 신뢰성이 높은 전자기기를 제공할 수 있다.

<174> (실시예 6)

<175> 본 발명에 의해 형성되는 표시 소자를 가지는 반도체장치에 의해, 텔레비전 장치를 완성시킬 수 있다. 고성능이면서, 고신뢰성을 부여하는 것을 목적으로 한 텔레비전 장치의 예를 설명한다.

<176> 도 15는 텔레비전 장치(액정 텔레비전 장치, 또는 EL 텔레비전 장치 등)의 주요한 구성을 나타내는 블록도를 보이고 있다. 표시 패널에는 TFT를 형성하고, 화소영역(1901)과 주사선구동회로(1903)를 기판 위에 일체 형성하여 신호선 구동회로(1902)를 별도 드라이버 IC로서 실장하는 경우, 또한 화소영역(1901)과 신호선 구동회로(1902)와 주사선 구동회로(1903)를 기판 위에 일체 형성할 경우 등이 있지만, 어떤 형태라도 된다.

<177> 기타의 외부회로의 구성으로서, 영상신호의 입력측에서는, 튜너(1904)에서 수신한 신호 중에서, 영상신호를 증폭하는 영상신호 증폭회로(1905)와, 거기에서 출력되는 신호를 빨강, 초록, 파랑 각 색에 대응한 색신호로 변환하는 영상신호처리 회로(1906)와, 그 영상신호를 드라이버 IC의 입력 사양으로 변환하기 위한 콘트롤 회로(1907) 등으로 되어 있다. 콘트롤 회로(1907)는, 주사선측과 신호선측에 각각 신호가 출력한다. 디지털 구동할 경우에는, 신호선측에 신호 분할 회로(1908)를 설치하고, 입력 디지털 신호를 m개로 분할해서 공급하는 구성으로 하여도 된다.

<178> 튜너(1904)에서 수신한 신호 중에서, 음성신호는, 음성신호증폭회로(1909)에 보내지고, 그 출력은 음성신호처리 회로(1910)를 경과해서 스피커(1913)에 공급된다. 제어회로(1911)는 수신국(수신 주파수)이나 음량의 제어 정보를 입력부(1912)에서 받아, 튜너(1904)나 음성신호처리 회로(1910)에 신호를 송출한다.

<179> 표시 모듈을, 도 16a 및 도 16b에 나타낸 것과 같이, 케이싱에 짜 넣고, 텔레비전 장치를 완성시킬 수 있다. FPC까지 부착된 도 11과 같은 표시 패널을 일반적으로는 표시 모듈이라고도 한다. 따라서 도 13과 같은 EL 표시 모듈을 사용하면, EL 텔레비전 장치를 완성할 수 있고, 도 12와 같은 액정표시 모듈을 사용하면, 액정 텔레비전 장치를 완성할 수 있다. 표시 모듈에 의해 주 화면(2003)이 형성되고, 기타 부속 설비로서 스피커부(2009), 조작 스위치 등이 구비되어 있다. 이렇게, 본 발명에 의해 텔레비전 장치를 완성시킬 수 있다.

<180> 또한, 위상차판이나 편광판을 사용하여, 외부에서 입사하는 빛의 반사광을 차단하도록 하여도 된다. 또한 상면 방사형의 반도체장치이면, 격벽이 되는 절연층을 착색해 블랙 매트릭스로서 사용해도 된다. 이 격벽은 액적토출법 등에 의해서도 형성할 수 있고, 안료계의 흑색수지나, 폴리이미드등의 수지재료에, 카본블랙 등을 혼합시켜도 되고, 그것의 적층이라도 된다. 액적토출법에 의해, 서로 다른 재료를 같은 영역에 복수회 토출하여, 격벽을 형성해도 된다. 위상차판으로서 $\lambda/4$ 판과 $\lambda/2$ 판을 사용하여, 빛을 제어할 수 있도록 설계하면 된다. 구성으로서, TFT소자기판측에서 순서대로, 발광소자, 밀봉기판(밀봉재), 위상차판($\lambda/4$, $\lambda/2$), 편광판이라고 하는 구성이 되어, 발광소자로부터 방사된 빛은, 이것들을 통과해 편광판측에서 외부로 방사된다. 이 위상차판이나 편광판은 빛이 방사되는 쪽에 설치하면 되고, 양면방사되는 양면방사형의 반도체장치이면 양쪽에 설치할 수도 있다. 또한 편광판의 외측에 반사방지막을 갖고 있어도 된다. 이에 따라 보다 높은 섬세함으로 정밀한 화상을 표시할 수 있다.

<181> 도 16a에 나타낸 것과 같이, 케이싱(2001)에 표시 소자를 이용한 표시용 패널(2002)이 조립되고, 수신기(2005)에 의해 일반의 텔레비전 방송의 수신을 비롯하여, 모뎀(2004)을 통해 유선 또는 무선에 의한 통신 네트워크에 접속하는 것에 의해 일방향(송신자에게서 수신자) 또는 양방향(송신자와 수신자간, 또는 수신자간끼리)의 정보통신을 할 수도 있다. 텔레비전 장치의 조작은, 케이싱에 조립된 스위치 또는 별도의 리모트 콘트롤 조작기(2006)에 의해 행하는 것이 가능해서, 이 리모트 콘트롤 조작기에도 출력하는 정보를 표시하는 표시부(2007)가 설치되어서 있어도 된다.

<182> 또한 텔레비전 장치에도, 주 화면(2003) 이외에 서브 화면(2008)을 제2 표시용 패널로 형성하고, 채널이나 음량 등을 표시하는 구성이 부가되어 있어도 된다. 이 구성에 있어서, 주 화면(2003)을 시야각이 좋은 EL

표시용 패널로 형성하고, 서브 화면을 저소비 전력으로 표시가능한 액정표시용 패널로 형성해도 된다. 또한 저소비 전력화를 우선시키기 위해서는, 주 화면(2003)을 액정표시용 패널로 형성하고, 서브 화면을 EL 표시용 패널로 형성하고, 서브 화면은 점멸 가능하게 하는 구성으로 하여도 된다. 본 발명을 사용하면, 이러한 대형기관을 사용하여, 많은 TFT나 전자부품을 사용해도, 고성능이면서도 신뢰성이 높은 반도체장치를 생산성 좋게 제조할 수 있다.

<183> 도16b는 예를 들면 20~80인치의 대형의 표시부를 가지는 텔레비전 장치이며, 케이싱(2010), 표시부(2011), 조작부인 리모트 콘트롤 장치(2012), 스피커부(2013) 등을 포함한다. 본 발명은, 표시부(2011)의 제조에 적용된다. 도16b의 텔레비전 장치는, 벽걸이형으로 되어 있어, 설치하는 스페이스를 넓게 필요로 하지 않는다.

<184> 본 발명에 의해, 표시 기능을 가지는 고성능이면서도 고신뢰성의 반도체장치를, 생산성이 좋게 제조할 수 있다. 따라서 고성능, 고신뢰성의 텔레비전 장치를 생산성 좋게 제조할 수 있다.

<185> 물론, 본 발명은 텔레비전 장치에 한정되지 않고, 퍼스널컴퓨터 모니터를 비롯해, 철도의 역이나 공항 등에 있어서의 정보표시판이나, 가두에 있어서의 광고 표시판 등 대면적의 표시 매체로서도 여러가지 용도에 적용할 수 있다.

도면의 간단한 설명

<186> 도 1은 본 발명의 반도체장치 상면구조 및 단면구성을 도시한 도면.

<187> 도 2는 본 발명의 반도체장치의 제조 공정을 설명하는 도면.

<188> 도 3은 본 발명의 반도체장치의 제조 공정을 설명하는 도면.

<189> 도 4는 본 발명의 반도체장치의 제조 공정을 설명하는 도면.

<190> 도 5는 본 발명의 반도체장치의 제조 공정을 설명하는 도면.

<191> 도 6은 본 발명의 반도체장치의 제조 공정을 설명하는 도면,

<192> 도 7은 본 발명의 반도체장치의 제조 공정을 설명하는 도면.

<193> 도 8은 본 발명이 적용가능한 전자기기를 도시한 도면.

<194> 도 9는 본 발명의 반도체장치의 제조 공정을 설명하는 도면.

<195> 도 10은 본 발명의 반도체장치의 제조 공정을 설명하는 도면.

<196> 도 11은 본 발명의 반도체장치의 일 형태를 설명하는 도면.

<197> 도 12는 본 발명의 반도체장치의 일 형태를 설명하는 도면.

<198> 도 13은 본 발명의 반도체장치의 일 형태를 설명하는 도면.

<199> 도 14는 본 발명의 반도체장치의 일 형태를 설명하는 도면.

<200> 도 15는 본 발명이 적용가능한 전자기기의 주요한 구성을 나타내는 블록도.

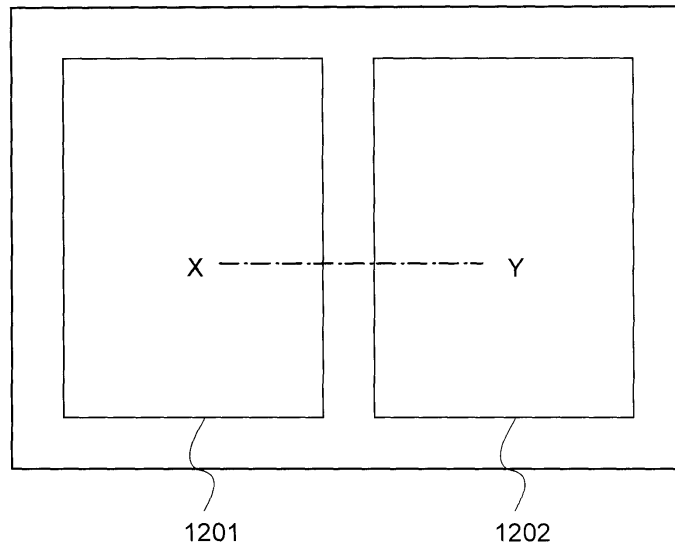
<201> 도16은 발명이 적용가능한 전자기기를 도시한 도면.

<202> 도 17은 본 발명의 반도체장치의 제조 공정을 설명하는 도면.

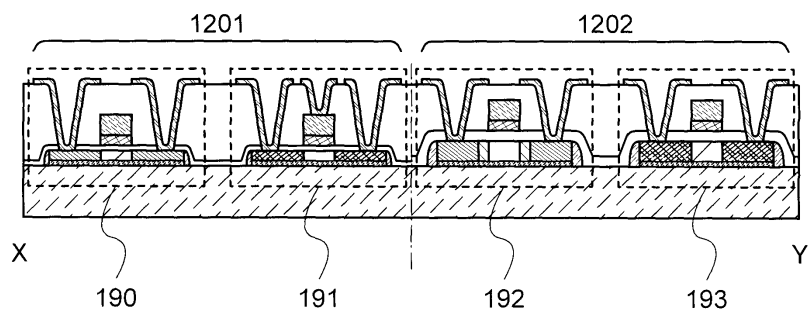
도면

도면1

(a)

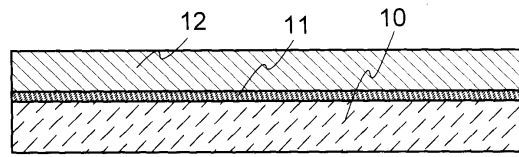


(b)

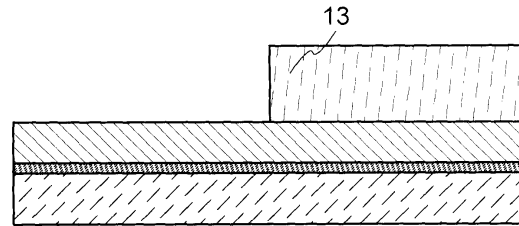


도면2

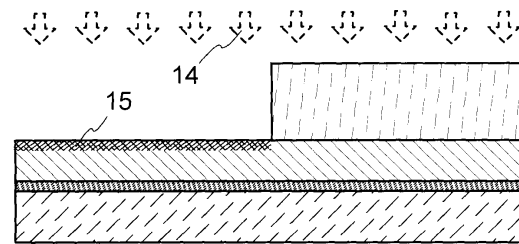
(a)



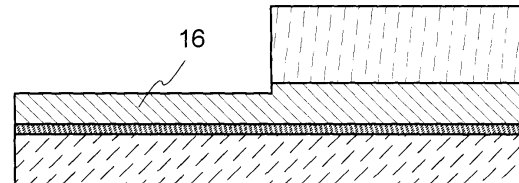
(b)



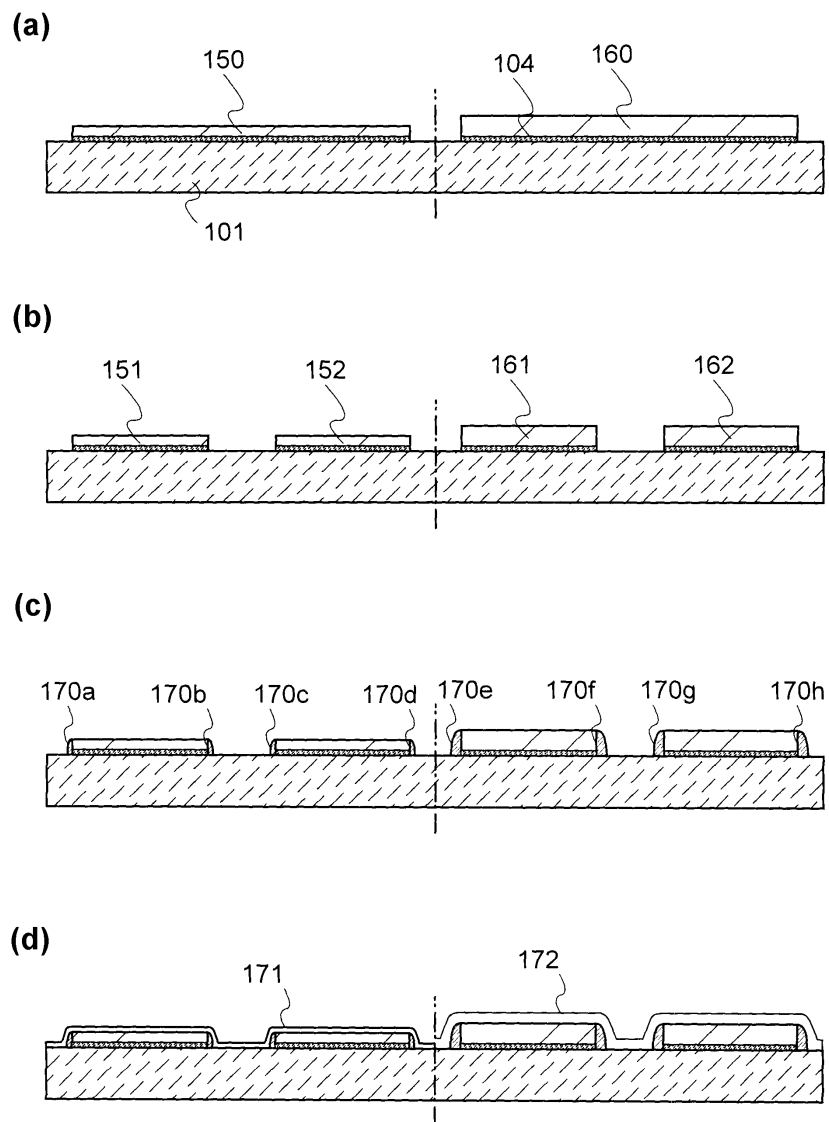
(c)



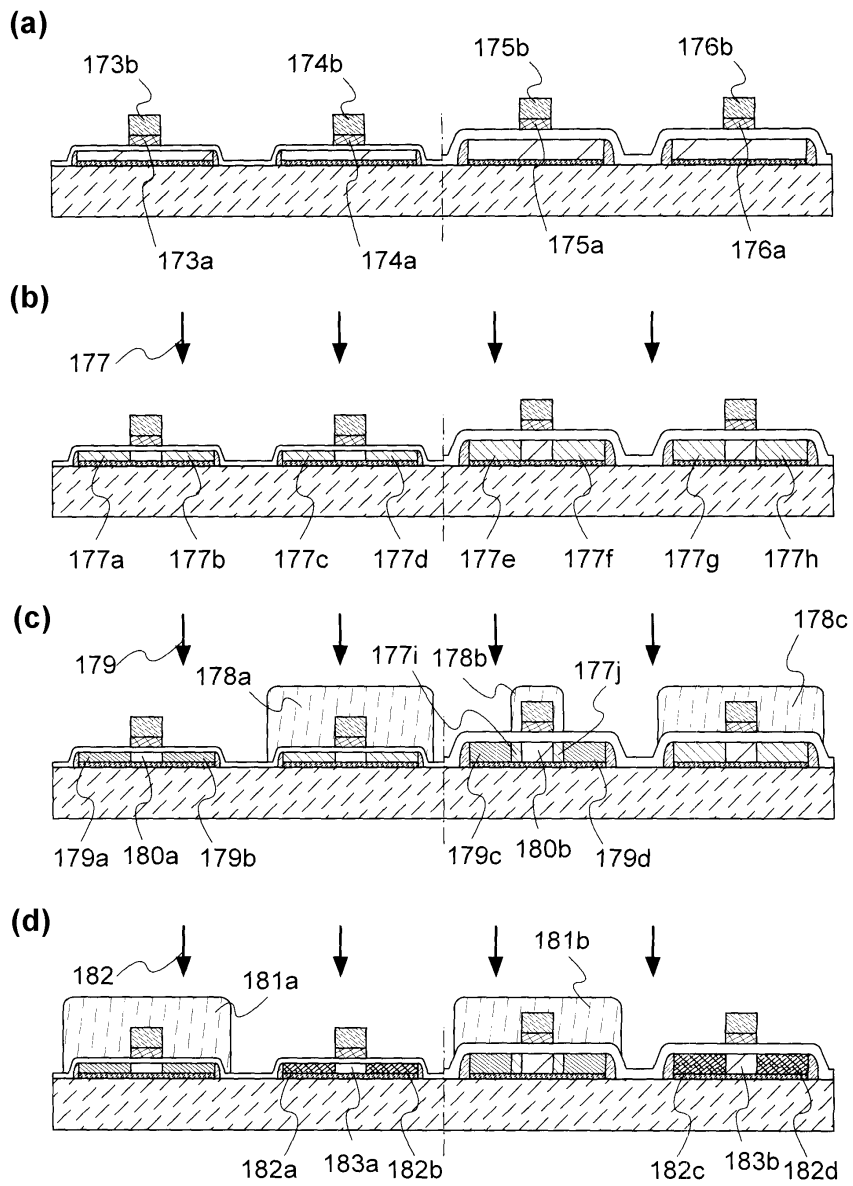
(d)



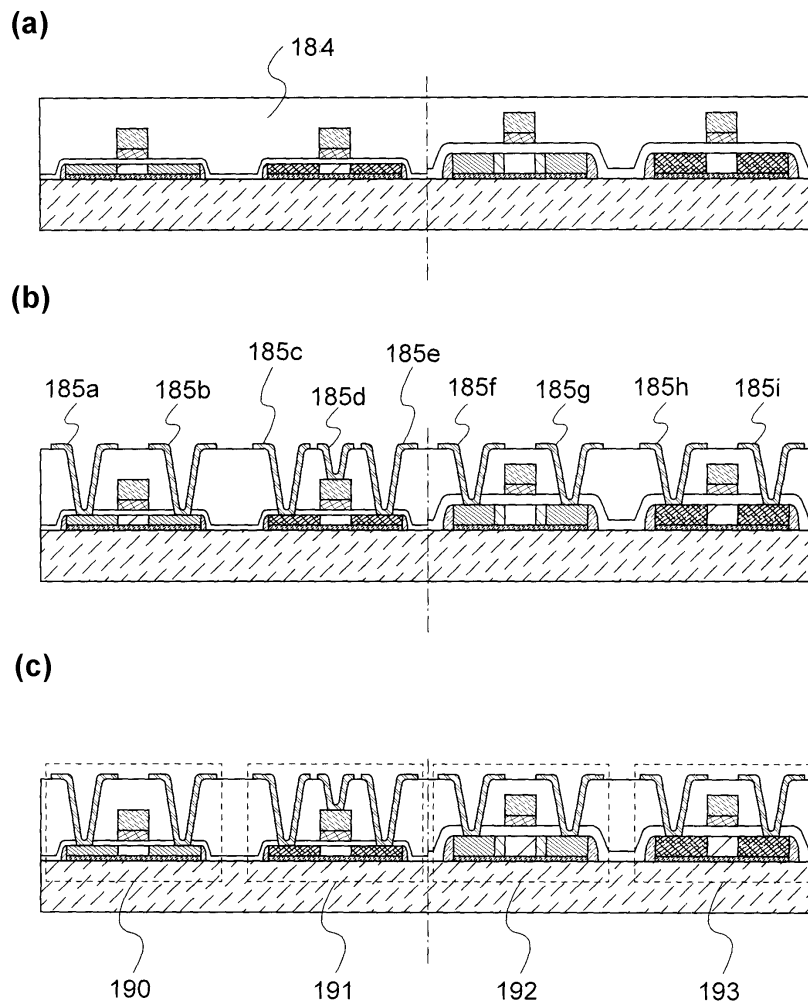
도면3



도면4

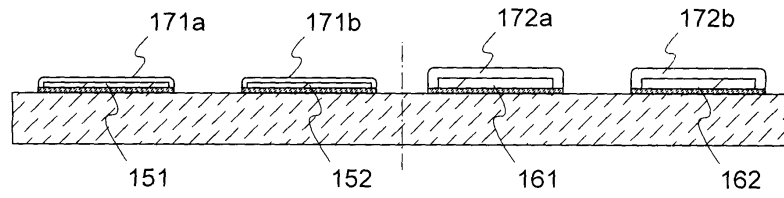


도면5

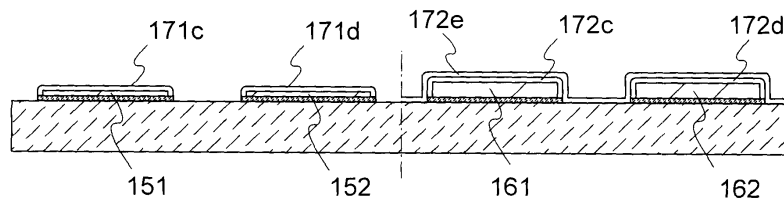


도면6

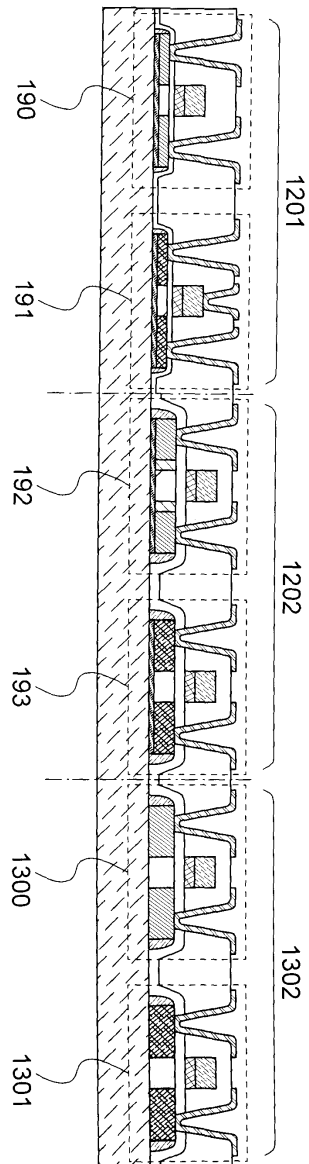
(a)



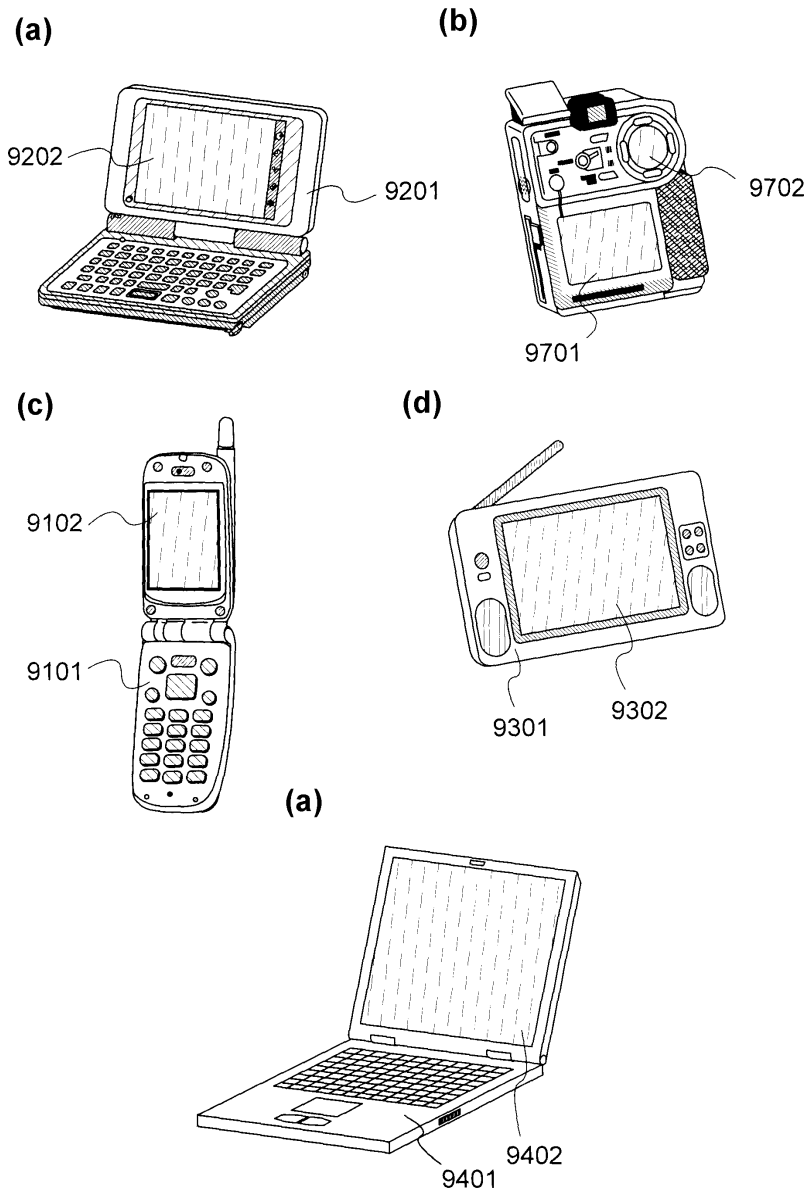
(b)



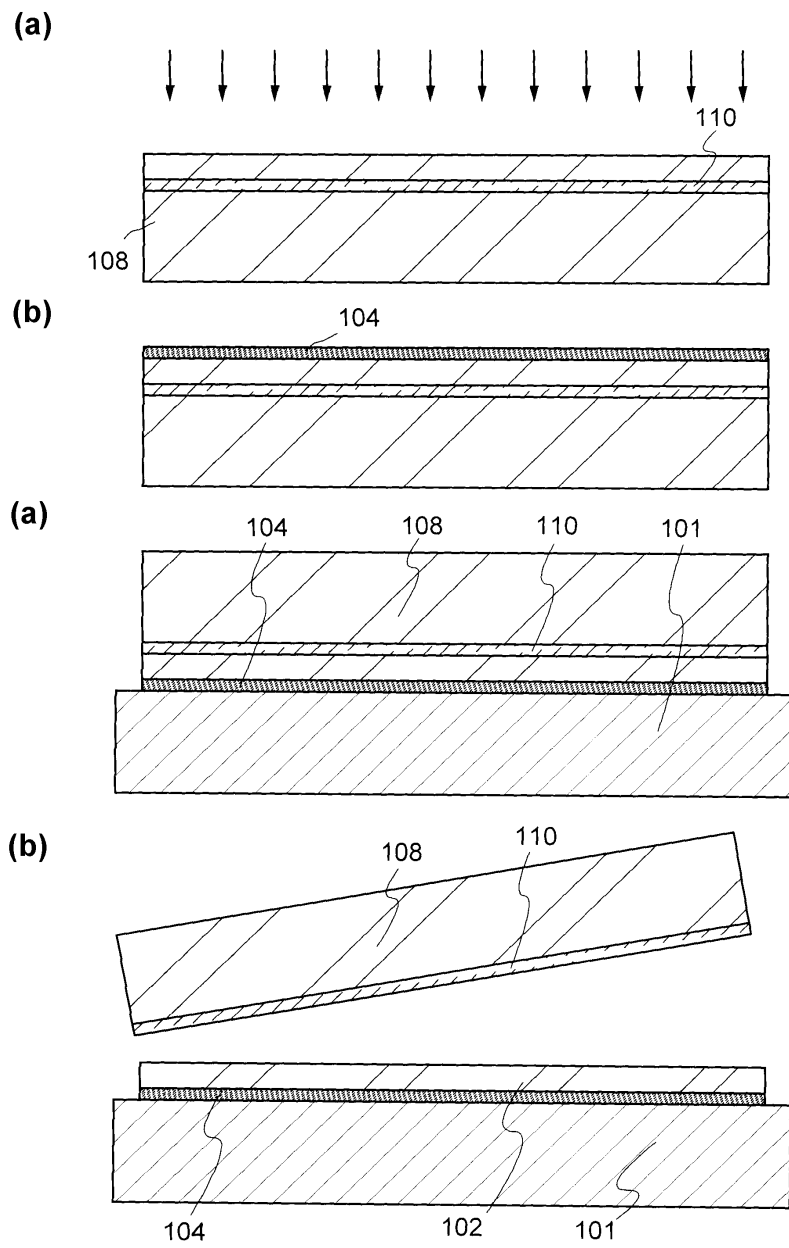
도면7



도면8

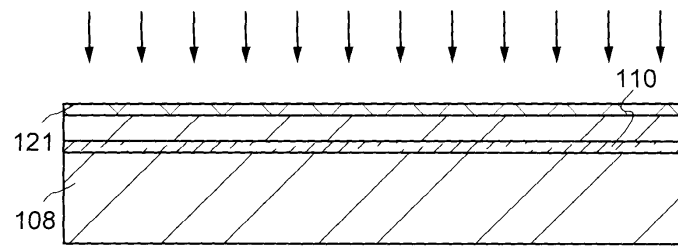


도면9

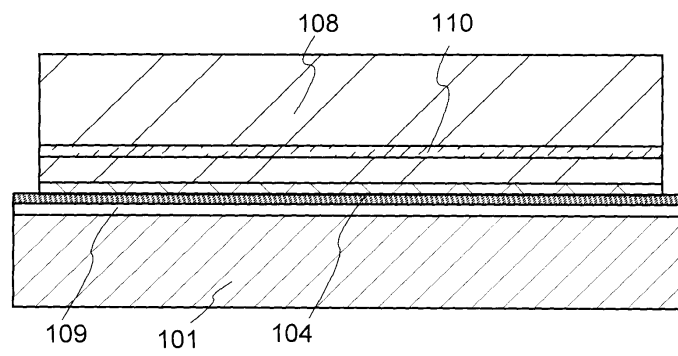


도면10

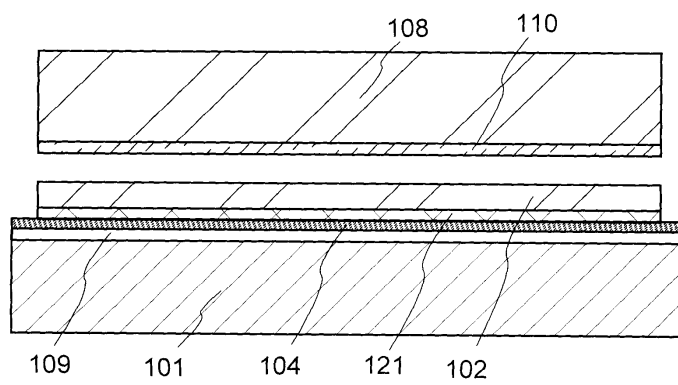
(a)



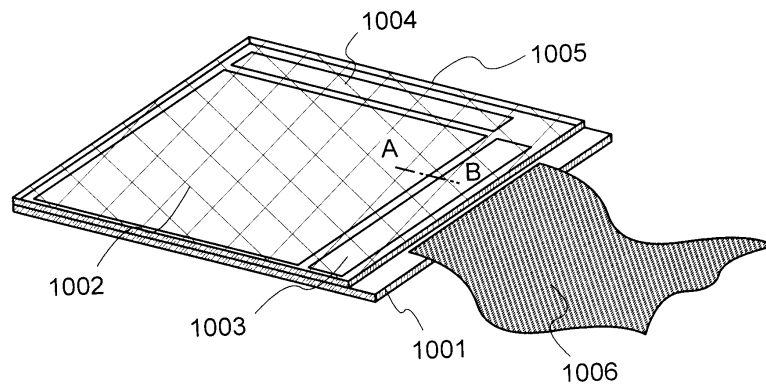
(b)



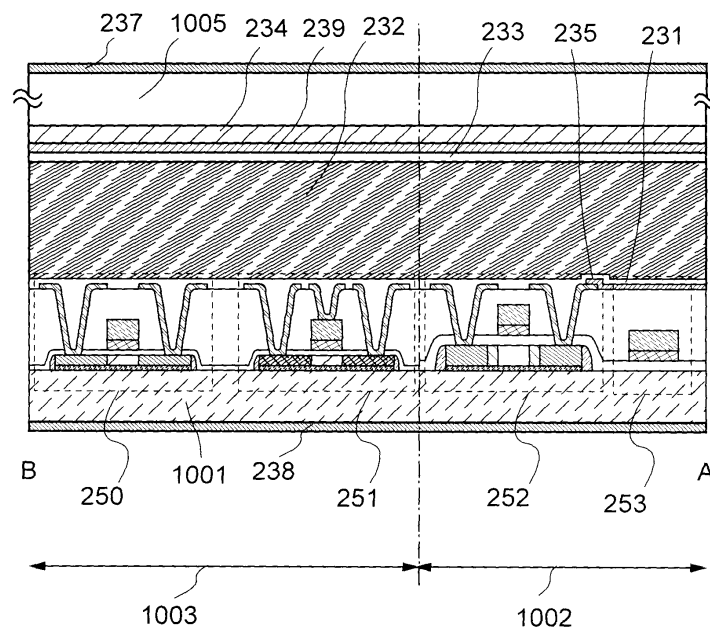
(c)



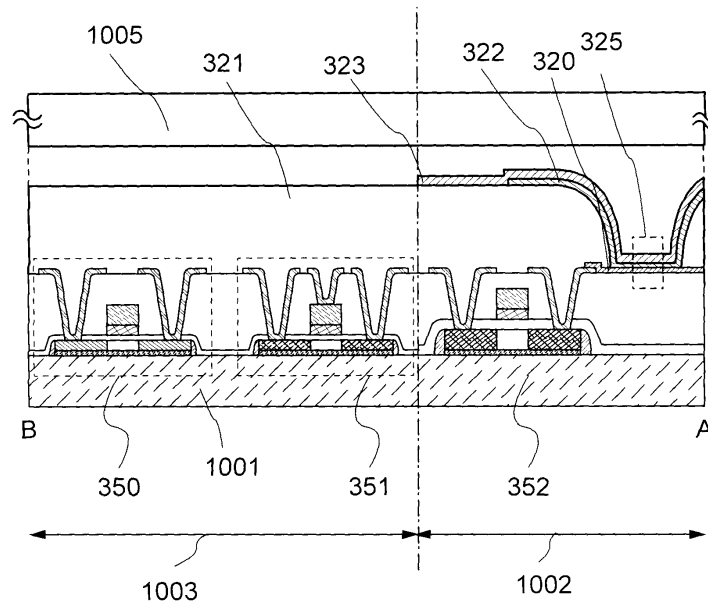
도면11



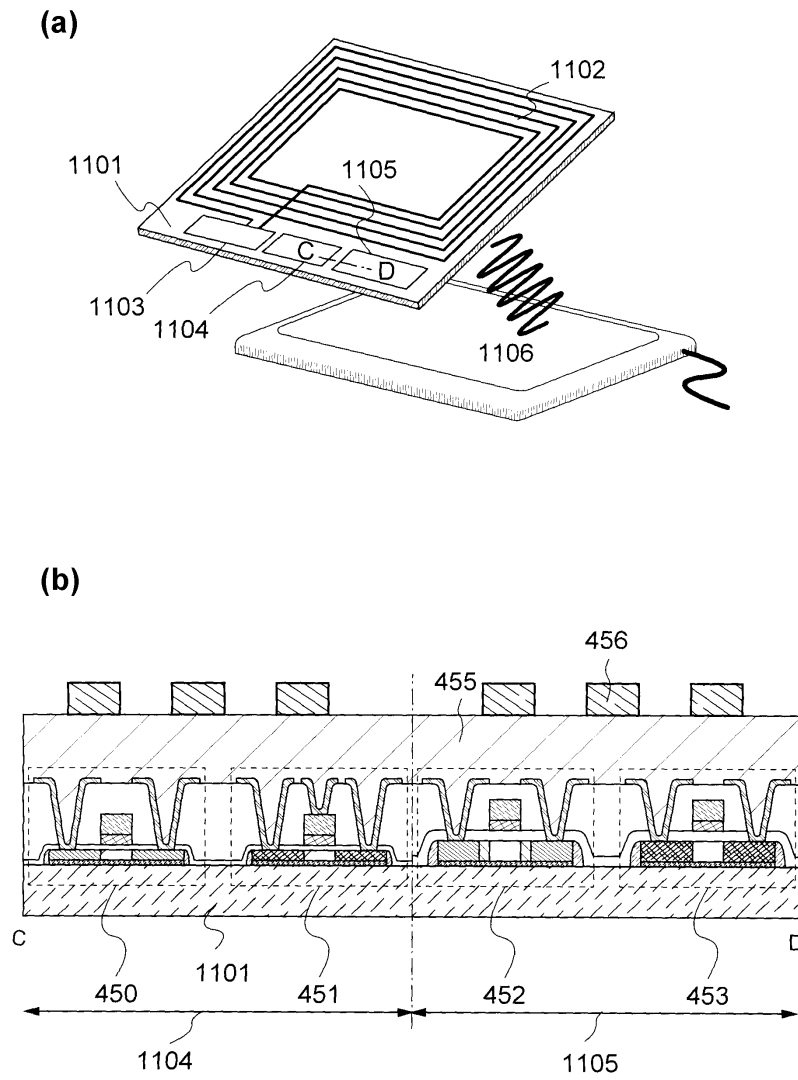
도면12



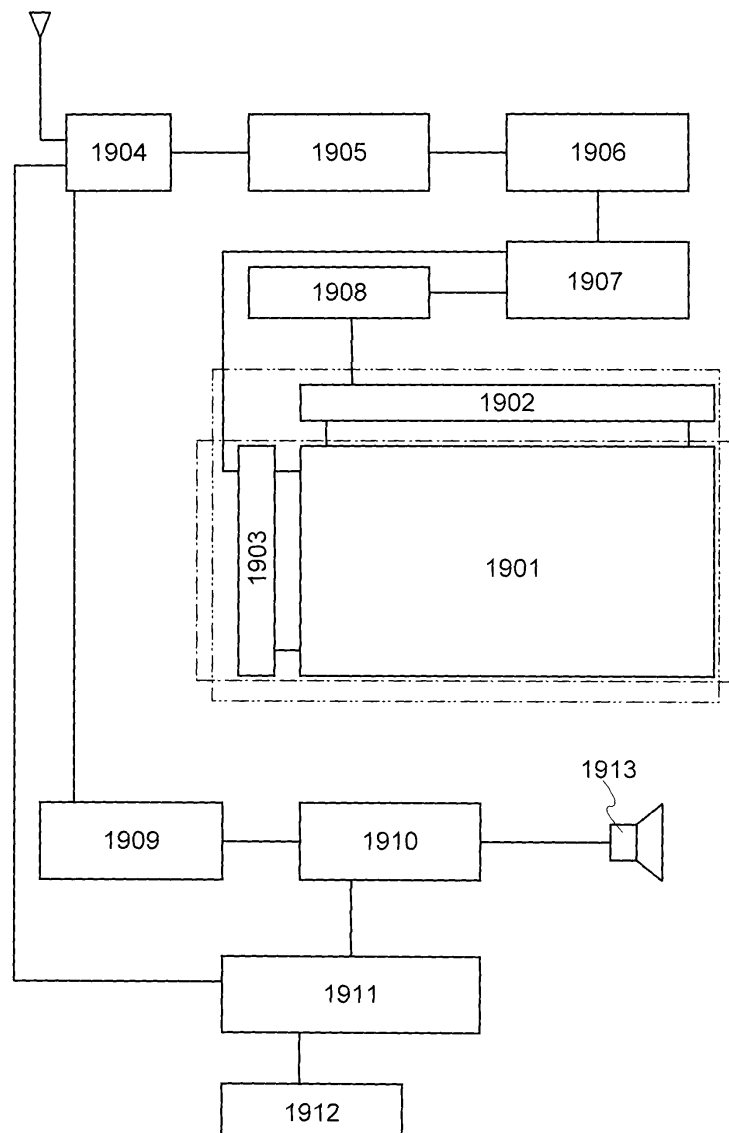
도면13



도면14

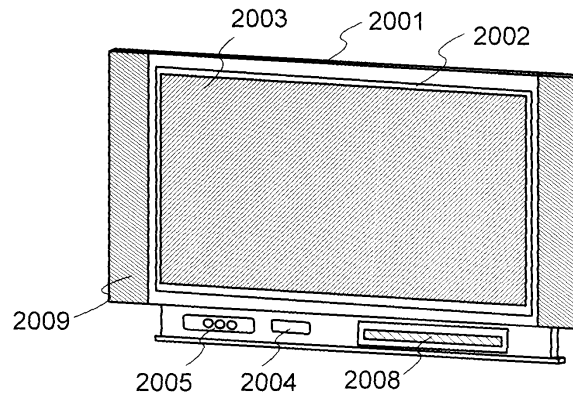


도면15

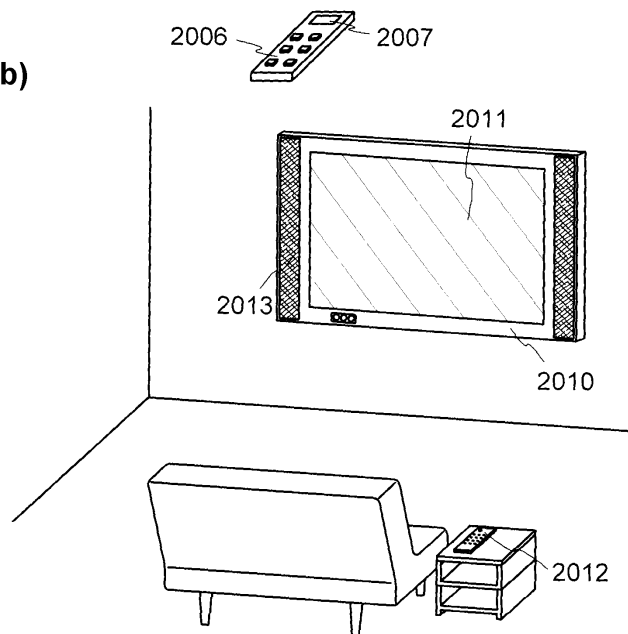


도면16

(a)



(b)



도면17

