



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I613586 B

(45)公告日：中華民國 107 (2018) 年 02 月 01 日

(21)申請案號：103139293

(22)申請日：中華民國 103 (2014) 年 11 月 12 日

(51)Int. Cl. : G06F3/06 (2006.01)

G06F13/42 (2006.01)

(30)優先權：2013/11/12 印度

5121/CHE/2013

2014/02/26 美國

14/191,097

(71)申請人：桑迪士克科技有限責任公司(美國) SANDISK TECHNOLOGIES LLC. (US)
美國

(72)發明人：索瑪亞 維克朗 SOMAIYA, VIKRAM (IN)

(74)代理人：黃章典；樓穎智

(56)參考文獻：

TW 200515577A

US 2002/0121679A1

審查人員：彭智輝

申請專利範圍項數：21 項 圖式數：5 共 31 頁

(54)名稱

具有多個接合墊及／或發射器的單一輸入／輸出單元

SINGLE INPUT/OUTPUT CELL WITH MULTIPLE BOND PADS AND/OR TRANSMITTERS

(57)摘要

本發明揭示一種儲存模組，其可包含經組態以與具有複數個記憶體晶粒之一記憶體通信之一控制器。該控制器可包含複數個接合墊，其中各接合墊經組態以傳送一相同類型之記憶體信號，且其中各接合墊經電連接至該複數個記憶體晶粒之至少一者且少於全部。該控制器之一芯部可識別其想要傳送一記憶體信號之一記憶體晶粒以及用以傳送該記憶體信號之一相關接合墊。

A storage module may include a controller configured to communicate with a memory having a plurality of memory dies. The controller may include a plurality of bond pads, where each bond pad is configured to communicate a same type of memory signal, and where each bond pad is electrically connected to at least one but less than all of the plurality of memory dies. A core of the controller may identify a memory die that it wants to communicate a memory signal and an associated bond pad with which to communicate the memory signal.

指定代表圖：

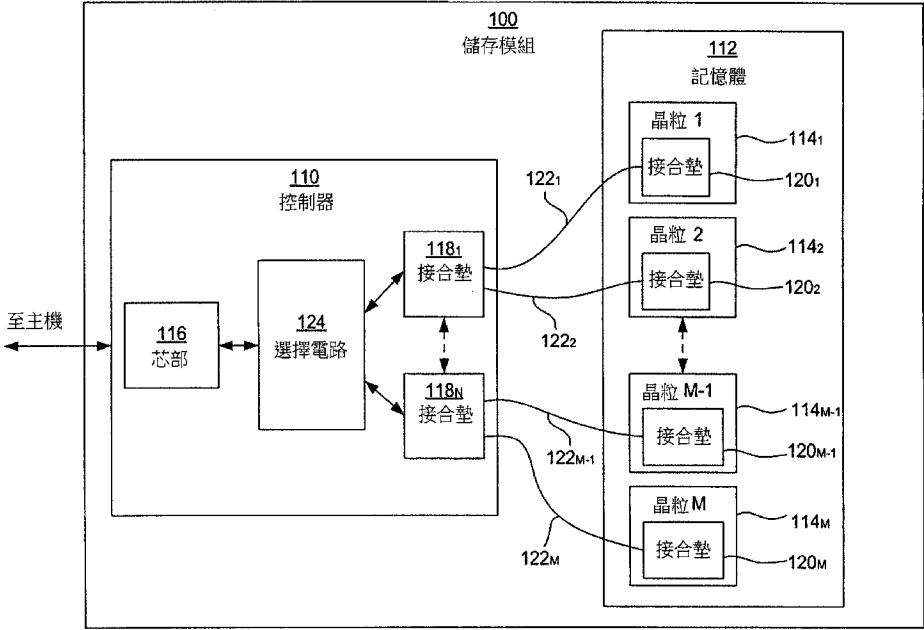


圖1

符號簡單說明：

- 100 . . . 儲存模組
- 110 . . . 儲存控制器/儲存模組控制器/控制器
- 112 . . . 記憶體
- 114₁ 至 114_M . . . 記憶體晶粒
- 116 . . . 芯部/主機介面
- 118₁ 至 118_N . . . 控制器接合墊
- 120₁ 至 120_M . . . 晶粒接合墊
- 122₁ 至 122_M . . . 導線
- 124 . . . 選擇電路

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

具有多個接合墊及/或發射器的單一輸入/輸出單元

SINGLE INPUT/OUTPUT CELL WITH MULTIPLE BOND PADS
AND/OR TRANSMITTERS

【先前技術】

儲存模組可回應於接收自一主機之主機命令，而管理記憶體中之資料儲存。為將資料儲存在記憶體中且讀取所儲存資料，一外部控制器可傳送資料、命令、或其他資訊至記憶體晶粒。接合墊或接腳可用於外部控制器與記憶體晶粒之間的外部選路。

【發明內容】

在一第一態樣中，一電子裝置包含：一第一電路，其具有經組態以傳送一相同類型之信號的複數個第一電路接合墊；及一第二電路，其包含經組態以使用第一電路之複數個第一接合墊傳送相同類型之信號的複數個第二電路接合墊。第一電路接合墊之各者電連接至複數個第二電路接合墊之至少一者且少於全部。

在一第二態樣中，一方法可包含：使用一第一電路之一芯部判定使用一第二電路傳送一信號，該信號係一預定類型；使用該芯部，自第二電路的複數個區域中識別經使用以傳送信號之一第一區域；及使用該芯部，自複數個第一電路接合墊中識別經使用以傳送信號之第一電路的一相關第一電路接合墊。複數個第一電路接合墊可經組態以使用第二電路之複數個區域傳送預定類型之信號。另外，複數個第一電路接合墊之各者可電連接至複數個區域之至少一者且少於全部。進一步言之，相關第一電路接合墊可電連接至第一區域。該方法可進一

步包含經由相關第一電路接合墊在芯部與第一區域之間傳送信號。

在一第三態樣中，一儲存模組可包含經組態以與包括複數個記憶體晶粒之一記憶體通信之一控制器。該控制器可包含：複數個控制器接合墊，其等經組態以使用複數個記憶體晶粒之複數個晶粒接合墊傳送一相同類型的記憶體信號。該複數個控制器接合墊之各者可電連接至複數個晶粒接合墊之至少一者且少於全部。控制器可進一步包含一芯部，該芯部經組態以：判定與記憶體通信一記憶體信號，該記憶體信號係相同類型；自複數個控制器接合墊中識別經由其與記憶體通信記憶體信號之一控制器接合墊；及使用經識別控制器接合墊傳送記憶體信號。

【圖式簡單說明】

併入此說明書中且組成此說明書之一部分的隨附圖式繪示本發明之各個態樣，且與描述一起用以說明本發明之原理。在任何方便的情況下，貫穿圖式，相同參考符號將用以指代相同或類似元件。

圖1係一例示性儲存模組之一方塊圖。

圖2係圖1之例示性儲存模組之一方塊圖，其展示選擇電路之一例示性組態。

圖3係圖1之例示性儲存模組之一方塊圖，其展示選擇電路之一替代組態。

圖4A係圖1中展示之嵌入一主機中之儲存模組之一方塊圖。

圖4B係圖1中展示之與一主機可移除地連接之儲存模組之一方塊圖。

圖5係使用多個接合墊傳送來自一外部控制器之信號至多個記憶體晶粒之一方法的一流程圖。

【實施方式】

可描述且展示實施例之各種修改及等效物，且本文界定之各個

一般原理可應用於此等及其他實施例。因此，賦予本發明與本文所揭示之原理、特徵、及教示一致的最廣範疇。

本說明書描述包含一控制器組件及一記憶體組件之一儲存模組，其中該等組件之一者使用複數個接合墊來傳送一相同類型的信號至另一組件。圖1展示包含一控制器110及一記憶體112之一儲存模組100之一例示性實施例的一方塊圖。控制器110可經組態以控制及管理儲存模組100中之資料儲存。另外，儲存控制器110可與一主機或一主機裝置(未在圖1中展示)通信。例如，控制器110可自主機接收主機命令，諸如讀取及寫入命令，且傳送對主機命令之回應至主機。儲存模組控制器110亦可與記憶體112通信以儲存及/或控制資料儲存。

記憶體112可經組態以儲存資料或其他資訊。例示性記憶體112可係非揮發性記憶體，諸如無論係既存的或以後發展的，快閃記憶體(例如，NAND型快閃記憶體或NOR型快閃記憶體)、唯讀記憶體、鐵電RAM(F-RAM)、其他類型之非揮發性記憶體、或其之組合。記憶體112可分割或分離為M個不同記憶體(例如，矽)晶粒114₁至114_M。晶粒之一例示性數目可係八，然可使用其他數目，如二或更大。

控制器110可包含經組態以執行控制器110之功能或操作之一芯部116。可以硬體或硬體及軟體之一些組合實施該芯部116。芯部116之例示性硬體及/或軟體組件可包含一處理器或一處理電路、一邏輯電路、一內部記憶體、儲存在內部記憶體中及/或可由處理電路執行之軟體及/或硬體、及/或其之組合。可針對一些例示性組態將芯部116及/或芯部116之組件整合為一積體電路或一晶片。

控制器110之功能或操作可包含傳送(包含發送及接收)包含資料、命令、或其他資訊之信號至記憶體112之晶粒114₁至114_M，以儲存資料、擷取資料、及/或管理或控制晶粒114₁至114_M中之資料儲存或擷取。芯部116可回應於主機命令之接收(諸如讀取或寫入主機命

令)，而產生及/或傳送該等信號之至少一些。

另外，經傳送之信號可係各種或不同類型。例示性類型可包含資料信號(包含多個或不同資料位元)、時脈信號、寫入選通信號、讀取選通信號、晶片啟用信號、位址鎖存啟用信號、或命令鎖存啟用信號作為實例。其他類型之信號係可行的，該等信號由芯部116傳送至記憶體112之晶粒 114_1 至 114_M 以控制及/或管理資料儲存及擷取。不同類型的記憶體信號可係不同，因為其等經控制器110、記憶體112、或儲存模組100之其他組件使用以執行不同功能或操作。另外或替代地，信號可被認為基於其等之特性具有不同類型，舉例而言，諸如其等是否係差動信號、偽差動信號、或單端信號；及/或該等信號是否處於不同電壓域中。下文除非另有指定，否則此等不同類型之信號可被統稱作記憶體信號。

歸因於實體約束，芯部116無法使用不同記憶體晶粒114直接傳送記憶體信號。為傳送記憶體信號，控制器110可包含控制器接合墊118且記憶體晶粒114可包含晶粒接合墊120(接合墊可被另外或可互換地稱作接合開口或接腳)。控制器接合墊118及晶粒接合墊120可使用導線122彼此電連接，諸如適於電連接或耦合一對接合墊之接合導線或其他長形導電結構。

在一些例示性實施例中，控制器110可經組態以具有一單一控制器接合墊組態。在該單一控制器接合墊組態下，控制器110可具有針對控制器110傳送至晶粒 114_1 至 114_M 之不同記憶體信號之各者的一單一控制器接合墊118。作為一實例，若控制器110經組態以傳送十種不同類型的記憶體信號至晶粒 114_1 至 114_M ，則在單一控制器接合墊組態下，控制器110可具有十個控制器接合墊118以傳送十種不同類型的記憶體信號，針對各類型指定一接合墊。相應地，晶粒 114_1 至 114_M 之各者可具有針對經傳送之不同類型的記憶體信號之各者的一晶粒接合墊

120。以此方式，在單一控制器接合墊組態下，控制器接合墊118的數目與在各晶粒 114_1 至 114_M 上之接合晶粒墊120的數目係相同的。進一步言之，經組態以傳送相同類型的記憶體信號之控制器接合墊118及晶粒接合墊120經由導線122電連接在一起。

替代單一控制器接合墊組態，圖1中展示之控制器110具有一多控制器結合墊組態，其中該控制器110包含N個控制器接合墊120以在控制器110與記憶體晶粒 114_1 至 114_M 之間傳送一單一類型的記憶體信號，其中N係二或更大。為簡單起見，下文除非另有指定，否則本說明書及參考圖式描述且展示多控制器接合墊組態，該多控制器接合墊組態用於使僅一單一類型的記憶體信號在控制器110與記憶體晶粒 114_1 至 114_M 之間傳送。

圖1展示包含N個控制器接合墊 118_1 至 118_N 之控制器110，該等控制器接合墊 118_1 至 118_N 與包含在M個記憶體晶粒 114_1 至 114_M 上之M個接合墊 120_1 至 120_M 電連接。另外，如圖1中所展示，M個導線 122_1 至 122_M 電連接N個控制器接合墊118與M個接合墊120。

N個控制器接合墊118與M個晶粒接合墊120之間的電連接可具有一預定配置或組態。特定言之，M個記憶體晶粒114可經配置或經組態為N個群組，其中各群組與控制器110之N個控制器接合墊118之一者相關及/或電連接。該等群組中之晶粒114的數目可彼此相同或不同。導線122之各者可電連接控制器接合墊118之一者及群組中與控制器接合墊118相關的晶粒接合墊120之一者。以此方式，N個控制器接合墊118之各者經電連接至M個晶粒接合墊120之至少一者但少於全部。

作為一例示性圖解說明，假定記憶體112包含八個記憶體晶粒114，且控制器110包含兩個接合墊118(即， $M=8$ 且 $N=2$)。另外，假定八個記憶體晶粒114經分割為兩個群組，一第一群組及一第二群組，

其中各群組包含該等晶粒114之四者。例如，假定第一群組包含晶粒1、晶粒2、晶粒3、晶粒4，且第二群組包含晶粒5、晶粒6、晶粒7、晶粒8。進一步言之，假定第一群組之晶粒114與一第一控制器接合墊118₁相關，且第二群組與一第二控制器接合墊118₂相關。在此配置或組態下，一第一組導線122₁至122₄可電連接第一控制器接合墊118₁與第一群組中之晶粒接合墊120₁至120₄，且一第二組導線122₅至122₈可電連接第二控制器118₂與第二群組中之晶粒接合墊120₅至120₈。

一控制器接合墊118及一群組中與控制器接合墊118相關及/或電連接之一或多個晶粒接合墊120的各相關性可具有相對於接地或接地參考(未展示)之一相關接合墊電容。各相關接合墊電容可包含產生於控制器接合墊118與接地之間之一控制器接合墊電容、產生於相關群組中之晶粒接合墊120與接地之間之一晶粒接合墊電容，及產生於電連接控制器接合墊118與相關群組中之晶粒接合墊120之導線122之間之導線電容。因為導線122連接一群組中之晶粒接合墊120與相同接合墊118，所以控制器接合墊、晶粒接合墊，及導線電容彼此並聯電連接。如此，產生於接合墊118與一相關群組中之晶粒接合墊120之間的相關接合墊電容係控制器接合墊電容、晶粒接合墊電容，及導線電容之和。

可經由導線122在控制器接合墊118與晶粒接合墊120之間傳送記憶體信號，作為具有對應於邏輯「高」及邏輯「低」之電壓位準的信號。傳送記憶體信號所消耗之電力與 $\frac{1}{2}CV^2$ 成比例，其中C係相關接合墊電容且V係信號之電壓。在一時段期間，一信號在邏輯「高」與邏輯「低」電壓位準之間振盪或切換次數越多，所消耗之電力越多。產生信號時之電壓位準通常係固定的，且因此為減少在一時段內之電力消耗，必須減少信號切換或振盪之次數(即，操作頻率)及/或接合墊電

容。

相較於其中控制器110包含僅一單一控制器接合墊118(即， $N=1$)但晶粒114及晶粒接合墊120之數目 M 保持相同之替代實施例，針對圖1中展示的控制器110之組態，產生於 N 個控制器接合墊118與 M 個晶粒接合墊120之間的相關接合墊電容可更小。例如，使用其中記憶體112包含八個晶粒114(即， $M=8$)之上文圖解說明，若控制器110包含僅一單一接合墊118，則全部八個晶粒接合墊120可電連接至相同、單一控制器接合墊118。相應地，與單一控制器接合墊118相關之接合墊電容包含與八個晶粒接合墊120相關之全部八個晶粒接合墊電容之和。相比之下，當使用多個控制器接合墊118時，可減小接合墊電容，因為與各控制器接合墊118電連接之晶粒接合墊之數目減少。例如，使用上文圖解說明，其中使用兩個控制器接合墊118且各者電連接至八個晶粒接合墊120之四者，相較於單一控制器接合墊組態，與控制器接合墊118之各者相關之接合墊電容更小，因為各控制器接合墊118連接至僅四個晶粒接合墊而非全部八個。

控制器110可進一步包含與芯部116及控制器接合墊118通信之選擇電路124。針對一些例示性組態，與控制器接合墊118組合之選擇電路124可被稱作一PAD單元或一PAD巨集(macro)。選擇電路124可經組態以選擇性地傳送輸出自芯部116之記憶體信號至控制器接合墊118，控制器接合墊118與芯部116想要使用來傳送記憶體信號的晶粒接合墊118相關及/或電連接。

為使用上文實例進行圖解說明，假定為執行一主機寫入命令，資料待寫入至一第一記憶體114₁。在圖解說明中，因為第一記憶體晶粒114₁係連接至第一控制器接合墊118₁之第一群組之部分，所以選擇電路124可經組態以選擇性地將待寫入至第一記憶體晶粒114₁之資料傳送至第一控制器接合墊118₁而非第二控制器接合墊118₂。

另外，如下文更詳細描述，選擇電路124可經組態以適當地改變在記憶體112與芯部116之間傳送之信號的邏輯電壓位準。特定言之，針對儲存模組100之一些例示性組態，控制器110(包含芯部116)可經組態以在不同於記憶體112之邏輯電壓位準下操作。芯部116之一例示性邏輯「高」電壓位準可係1.0伏特且記憶體112之一邏輯「高」電壓位準可係1.8伏特或3.3伏特。針對此等組態，選擇電路124可經組態以改變邏輯電壓位準。

芯部116可經組態以判定其想要使用且不要使用控制器接合墊118之何者來傳送記憶體信號。特定言之，當芯部116判定其想要與記憶體112通信一記憶體信號時，此可包含發送一記憶體信號至晶粒 114_1 至 114_N 之一者或自晶粒 114_1 至 114_N 之一者接收一記憶體信號，該芯部116可經組態以識別經使用以傳送記憶體信號之記憶體晶粒114。芯部116可接著經組態以判定與經識別晶粒114相關及/或電連接之一控制器接合墊118。芯部116可以各種方式(諸如透過使用映射、解碼、或藉由在使控制器接合墊118與記憶體晶粒114相關之一表格中執行一表格查找)判定相關控制器接合墊118。

另外，如芯部116所期望，芯部116可經組態以控制選擇電路124之選擇性通信，使得相關控制器接合墊118接收所傳送之記憶體信號，而不與經識別晶粒114相關的一或多個其他控制器接合墊118不接收記憶體信號。芯部116可經組態以藉由產生及/或發送一或多個控制信號至選擇電路124控制選擇性通信，此可組態選擇電路124使其處於一期望或預定狀態中。在期望或預定狀態中，如芯部116所期望，切換電路124可電連接或耦合相關控制器接合墊118與芯部116，同時將一或多個其他不相關控制器接合墊118自控制器116斷開電連接或解耦。相應地，當選擇電路124處於預定狀態中且接收來自芯部116之一記憶體信號時，該選擇電路124發送記憶體信號至與經識別晶粒114相

關之控制器接合墊118而非一或多個其他不相關控制器接合墊118。繼而，可將記憶體信號自相關控制器接合墊118傳送至經識別記憶體晶粒114之一晶粒接合墊120。相似地，當選擇電路124處於預定狀態中且經由相關控制器接合墊118接收傳送自經識別記憶體晶粒114的一記憶體信號時，選擇電路124可傳送記憶體信號至芯部116。在芯部116判定晶粒114之何者來傳送記憶體信號之後，芯部116即可基於晶片啟用信號或其他相關信號產生控制信號。

另外，如下列進一步詳細描述，控制信號可組態選擇電路124以使不與經識別晶粒114相關之其他控制器接合墊118處於及/或維持在一穩態中，諸如藉由施加一穩態電壓位準(例如，邏輯「高」電壓或一邏輯「低」電壓)、或組態其他控制器接合墊118使其等處於一浮動狀態或一高阻抗狀態中。使不與經識別晶粒114相關之其他控制器接合墊118處於一穩態中可在記憶體信號在相關控制器接合墊118與相關群組中之晶粒接合墊120之間傳送時，防止或阻止其他控制器接合墊118上之電壓位準在邏輯電壓位準之間切換。

圖2展示與芯部116及N個控制器接合墊118通信的選擇電路124之一例示性組態之一電路示意圖。選擇電路124可包含N個路徑202，其中各路徑與N個控制器接合墊118之一者電通信及/或耦合。各路徑可經組態以在芯部116與控制器接合墊118之間傳送記憶體信號，各路徑與控制器接合墊118通信。

選擇電路124亦可包含與N個路徑202整合之切換電路204。該切換電路204可經組態以使路徑202之各者及各自之控制器接合墊118與芯部116電連接或斷開電連接。當切換電路204電連接一路徑202與芯部116時，路徑202可經組態以或能夠接收來自芯部116之記憶體信號且將該等信號傳送至一各自之接合墊118，或反之亦然。替代地，當切換電路204使一路徑202與芯部106斷開電連接時，路徑202可不經組

態以或無法在芯部116與一各自之控制器接合墊118之間傳送記憶體信號。

在一例示性組態中，如圖2中所展示，切換電路204可包含N個開關 SW_1 至 SW_N 以使路徑202₁至202_N與芯部116選擇性地連接且斷開連接。開關 SW_1 至 SW_N 之各者可與一各自之路徑202₁至202_N通信及/或係一各自之路徑202₁至202_N之部分。另外，開關 SW_1 至 SW_N 之各者可經組態以在複數個狀態或位置之間切換。針對圖2中展示之組態，該等狀態可包含一斷開狀態及一閉合狀態。針對開關SW之各者，當開關SW閉合時，各自之路徑202可與芯部116連接。替代地，當開關SW斷開時，各自之路徑202可與芯部116斷開連接。

另外，選擇電路124可包含與N個路徑202整合之發射器電路206。發射器電路206可經組態以接收由芯部116輸出之記憶體信號、產生記憶體信號之經放大或經充電版本、且輸出該經放大或經充電版本至控制器接合墊118之一者。如前文所述，由發射器電路206接收之記憶體信號可具有第一邏輯位準，且在第二、不同之電壓位準下，發射器電路可輸出經放大或經充電版本。

在圖2中展示之例示性組態中，發射器電路124可包含N個發射器TX₁至TX_N，該等發射器TX₁至TX_N經組態以輸出記憶體信號至一各自之控制器接合墊118。用於發射器TX₁至TX_N之例示性電路可包含緩衝器或中繼器，然可另外或替代地使用其他類型之電路以放大經接收之信號或為該經接收之信號充電。針對一些例示性組態，發射器TX₁至TX_N可連接至一邏輯「高」電壓 V_{DDO} 及一邏輯「低」電壓 V_{SSO} 。如圖2中所展示，針對一些組態，該邏輯「低」電壓 V_{SSO} 可連接至接地。

發射器TX₁至TX_N之各者可係一各自之路徑202₁至202_N之部分或包含在一各自之路徑202₁至202_N中。另外，發射器TX₁至TX_N之各者的輸入可與一各自或相關開關 SW_1 至 SW_N 通信。針對各發射器TX，當

一各自或相關開關SW閉合時，發射器TX之輸入可與芯部116通信且可經組態以接收輸出自芯部116之記憶體信號，且輸出經接收之記憶體信號至一各自之控制器接合墊118。替代地，當各自或相關開關SW斷開時，發射器TX之輸入可不與芯部116通信且無法接收輸出自芯部116之記憶體信號。當開關SW斷開且發射器TX之輸入不與芯部116通信時，輸入可係「浮動」，此繼而組態發射器TX使其處於一「浮動」狀態，導致發射器TX施加一高阻抗至各自之控制器接合墊118。

芯部116可經組態以輸出控制信號至開關SW₁至SW_N以控制SW₁至SW_N之狀態，諸如以控制SW₁至SW_N之各者是否斷開或閉合。芯部116可經組態以基於一經識別晶粒114來判定SW₁至SW_N之各者的狀態，記憶體信號被發送至該經識別晶粒114及/或係接收自該經識別晶粒114。在判定晶粒114之後，芯部114即可判定控制接合墊118₁至118_N之何者與該經識別晶粒114相關。芯部116可接著判定輸出控制信號，以閉合與連接至相關控制器接合墊118之路徑202相關及/或係該路徑202之部分的開關SW。芯部116亦可判定輸出控制信號，以斷開不包含在連接至相關控制器接合墊118之路徑202中或不是該路徑202之部分的其他開關SW，這組態不與經識別晶粒114相關之控制器接合墊118，使其等處於高阻抗或浮動狀態中。接著，當芯部116輸出記憶體信號時，記憶體信號可透過閉合之開關SW沿相關路徑被發送、由相關發射器TX充電，且被發射至相關控制器接合墊118，其中記憶體信號可接著跨導線122被發送至具有經識別晶粒114之晶粒114群組中的晶粒接合墊120。

圖3展示與芯部116及N個控制器接合墊118通信之選擇電路124之另一例示性組態之一電路示意圖。圖3中展示之組態可與圖2中展示之組態相似，除當切換電路304中之開關SW經組態以使相關路徑302自芯部116斷開連接時以外，開關SW可經連接或連結至一邏輯「高」電

壓位準或一邏輯「低」電壓位準。如圖3中所展示，邏輯電壓位準可係邏輯「高」電壓位準 V_{DDO} 或施加至發射器TX之邏輯「低」電壓位準 V_{SSO} 。藉由組態開關SW以使其等連接至邏輯「高」或邏輯「低」電壓位準，至相關發射器TX之輸入可經連結至邏輯位準電壓而非浮動。繼而，發射器TX可經組態以在邏輯「高」或邏輯「低」位準下輸出及/或施加穩態電壓至各自之控制器接合墊118。

在圖3中展示之例示性組態中，開關 SW_1 至 SW_N 之各者可經組態以在經組態處於四個不同狀態中之間切換。在一第一狀態中，開關 SW_1 至 SW_N 之各者可連接至一各自之信號端子 S_1 至 S_N ，此可電連接一各自之發射器TX之輸入及控制器接合墊118至芯部116。在第二狀態中，開關 SW_1 至 SW_N 之各者可連接至一各自之邏輯「高」電壓端子 H_1 至 H_N ，該等邏輯「高」電壓端子 H_1 至 H_N 連接至邏輯「高」電壓 V_{DDO} ，此可連結或連接一各自之發射器TX之輸入及控制器接合墊118至一邏輯「高」電壓位準。在第三狀態中，開關 SW_1 至 SW_N 之各者可連接至一各自之邏輯「低」電壓端子 L_1 至 L_N ，該等邏輯「低」電壓端子 L_1 至 L_N 連接至邏輯「低」電壓 V_{SSO} ，此可連結或連接一各自之發射器TX之輸入及控制器接合墊118至一邏輯「低」電壓位準。在第四狀態中，開關 SW_1 至 SW_N 之各者可自芯部116及邏輯「高」電壓及邏輯「低」電壓 V_{DDO} 、 V_{SSO} 斷開連接，且為一各自之發射器TX及控制器接合墊118提供一浮動狀態輸入(如由浮動端子 F_1 至 F_N 所表示)。

在替代組態中，開關 SW_1 至 SW_N 可經組態以在少於全部四個狀態之間切換。例如，開關 SW_1 至 SW_N 可經組態以在僅兩個狀態之間切換，其中該等狀態之一者係連接各自之發射器TX及控制器接合墊118至芯部118之第一狀態，且另一狀態係第二、第三、或第四狀態。替代地，開關 SW_1 至 SW_N 可經組態以在四個狀態之僅三者之間切換，諸如第一狀態與第二、第三、及第四狀態之二者。開關 SW_1 至 SW_N 之各

種組態可行，且當開關 SW_1 至 SW_N 自芯部116斷開連接時，開關 SW_1 至 SW_N 之各種組態取決於是否連結控制器接合墊118至一邏輯「高」電壓、一邏輯「低」電壓、或一浮動狀態。

另外，如前文所述，圖1至圖3展示針對僅一單一類型之記憶體信號傳送的一多控制器接合墊組態。可針對不同類型的記憶體信號之全部或至少多於一個之傳送實施相似或複製性組態。另外，儘管控制器110之一些例示性實施例可針對不同類型的記憶體信號之全部的傳送使用該多控制器接合墊組態，然其他例示性實施例可針對少於全部不同類型的記憶體信號之傳送使用該多控制器接合墊組態。另外或替代地，用於不同記憶體信號之各者的 N 個控制器接合墊118可彼此相同或不同。例如，控制器110之一組態可具有用於傳送一第一類型的記憶體信號之兩個控制器接合墊、用於傳送一第二類型的記憶體信號之兩個控制器接合墊、用於傳送一第三類型的記憶體信號之一單一控制器接合墊、及用於傳送一第四類型的記憶體信號之三控制器接合墊。關於針對不同類型的記憶體信號之單一及多控制器接合墊組態的各種組態或組態之組合係可能的。

另外，本描述關於圖1至圖3描述一儲存模組之一例示性實施例，其中位於記憶體晶粒外部之一控制器的選擇電路經組態以基於哪個記憶體晶粒係控制器之一芯部想要使用以傳送一記憶體信號之一選擇，而選擇性地使控制器之接合墊與晶粒耦合或解耦。在替代實施例中，選擇性耦合及解耦可由記憶體側而非控制器側控制或發生在記憶體側上而非控制器側上。例如，若第一記憶體晶粒114₁想要傳送一記憶體信號至與第一記憶體晶粒114₁電連接之一控制器接合墊118，則記憶體112(諸如第一記憶體晶粒114₁)可經組態以選擇性地解耦亦電耦合至控制器接合墊118之其他記憶體晶粒114。以此方式，當第一記憶體晶粒114₁發送一記憶體信號至控制器接合墊118時，可產生較少相

關接合墊電容，此可在發射期間減少整體電力消耗。

另外或替代地，如所描述之選擇性耦合及解耦可經一般實施或經應用用於兩個或兩個以上電子裝置、晶片、或其他電路之間的傳送，該等電子裝置、晶片、或其他電路使用接合墊及導線傳送且利用晶片選擇或其他相似之選擇方案來識別或選擇其等想要用來傳送之裝置、晶片、電路、或一裝置、一晶片、或電路之區域。

針對一些例示性組態，儲存模組100可藉由成為主機之一嵌入式裝置或藉由與一主機可移除地連接，而由一主機實施。圖4A及圖4B展示此等實施方案。如圖4A中所展示，可將儲存模組100嵌入一主機410中。除嵌入儲存模組100外，主機410亦可具有一主機控制器420。即，主機410可具體實施主機控制器420及儲存模組100，使得主機控制器420與嵌入式儲存模組100介接以管理其操作。例如，儲存模組100可採取SanDisk Corporation之一iNAND™ eSD/eMMC嵌入式快閃驅動機的形式。主機控制器420可使用主機介面116(圖1)與嵌入式儲存模組100介接。另外，當儲存模組100嵌入主機410中時，由控制器110在儲存模組100中執行之一些或全部功能可替代地由主機控制器420執行。

主機410可採取任一形式，舉例而言，諸如但不限於一固態驅動機(SSD)、一混合式儲存模組(具有一硬磁碟驅動機及一固態驅動機兩者)、一記憶體快取系統、一行動電話、一平板電腦、一數位媒體播放機、一遊戲裝置、一個人數位助理(PDA)、一行動(例如，筆記型、膝上型)個人電腦(PC)、或一書籍閱讀器。如圖4A中所展示，主機410可包含選用之其他功能性模組430。例如，若主機410係一行動電話，則其他功能性模組430可包含硬體及/或軟體組件以進行且撥打電話呼叫。作為另一實例，若主機410具有網路連接能力，則其他功能性模組430可包含一網路介面。僅存在一些實施例，且可使用其他實施方案。又，主機410可包含未在圖4A中展示以簡化圖式之其他組件(例

如，一音訊輸出、輸入輸出埠等等)。

如圖4B中所展示，替代作為一主機中之一嵌入式裝置，儲存模組100可具有實體及電連接器，該等連接器允許儲存模組100經由對接連接器可移除地連接至一主機440(具有一主機控制器445)。如此，儲存模組100可係獨立於主機440(且不嵌入其中)之一單獨裝置。在此實例中，例如，儲存模組100可係一可移除記憶裝置，諸如一安全數位(SD)記憶體卡、一microSD記憶體卡、一緊湊型快閃(CF)記憶體卡、或一通用串列匯流排(USB)裝置(具有至主機之一USB介面)，且主機440係一單獨裝置，諸如一行動電話、一平板電腦、一數位媒體播放機、一遊戲裝置、一個人數位助理(PDA)、一行動(例如，筆記型、膝上型)個人電腦(PC)、或一書籍閱讀器。

圖5展示在一儲存模組中在一控制器之多個接合墊與多個記憶體晶粒之間傳送信號之一例示性方法500的一流程圖。在方塊502，控制器之一芯部可判定使用多個晶粒之一者傳送(包含判定發送或接收)一信號，諸如一資料信號、一命令信號、或其他信號。該判定可包含選擇或識別該等晶粒之何者來傳送信號。在方塊504，芯部可識別與在方塊502識別之晶粒相關及/或電連接之控制器的複數個接合墊之一接合墊。如前文所述，接合墊可透過解碼、執行一表格查找或存取使記憶體中之多個晶粒的各者與接合墊中的一者相關之一映射方案，而識別接合墊。

在方塊506，芯部可產生且輸出控制信號至定位於控制器之芯部與接合墊之間的切換電路。控制信號可組態切換電路以電連接在方塊504識別之接合墊與芯部且使未在方塊504識別之控制器的一或多個接合墊自芯部斷開連接或與該芯部隔離。以此方式，當信號經傳送時，經識別接合墊可接收信號且一或多個其他接合墊可不接收信號。切換信號亦可組態切換電路使其經組態以使一或多個其他接合墊電性處於

及/或維持在一穩態中，諸如藉由施加一邏輯「高」電壓、一邏輯「低」電壓；或組態該一或多個其他接合墊使其處於一高阻抗狀態或一浮動狀態中。

在方塊508，切換電路可接收輸出自芯部之控制信號且可根據控制信號而組態。針對一些例示性方法，在接收控制信號之後，切換電路中之開關即可在複數個不同狀態之間切換及/或經組態處於複數個不同狀態之一者中，以使芯部與耦合至各自之接合墊的路徑電連接或斷開連接。例如，控制信號可組態一開關使其處於一第一狀態(諸如一閉合狀態)中以電連接芯部與在方塊504識別之接合墊，且組態一或多個其他開關使其處於一第二狀態(諸如一斷開狀態)中以使芯部自未在方塊504識別之其他接合墊斷開電連接。另外或替代地，當經切換處於第二狀態時，一或多個其他開關可連結或連接至一穩態電壓(諸如一邏輯「高」電壓、一邏輯「低」電壓)或不連接而處於一浮動狀態(高阻抗)。

在方塊510中，未在方塊504識別之其他接合墊可經組態處於及/或維持在一穩態中。例如，可施加穩態電壓至具有耦合至其他接合墊之輸出之發射器的輸入，且由發射器輸出之經放大或充電穩態電壓可施加至其他接合墊。當施加穩態電壓至其他接合墊時，該等其他接合墊不會像經識別接合墊在其接收使用芯部及在方塊502識別之記憶體晶粒所傳送之信號時般，在邏輯「高」電壓位準與邏輯「低」電壓位準之間切換或振盪。

在方塊512，可經由在方塊504識別之接合墊在芯部與在方塊502識別之晶粒之間傳送信號。可透過連接控制器之經識別接合墊與一或多個晶粒之接合墊或接腳的一或多個導線傳送信號，該一或多個晶粒係一群組或一組晶粒之部分。可透過經識別接合墊及一或多個導線傳送信號，同時將其他接合墊維持在穩態中。群組中之該等晶粒的一者

可包含在方塊502識別之晶粒。另外，該群組可包含組成儲存模組之記憶體之少於全部之晶粒。以此方式，較小量之接合墊電容可產生於在方塊504識別之接合墊與與經識別接合墊相關之群組中的記憶體晶粒之接合墊之間，此可減少傳送信號時之整體電力消耗。另外，在方塊512，可沿耦合在方塊504識別之接合墊與芯部之控制器的一路徑傳送信號。在一些方法中，信號可傳遞通過電耦合經識別接合墊與芯部的一閉合開關。在由芯部發射信號之情況下，可由一發射器之一輸入接收信號，其中可使用電荷放大或泵送該信號，且接著在將該信號傳送至晶粒群組或晶粒組之前由發射器將其輸出至經識別接合墊。

希望上述詳細描述被理解為實施例可採取之所選形式的一圖解說明，且非旨在限制下列申請專利範圍。又，下列請求項之一些可陳述一組件可操作以執行某一功能或經組態用於某一任務。應注意，此等陳述並非約束性限制。亦應注意，可以任一順序執行申請專利範圍中列舉之行為，不一定以列舉其等之順序執行。另外，本文描述之較佳實施例之任一者的任一態樣可單獨使用或彼此組合使用。總而言之，儘管已參考本發明之某些實施例相當詳細地描述本發明，然其他版本係可能的。因此，隨附申請專利範圍之精神及範疇不應限於本文所含之實施例的描述。

【符號說明】

100	儲存模組
110	儲存控制器/儲存模組控制器/控制器
112	記憶體
114 ₁ 至114 _M	記憶體晶粒
116	芯部/主機介面
118 ₁ 至118 _N	控制器接合墊
120 ₁ 至120 _M	晶粒接合墊

122_1 至 122_M	導線
124	選擇電路
202_1 至 202_N	路徑
204	切換電路
206	發射器電路
302_1 至 302_N	相關路徑
410	主機
420	主機控制器
430	其他功能性模組
440	主機
445	主機控制器
500	方法
502	方塊
504	方塊
506	方塊
508	方塊
510	方塊
512	方塊
F1	浮動端子
H_1 至 H_N	邏輯「高」電壓端子
L_1 至 L_N	邏輯「低」電壓端子
S_1 至 S_N	信號端子
SW_1 至 SW_N	開關
TX_1 至 TX_N	發射器
V_{DDO}	邏輯「高」電壓
V_{SSO}	邏輯「低」電壓

發明摘要

※ 申請案號：103139293

※ 申請日：103/11/12

※IPC 分類：G06F 3/06 (2006.01)
G06F 13/42 (2006.01)

【發明名稱】

具有多個接合墊及/或發射器的單一輸入/輸出單元

SINGLE INPUT/OUTPUT CELL WITH MULTIPLE BOND PADS
AND/OR TRANSMITTERS

【中文】

本發明揭示一種儲存模組，其可包含經組態以與具有複數個記憶體晶粒之一記憶體通信之一控制器。該控制器可包含複數個接合墊，其中各接合墊經組態以傳送一相同類型之記憶體信號，且其中各接合墊經電連接至該複數個記憶體晶粒之至少一者且少於全部。該控制器之一芯部可識別其想要傳送一記憶體信號之一記憶體晶粒以及用以傳送該記憶體信號之一相關接合墊。

【英文】

A storage module may include a controller configured to communicate with a memory having a plurality of memory dies. The controller may include a plurality of bond pads, where each bond pad is configured to communicate a same type of memory signal, and where each bond pad is electrically connected to at least one but less than all of the plurality of memory dies. A core of the controller may identify a memory die that it wants to communicate a memory signal and an associated bond pad with which to communicate the memory signal.

圖式

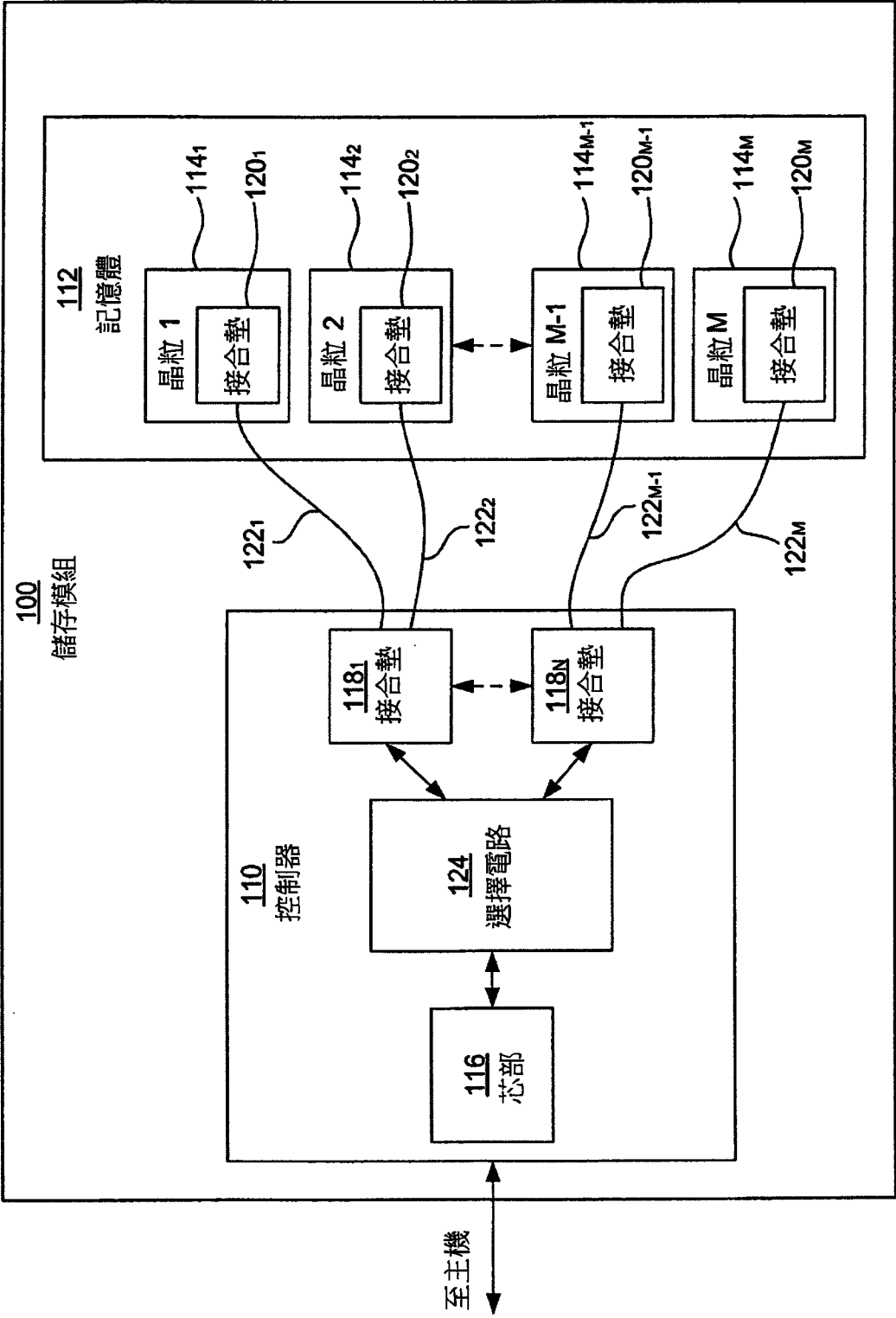
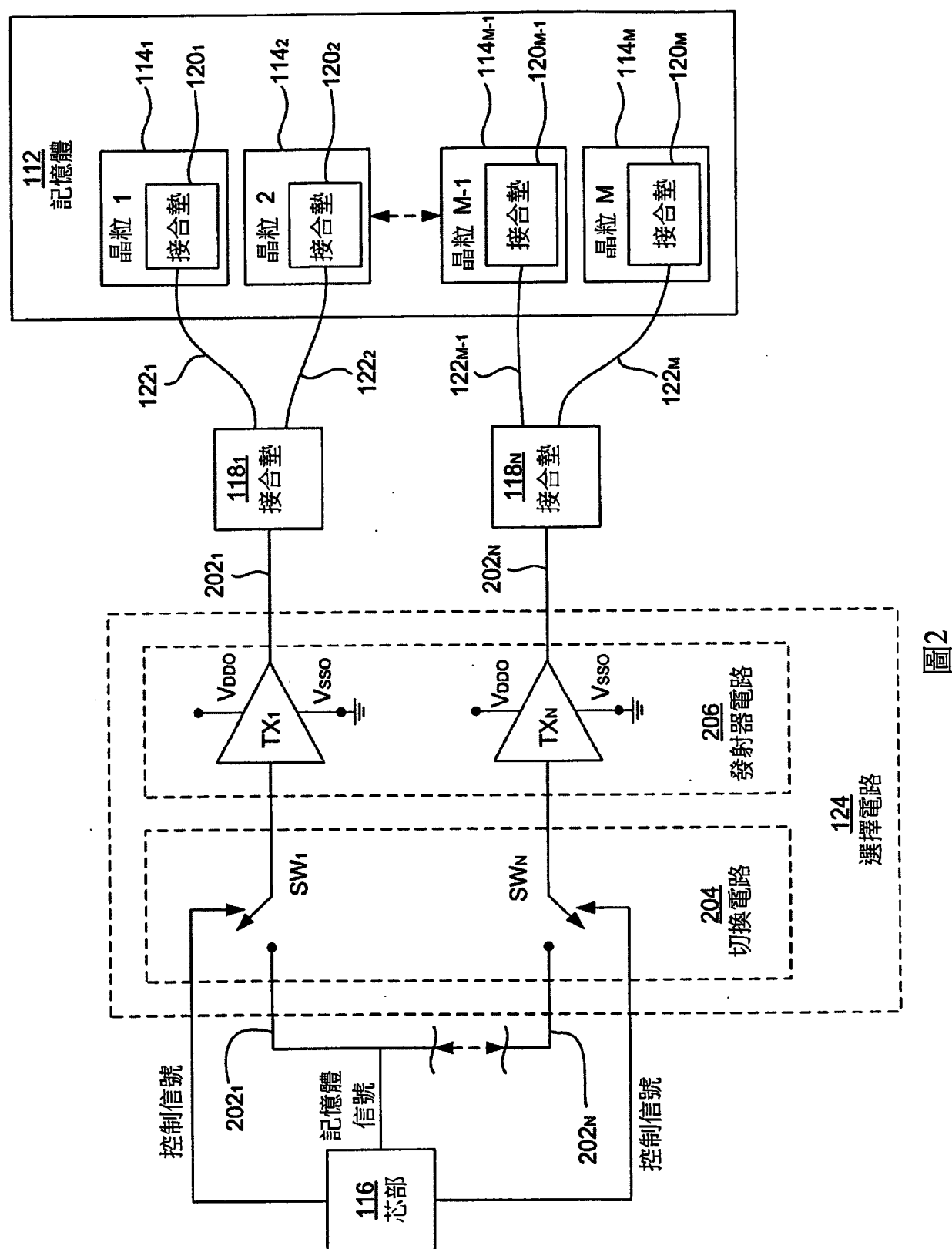


圖1





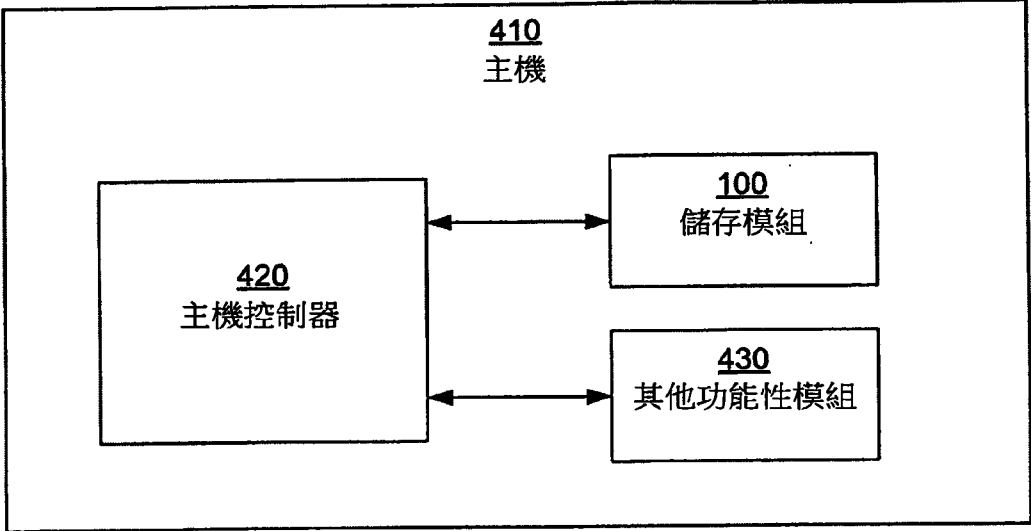


圖 4A

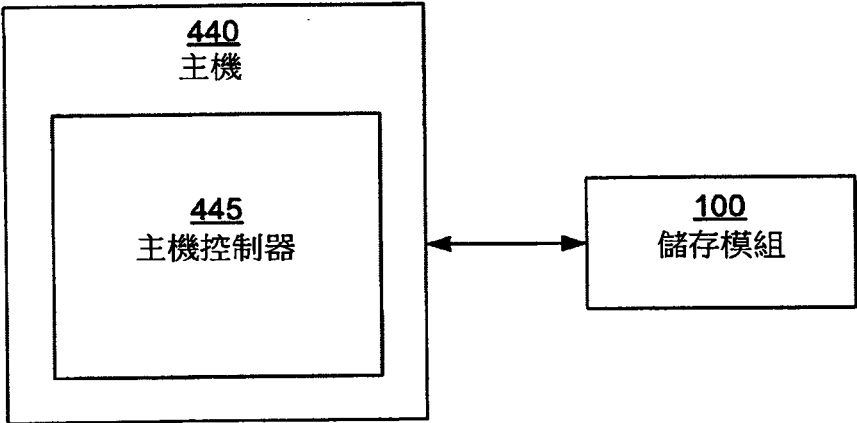


圖 4B

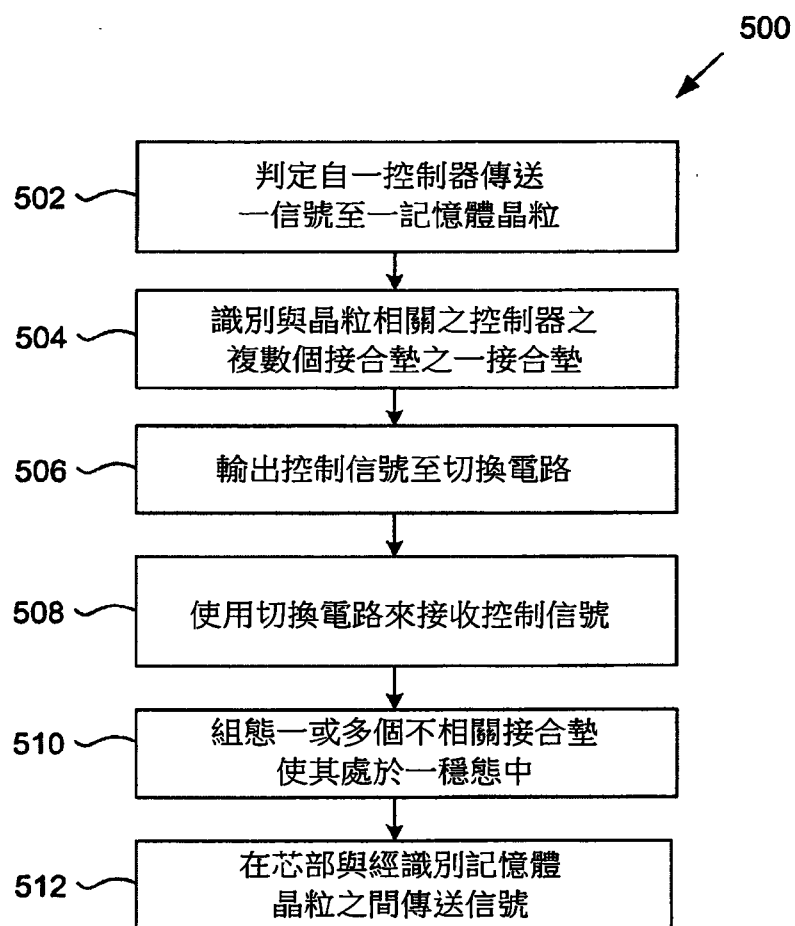


圖 5

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

100	儲存模組
110	儲存控制器/儲存模組控制器/控制器
112	記憶體
114 ₁ 至114 _M	記憶體晶粒
116	芯部/主機介面
118 ₁ 至118 _N	控制器接合墊
120 ₁ 至120 _M	晶粒接合墊
122 ₁ 至122 _M	導線
124	選擇電路

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

申請專利範圍

1. 一種電子裝置，其包括：

一第一電路，其包括複數個第一電路接合墊，該複數個第一電路接合墊經組態以傳送一相同類型之信號；

一第二電路，其包括：

複數個第二電路接合墊，其經組態以使用該第一電路之該複數個第一電路接合墊來傳送該相同類型之信號，其中該等第一電路接合墊之各者經電連接至該複數個第二電路接合墊之至少一者且少於全部；及

複數個區域，該複數個區域之各者包括該複數個第二電路接合墊之一者；及

切換電路；

其中該第一電路進一步包括一芯部，該芯部與該複數個第一電路接合墊選擇性地通信，該芯部經組態以判定傳送相同類型之一信號至該複數個區域中之一經識別區域，且基於該判定而傳送一或多個控制信號至該切換電路，且

其中該切換電路回應於該一或多個控制信號而經組態以在一預定狀態中將該芯部與一相關第一電路接合墊電性連接，且將該複數個第一電路接合墊之一或多個不相關第一電路接合墊與該芯部斷開電連接(disconnect)，該相關第一電路接合墊與該經識別區域電性連接，該一或多個不相關第一電路接合墊未電連接至該經識別區域。

2. 如請求項1之電子裝置，其中該芯部進一步經組態以判定該複數個第一電路接合墊之何者用以傳送該信號。

3. 如請求項1之電子裝置，其進一步包括發射器電路，該發射器電

路經組態以：

當該切換電路處於該預定狀態中時：

發射該信號至該相關第一電路接合墊；及

將該一或多個不相關第一電路接合墊維持在一穩態中。

4. 如請求項3之電子裝置，其中處於該預定狀態中之該切換電路進一步經組態以：

傳送該信號至該發射器電路之一第一發射器，該第一發射器用於發射該信號至該相關第一電路接合墊；及

提供一穩態輸入至該發射器電路之一或多個第二發射器，以將該一或多個不相關第一電路接合墊維持在該穩態中。

5. 如請求項3之電子裝置，其中將該一或多個不相關第一電路接合墊維持在該穩態中之該發射器電路經組態以施加一穩態電壓至該一或多個不相關第一電路接合墊，或組態該一或多個不相關第一電路接合墊使其處於一高阻抗狀態中。

6. 如請求項5之電子裝置，其中該穩態電壓包括施加至該發射器電路以為該發射器電路供電之一電壓。

7. 如請求項1之電子裝置，其中該複數個第一電路接合墊及該複數個第二電路接合墊經組態以經由接合導線而彼此通信。

8. 如請求項1之電子裝置，其中該複數個區域包括複數個晶片。

9. 一種電子裝置，其包括：

一第一電路，其包括複數個第一電路接合墊，該複數個第一電路接合墊經組態以傳送一相同類型之信號；及

一第二電路，其包括複數個第二電路接合墊，該複數個第二電路接合墊經組態以使用該第一電路之該複數個第一電路接合墊來傳送該相同類型之信號，

其中該等第一電路接合墊之各者經電連接至該複數個第二電

路接合墊之至少一者且少於全部，

其中該第二電路包括一記憶體，該記憶體包括複數個記憶體晶粒，其中該複數個記憶體晶粒之各者包括該複數個第二電路接合墊之一者，且

其中該第一電路包括經組態以與該記憶體通信以執行記憶操作之一控制器。

10. 一種方法，其包括：

使用一第一電路之一芯部判定使用一第二電路來傳送一信號，該信號係一預定類型；

使用該芯部，自該第二電路之複數個區域中識別用以傳送該信號之一第一區域；

使用該芯部，自該第一電路之複數個第一電路接合墊中識別用以傳送該信號之一相關第一電路接合墊，其中該複數個第一電路接合墊經組態以用該第二電路之該複數個區域來傳送該預定類型之信號，其中該複數個第一電路接合墊之各者經電連接至該複數個區域之至少一者且少於全部，且其中該相關第一電路接合墊經電連接至該第一區域；

組態選擇電路使其處於一預定狀態中，以電連接該相關第一電路接合墊至該芯部，且使該複數個第一電路接合墊之一或多個不相關第一電路接合墊斷開電連接，而用以傳送該信號之該芯部未識別該一或多個不相關第一電路接合墊；及

經由該相關第一電路接合墊，在該芯部與該第一區域之間傳送該信號。

11. 如請求項10之方法，進一步包括：

使用該芯部，發送一或多個控制信號至該選擇電路，以組態該選擇電路使其處於該預定狀態中。

12. 如請求項11之方法，進一步包括：

當該選擇電路處於該預定狀態中時：

使用該選擇電路，在該芯部與該相關第一電路接合墊之間傳送該信號；及

使用該選擇電路，將該一或多個不相關第一電路接合墊維持在一穩態中。

13. 如請求項12之方法，其中將該一或多個不相關第一電路接合墊維持在一穩態中包括：

使用該選擇電路，將該一或多個不相關第一電路接合墊維持在該穩態中，同時在該芯部與該相關第一電路接合墊之間傳送該信號。

14. 如請求項12之方法，其中將該一或多個不相關第一電路接合墊維持在該穩態中包括：

使用該選擇電路，施加一穩態電壓至該一或多個不相關第一電路接合墊；或

使用該選擇電路，組態該一或多個不相關第一電路接合墊使其處於一浮動狀態中。

15. 一種儲存裝置，其包括：

一控制器，其經組態以與包括複數個記憶體晶粒之一記憶體通信，該控制器包括：

複數個控制器接合墊，其等經組態以用該複數個記憶體晶粒之複數個晶粒接合墊來傳送一相同類型的記憶體信號，該複數個控制器接合墊之各者經電連接至該複數個晶粒接合墊之至少一者且少於全部；及

一芯部，其經組態以：

判定以與該複數個記憶體晶粒之一記憶體晶粒通信一記

憶體信號，該記憶體信號係該相同類型；

基於該判定，自該複數個控制器接合墊中識別經由其以與該記憶體晶粒通信該記憶體信號之一控制器接合墊；

發送一或多個控制信號至選擇電路，該一或多個控制信號組態該選擇電路使其處於一預定狀態中，其中當該選擇電路經組態處於該預定狀態中時，該選擇電路將經識別之該控制器接合墊電連接至該芯部，且使該複數個控制器接合墊之一或多個不相關控制器接合墊自該芯部斷開電連接；及

與經識別之該控制器接合墊通信該記憶體信號。

16. 如請求項15之儲存裝置，其中該一或多個控制信號進一步組態該選擇電路使其處於該預定狀態中，使得處於該預定狀態中之該選擇電路組態該一或多個不相關控制器接合墊使其處於一穩態中。

17. 一種電子裝置，其包括：

一第一電路，其包括複數個第一電路接合墊，該複數個第一電路接合墊經組態以傳送一相同類型之信號；

一第二電路，其包括：複數個第二電路接合墊，其經組態以使用該第一電路之該複數個第一電路接合墊來傳送該相同類型之信號，其中該等第一電路接合墊之各者經電連接至該複數個第二電路接合墊之至少一者且少於全部；及複數個區域，該複數個區域之各者包括該複數個第二電路接合墊之一者；

用於識別將一信號發送至該複數個區域中之一區域的構件；

用於回應於該經識別區域而組態選擇電路使其處於一預定狀態中的構件，其中該預定狀態將該用於識別之構件電連接至一

相關第一電路接合墊，且使該用於識別之構件與一不相關第一電路接合墊斷開電連接，該相關第一電路接合墊與該區域之一第二電路接合墊電性連接，該不相關第一電路接合墊未與該區域之該第二電路接合墊電連接；及

用於將該信號傳送至該區域的構件。

18. 如請求項17之電子裝置，其進一步包括：

用於將一或多個控制信號發送至該用於組態選擇電路的構件以將該選擇電路組態為處於該預定狀態中之構件。

19. 如請求項17之電子裝置，其進一步包括：

當該選擇電路處於該預定狀態中時用於將該不相關第一電路接合墊維持在一穩態中的構件，

其中該用於發送該信號的構件包括該選擇電路，該選擇電路經組態以在該選擇電路處於該預定狀態中時在該用於識別的構件與該相關第一電路接合墊之間發送該信號。

20. 如請求項19之電子裝置，其中該用於維持的構件包括用於將一穩態電壓施加至該不相關第一電路接合墊的構件。

21. 如請求項19之電子裝置，其中該用於維持的構件包括用於將該不相關第一電路接合墊組態成一浮動狀態的構件。