

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4292425号
(P4292425)

(45) 発行日 平成21年7月8日(2009.7.8)

(24) 登録日 平成21年4月17日(2009.4.17)

(51) Int.Cl.

H03K 23/48 (2006.01)

F I

H03K 23/48

請求項の数 4 (全 7 頁)

(21) 出願番号 特願2007-75958 (P2007-75958)
 (22) 出願日 平成19年3月23日(2007.3.23)
 (65) 公開番号 特開2008-258660 (P2008-258660A)
 (43) 公開日 平成20年10月23日(2008.10.23)
 審査請求日 平成20年3月10日(2008.3.10)
 (31) 優先権主張番号 特願2007-66104 (P2007-66104)
 (32) 優先日 平成19年3月15日(2007.3.15)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 304053854
 エプソンイメージングデバイス株式会社
 長野県安曇野市豊科田沢6925
 (74) 代理人 100107906
 弁理士 須藤 克彦
 (72) 発明者 藤村 典夫
 長野県安曇野市豊科田沢6925 エプソ
 ンイメージングデバイス株式会社内

審査官 石田 勝

最終頁に続く

(54) 【発明の名称】 グレイコードカウンタ及び表示装置

(57) 【特許請求の範囲】

【請求項 1】

グレイコードを生成するグレイコードカウンタにおいて、

第 n ビットのグレイコードの 1 つ下位ビットである第 $(n - 1)$ ビットのグレイコードのクロックを 2 分周する分周回路と、前記分周回路の出力を第 $(n - 2)$ ビット以下のグレイコードに基づいて遅延する遅延回路と、前記遅延回路の出力をクロックに応じて保持し、かつ遅延して、第 n ビットのグレイコードを出力する順序回路と、を備えることを特徴とするグレイコードカウンタ。

【請求項 2】

前記遅延回路は、前記第 $(n - 2)$ ビット以下のグレイコードの値が第 1 の値である時に、前記分周回路の出力を選択して出力し、前記第 $(n - 2)$ ビット以下のグレイコードの値が第 2 の値である時に、前記順序回路の出力を選択して出力することで、前記第 $(n - 2)$ ビット以下のグレイコードの値が前記第 1 の値になるまで前記分周回路の出力を遅延することを特徴とする請求項 1 に記載のグレイコードカウンタ。

【請求項 3】

前記遅延回路は、第 1 ビットから第 $(n - 2)$ ビットまでの $(n - 2)$ ビット分のグレイコードの論理積を作成する論理積回路と、この論理積が第 1 の値である時に、前記分周回路の出力を選択し、前記論理積が第 2 の値である時に、前記順序回路の出力を選択する選択回路とを備えることで、前記論理積が前記第 1 の値になるまで前記分周回路の出力を遅

10

20

延することを特徴とする請求項 1 に記載のグレイコードカウンタ。

【請求項 4】

請求項 1、2、3 のいずれかに記載のグレイコードカウンタを備えた表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、グレイコードカウンタと、グレイコードカウンタを備えた表示装置に関する。

【背景技術】

【0002】

従来より、クロックを計数し、その計数値に応じてグレイコードを出力するグレイコードカウンタが知られている。グレイコードは、1つのビットの値のみが「0」から「1」に、又は「1」から「0」に変化するコードである。グレイコードカウンタは通常のカウンタに比して、低消費電力であり、カウントエラーを低減することができる。グレイコードカウンタについては、特許文献 1、2 に開示されている。

【特許文献 1】特開平 6 - 53818 号公報

【特許文献 2】特開 2003 - 283331 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、従来のグレイコードカウンタにおいては、グレイコードの生成回路が複雑で、信号の遅延時間を決定するクリティカルパスの遅延時間が長いため、高速動作ができないという問題があった。

【課題を解決するための手段】

【0004】

本発明のグレイコードカウンタは、グレイコードを生成するグレイコードカウンタにおいて、第 n ビットのグレイコードの 1 つ下位ビットである第 $(n - 1)$ ビットのグレイコードのクロックを 2 分周する分周回路と、前記分周回路の出力を第 $(n - 2)$ ビット以下のグレイコードに基づいて遅延する遅延回路と、前記遅延回路の出力をクロックに応じて保持し、かつ遅延して、第 n ビットのグレイコードを出力する順序回路と、を備えることを特徴とする。

【0005】

また、本発明の表示装置は、上記のグレイコードカウンタを備えることを特徴とする。

【発明の効果】

【0006】

本発明によれば、クリティカルパスの遅延時間を短縮し、高速動作が可能なグレイコードカウンタを提供することができる。また、本発明のグレイコードカウンタを表示装置に用いることにより、表示装置の高速動作が可能になる。

【発明を実施するための最良の形態】

【0007】

本発明の実施の形態について図面を参照しながら説明する。図 1 は本発明の実施の形態による 8 ビットのグレイコードカウンタの回路図である。このグレイコードカウンタは、リセット端子 R 付きの D 型フリップフロップ 1 ~ 9 (以下、R D F F という)、AND 回路 11 ~ 15、選択回路 21 ~ 26、リセット端子 R 付きの D 型フリップフロップ 31 ~ 38 (以下、R D F F という) から構成され、8 個の R D F F 31 ~ 38 の出力端子 Q からそれぞれグレイコード Q0 ~ Q7 (Q0 が第 1 ビット、Q7 が第 8 ビットに当たる) が出力される。

【0008】

R D F F 1 ~ 9 は、その反転出力端子 / Q からの反転出力信号がデータ入力端子 D に帰還入力されて、クロック入力端子 C に入力されるクロックを 2 分周する分周回路であり、

10

20

30

40

50

それぞれリセット信号 R E S E T によりリセットされる。R D F F 1 は、クロック C L K を 2 分周して、出力端子 Q から基準クロック Q_{org}を出力する。R D F F 2 はこの基準クロック Q_{org}をさらに 2 分周して出力端子 Q から出力する。R D F F 3 ~ R D F F 9 は、それぞれ 1 ビット下位のグレイコード Q₀ ~ Q₆ のクロックを 2 分周してそれぞれの出力端子 Q から出力する。

【 0 0 0 9 】

選択回路 2 1 ~ 2 6 は、グレイコードの第 3 ビット ~ 第 8 ビットに対応して設けられ、選択信号入力端子 S E L に入力される選択信号が「 0 」のとき、第 1 入力端子 I N 1 に入力された信号を出力端子 O U T から出力し、選択信号入力端子 S E L に入力される選択信号が「 1 」のとき、第 2 入力端子 I N 2 に入力された信号を出力端子 O U T から出力する回路である。選択回路 2 1 ~ 2 6 は簡単なスイッチング回路で作成することができる。選択回路 2 1 ~ 2 6 の第 1 入力端子 I N 1 には対応するビットのグレイコード Q₂ ~ Q₇ が入力され、第 2 入力端子 I N 2 には対応するビットの R D F F 4 ~ 9 の出力端子 Q から出力される出力信号 Q_{2 0} ~ Q_{7 0} が入力される。

【 0 0 1 0 】

上記選択信号は、選択回路 2 1 については、第 1 ビットのグレイコード Q₀ の反転信号 Q_{N 0} であり、選択回路 2 2 ~ 2 6 については、それぞれ A N D 回路（論理積回路）1 1 ~ 1 5 で作成される。A N D 回路 1 1 ~ 1 5 は、第 4 ビット ~ 第 8 ビットのグレイコードに対応して設けられ、第 1 ビットから対応するビットの下位 2 ビットまでの各グレイコードの反転データの論理積を作成する。

【 0 0 1 1 】

例えば、第 4 ビット（グレイコード Q₃）については、第 1 ビットと第 2 ビットの各グレイコードの反転コード Q_{N 0} と Q_{N 1} の論理積を作成する。即ち、選択回路 2 1 ~ 2 6 と A N D 回路 1 1 ~ 1 5 は、R D F F 4 ~ R D F F 9 の出力信号を下位ビットのグレイコードに基づいて一定期間マスクすることによって遅延させる遅延回路を形成している。

【 0 0 1 2 】

次に、上述のグレイコードカウンタにおいて、グレイコードの各ビットの作成について、図 1 の回路図、図 2 の動作タイミング図、図 3 のグレイコードを参照して具体的に説明する。なお、図 2、図 3 は便宜上、グレイコードの途中までを示している。なお、グレイコードカウンタは、R D F F 1 ~ 9 および R D F F 3 1 ~ 3 8 がそれぞれリセット信号 R E S E T によりリセットされてから動作を開始する。

【 0 0 1 3 】

第 1 ビットのグレイコード Q₀ は、R D F F 2 の出力信号 Q_{0 0} を、R D F F 3 1 を通してクロック C L K に同期させて出力することで得られる。つまり、R D F F 3 1 は R D F F 2 の出力信号 Q_{0 0} をクロック C L K の立ち上がり同期してデータ入力端子 D から取り込んで保持し、次のクロック C L K の立ち上がり同期して、出力端子 Q から出力する。同様に、第 2 ビットのグレイコード Q₁ は、R D F F 3 の出力信号 Q_{1 0} を、R D F F 3 2 を通してクロック C L K に同期させて出力することで得られる。

【 0 0 1 4 】

第 3 ビットのグレイコード Q₂ については、R D F F 4 の出力信号 Q_{2 0} を、選択回路 2 1 によって遅延させ、R D F F 3 3 を通してクロック C L K に同期させて出力することで得られる。即ち、選択回路 2 1 は第 1 ビットの反転グレイコード Q_{N 0} が「 1 」の時に、出力信号 Q_{2 0} を選択して、これを R D F F 3 3 に入力する。

【 0 0 1 5 】

第 4 ビットのグレイコード Q₃ については、R D F F 5 の出力信号 Q_{3 0} を、A N D 回路 1 1 及び選択回路 2 2 によって遅延させ、R D F F 3 4 を通してクロック C L K に同期させて出力することで得られる。即ち、第 1 ビットの反転グレイコード Q_{N 0} 及び第 2 ビットの反転グレイコード Q_{N 1} が「 1 」の時に A N D 回路 1 1 の出力は「 1 」になるので、このとき選択回路 2 2 は、出力信号 Q_{3 0} を選択して、これを R D F F 3 4 に入力する。

【 0 0 1 6 】

第5ビットのグレイコードQ4については、R D F F 6の出力信号Q4_oを、AND回路12及び選択回路23によって遅延させ、R D F F 35を通してクロックC L Kに同期させて出力することで得られる。即ち、Q N 0、Q N 1、Q N 2が「1」の時にAND回路12の出力は「1」になるので、このとき選択回路23は、出力信号Q4_oを選択して、これをR D F F 35に入力する。

【 0 0 1 7 】

第6ビットのグレイコードQ5については、R D F F 7の出力信号Q5_oを、AND回路13及び選択回路24によって遅延させ、R D F F 36を通してクロックC L Kに同期させて出力することで得られる。即ち、Q N 0、Q N 1、Q N 2、Q N 3が「1」の時にAND回路13の出力は「1」になるので、このとき選択回路24は、出力信号Q5_oを選択して、これをR D F F 36に入力する。

10

【 0 0 1 8 】

第7ビットのグレイコードQ6については、R D F F 8の出力信号Q6_oを、AND回路14及び選択回路25によって遅延させ、R D F F 37を通してクロックC L Kに同期させて出力することで得られる。即ち、Q N 0、Q N 1、Q N 2、Q N 3、Q N 4が「1」の時にAND回路14の出力は「1」になるので、このとき選択回路25は、出力信号Q6_oを選択して、これをR D F F 37に入力する。

【 0 0 1 9 】

第8ビットのグレイコードQ7については、R D F F 9の出力信号Q7_oを、AND回路15及び選択回路26によって遅延させ、R D F F 38を通してクロックC L Kに同期させて出力することで得られる。即ち、Q N 0、Q N 1、Q N 2、Q N 3、Q N 4、Q N 5が「1」の時にAND回路15の出力は「1」になるので、このとき選択回路26は、出力信号Q7_oを選択して、これをR D F F 38に入力する。

20

【 0 0 2 0 】

なお、AND回路11～26は、対応するグレイコードが入力されたNOR回路によって置き換えることができる。例えば、AND回路11は、第1ビットのグレイコードQ0と第2ビットのグレイコードQ1が入力されたNOR回路と等価である。

【 0 0 2 1 】

以上、8ビットのグレイコードカウンタについて説明したが、9ビット以上についても同様である。一般に第nビット（nは、4以上の自然数）のグレイコードは、第nビットに対応する分周回路の出力を、AND回路と選択回路によって遅延させ、R D F Fを通してクロックC L Kに同期させて出力することで得られる。この場合、AND回路は、反転グレイコードの第1ビットから第（n - 2）ビットまでの（n - 2）ビットが入力される。

30

【 0 0 2 2 】

そして、選択回路はAND回路の出力が「1」の時に、前記分周回路の出力を選択し、選択回路はAND回路の出力が「1」の時には、R D F Fの出力を選択する。また、上述のようにAND回路は第1ビットから第（n - 2）ビットまでの（n - 2）ビット分のグレイコードが入力されたNOR回路で置き換えることができる。

40

【 0 0 2 3 】

このように、本発明によれば、グレイコードの各ビットは下位ビットについては、分周回路とR D F Fだけで構成され、上位ビットについては、分周回路、AND回路、選択回路、R D F Fだけで構成されているので、回路構成が簡単であり、クリティカルパスの遅延時間が短縮化され、高速動作が可能なグレイコードカウンタを実現することができる。特に、上位ビットに対応する回路のクリティカルパスは、分周回路から出力のR D F Fに至るパスであるが、AND回路の入力信号は下位ビットのグレイコードであるから、その時点ですでに確定しており遅延時間は非常に短い。また、選択回路は2つの信号のいずれかを選択するだけであるから遅延時間は非常に短い。

【 0 0 2 4 】

50

次に、本発明のグレイコードカウンタを用いた液晶表示装置について説明する。図４はそのような液晶表示装置のブロック図である。液晶表示装置１０１において、液晶表示パネル１０１Ｐ上に表示エリア（画素エリア）、水平ドライバ１０１Ｈ、垂直ドライバ１０１Ｖが形成され、表示パネル１０１Ｐの外部にタイミングコントローラＩＣ１０２が設けられている。タイミングコントローラＩＣ１０２内に、本発明のグレイコードカウンタ１０３と、このグレイコードカウンタ１０３が生成したグレイコードをデコードしてそれぞれ水平スタートパルスＳＴＨ、垂直スタートパルスＳＴＶを作成するデコーダ１０４Ｈ、１０４Ｖが設けられている。タイミングコントローラＩＣ１０２によって作成された水平スタートパルスＳＴＨ、垂直スタートパルスＳＴＶはそれぞれ、水平ドライバ１０１Ｈ、垂直ドライバ１０１Ｖに入力される。そして、水平ドライバ１０１Ｈは水平スタートパルスＳＴＨを順次転送して水平走査信号を作成し、垂直ドライバ１０１Ｖは垂直スタートパルスＳＴＶを順次転送して垂直走査信号を作成する。

10

【００２５】

したがって、この液晶表示装置１０１によれば、グレイコードカウンタ１０３の高速動作が可能なので、液晶表示装置１０１の全体の高速化が可能になる。グレイコードカウンタ１０３は、ＴＦＴで形成することができるので、低温ポリシリコン技術を用いて、液晶表示パネル１０１Ｐを構成しているガラス基板上に水平ドライバ１０１Ｈ、垂直ドライバ１０１Ｖ等と共に形成してもよい。これにより、半導体部品点数の削減、組立の簡便化が図れるので、外部回路基板のサイズも小さくでき、液晶表示装置１０１全体として小型化及び軽量化を図ることができる。また、本発明のグレイコードカウンタは、液晶表示装置だけでなく、有機ＥＬ表示装置などの他の表示装置にも同様に用いることができる。

20

【図面の簡単な説明】

【００２６】

【図１】本発明の実施の形態によるグレイコードカウンタの回路図である。

【図２】本発明の実施の形態によるグレイコードカウンタの動作タイミング図である。

【図３】本発明の実施の形態によるグレイコードカウンタにより生成されるグレイコードを示す図である。

【図４】本発明の実施の形態によるグレイコードカウンタを用いた液晶表示装置を示すブロック図である。

【符号の説明】

30

【００２７】

１～９ Ｄ型フリップフロップ（ＲＤＦＦ）

１１～１５ ＡＮＤ回路

２１～２６ 選択回路

３１～３８ Ｄ型フリップフロップ（ＲＤＦＦ）

１０１ 液晶表示装置 １０１Ｐ 表示パネル

１０１Ｈ 水平ドライバ １０１Ｖ 垂直ドライバ

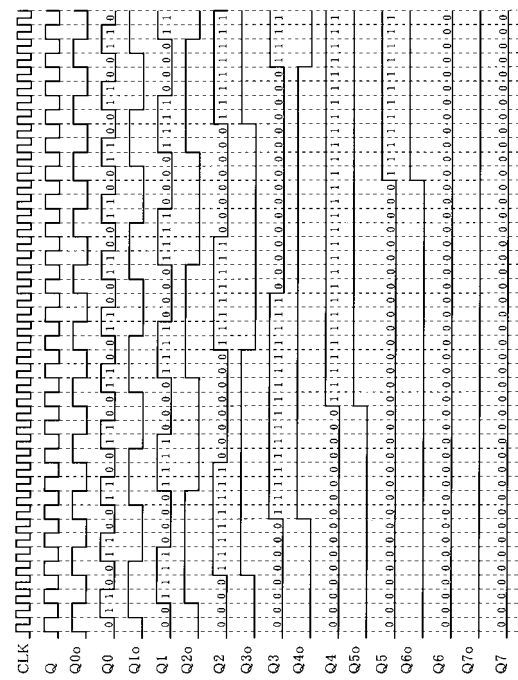
１０２ タイミングコントローラＩＣ

１０３ グレイコードカウンタ

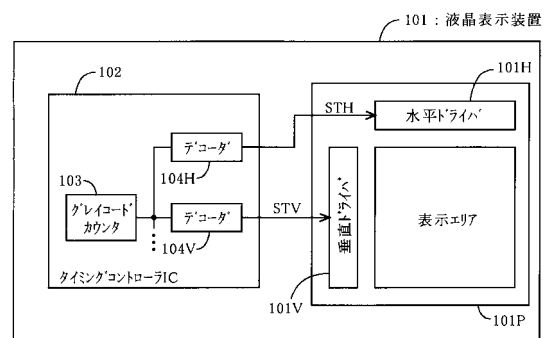
１０４Ｈ，１０４Ｖ デコーダ

40

【 図 2 】



【 図 4 】



フロントページの続き

(56)参考文献 特開平4 - 2 1 9 0 8 2 (J P , A)
特開平4 - 2 2 3 6 1 8 (J P , A)
特開平5 - 1 8 3 4 2 6 (J P , A)
特開平10 - 2 1 5 1 8 5 (J P , A)
特開平10 - 6 5 5 4 5 (J P , A)
特開2002 - 1 1 1 4 8 2 (J P , A)
特表2003 - 5 1 3 5 8 2 (J P , A)

(58)調査した分野(Int.Cl. , DB名)
H 0 3 K 2 3 / 4 8