

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-35023

(P2007-35023A)

(43) 公開日 平成19年2月8日(2007.2.8)

(51) Int. Cl.			F I			テーマコード (参考)
G06F	1/04	(2006.01)	G06F	1/04	A	5J001
H03K	5/14	(2006.01)	H03K	5/14		5J106
H03L	7/093	(2006.01)	H03L	7/08	E	
H03L	7/183	(2006.01)	H03L	7/18	B	
H03L	7/197	(2006.01)	H03L	7/18	A	

審査請求 有 請求項の数 28 O L (全 31 頁)

(21) 出願番号 特願2006-164104 (P2006-164104)
 (22) 出願日 平成18年6月13日 (2006.6.13)
 (62) 分割の表示 特願2001-520937 (P2001-520937) の分割
 原出願日 平成12年8月31日 (2000.8.31)
 (31) 優先権主張番号 09/388,043
 (32) 優先日 平成11年9月1日 (1999.9.1)
 (33) 優先権主張国 米国 (US)

(71) 出願人 591194034
 レックスマーク・インターナショナル・インコーポレーテッド
 LEXMARK INTERNATIONAL, INC
 アメリカ合衆国 40550 ケンタッキー、レキシントン、ウェスト・ニュー・サークル・ロード 740
 (74) 代理人 100076222
 弁理士 大橋 邦彦
 (72) 発明者 ハーディン、ブライアン、キース
 アメリカ合衆国 40515 ケンタッキー、レキシントン、シェイディ・オーク・プレイス 2404

最終頁に続く

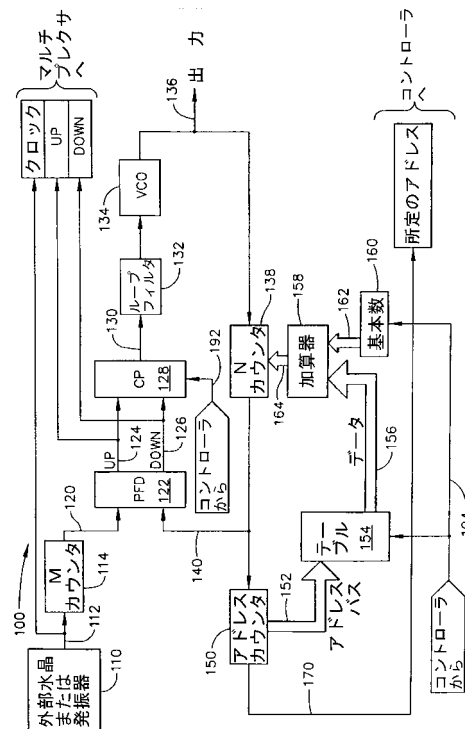
(54) 【発明の名称】 スペクトル拡散クロック発生器を自動的に補正する方法と装置

(57) 【要約】

【課題】 位相ロックループ回路内の受動素子値およびシステム利得およびチャージポンプ電流の変動を自動的に補正するスペクトル拡散クロック発生器回路を提供する。

【解決手段】 位相周波数検出器 122 の UP および DOWN 信号 124、126 のパルス幅を特定の間隔で監視し、標準パルス幅持続時間と比較して、これらの UP および DOWN 信号 124、126 の偏差誤差を判別する。パルス幅持続時間の実際の値で誤差を測定した後、誤差信号の大きさと方向に応じて位相ロックループ回路 100 を調整する。位相ロックループ利得パラメータ、特に電圧制御発振器 134 の利得およびチャージポンプ電流に変化があると、位相周波数検出器 122 の出力に著しい影響が出て、スペクトル拡散プロファイルに沿って周波数が変化するとき UP および DOWN 信号 124、126 の幅が変動する。

【選択図】 図 3



【特許請求の範囲】

【請求項 1】

スペクトル拡散クロック発生器を制御する方法であって、

(a) クロック信号を位相ロックループ回路に供給し、前記位相ロックループ回路と接続されたコントローラを備えるステップであって、前記位相ロックループが時間の経過とともに複数の出力周波数を発生するステップと、

(b) 前記位相ロックループの位相周波数検出器により生成されたUP信号およびDOWN信号の少なくとも1つのパルス幅持続時間を測定し、前記パルス幅持続時間を所定の標準持続時間と比較して、それらの間の差を見つけ、偏差誤差信号を求めるステップと、

(c) 前記コントローラが、前記偏差誤差信号に基づき前記位相ロックループの物理パラメータを制御して前記パルス幅持続時間と前記所定の標準持続時間との差を自動的に補正し、それにより時間の経過とともに前記位相ロックループの複数の出力周波数を正確に制御して所定のターゲットスペクトル拡散プロファイルを実ミュレートするステップと、
を含み、

前記位相ロックループがチャージポンプ、電圧制御発振器、およびN除算カウンタを備え、

前記位相ロックループの物理パラメータを制御するステップが、(i) 前記チャージポンプ電流を変化させるステップと、(ii) 前記N除算カウンタのN値を変化させるステップと、(iii) 前記電圧制御発振器の利得を変化させるステップと、を含む方法。

【請求項 2】

さらに、

(a) 前記N除算カウンタから出力信号を受け取るアドレスカウンタと、前記アドレスカウンタからアドレス値を受け取るメモリ内の値のテーブルと、メモリ内の前記テーブルからデータ値を受け取り基本数レジスタからデータ値を受け取る加算器回路を備え、前記加算器回路がNの現在の値として前記N除算カウンタにより使用されるデータ信号を出力することを特徴とするステップと、

(b) スペクトル拡散期間の第1の所定のプロファイル間隔のときに、Nの一定値を前記N除算カウンタに送るステップと、

(c) 前記スペクトル拡散期間の次の所定のプロファイル間隔のときに、前記第1の所定のプロファイル間隔を終わりに、Nの異なる一定値を前記N除算カウンタに送り、それにより、前記位相ロックループが前記次の所定のプロファイル間隔の間に異なる周波数を出力するステップと、

を含むことを特徴とする請求項1に記載の方法。

【請求項 3】

前記パルス幅持続時間と前記所定の標準持続時間との差を、前記UPおよびDOWN信号の前記パルス幅持続時間の最大の値を示す時間の経過による前記位相ロックループの複数の出力周波数のスペクトル拡散プロファイルのプロファイル間隔で測定し、前記最大のパルス幅持続時間が、時間の経過による前記位相ロックループの複数の出力周波数の前記スペクトル拡散プロファイルの勾配の急激な変化の後に発生することを特徴とする請求項1に記載の方法。

【請求項 4】

前記スペクトル拡散プロファイルが前記位相ロックループの複数の出力周波数と時間との対比に関してピークのある形状を示し、前記ピークのある形状が勾配変化が著しい最大ピークを含み、また勾配変化が著しい最小の谷を含むことを特徴とする請求項3に記載の方法。

【請求項 5】

前記スペクトル拡散プロファイルが前記位相ロックループの複数の出力周波数と時間との対比に関して滑らかな形状を示し、前記滑らかな形状が正弦波形状を含むことを特徴とする請求項3に記載の方法。

【請求項 6】

10

20

30

40

50

前記パルス幅持続時間と前記所定の標準持続時間との差を、比較的大きな偏差誤差信号を示すが、前記UPおよびDOWN信号の前記パルス幅持続時間の最大の値を必ずしも示さない、時間の経過による前記位相ロックループの複数の出力周波数のスペクトル拡散プロファイルのプロファイル間隔で測定し、前記比較的大きな偏差誤差信号が、時間の経過による前記位相ロックループの複数の出力周波数の前記スペクトル拡散プロファイルの勾配の急激な変化のすぐ前に発生することを特徴とする請求項1に記載の方法。

【請求項7】

前記スペクトル拡散プロファイルが前記位相ロックループの複数の出力周波数と時間との対比に関してピークのある形状を示し、前記ピークのある形状が勾配変化が著しい最大ピークを含み、また勾配変化が著しい最小の谷を含むことを特徴とする請求項6に記載の方法。

10

【請求項8】

前記スペクトル拡散プロファイルが前記位相ロックループの複数の出力周波数と時間との対比に関して滑らかな形状を示し、前記滑らかな形状が正弦波形状を含むことを特徴とする請求項6に記載の方法。

【請求項9】

複数の直列遅延段を備える遅延チェーンを較正するステップを含み、前記正確なクロック信号が既知の周波数であり、これを使用して1遅延段あたりの伝播遅延時間を測定し、前記遅延チェーンではそれ以降、前記UPおよびDOWN信号のパルス幅持続時間を測定することを特徴とする請求項1に記載の方法。

20

【請求項10】

遅延チェーンの前記遅延段のそれぞれが遅延素子とフリップフロップを備え、さらに、前記遅延チェーンを使用することにより、前記UP信号、前記DOWN信号、および前記正確なクロック信号の瞬間的なパルス幅持続時間を測定するステップを含むことを特徴とする請求項9に記載の方法。

【請求項11】

遅延チェーンの前記遅延段のそれぞれが遅延素子、フリップフロップ、および前記フリップフロップの出力信号状態を維持する論理回路を備え、さらに、前記遅延チェーンを使用することにより、前記遅延チェーンパルス幅情報を累積し、それにより複数の前記UP信号および前記DOWN信号の前記パルス幅持続時間の最大値を測定するステップを含むことを特徴とする請求項9に記載の方法。

30

【請求項12】

遅延チェーンの前記遅延段のそれぞれが遅延素子、フリップフロップ、前記フリップフロップの出力信号状態を維持する第1の論理回路、および2つのモードで動作する第2の論理回路を備え、さらに、前記第2の論理回路の第1の動作モードを使用することにより、前記正確なクロック信号の瞬間的なパルス幅持続時間を測定しながら前記遅延チェーンを較正し、前記遅延チェーンおよび前記第2の論理回路の第2の動作モードを使用することにより、パルス幅情報を累積し、それにより複数の前記UP信号および前記DOWN信号の前記パルス幅持続時間の最大値を測定するステップを含むことを特徴とする請求項9に記載の方法。

40

【請求項13】

スペクトル拡散クロック発生回路であって、

(a) 既知の一定の周波数出力クロック信号を発生するクロック回路と、

(b) 時間の経過とともに複数の出力周波数を発生する位相ロックループ回路と、

(c) (i) 前記位相ロックループの位相周波数検出器により生成されたUP信号およびDOWN信号の少なくとも1つのパルス幅持続時間を測定し、(ii) 前記パルス幅持続時間と所定の標準持続時間とを比較し、その間の差を求め、偏差誤差信号を導き、(iii) 前記偏差誤差信号に基づいて前記位相ロックループの物理パラメータを制御することにより前記パルス幅持続時間と前記所定の標準持続時間との差を自動的に補正するように構成され、それにより、時間の経過とともに前記位相ロックループの複数の出力周波数

50

を制御し所定のターゲットスペクトル拡散プロファイルをエミュレートするコントローラを備え、

前記位相ロックループがチャージポンプ、電圧制御発振器、およびN除算カウンタを備え、前記位相ロックループの物理パラメータを制御するステップが、(i)前記チャージポンプ電流を変化させるステップと(ii)前記N除算カウンタのN値を変化させるステップと、(iii)前記電圧制御発振器の利得を変化させるステップを含むことを特徴とするスペクトル拡散クロック発生回路。

【請求項14】

前記パルス幅持続時間と前記所定の標準持続時間との差を、前記UPおよびDOWN信号の前記パルス幅持続時間の最大の値を示す時間の経過による前記位相ロックループの複数の出力周波数のスペクトル拡散プロファイルの少なくとも1つのプロファイル間隔で測定し、前記最大のパルス幅持続時間が、時間の経過による前記位相ロックループの複数の出力周波数の前記スペクトル拡散プロファイルの勾配の急激な変化の後に発生することを特徴とする請求項13に記載のスペクトル拡散クロック発生回路。

10

【請求項15】

誤差信号としての、前記パルス幅持続時間と前記所定の標準持続時間との差を、誤差信号の比較的大きな偏差を示すが、前記UPおよびDOWN信号の前記パルス幅持続時間の最大の値を必ずしも示さない、時間の経過による前記位相ロックループの複数の出力周波数のスペクトル拡散プロファイルのプロファイル間隔で測定し、前記比較的大きな偏差誤差信号が、時間の経過による前記位相ロックループの複数の出力周波数の前記スペクトル拡散プロファイルの勾配の急激な変化のすぐ前に発生することを特徴とする請求項13に記載のスペクトル拡散クロック発生回路。

20

【請求項16】

遅延チェーンを構成する複数の直列遅延段を備え、前記一定の周波数出力クロック信号を使用して1遅延段あたりの伝播遅延時間を測定し、前記遅延チェーンではそれ以降、前記UPおよびDOWN信号の実際のパルス幅持続時間を測定することを特徴とする請求項13に記載のスペクトル拡散クロック発生回路。

【請求項17】

遅延チェーンの前記遅延段のそれぞれが遅延素子とフリップフロップを備え、さらに、前記遅延チェーンで、前記UP信号、前記DOWN信号、および前記一定な周波数の出力クロック信号の瞬間的なパルス幅持続時間を測定することを特徴とする請求項16に記載のスペクトル拡散クロック発生回路。

30

【請求項18】

遅延チェーンの前記遅延段のそれぞれが遅延素子、フリップフロップ、および前記フリップフロップの出力信号状態を維持する論理回路を備え、前記遅延チェーンがパルス幅情報を累積し、それにより複数の前記UP信号および前記DOWN信号の前記パルス幅持続時間の最大値を測定することを特徴とする請求項16に記載のスペクトル拡散クロック発生回路。

【請求項19】

遅延チェーンの前記遅延段のそれぞれが遅延素子、フリップフロップ、前記フリップフロップの出力信号状態を維持する第1の論理回路、および第1のモードでは、前記一定の周波数出力クロック信号の瞬間的なパルス幅持続時間を測定する動作をしながら前記遅延チェーンを較正し、第2のモードでは、前記遅延チェーンがパルス幅情報を累積する第2の論理回路を備え、それにより複数の前記UP信号および前記DOWN信号の前記パルス幅持続時間の最大値を測定することを特徴とする請求項16に記載のスペクトル拡散クロック発生回路。

40

【請求項20】

前記N除算カウンタから出力信号を受け取るアドレスカウンタと、前記アドレスカウンタからアドレス値を受け取るメモリ内の値のテーブルと、メモリ内の前記テーブルからデータ値を受け取り基本数レジスタからデータ値を受け取る加算器回路を備え、前記加算器

50

回路がNの現在の値として前記N除算カウンタにより使用されるデータ信号を出力することを特徴とする請求項13に記載のスペクトル拡散クロック発生回路。

【請求項21】

前記アドレスカウンタ、テーブル、および加算器回路がスペクトル拡散期間の第1の所定のプロファイル間隔の間に前記N除算カウンタにNの定数値を送り、前記第1の所定のプロファイル間隔が終わったら、前記アドレスカウンタ、テーブル、および加算器回路は前記スペクトル拡散期間の次の所定のプロファイル間隔の間に前記N除算カウンタにNの異なる定数値を送り、それにより、前記位相ロックループが前記次の所定のプロファイル間隔で異なる周波数を出力することを特徴とする請求項20に記載のスペクトル拡散クロック発生回路。

10

【請求項22】

さらに前記UP信号、前記DOWN信号、および前記既知の一定の周波数出力クロック信号を入力として受け取るマルチプレクサ回路を備え、またさらに遅延チェーンを構成する複数の直列遅延段を備え、前記既知の一定の周波数出力クロック信号を使用して1遅延段あたりの伝播遅延時間を測定し、前記遅延チェーンでは、前記UPおよびDOWN信号のパルス幅持続時間を測定することを特徴とする請求項21に記載のスペクトル拡散クロック発生回路。

【請求項23】

メモリ内の前記テーブルおよび前記基本数レジスタがランダムアクセスメモリで構成され、前記位相ロックループの物理パラメータを制御するステップが(i)前記位相ロックループの前記チャージポンプ電流を変化させるステップと(ii)前記N除算カウンタのN値を変化させるステップと、(iii)前記位相ロックループの電圧制御発振器の利得を変化させるステップと、(iv)前記テーブルの少なくとも1つのデータ値を変化させるステップと、(v)前記基本数のデータ値を変化させるステップを含むことを特徴とする請求項22に記載のスペクトル拡散クロック発生回路。

20

【請求項24】

前記コントローラが(i)前記マルチプレクサの動作を制御し、(ii)前記遅延チェーンの較正モードと累積モードを制御し、(iii)前記遅延チェーンのリセットモードを制御し、(iv)前記物理パラメータを制御し、(v)前記遅延チェーンからの入力を受け取って分析し、(vi)プロファイル間隔位置入力を受け取って分析するように構成されている処理回路を備えることを特徴とする請求項23に記載のスペクトル拡散クロック発生回路。

30

【請求項25】

前記コントローラが(i)前記マルチプレクサの動作を制御し、(ii)前記遅延チェーンの較正モードと累積モードを制御し、(iii)前記遅延チェーンのリセットモードを制御し、(iv)前記物理パラメータを制御し、(v)複数のレジスタにより前記遅延チェーンから入力を受け取って分析し、(vi)プロファイル間隔位置入力を受け取って分析するように構成されている論理状態機械を備えることを特徴とする請求項23に記載のスペクトル拡散クロック発生回路。

【請求項26】

メモリ内の前記テーブルが読み取り専用メモリで構成され、前記位相ロックループの物理パラメータを制御するステップが(i)前記位相ロックループのチャージポンプ電流を変化させるステップと、(ii)前記N除算カウンタのN値を変化させるステップと、(iii)前記位相ロックループの電圧制御発振器の利得を変化させるステップを含むことを特徴とする請求項22に記載のスペクトル拡散クロック発生回路。

40

【請求項27】

前記コントローラが(i)前記マルチプレクサの動作を制御し、(ii)前記遅延チェーンの較正モードと累積モードを制御し、(iii)前記遅延チェーンのリセットモードを制御し、(iv)前記物理パラメータを制御し、(v)前記遅延チェーンからの入力を受け取って分析し、(vi)プロファイル間隔位置入力を受け取って分析するように構成

50

されている処理回路を備えることを特徴とする請求項 26 に記載のスペクトル拡散クロック発生回路。

【請求項 28】

前記コントローラが (i) 前記マルチプレクサの動作を制御し、(ii) 前記遅延チェーンの較正モードと累積モードを制御し、(iii) 前記遅延チェーンのリセットモードを制御し、(iv) 前記物理パラメータを制御し、(v) 複数のレジスタにより前記遅延チェーンから入力を受け取って分析し、(vi) プロファイル間隔位置入力を受け取って分析するように構成されている論理状態機械を備えることを特徴とする請求項 26 に記載のスペクトル拡散クロック発生回路。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、一般的には、画像形成機器に関するものであり、具体的には、電磁妨害放射を低減するタイプのスペクトル拡散クロック発生器に関するものである。本発明は、特に、位相ロックループの UP および DOWN 信号のパルス幅を測定し、実際のパルス幅持続時間を代表的な値と比較し、逸脱誤差を補正するようにシステムパラメータを変化させる自動補正スペクトル拡散クロック発生器として開示されている。

【背景技術】

【0002】

高速デジタルクロック発生器は、通常、そのようなクロックを組み込む機器の設計段階で特別な注意を払わない限り、電磁妨害 (EMI) 放射に関して非常に大きな雑音を発生する。EMI 放射を低減する信頼性が高く、安価な方法の 1 つとして、米国特許第 5,488,627 号および第 5,631,920 号に開示されているようなスペクトル拡散クロックを使用する方法がある。これらの特許では、プログラマブルカウンタを使用し、メモリ回路に格納されているデータにより、スペクトル拡散周波数を変化させる回路を開示している。米国特許第 5,488,627 号と第 5,631,920 号は、本願出願人に譲渡されおり、ここに引用することにより、その内容をそっくり本願明細書に包含させるものである。

20

【特許文献 1】米国特許第 5,488,627 号

【特許文献 2】米国特許第 5,631,920 号

30

【0003】

米国特許出願第 09/169,110 号 (1998 年 10 月 8 日出願) には、クロック回路の正常動作が可能になる前にランダムアクセスメモリとマルチプレクサを使用して開始データを受信することによって、クロックを変化させることができるデジタルスペクトル拡散クロック回路が開示されている。この出願は、表題が「可変スペクトル拡散クロック」であり、Lexmark International, Inc. である本願出願人に譲渡されており、ここに引用することにより、その内容をそっくり本願明細書に包含させるものである。

【0004】

先行して入手可能なスペクトル拡散クロック発生器 (SSCG) の設計は、電圧制御発振器の利得、チャージポンプ電流、受動素子値に対する設計感度を持つ。SSCG 回路を修正することにより、感受性の高いパラメータを自動的にまたはコンピュータプログラムの制御のもとで補正すると改善される。

40

【発明の開示】

【発明が解決しようとする課題】

【0005】

そこで、本発明の主な課題は、受動素子値、電圧制御発振器の利得、およびチャージポンプ電流の変動を自動的に補正し、低い EMI 放射がより正確なクロック回路を実現するスペクトル拡散クロック発生器を実現することである。本発明の他の課題は、マイクロプロセッサベースの制御システムまたはハードウェアのみで製作された論理制御システムを

50

使用してVCO利得、チャージポンプ電流、および受動素子値の変動を自動的に補正するスペクトル拡散クロック発生器を実現することである。さらに本発明の他の課題は、位相ロックループ回路の「ピーク」(または最大)UPおよびDOWN信号を測定する誤差検出回路を正確な外部クロックを使用しながら、VCO利得、チャージポンプ電流、および受動素子値の変動を自動的に補正するスペクトル拡散クロック発生器を実現することである。

【0006】

本発明の他の課題については、以下の段落で一部説明するが、一部は以下を調べることで当業者にとっては明白となり、または本発明を実施することで学習できる。

【課題を解決するための手段】

10

【0007】

前記の課題および他の課題を達成するために、また本発明の一態様は、位相ロックループ内部回路内の電圧制御発振器利得とチャージポンプ電流の変動、ならびに受動素子値の変動を自動的に補正する改良されたスペクトル拡散クロック発生器を提示する。位相周波数検出器(PFD)のUPおよびDOWN出力をある間隔で監視し、UPおよびDOWN信号の「ピーク」(または最大)パルス幅を測定し、誤差(もしあれば)がUPおよびDOWN信号のパルス幅持続時間の間に公称値(または標準値)と比較して判別された後に、位相ロックループ(PLL)システムを誤差信号の大きさと方向に応じて調整する。

【0008】

PLL利得パラメータ、特にVCO利得およびチャージポンプ電流に変化があると、PFD出力に著しい影響が出て、スペクトル拡散プロファイルにそって周波数が変化するときUPおよびDOWN信号のパルス幅が変動する。プロファイルの一部で、UPおよびDOWN信号の「ピーク」(つまり最大)パルスは、変調プロファイルおよびPLLパラメータの関数となる。UPおよびDOWN信号のこのピークパルス幅を測定し、理論的パルス幅と比較することにより、この誤差を相殺する補正係数を求めることができる。自動補正方式は、VCO利得、チャージポンプ電流、ループフィルタ値、テーブル値、および基本数をはじめとする回路のいくつかの動作パラメータの1つまたは組み合わせを調整することで実装できる。

20

【0009】

位相ロックループ(PLL)回路は、本発明に基づくものであり、電圧制御発振器(VCO)の出力はN除算回路(N除算カウンタとも呼ばれる)に向けられ、このN除算回路の出力は帰還信号として位相周波数検出器(PFD)に戻される。基準信号、好ましくは周波数が判明している非常に高精度のクロックをPFD回路への他の入力として送る。この基準信号は、それ自体、分割信号とすることもでき、システムクロックの出力周波数の数分の1とすることができる。

30

【0010】

当業者にはよく知られているように、PFD回路の出力は、UPおよびDOWN誤差信号であり、N除算回路が意図的に一定周期のPFDの帰還入力で誤差を導き入れるためスペクトル拡散クロック発生器ではきわめて頻繁に出力されるパルスである。理論的パルス幅を実際のパルス幅と比較しているため本発明を実現可能にするのはUPおよびDOWN信号のパルス幅の正確な測定であり、誤差の補正はこの正確な測定に基づいている。

40

【0011】

好ましいスペクトル拡散プロファイルは、かなり異なるピークと谷を持ち、幾分「やせて」もいる対応する誤差プロファイル(つまり、UPおよびDOWN「誤差」信号のパルス幅を描く曲線)を出力する。これらのプロファイルを作成し制御するには、VCOで強制的に新しい周波数を放出するN除算カウンタでNに対し異なる値を導入するが、これは、PFD回路がUPまたはDOWNパルスをチャージポンプに出力するよう強制することで行われる。好ましいプロファイルには、VCOにより連続的に新しい周波数を放射させる異なる時間間隔が128あり、またプロファイルで連続的に同じ128個の間隔を繰り返すのが好ましい。好ましいプロファイルまたは「ターゲット」プロファイルを使用して

50

生成される周波数プロファイルは、適切なUPおよびDOWN信号により発生し、これらの信号は独自の誤差プロファイルを持ち、また128個の間隔からなる反復パターンを備える。

【0012】

誤差プロファイルピーク（つまり、正の「ピーク」または負の「ピーク」のいずれかであり、これらは「谷」と呼ばれることもある）は、好ましい誤差プロファイルを検査するときにきわめて異なる。さらに、回路パラメータの変動によりPLL回路が影響を受け、ターゲットプロファイルが正確に再現されない場合、比較的大きな誤差が正のピークと負のピークでのUPおよびDOWN信号のパルス幅に発生する。これは、これらのUPおよびDOWN信号パルス幅のこのような誤差の大きさを捕捉しようとする論理的な場所である。

10

【0013】

ピークと谷を示すプロファイルの位置で最大パルス幅のサンプリングを行うことに加えて、実際の誤差プロファイルも最大ピークおよび最小ピーク（または「谷」）の発生直前のターゲットプロファイルからの同様の大きな逸脱を示すこともある。プロファイル内のどこでこれらの他のかなりの逸脱が発生するかを正確に調べることは最大ピークで同じ信号を監視するのよりも困難であるが、誤差プロファイルにその他の場所を使用する方法よりも有利であり、これについて下で説明する。

【0014】

本発明を実装する際には、2つの異なる実施形態が非常に有用であり、第1の場合では、マイクロプロセッサタイプの回路をコンピュータプログラムとともに使用し、位相ロックループのN除算カウンタにロードされるNの値を制御する。他の好ましい実施形態では、マイクロプロセッサまたはその他のシーケンシャルプログラマブルデバイスなしのハードウェア論理回路を使用するが、それでも、Nに対する正しい値をN除算カウンタに順次入れる機能を持つ。両方の場合に、多数の論理ゲートと他のタイプのデジタル回路を、好ましくは、ASIC（特定用途向け集積回路）などの単一集積回路内で使用するのが好ましい。ASICは、多数の論理ゲートを備える非常に経済的な手段であり、ランダムアクセスメモリとともにマイクロプロセッサを備えることさえできる。

20

【0015】

処理回路（ASIC内に組み込まれたマイクロプロセッサなど）を使用する実施形態では、処理回路の順序論理を使用してランダムアクセスメモリ（RAM）または読み取り専用メモリ（ROM）内に格納されているデータのテーブルに索引付けを行い、テーブルの内容を順次加算回路に送り（「基本数」オフセットを提供する）、その内容をN除算カウンタにロードする。このようにして、処理回路はリアルタイムでNの値を完全に制御し、さらにPFD入力に供給される帰還信号を完全に制御する。これはさらに、チャージポンプに供給されるUPおよびDOWN信号を制御し、それにより、VCOに供給される出力電流の大きさを制御する。

30

【0016】

処理回路の実施形態において、非常に安定したクロック信号をマルチプレクサの入力に供給することが好ましい。さらに、UPおよびDOWN信号も同じマルチプレクサの入力に供給される。これらのクロック、UP、およびDOWN信号は、マルチプレクサから直列の遅延素子チェーンに選択的に出力され、これを使用して、クロック信号またはUPまたはDOWN信号の1つのいずれかのパルス幅を瞬時にサンプリングするか、または遅延チェーンを使用して複数のプロファイル期間にわたってUPまたはDOWN信号の「ピーク」または最大パルス幅を測定することができる。処理回路の制御のもとで、遅延チェーンの出力を分析し、UPおよびDOWN信号の誤差プロファイルのその場所での理論的瞬間パルス幅または累積パルス幅の1つと比較する。

40

【0017】

UPおよびDOWN信号について実際に測定されたパルス幅がプロファイル内の同じ間隔で公称またはターゲットパルス幅から逸脱しているような状況では、処理回路はこの逸

50

脱を是正するのに必要な補正量を認識し、またこの補正を行うための正しい方向も認識する。それに応じてチャージポンプ電流を修正するか、またはそれとは別に、VCOの利得を修正することも可能である。これらのいずれかを修正し制御するには、直接、処理回路を制御するが、位相ロックループのチャージポンプ電流を制御するのが好ましい。他の方法として、処理回路でループフィルタ値を修正するか、または処理回路でRAM内のテーブル値を別の方法で選択するか、または(最終的に)基本数の値を(RAM内であれば)選択的に修正することも可能である。

【0018】

直列遅延チェーンを使用する方法は、本発明の重要な特長であり、このような遅延チェーンを使用することにより、UPおよびDOWN信号の実際のパルス幅を判別する非常に精度の高い測定デバイスを安価に実装できる。本発明の回路の論理のすべて(または少なくとも論理の大半)がASICに備えられているのが好ましいため、実際の遅延素子が実際の伝播遅延時間に比べてあまり正確でないことがかなりありえるが、これらの遅延素子は同じASIC上でこのような遅延素子同士を比較したときに非常に首尾一貫していることがありえる。

10

【0019】

遅延素子は非常に正確であるのが好ましいが、本発明ではこれはASICを使用したときにはありえそうもないことを認識しているが、精度の高い遅延ライン回路を使用する際にかかるコストを考えた場合、比較的安価なASICまたはその他の類似の回路を使用するメリットはある。したがって、本発明では、非常に正確な水晶クロックの周期の間に状態を変える遅延ライン素子の数を測定することにより遅延ライン素子を定期的に較正する。マルチプレクサを使用することにより、クロック信号をUPおよびDOWN信号と同じ遅延ライン素子に通すが、これにより最終的に、これらのUPおよびDOWN信号のパルス幅の非常に正確な測定結果が得られる。

20

【0020】

マルチプレクサは少なくともそのクロックの1周期の間クロック信号を出力するのが好ましく、この出力信号は直列の遅延ライン素子に送られる。このクロックの1周期の間に論理遷移を行う遅延素子の実際の数が判明したら、その情報を使用して、この遅延ライン回路(「遅延チェーン」ともいう)の単一遅延素子の1回の伝播遅延にかかる実際の時間を判別する。この伝播遅延時間が決定されたら、マルチプレクサは複数プロファイルの間にUP信号の出力を開始し、そのUP信号のパルス幅を遅延素子の数単位で測定する。これらの遅延素子ごとに実際の伝播時間遅延がわかるので、ナノ秒単位の実際のパルス幅はすぐに判明する。これを求めた後、マルチプレクサは複数のプロファイルについてDOWN信号を遅延チェーンに出力する。DOWNパルス幅で論理遷移を行う遅延ライン素子の数が判明し、これがすぐに時間単位に変換され、それによりDOWN信号の実際のパルス幅がナノ秒単位で得られる。

30

【0021】

上述のように、UPおよびDOWN信号の実際のパルス幅時間がわかったら、これらの物理的数量を公称(またはターゲット)プロファイルの理論的パルス幅と比較する。公称または標準的な類似のパルス幅と比較した実際のUPおよびDOWNパルス幅の逸脱は、処理回路で誤差情報として使用され、チャージポンプ電流への正しい補正を行える。本発明の特定の実装に対する設計アプローチにもよるが、直列遅延素子を使用して瞬間UPおよびDOWNパルス幅のいずれかを検出するか、または特定のプロファイルに対し「ピーク」UPおよびDOWNパルス幅を検出することができる。さらに、速度が非常に重要な場合には複数の遅延チェーンを使用することができるため、各信号(つまり、クロック、UP、DOWN)を別々の遅延チェーンに送ることができ、そのためマルチプレクサが不要になる。UPおよびDOWN遅延チェーンはクロックで直接較正されないため、精度はある程度犠牲になる可能性がある。

40

【0022】

非処理回路の解決法を使用して本発明を実装する場合、論理状態機械を使用してN除算

50

カウンタ値を制御し、さらに遅延チェーンからデータを受け付け、この遅延チェーンを使用して、たとえばチャージポンプ電流またはVCOの利得のいずれかを制御することによりPLL制御の適切な補正を決定する。このいわゆる「オールエレクトロニクス解決法」では、遅延チェーンデータを、連続二進符号数値を保持することができる3つの独立のレジスタに格納するのが好ましい。第1のレジスタではUP信号データを保持し、第2のレジスタではDOWN信号データを保持し、第3のレジスタでは外部クロックデータを保持する。第4のレジスタを使用し、論理状態機械で実行する現在のステップに応じて、UPまたはDOWNパルスのいずれかの「ターゲット」または「標準」ピーク時間を保持するのが好ましい。論理状態機械の方法の詳細は、以下の好ましい実施形態の詳細な説明で述べる。

10

【0023】

本発明を処理回路（マイクロプロセッサなど）で実装する場合、コンピュータプログラムを使用してクロックデータ、UPパルス幅データ、およびDOWNパルス幅データを分析できるようにするのが好ましい。現在市販されている従来のマイクロプロセッサでは、標準的なマイクロプロセッサは逐次実行であるため順次コンピュータプログラムを必要とするが、そうしたければ並列処理回路を使用することも可能である。以下の好ましい実施形態の詳細な説明の中で、コンピュータプログラム例を詳しく開示する。

【0024】

本発明の他の利点は、当業者にとっては、本発明を実施するために考案された最良の方法の1つによる本発明の好ましい実施形態を説明し示している以下の説明と図面から明白であろう。承知のように、本発明は他の異なる実施形態も可能であり、その複数の明細は本発明から逸脱することなくさまざまな明白な態様を修正することができる。したがって、この図面と説明はその性質上説明を目的とするものとみなされ、制約するものとはみなされない。

20

【0025】

明細書に含まれ、その一部をなしている添付図面は、本発明のいくつかの態様を説明するものであり、この説明および特許請求項とともに本発明の原理を説明するのに用いられる。

【発明を実施するための最良の形態】**【0026】**

本発明のこの好ましい実施形態をここで詳しく参照するが、その例は添付図面に示されており、複数の図面にわたって類似の参照番号は類似の要素を示すものとする。

30

【0027】

図面を参照すると、図1には、従来技術で知られている、参照番号10で一般的に示されている従来の位相ロックループ（PLL）が掲載されている。20の基準信号は、位相周波数検出器（PFD）22の入力に送られ、第2の「帰還」入力が40のところにある。PFD22は2つの信号、UPおよびDOWNをそれぞれ参照番号24および26のところで出力するが、これらはチャージポンプ28の入力に接続されている。

【0028】

チャージポンプ電流は、電圧制御発振器（VCO）34に送られる30のところにある出力であり、信号30がループフィルタ32によって調整される。VCO34の出力は、30の入力電圧に比例する周波数である。VCO34の出力36は、N除算回路38に送られるが、この回路は「Nカウンタ」とも呼ばれ、累計N個の入力パルスを受信した後にパルスを1つ出力する。Nカウンタ38の出力は、PFD22の入力に帰還信号40として送られる。

40

【0029】

Nカウンタ38に対するNの値が一定のままであれば、PLL回路10は標準位相ロックループとして動作する。しかし、本発明で使用する場合は、Nカウンタ38内のNに対する値は時間の経過とともに変化し、そのため図1に示されている38のブロックには、

50

N (t) という記号が示されており、N の値が時間の経過とともに変化することを示している。従来技術で知られているように、N のこの変動はある種の処理回路で制御したり（マイクロプロセッサの制御などによる）、あるいは中央処理装置を備えていないハードウェア論理回路により制御することができる。

【 0 0 3 0 】

図 2 は、図 1 の位相ロックループ 1 0 で使用されている信号のうちいくつかの波形を示している。図 2 では、基準信号 (R E F) 2 0、帰還信号 (F B) 4 0、U P 信号 2 4、および D O W N 信号 2 6 は、縦軸または Y 軸対時間にそって（横軸または X 軸にそって）電圧信号として示されている。図 2 のグラフは、それぞれ、従来技術の P L L 回路 1 0 における U P および D O W N 信号 2 4 および 2 6 の生成を示している。

10

【 0 0 3 1 】

X 軸にそう時間マーク 5 0 から始まる、基準信号 2 0 により 6 0 で正の遷移が生じ、帰還信号 4 0 により 7 0 で類似の正の遷移が生じる。6 0 と 7 0 でのこれらの遷移は両方とも実質的に同時に（つまり時間マーク 5 0 で）生じるため、U P または D O W N 信号 2 4 および 2 6 には論理遷移がない。X 軸にそう時間マーク 5 1 では、基準信号 2 0 および帰還信号 4 0 により負の論理遷移が論理 0 に戻る。

【 0 0 3 2 】

次の時間マーク 5 2 で、帰還信号 4 0 により 7 2 で論理 0 から論理 1 への正の遷移が生じ、ちょうど基準信号 2 0 により 6 3 で論理 1 への次の遷移が生じる前に（つまり、時間マーク 5 3 で）発生する。位相ロックループにおいて、位相周波数検出器 2 2 では、6 3 の基準信号の正の遷移の前に到着したため帰還信号 4 0 となる実効出力パルスの到着が早すぎたことから、V C O の実効は速すぎると結論しなければならない。したがって、P F D 2 2 は、図 2 の D O W N 信号グラフの 9 2 と 9 3 の論理遷移からわかるように D O W N パルスを生成する（つまり、V C O を「低速にする」）。

20

【 0 0 3 3 】

基準信号と帰還信号により、時間マーク 5 4 で実質的に同時に負の遷移が生じ、図 2 の例では、これらの信号の両方により、時間マーク 5 5 で実質的に同時に正の論理遷移が生じる。したがって、時間マーク 5 5 には U P または D O W N 信号遷移がない。これはさらに時間マーク 5 6 で、基準信号と帰還信号により負の論理遷移が実質的に同時に生じるときにも当てはまる。

30

【 0 0 3 4 】

図 2 の例では、基準信号 2 0 により、6 7 で正の論理遷移が生じるが、帰還信号 4 0 では、7 8 で、後になるまで次の正の論理遷移は生じない。基準信号の論理遷移 6 7 は時間マーク 5 7 で生じ、これは 5 8 の次の時間マークよりも前であるため（帰還信号により 7 8 で論理遷移が生じるときのこと）、時間マーク 5 7 で P F D 2 2 により U P パルスが生じる。これは図 2 に示されており、U P 信号 2 4 により、8 7 で論理 1 に遷移し、8 8 で論理 0 に負の遷移を行うまで論理 1 レベルに留まる。基準信号と帰還信号の両方により、時間マーク 5 9 で、負の論理遷移が実質的に同時に生じる。

【 実施例 1 】

【 0 0 3 5 】

図 3 を参照すると、図 1 に示されているのと似ている位相ロックループ回路 1 0 0 は P F D 1 2 2、チャージポンプ 1 2 8、ループフィルタ 1 3 2、V C O 1 3 4、および N カウンタ 1 3 8 で構成されている。P F D は 1 2 4 に U P 出力と、1 2 6 に D O W N 出力を備える。チャージポンプ出力は 1 3 0 にあり、V C O 出力（および主回路周波数出力）は 1 3 6 に示されている。N カウンタ 1 3 8 の出力は、1 4 0 に示されており、これもまた P F D 1 2 2 への帰還信号を表す。P F D 1 2 2 への基準入力 は 1 2 0 に示されている。

40

【 0 0 3 6 】

非常に正確な外部水晶または発振器回路が 1 1 0 に備えられており、M カウンタ 1 1 4 に送られる出力が 1 1 2 のところにある。M カウンタ 1 1 4 の出力により P F D 1 2 2 に基準信号 1 2 0 が送られる。回路例では、外部水晶 / 発振器 1 1 0 は周波数 4 8 M H z を

50

出力し、これは上述のように、反復性についても実際の期間についても非常に正確な周波数供給源となっている。たとえば、Mの値が10に等しければ、Mカウンタ114の120での出力周波数は4.8MHzとなる。

【0037】

実行中、PLLは、Nカウンタ138のNの値がリアルタイムで変化したときに136で出力周波数を変化させる。このタイプの回路の動作については、本願出願人に譲渡された米国特許であり、ここで引用することで本願明細書に包含される米国特許第5488627号および第5631920号に詳しく説明されている。

【0038】

本発明では、112のクロック信号、124のUP信号、および126のDOWN信号はすべて、マルチプレクサへの入力として供給されるが、これについて、図4を参照しながら詳細に説明する。さらに、コントローラ回路(以下で詳しく説明する)は192のところで出力信号を出し、これによりチャージポンプ電流を制御できる。コントローラは、チャージポンプ電流の代わりにVCO134の利得を容易に制御できることが理解されるが、チャージポンプ電流が本発明において制御プロセス変数として機能することが望ましく、それは、PLL回路のVCO部分の滑らかな動作を不安定にすることなくチャージポンプ電流の変動を高速にすることができるからである。VCOの利得を制御しているが、チャージポンプ電流の制御は、本質的に136での出力周波数に対する同じ全体的な効果を持つと理解される。

【0039】

Nカウンタ138の出力140は、アドレスカウンタ150へも送られる。アドレスカウンタ150は、アドレスバス152にロードされるポインタ型の情報を格納し、この情報はスペクトル拡散クロック発生器の望ましいプロファイル内の特定の位置または場所を表す。本発明の好ましい実施形態では、スペクトル拡散クロック発生器のプロファイルは、図8に示されているような外観を持ち、50MHz、+0/-3.75MHzのシミュレートプロファイルを表す。図8では、ターゲットプロファイルは402のところに示されており、プロファイルの1サイクルの持続時間が約32マイクロ秒である期間が406のところに指定されている。この期間406は、出力信号136についてそれぞれ特定のターゲット周波数を持つ128個の異なる時間間隔を含む。これらの時間間隔のうち特定の1つで、ターゲット周波数は一定となる。しかし、プロファイル上の次の時間間隔に進むときになったら、Nカウンタ138にロードされるNに対する新しい値を使用してPLL回路の制御のもとで周波数が上または下に変更されると、408の第2の示されている期間に同一のプロファイルにより図8に示されているようにパターンが繰り返される。

【0040】

テーブル154は、図3でハードウェアブロックとして示されているが、このテーブルはRAM(ランダムアクセスメモリ)またはROM(読み取り専用メモリ)内のメモリロケーションを表す。好ましい実施形態では、テーブル154は4ビットの数値、たとえば、0から5までの間の値を保持するのに十分なメモリロケーションを含み、これらの値はNカウンタ138にロードされるNに対する値の変動を表す。テーブル154からの出力データは、データバス156を通過して加算回路158に送られる。加算器158の他のデータ入力は、「基本数」160から導かれる他のデータバス162であり、この基本数はシステム設計者の好みに応じてRAMまたはROMのいずれかに格納された数値である。

【0041】

たとえば、基本数に対する数値は24に等しく取り、テーブル154に0~5の範囲の数値を含めることができる。これらの数値は加算器158で足し合わされ、その出力は24~29の範囲の数値となり、これはデータバス164によりNカウンタ138に送られる。この例では、Nの実効値は24~29の範囲にあり、図8に示されているように、プロファイルに必要な変動が得られる。Nカウンタ138の出力でNに対する値に変化があると、チャージポンプ128が124でUP信号または126でDOWN信号のいずれか

10

20

30

40

50

を受け取り、それによりVCO134で周波数出力を変化させることに注意する必要がある。

【0042】

基本数160の値とテーブル154がRAM内に格納されている場合、システムコントローラは必要に応じて新しい値をテーブル154と基本数メモリロケーション160にロードできる。ただし、システムをセットアップした後、新しい値のロードは、素子パラメータのいくつかが素子の劣化またはある種の環境条件により通常範囲を遙かにはずれない限り必ずしも実行されない。そのような場合、コントローラは信号ライン194を介して新しい基本数160をロードし、これはデータバス156にそって出力されるテーブル値に加算される(加算器158により)Nに対する基本値を変える。さらに、テーブル値自体を変えることができるため(テーブル154がRAM内にあると仮定して)、信号ライン194を介してテーブル154に新しい値をロードすることにより(図4の)コントローラ190の制御のもとで容易に数値の変動を大きくすることもできる。

10

【0043】

テーブル154がROMに格納されている場合、これは本発明の好ましい実施形態であるが、値は順次加算器158にロードされ、いったん基本数160に加算されると最終的にNに対する値となる。この状況では、基本数160はさらにROMに格納できるが、それとは別に、RAMに格納するのも簡単で、(環境条件または素子値の劣化のため)Nに対する値の異なる範囲が必要な状況において基本数を変更することができる。テーブル154がROMに置かれているこの好ましい実施形態では、コントローラ190により信号ライン192を介してチャージポンプ電流を制御するのが好ましい。

20

【0044】

アドレスカウンタ150はさらに、アドレスカウンタ150内に格納されているすべてのアドレスのうち特定のあらかじめ決められたアドレスをデコードしたときにアクティブになる出力を170のところに持つ。この信号170はさらにコントローラ190に送られ、アドレスバス152にそって特定のプロファイルロケーションがいつ出力されたかを示し、特定の単一アドレスのデコーダとして機能する。UPまたはDOWN信号のパルス幅の測定を実行するために、あるいはタイミング測定回路を較正するために、プロファイル内の特定の間隔に達したときなど特定のイベントをコントローラ190に通知するのにこの信号170を使用するのが好ましいが、これについては以下で詳述する。

30

【0045】

図4を参照すると、図3の位相ロックループ回路100は図4では「PLLブロック」100となっている。図4では、水晶/発振器110は112のクロック信号をPLLブロック100に出力する。マルチプレクサ180は、クロック112、UP信号124、およびDOWN信号126を含む、PLLブロック100からの出力信号を受け取るように示されている。マルチプレクサ180はさらに、コントローラ190から「セレクト」信号530を受け取る。PLLブロック100ではさらに136のところに出力信号があり、これはスペクトル拡散クロック信号となる主要可変周波数出力信号である。

【0046】

マルチプレクサ180は、182で信号を出力するが、これは図4からわかるように、入力I1、I2、またはI3での入力信号の1つと同じ信号となる。これらの入力信号の1つをマルチプレクサの出力に接続するかどうかの決定について、図5~7の回路の説明を参照しながら詳しく説明する。図4からわかるように、マルチプレクサ180からの出力信号182は遅延チェーン200の一部である「チェーン入力」に送られるが、これについて、以下で図5~7を参照しながらより詳しく説明する。

40

【0047】

コントローラ190は、マイクロプロセッサまたは、マイクロコントローラやマイクロプロセッサユニットを内蔵するASIC(特定用途向け集積回路)などの中央処理装置を備えるその他の種類の集積回路で構成するのが好ましい。ただし、コントローラ190はさらに順次状態機械として本質的に機能するように十分な論理ゲートを備える固定ハード

50

ウェア論理回路も備えることができ、スペクトル拡散クロック発生器がプロファイルのさまざまな間隔を通るときにテーブルから値を選択する十分な情報処理機能により動作することができ、さらに基本数をテーブルによって生成された数値に加算し、結果をNカウンタ138などのカウンタに送信するようにできる。この非プロセッサ制御論理回路のことを本発明ではさらに、「オールエレクトロニクス解決法」と呼ぶが、マイクロプロセッサ回路も確かにエレクトロニクス（電子回路）を備える。図4を参照すると、コントローラ190はいくつかの入力信号を受信し、その入力信号の分析結果に基づいていくつかの機能を実行するが、これはその内部回路がマイクロプロセッサベースであるか「オールエレクトロニクス解決法」かには関係しない。

【0048】

遅延チェーン200は、184で1つまたは複数の「遅延チェーン出力」信号を出力し、これがコントローラ190への入力となる。遅延チェーンの出力184は一般に、多数のフリップフロップ出力から発生する複数の並列信号を含み、遅延チェーン200の遅延素子ごとに1つのフリップフロップが用意されている。これについて、図5を参照して詳しく説明する。コントローラ190は、どの信号が出力信号530を使ってマルチプレクサ180から出力されるかを判別し、「リセット」出力信号186と「モード」信号188を使用して遅延チェーン200を制御し、さらにPLLブロック100内のいくつかのパラメータを制御する。

【0049】

マルチプレクサ180へのセレクト信号530は、オールエレクトロニクス解決法回路内のコントローラ190からのハードウェア出力を含み、状態機械によりこの信号の値が決定される。もちろん、その値から、3つの入力、I1、I2、またはI3のうちどれがマルチプレクサ180の出力に送られるかを決定する。コントローラ190が中央処理装置（マイクロプロセッサなど）を備えている場合、このセレクト信号530はマイクロプロセッサとマルチプレクサ180のセレクト入力との間の実際ハードウェア入力ラインでないのが好ましいが、その代わりに、マルチプレクサ180がある種のデータラインまたはデータバスを介して処理回路（つまり、コントローラ190）によりロードできるアドレス指定可能なレジスタを備えるのが好ましい。

【0050】

信号192および194は、コントローラ190からの出力であり、上述のように、信号192は直接、チャージポンプ128の電流を変化させることができるが、もちろん、チャージポンプ128が入力信号に基づくプログラム可能なチャージ電流を持つと仮定する。別に、コントローラ190で使用できる信号194を使用して異なる値をテーブル154および基本数160にロードする方法もある。もちろん、このシナリオでは、テーブル154および基本数160は、RAMやレジスタなどの変更可能なメモリ素子を含むと仮定している。本発明の好ましい実施形態では、テーブル154はROMを備え、コントローラ190は直接、信号192を介してインタフェースし、必要なときにチャージポンプ128の電流を変化させる。

【0051】

図5を参照すると、「単純な」遅延チェーン200が複数の直列遅延素子211～216を備えているものとして描かれており、それぞれDフリップフロップ221～226を備える。各フリップフロップには、出力信号、つまり信号231～236があり、遅延素子、フリップフロップ、フリップフロップの出力信号の組み合わせが遅延段を形成するが、これは参照番号201～206で示されている。図5からわかるように、遅延チェーン200への入力はマルチプレクサ180の出力182であるが、図5では、UP信号として示されている。実際、このUP信号はマルチプレクサ180がそのI2の入力を出力に切り替えたときにのみ出力182上に現れる。

【0052】

図5に示されているように、本発明で使用する図に示されている6つの遅延段201～206の他に遅延段を増やせる。図9は、それぞれ、UPおよびDOWN信号124およ

10

20

30

40

50

び126のパルス幅タイミングの標準的「誤差プロファイル」のグラフを示しており、それらの信号の最大パルス幅は40ナノ秒を少し超える程度であることがわかる。図9は、さらに、標準的なパルス幅が素子パラメータの変動により変化する場合を示しており、したがって、「標準的な」(または公称)パルス幅値に対し必要な以上に多い遅延素子を用意することが重要である。本発明の好ましい実施形態では、遅延素子211~216は、遅延素子1つにつき約1ナノ秒の伝播遅延となるように選択されており、そのため、「標準的な」最大パルス幅については、設計者はこれらの遅延段の約43または44個を含めるだけでよい。しかし実際には、少なくとも3倍の誤差係数が含まれるため、130を超える遅延段が必要になり、控えめに設計するために、小さな誤差係数を加えて、遅延段の合計を約150にする場合がある。そしてこれは、「標準的な」パルス幅が約40ナノ秒のときに控えめな設計である。 10

【0053】

そのため、遅延チェーン200を実装するのに非常に多くの論理ゲートが必要であることがわかり、また図6および7を参照して以下に示しているように複雑さが増すと1段あたりのこのゲート数が増える。

【0054】

図5に戻ると、UP信号が遅延素子211~216のそれぞれを伝播するときに、対応するフリップフロップ221~226でQ出力が順番に論理1に設定され、出力231からはじめて、出力236以降に伝播する。182のUP信号のパルス幅が大きいほど、フリップフロップQ出力を論理1に設定する遅延段201~206(など)が増える。これらのフリップフロップ221~226(など)はそれぞれ、コントローラ190から「リセット」出力信号186に接続されている「クリア」入力と、さらにシステムの反転クロック信号に接続されているクロック入力も含む。 20

【0055】

遅延チェーン200はUPまたはDOWN信号のパルス幅を検出するための比較的単純な検出回路を表し、遅延チェーン回路200に送られた一番最近のそのようなUPまたはDOWN信号のデータのみを格納する。プロファイルの複数の連続する間隔にわたってUP信号のパルス幅を検出し、それらのパルス幅の最大または「ピーク」の値を求めるのが望ましい。図6に示されている回路では、フリップフロップ281のQ出力が291で論理1に遷移した後に「D」入力を論理1に保持するORゲート271を加えることにより、この機能を備えることができる。各遅延段251、252などは、261などの遅延素子および関連するフリップフロップ281およびORゲート271の両方を備えているので、遅延段のそれぞれが図6の遅延チェーン全体250についてフリップフロップのQ出力の論理1への遷移を「記憶」することができる。たとえば、182のUP信号のパルス幅の持続時間が40ナノ秒の場合、約40の遅延段は論理1に遷移することになる。たとえば、次のUP信号パルス幅の持続時間が41ナノ秒であれば、約41の遅延段は論理1に設定され、追加遅延段によりすでに発生していた遷移が論理1になる。たとえば、次のUP信号パルス幅の持続時間が35ナノ秒のみであれば、「ピーク」メモリ回路がなかった場合35の遅延段のみが論理1に設定されている。しかし、ORゲートが図6に含まれているため、これら35個の遅延素子はすでに論理1に設定されており、41の遅延素子を論理1に設定させる早期のパルス幅の長い持続時間が維持される。その結果、持続時間が最も長いUP信号パルス幅がこの遅延チェーン回路250に記憶される。 40

【0056】

好ましい実施形態ではすべての遅延段の遅延素子を作成するためにASICを使用しているため、各遅延素子の実際の伝播遅延は正確に1ナノ秒にはならず、1ナノ秒の目標から一定パーセントずれる持続時間となる可能性がある。ASIC論理素子のこのような小さいな欠点を鑑みて、遅延チェーンを較正するのが好ましく、それには、図7に示されている回路を使用する。

【0057】

図7では、マルチプレクサ180の出力182は遅延素子360に送られ、必ずしもあ 50

まり正確ではないが少なくとも比較的反复可能な数ナノ秒の遅延を生じる。この遅延段 360 は、回路 300 に含めるのが望ましくないと判明した場合になくすることができる。ただし、UP および DOWN 信号の最大または「ピーク」パルス幅を測定しようとする場合、遅延タイミングを約 10 ~ 20 ナノ秒にすることによりこの遅延素子 360 を含めると非常に都合がよい場合があり、相当する数の遅延段を節約できる（たとえば、図 7 の遅延素子 301 と 302）。遅延素子 360 の伝播時間は測定する最短パルスよりも決して長くはならないことに注意されたい。

【0058】

クロック信号が遅延段 360 に送られると、その段の伝播遅延時間の経過後、クロック信号は遅延チェーン 300 に送られるが、その際に第 1 の遅延素子 311 から始まり、次の遅延素子 312 へ進んで行く。OR ゲート 321 を使用することにより、「クリア」または「リセット」信号 186 がコントローラ 190 から送られるまで関連する D フリップフロップ 331 の Q 出力 351 が論理 1 にラッチされる。それとは別に、「較正」信号を送ってさらに遅延チェーン 300 内のすべてのフリップフロップをリセットまたはクリアすることができる。532 の反転形式のこの較正信号は、AND ゲート 341 に送られるが、これは OR ゲート 321 を含むラッチ回路と直列につながっている。さらに、排他 OR ゲート 364 も、反転較正信号 (NOT 較正信号ともいう) 532 を受信するために含まれている。

【0059】

NOT 較正信号 532 は、遅延チェーン 300 が UP または DOWN 信号の最大（またはピーク）パルス幅を見つけようとしたとき、つまりこのデータを「累積」している間に論理 1 に設定される。NOT 較正信号 532 は、実際の較正動作時に論理 0 に設定されるが、つまり、遅延チェーン 300 はデータ累積しておらず、クロック信号が遅延段 360 に送られるということである。この NOT 較正信号 532 は、図 4 のコントローラ 190 から出力として示されている「モード」信号 188 に関して論理的に反転された信号である。

【0060】

排他 OR ゲート 364 は、フリップフロップ 331 など遅延チェーン 300 の D フリップフロップの動作に関してトリガとなるクロック（またはその他のパルス信号）のエッジを切り替える。前述の遅延チェーン回路 200 および 250 の場合のように、各 D フリップフロップでは、リセット信号 186 に接続されているクリア入力を備え、さらに反転されたクロック入力も備える。ゲートのすべておよび遅延段 301 を使用することにより、遅延チェーン 300 はピーク検出回路として、または「単純な」検出回路として動作させることができる（それにより、前のサイクルから次のサイクルへ移るときにパルス幅データを累積しない）。さらに、各遅延段にはいくつかの論理ゲートが必要であることが明白であり、少なくとも 150 個の段の遅延チェーンを備えるのに 1000 個を超える論理ゲートが必要になる。その事実を鑑みて、以下で説明する、UP または DOWN パルス幅内の誤差を測定するためにプロファイルの異なる間隔を使用することが望ましい場合がある。

【0061】

図 8 を参照すると、シミュレートされたターゲットプロファイルのグラフ表現 400 と実際のプロファイルが示されている。シミュレートされた（または所定の）ターゲットプロファイルは、曲線 402 で示されているが、実際のスペクトル拡散プロファイルはかなりギザギザした曲線 404 により示されている。上述のように、図に示されているプロファイルは 48.25 MHz ~ 50 MHz の範囲で動作するスペクトル拡散クロック発生器の好ましい実施形態であり、電磁妨害放射に関して非常に低いノイズシグネチャを示す。

【0062】

図 8 に示されている第 1 の期間は一般に、参照番号 406 で指示されており、これは最低周波数（つまり、48.25 MHz あたり）から始まり、約 50.00 MHz の最大ピークまで移動し、その後すぐにこの期間 406 の終わりに約 48.25 MHz の最小の谷

10

20

30

40

50

に戻る。その後同一のパターンが、一般に参照番号408で示されるように次の期間の間繰り返され、この周波数範囲でシステムクロックの動作が望ましい限りこのパターンが続く。各プロファイル期間（たとえば、期間406）では、約32マイクロ秒が必要であり、各プロファイル期間で128個の異なる間隔を使用し、その間にNカウンタ138内のNの値がそれぞれの間隔の間一定に保持される。間隔の終わりに達すると、Nの値が変更されるか、またはそれとは別に、チャージポンプ電流振幅をコントローラ190からの信号192により変更することもできる。しかし、好ましい実施形態では、アドレスカウンタ150はテーブル154内の異なるテーブル値を検索し、Nカウンタ138内にNの新しい値を入れる。

【0063】

等しい持続時間の間隔が128個あるという事実を鑑みると、各間隔の持続時間は約250ナノ秒である。クロック期間は50MHzで約20ナノ秒であるため、各間隔は約12.5クロック・サイクルの間続く。したがって、単一の間隔で発生できる12~13個のUPまたはDOWNパルスがありえることがわかる。位相ロックループ回路がVCO134の周波数出力をシフトしようとしたときに最大のパルス幅および最大数のUPまたはDOWNパルスが間隔の始めに発生することが予想される。

【0064】

図9を参照すると、グラフ410はPFD122により生成されるUPまたはDOWNパルスのパルス幅に対し標準値および $\pm 30\%$ の許容差値を示す。図9からわかるように、「標準」グラフ412が示すUPまたはDOWN信号のパルス幅に対する最大値または「ピーク」値は図8のシミュレートしたプロファイルターゲット曲線402の「ピーク」最大または最小周波数値に非常に近い（つまり、その直後にある）。これは周波数が高くなり急に低くなり始めると（つまり、曲線402の勾配に著しい変化がある場合）、UPまたはDOWNパルス幅の振幅が劇的に変化することを意味しており、これはグラフ410の63または64あたりの「誤差プロファイル」間隔で発生する。周波数が高くなっていて、ターゲットプロファイルに従って急に低下し始めるため（つまり、実際のスペクトル拡散プロファイル曲線404は所定のターゲットプロファイル402をエミュレートしようとしている）、PDF回路122は126のDOWNパルスをチャージポンプ128に出力し始める。DOWNパルスの最大持続時間は、約42または43ナノ秒である。これは、図8のシミュレートされているプロファイル曲線402の期間の約半分ほどのところ

【0065】

ターゲット曲線402で最小の「谷」が発生する場合、周波数は低くなってきていて、いきなりかなり急激に高くなり始める。これが発生した場合、PFD回路122は124のUPパルスのチャージポンプ128への出力を開始する。これは、図9で、おおよそ間隔127または128のところに示されており、UPパルス幅は約40ナノ秒である（これは、グラフ410にe40ナノ秒として示されている）。

【0066】

グラフ410で、曲線414は、実効PLLパラメータ利得が標準よりも約30%低いときにプロファイルを横切るさまざまな間隔のパルス幅タイミングを表す。曲線416は、実効PLLパラメータ利得が標準よりも約30%高い値まで増えたときのUPおよびDOWNパルス幅のプロットである。正の「ピーク」は間隔63または64あたりの最大パルス幅で発生するが、そこで、誤差の差の大きさはそれぞれ標準曲線412と $\pm 30\%$ 許容差曲線416および414との間でかなり大きい。グラフ410では、標準曲線412とe30%曲線414との間の誤差は「E1」と示される。標準曲線412と $\pm 30\%$ 曲線416との間の誤差の差は「E2」と示される。

【0067】

図7に示されている遅延チェーンを使用して「ピーク」パルス幅を検出するのは比較的単純であり、UPまたはDOWN信号の最大パルス幅を格納するだけでなく、システムクロックで較正し、実際の持続時間を（リアルタイムで）それらのパルス幅のそれぞれにつ

10

20

30

40

50

いて測定することができる。したがって、D O W N信号の測定された（実際の）最大パルス幅を約42または43ナノ秒の望ましい標準値と比較できる。

【0068】

E1またはE2のいずれかの誤差の偏差の大きさが大きいほど、チャージポンプ電流またはNカウンタ138のNに対する値に行う必要のある補正も大きい。上述のように、チャージポンプ電流の大きさを、システムコントローラ190から供給される信号192により制御するのが好ましい。処理回路または、状態機械（図10を参照）を実現する「オールエレクトロニクス解決法」回路のいずれかで、チャージポンプ電流を自動的に変更し、適切な方向の誤差を縮小し、適切な大きさでPLL回路の電子回路類の素子偏差を補正することができる。

10

【0069】

標準値で動作誤差を簡単に測定し補正できるように標準的な誤差プロファイル曲線と許容差曲線との間の比較的大きな誤差をもたらすプロファイル内の間隔を選択することが重要である。（128の）間隔63または64あたりの「ピーク」値を使用することができ、また検出も比較的簡単であるが、UPおよびD O W N信号に対するこの「ピーク」パルス幅値の測定では、上述のように、遅延段用に多数のゲートを備える非常に長い遅延チェーンを必要とする。

【0070】

UPおよびD O W N信号の最大（累積）パルス幅を測定するのに長い遅延チェーンが必要であることを鑑みて、UPおよびD O W Nパルスの持続時間が短いグラフ410上の誤差曲線の一部を選択すると都合がよいが、それでも、このような場所がグラフ410にあると仮定して標準曲線と許容差曲線との間に十分な誤差の差が与えられる。（128の）間隔125あたりの標準曲線と許容差曲線との間に著しい誤差の偏差があることが判明しており、これらの誤差は図8では「E3」および「E4」で示され、32マイクロ秒時間マークあたりの減少する周波数から増加する周波数へのスペクトル拡散プロファイル変化の直前に示されている（つまり、ターゲットプロファイル曲線の勾配の著しい変化として生じる）。「ピーク」（または最大）パルス幅はこれらの誤差E3およびE4を見つける際の基準としては使用できないが、標準パルス幅時間はプロファイルのこの間隔で10ナノ秒未満なので、かなり短い遅延チェーンを使用することが可能である。グラフ410からわかるように、e30%曲線414は+10ナノ秒程度の値を示しているが、e30%曲線414は-18ナノ秒程度の値を示す（もちろん、時間は絶対値であり、グラフのこれらのプラスおよびマイナス符号は単にD O W Nがプラス、UPがマイナスとした相対的タイミング値に過ぎないことに注意されたい）。

20

30

【0071】

サンプリング回路を瞬間モードでのみ使用し、125の間隔（この例ではそれ）が常に、UPまたはD O W N信号の測定値の選択に使用される場合、実質的誤差信号はPLLパラメータ利得の変動を自動的に補正する際に使用されることがわかる。この状況では、図5の遅延チェーン200を使用することもできる。それとは別に、ORゲート321をDフリップフロップ331の入力に含めるのは望ましくないが、図7の遅延チェーン300を使用して、パルス幅持続時間に対する「ピーク」測定回路の代わりに瞬間測定回路にこれを入れることができる。

40

【0072】

図10を参照すると、コントローラの「オールエレクトロニクス解決法」実施形態は一般に、参照番号500で指定される。電流プロファイルの位置（つまり、図8のプロファイル内の間隔）を示す信号が、カウンタイネーブル回路504への502の入力として供給される。論理状態機械520は、カウンタイネーブル回路504を制御し、システムがPLL回路の利得を制御しようとするのと同時にUPおよびD O W N信号のパルス幅を測定しようとするのは望ましくないため、開始時期をカウンタに通知することが重要である。

【0073】

50

さを表す。

【 0 0 7 9 】

第 4 のレジスタ「R 4」は図 1 0 の 5 1 4 に示されている。このレジスタには、UP および DOWN 信号の「ターゲット」（または標準）最大（または「ピーク」）パルス幅時間が含まれ、また予想される許容差も含まれる。この情報は、（ 1 ）プラス、マイナスの偏差または許容差を含む中心ターゲット時間または（ 2 ）許容差上限および許容差下限の 2 種類の形態をとることができる。好ましい実施形態では、プラス、マイナス偏差を含む中心ターゲット時間が好ましい。

【 0 0 8 0 】

適切な時期（図 1 1 ~ 1 4 の流れ図に関して説明している）に、レジスタ 5 1 1 ~ 5 1 4 に含まれるデータは実質的に同時に、論理状態機械 5 2 0 に転送される。論理状態機械 5 2 0 がこのデータを分析した後、5 3 4 の利得制御信号を使用して PLL 利得を調整し、論理状態機械 5 2 0 から出力することができる。この利得制御信号を使用して、チャージポンプ電流または VCO 利得のいずれかを調整できるが、チャージポンプ電流を調整するのに使用すると好ましく、これはコントローラ 1 9 0 から出力される図 3 の信号 1 9 2 に似た信号となる。図 1 0 のオールエレクトロニクス解決法の回路 5 0 0 は、いろいろな面で、図 4 のコントローラ 1 9 0 に非常によく似ている。主な違いは、オールエレクトロニクス解決法では必ずしもマイクロプロセッサなどの順次処理装置を必要としないが、コントローラ 1 9 0 はここで開示しているように一般に、システムの主要情報処理機能を実現するマイクロプロセッサタイプの回路を備えることが期待される。

【 0 0 8 1 】

中央処理装置を備える本発明の実施形態について汎用コンピュータプログラム例を以下に示す。このコンピュータプログラムによって実行されるステップは、図 1 1 ~ 1 4 の流れ図で示されているステップに非常によく対応しているが、この一連の流れ図は、論理状態機械を使用するオールエレクトロニクス解決法を特に対象としている。汎用コンピュータプログラムを表 2 として以下に示す。

表 2

行	プログラムのステートメント	コメントフィールド	
1	CLK_COUNT=0	横断したクロック期間の数	
2	CLK_PERIOD=0	最後のクリック立ち上がりからの現在の通算遅延数	30
3	UP_CLK=0	UP 遅延が満たされるまで横断したクロック立ち上がりの数	
4	UP_REMAINDER=0	最後のクリック立ち上がりからの UP に対する遅延数	
5	UP_CLK_PERIOD	UP が発生した隣接クロックエッジ間の遅延数	
6	DOWN_CLK=0	DOWN 遅延が満たされるまで横断したクロック立ち上がりの数	
7	DOWN_REMAINDER=0	最後のクリック立ち上がりからの DOWN に対する遅延数	40
8	DOWN_CLK_PERIOD=0	DOWN が発生した隣接クロックエッジ間の遅延数	
9	LAST_CLK=1	前のクロックのステータス	
10	(LAST_CLK=0かつCLK=1かつUP_CLK_PERIOD<>0かつDOWN_CLK_PERIOD<>0)ならば状態機械を「停止」し、「計算実行」へ進む		
11	(UP=0かつUP_CLK=0かつUP_REMAINDER=0)ならば UP_CLK=CLK_COUNTかつUP_REMAINDER=CLK_PERIOD		
12	(DOWN=0かつDOWN_CLK=0かつDOWN_REMAINDER=0)ならば DOWN_CLK=CLK_COUNTかつDOWN_REMAINDER=CLK_PERIOD		

13A ((UP_CLK<>0またはUP_REMAINDER<>0)かつLAST_CLK=0かつCLK=1)ならばUP_CLK_PERIOD=CLK_PERIOD

13 ((DOWN_CLK<>0またはDOWN_REMAINDER<>0)かつLAST_CLK=0かつCLK=1)ならばDOWN_CLK_PERIOD=CLK_PERIOD

14 (LAST_CLK=0かつCLK=1)ならば++CLK_COUNTかつCLK_PERIOD=0、そうでなければ++CLK_PERIOD

15 左へ1だけシフトする

20 初期化 指定：UP_CLK、UP_REMAINDER、UP_CLK_PERIOD

21 指定：TARGET_CLK、TARGET_FRACTION

22 UP_CLK=3 値の例

23 UP_REMAINDER=3 値の例

24 UP_CLK_PERIOD=20 値の例

25 TARGET_CLK=3 値の例

26 TARGET_REMAINDER=TARGET_FRACTION*UP_CLK_PERIOD

27 丸め(TARGET_REMAINDER)=15

30A 計算実行 ターゲット取得へ

30 まずTARGET_CLKおよびUP_CLKが異なるかチェックする。そうであれば、電流またはプロファイルを調整する。

31 まずTARGET_CLKおよびDOWN_CLKが異なるかチェックする。そうであれば、電流またはプロファイルを調整する。

32 同じであれば、UP_REMAINDER>TARGET_REMAINDERかチェックする。

33 同じであれば、DOWN_REMAINDER>TARGET_REMAINDERかチェックする。

【0082】

上記のコンピュータプログラムに関して、第3行のクロック立ち上がりの数をクロック期間について計算することに注意されたい。第6行で計算する「クロック立ち上がり」の数についても同じことがいえる。第2行で計算される「遅延」の数は遷移を行った遅延段の数を指していることにも注意されたい。第4行、第5行、第7行、および第8行で参照している「遅延」の数についても同じことがいえる。第9行に関して、「前のクロック」のステータスは最後のゲート遅延間隔の時点のステータスを指していることに注意されたい。

【0083】

図10に示されているような論理状態機械の実施形態に関して、図11では、論理状態機械520で実行する初期ステップの論理の流れを示している。ステップ600の初期化手順から始まる論理の流れは602の電源ON状態で始まり、次に、位相ロックループがステップ604の初期動作周波数でロックするのに必要な短い待ち時間がある。この待ち合わせステップ604は、(1)状態機械がかなり長い期間待ち、その後PLLがロックされていることを保証する、または(2)ハードウェア出力信号が特定のPLL回路から利用できる場合に、ロックされた状態が存在することをその信号が示すという2種類の形態をとることができる。

【0084】

ステップ606で、RAM内のある領域を適切な値により初期化する。初期化の後、ステップ608でプロファイルの特定の交差数をカウントするが、これはたとえば、図9で、おおよそ間隔64、128、192、および256で発生する。ステップ610で、カウントをデコードする(本質的には、デコーダ回路506で行う)。その後、ステップ612では順次、レジスタR1、R2、およびR3(つまり、レジスタ511~513)を指し、これが行われている間、モード制御信号532を使用してモードを設定する。もちろん、このモードでは、データをレジスタR1、R2、およびR3に累積できる。

【0085】

ステップ614で、論理状態機械は所定の数のプロファイルが発生するのを待ち、その間ステップ616でレジスタR1、R2、およびR3にデータが埋められる。それが実行

10

20

30

40

50

された後、ステップ618で、論理の流れが図12の文字「B」へ向かう。この手順はスプレッド拡散クロック発生器内のPLLの動作中繰り返し続き、これらの「初期化」ステップのいくつかはステップ608から始まり、図14の文字「D」から戻る、入ってくる論理の流れにより示されているように、繰り返されることに注意されたい。図11のこれらのステップの機能は本質的に、上で述べたコンピュータプログラムの最初の9つのステップに対応している。

【0086】

図12を参照すると、「B」から始まる論理の流れは620の「ループ」インジケータに向かい、そこで、論理の流れは決定ステップ622に向かい、変数LAST_CLKが0に等しいか、変数CLKが1に等しいか、変数UP_CLK_PERIODが0に等しくないか、変数DOWN_CLK_PERIODが0に等しくないかを判別する。決定ステップ622での答えが「はい」であれば(上の条件すべてについて)、ステップ624は論理状態機械を停止し、ステップ626で計算が実行される。ステップ626で、変数TARGET_FRACTIONに変数UP_CLK_PERIODが掛けられ、その結果がTARGET_REMAINDERという名前の変数に入れられる。ステップ626でこの計算が実行された後、一連の論理決定がくだされ、チャージポンプ電流が増減する。これらのステップについて以下で詳しく説明する。

【0087】

決定ステップ622に戻り、結果が「いいえ」だった場合、決定ステップ640で、変数UPが0に等しいか、変数UP_CLKが0に等しいか、そして変数UP_REMAINDERが0に等しいかを判別する。答えが「はい」であれば(上の条件すべてについて)、ステップ642で、変数CLK_COUNTの値が変数UP_CLKにロードされ、変数CLK_PERIODの値が変数UP_REMAINDERにロードされる。

【0088】

次に論理の流れはステップ642および、決定ステップ640の「いいえ」の結果から決定ステップ644へ向かう。決定ステップ644で、DOWN信号が0に等しいか、変数DOWN_CLKが0に等しいか、そして変数DOWN_REMAINDERも0に等しいかが判別される。上の条件すべてについて答えが「はい」であれば、ステップ646で、変数CLK_COUNTの内容が変数DOWN_CLKにロードされ、変数CLK_PERIODの値が変数DOWN_REMAINDERにロードされる。これが完了すると、論理の流れはステップ646および、決定ステップ644の「いいえ」の結果から文字「A」に向かう。

【0089】

決定ステップ622は本質的に上記のコンピュータプログラムの第10行と同じであり、決定ステップ640は本質的にコンピュータプログラムの第11行と同じであり、決定ステップ644は本質的にコンピュータプログラム第12行と同じであることに注意されたい。

【0090】

図13で論理の流れは文字「A」から続き、決定ステップ650に向かい、そこで、変数UP_CLKが0に等しくないかまたは変数UP_REMAINDERが0に等しくないかを判別し、その数量と、変数LAST_CLKが0に等しく、CLK信号が1に等しいかどうかを示す値との論理ANDをとる。これらすべての条件に対し答えが「はい」であれば、ステップ652で変数CLK_PERIODの値が変数UP_CLK_PERIODにロードされる。次に論理の流れはステップ652および、決定ステップ650の「いいえ」の結果から決定ステップ654に向かう。

【0091】

決定ステップ654で、変数DOWN_CLKが0に等しくないかまたは変数DOWN_REMAINDERが0に等しくないかを判別し、その数量と、変数LAST_CLKが0に等しく、CLK信号が1に等しいかどうかを示す値との論理ANDをとる。これらすべての条件に対し答えが「はい」であれば、ステップ656で変数CLK_PERIOD

10

20

30

40

50

Dの現在の値が変数DOWN__CLK__PERIODにロードされる。次に論理の流れはステップ656および、決定ステップ654の「いいえ」の結果から決定ステップ660に向かう。

【0092】

決定ステップ660で、変数LAST__CLKが0に等しいか、またCLK信号が1に等しいかを判別する。答えが「はい」であれば、ステップ662で、変数CLK__COUNTが増分され、変数CLK__PERIODが0に設定される。660での結果が「いいえ」であれば、ステップ664で、CLK__PERIOD変数が増分されるが、他にも何も実行しない。

【0093】

次に論理の流れはステップ662および664の両方からステップ666に向かい、3つすべてのレジスタR1、R2、およびR3を左へシフトする。シフト実行後、ステップ668は図13と図12の文字「B」に置かれている「ループ」ステップに戻る。

【0094】

決定ステップ650は、本質的に、上記コンピュータプログラムの第13A行の機能を実行しており、決定ステップ654は、本質的に、上記コンピュータプログラムの第13行を実行している。決定ステップ660は、本質的に、上記コンピュータプログラムの第14行を実行している。

【0095】

図12に戻ると、論理の流れはステップ626から決定ステップ630に向かい、そこで、変数TARGET__CLKが変数UP__CLKよりも大きいかが判別される。これは、本質的に、上記コンピュータプログラムの第30行と同じである。答えが「はい」であれば、UPチャージポンプ電流はステップ632で1だけ減らされる。その後、論理の流れは文字「D」へ向かい、そこで、論理の流れは図11のステップ608に戻る。

【0096】

決定ステップ630で結果が「いいえ」であれば、決定ステップ634により、変数TARGET__CLKが変数UP__CLKよりも小さいかが判別される。答えが「はい」であれば、UPチャージポンプ電流はステップ636で1だけ増やされ、論理の流れは文字「D」に向かう。決定ステップ634で結果が「いいえ」であれば、論理の流れは文字「C」に向けられ、そこから論理の流れは図14へ向かう。決定ステップ634は、

【0097】

図14の文字「C」から始まる決定ステップ670で、変数TARGET__REMAINDERが変数UP__REMAINDERよりも大きいかが判別される。答えが「はい」であれば、UPチャージポンプ電流はステップ672で1だけ減らされ、その後論理の流れは文字「D」に向かう。決定ステップ670で答えが「いいえ」であれば、決定ステップ674により、変数TARGET__REMAINDERが変数UP__REMAINDERよりも小さいかが判別される。答えが「はい」であれば、UPチャージポンプ電流はステップ676で1だけ増やされる。その後、論理の流れは「D」に向かう。決定ステップ670は、本質的に、上記コンピュータプログラムの第32行の機能と同じであり、決定ステップ674の機能は、本質的に、上記コンピュータプログラムの第33行の機能と同じであることに注意されたい。

【0098】

決定ステップ674で結果が「いいえ」であった場合、決定ステップ680により、変数TARGET__CLKが変数DOWN__CLKよりも大きいかが判別される。答えが「はい」であれば、DOWNチャージポンプ電流はステップ682で1だけ減らされる。その後、論理の流れは文字「D」に向かう。答えが「いいえ」であれば、論理の流れは決定ステップ684に向かう。

【0099】

決定ステップ684で、変数TARGET__CLKが変数DOWN__CLKよりも小さ

10

20

30

40

50

いかどうか判別される。答えが「はい」であれば、DOWNチャージポンプ電流はステップ686で1だけ増やされる。その後、論理の流れは文字「D」に向かう。決定ステップ684で答えが「いいえ」であれば、論理の流れは決定ステップ690に向かう。

【0100】

決定ステップ690で、変数TARGET_REMAINDERが変数DOWN_REMAINDERよりも大きいかどうか判別される。答えが「はい」であれば、DOWNチャージポンプ電流はステップ692で1だけ減らされる。その後、論理の流れは文字「D」に向かう。決定ステップ690で答えが「いいえ」であれば、論理の流れは決定ステップ694に向かう。

【0101】

決定ステップ694で、変数TARGET_REMAINDERが変数DOWN_REMAINDERよりも小さいかどうか判別される。答えが「はい」であれば、DOWNチャージポンプ電流はステップ696で1だけ増やされ、論理の流れは文字「D」に向かう。答えが「いいえ」であれば、論理の流れはすぐに文字「D」に向けられ、そこから論理の流れは図11のステップ608に戻る。

【0102】

図11～14の流れ図を上記のコンピュータプログラムと比較しようとする際に、図11のステップ600から始まる初期化手順はいくつの変数に初期値を入れるステップを含むことに注意することが大切である。所定の値を持つ変数としては、UP_CLK、UP_REMAINDER、UP_CLK_PERIOD、TARGET_CLK、およびTARGET_FRACTIONがある。さらに、図12のステップ626でのTARGET_REMAINDERの計算では整数が得られ、計算で求めたその値は最も近い整数に丸めるのが好ましい。

【0103】

上述のコンピュータプログラムの第30行～第33行は本質的に、第10行～第16行で実行される機能のいくつかを参照するコメントであることにも注意されたい。

【0104】

また、UPチャージポンプ電流およびDOWNチャージポンプ電流が与えられたチャージポンプ回路について対称である場合、「UP」チャージポンプ電流または「DOWN」チャージポンプ電流を増減する図11～14の流れ図に説明されているステップを組み合わせると倫理決定の1/2にすることもできるが、これは対称チャージポンプ電流の増大によりUPまたはDOWNの両方について同じ結果が得られるからであることに注意すべきである。

【0105】

本発明の原理は、任意の形状のスペクトル拡散プロファイルに適用でき、図8に開示されているようなかなり「ピークのある」好ましいスペクトル拡散プロファイルにだけ適用されるわけではないことは理解されるであろう。正弦波変調がスペクトル拡散プロファイルとして好ましい状況では、結果として得られる誤差プロファイルの外観は図15に示されているグラフ700となる。たとえば、PLLシステムが公称利得で動作する場合、128の別々の間隔を持つ(上述のように)正弦波スペクトル拡散プロファイルの単一期間にわたるUPおよびDOWN誤差時間はかなりギザギザの曲線702により与えられる。図15から、誤差プロファイルはさらにいくぶん正弦波形状となることがわかる。

【0106】

PLL回路の利得が公称値よりも約30%高い場合、図15のギザギザの曲線704が生じる。グラフ700から、利得が増えるとUPおよびDOWNパルス幅持続時間は、利得が公称値のところにあるときの結果として得られるパルス幅持続時間よりもいくぶん短いことがわかる。この正弦波の例では、公称利得曲線702と+30%利得曲線704との間の最大偏差は正と負の両方の方向で(つまり、グラフ700のY軸に関して)最大パルス幅タイミング付近に現れることが示されている。たとえば、おおよそプロファイル間隔15では、公称利得曲線702と+30%利得曲線704との間の偏差は「E5」とい

10

20

30

40

50

う名前の「誤差」値で示されている。同様に、おおよそプロファイル間隔 75 では、これら 2 つの曲線の間の誤差の偏差は「E7」で示される。図 16 では、図 15 の円 710 で示されているように、51 ~ 101 の範囲にあるプロファイル間隔の間のさまざまな曲線と誤差の偏差がわかりやすいように縮尺を拡大してある。

【0107】

公称利得曲線 702 と -30% 利得曲線 706 との間の比較的大きな偏差もまた、最大 UP および DOWN パルス幅持続時間付近で生じ、これもまた、図 15 のプロファイル間隔 15 とプロファイル間隔 75 のあたりで生じる。図 15 では、曲線 702 と 706 との間のこれらの比較的大きな偏差は、誤差指示記号「E6」および「E8」で示されている。図 15 からわかるように、実効 PLL 利得が公称利得から減少すると、UP および DOWN パルス幅持続時間が長くなる。

10

【0108】

図 16 は、円 710 で示されているように、グラフ 700 の UP および DOWN 誤差時間の展開図となっている。前段で説明したように、誤差指示記号 E7 および E8 は、プロファイル間隔 75 の近くにあり、その曲線はそれらの間隔位置で比較的大きな誤差の偏差を示す。

【0109】

図 15 および 16 のこの正弦波の例を見ると、UP および DOWN 信号のパルス幅の最大持続時間で最大の誤差の偏差が生じることがわかる。この事実を照らし合わせて、遅延チェーン 300 を使用して、これらの信号の累積最大（または「ピーク」）パルス幅を捕

20

【0110】

本発明のスペクトル拡散クロック発生器を使用すると、本発明の原理から逸脱することなく出力 136 で任意の周波数範囲を生成できることは理解されるであろう。特定周波数を発生する外部の水晶 / 発振器回路を使用してスペクトル拡散プロファイルのある周波数範囲を作成すると効率がよい場合があるが、素子を選択する際に最も重要なのは、周波数出力が非常に安定している外部クロックを使用することであり、その理由は回路設計者がその波形の期間ごとに実際の時間においてそのクロックの精度に依存することがあるからである。他の重要な要因は、遅延チェーンを較正する論理ゲートに ASIC を使用する状況で顕著である。ASIC 論理ゲートはすべて単一の基板に配置し、実際の伝播遅延時間が遅延ゲート素子間で比較的等しくなるようにすることが重要である。これらの伝播遅延タイミングが正確であることはそれほど重要でないが、それは本発明では非常に正確な外部クロックを使用することでこれらの遅延ゲートを容易に較正できるからである。

30

【0111】

さらに、本発明の原理はスペクトル拡散プロファイルについて、正弦波プロファイルだけでなく、非常に滑らかなプロファイルやギザギザのあるあるいは「ピークの多い」プロファイルなど、どのような種類の変調波形でも機能し、もちろん、本発明の好ましい実施形態であることは理解されるであろう。

【0112】

本発明の前述の好ましい実施形態の説明は、図解と説明を目的として提示されたものである。排他的であったり、本発明を、開示されている正確な形態に限定することを意図していない。上記の教示に照らして、明白な修正またはバリエーションも可能である。本発明の原理とその実用的応用が最もよく理解され、当業者であれば本発明をさまざまな実施形態で、考慮された特定の用途に適するようにさまざまな修正を加えて、最もよく利用できるようにするためにこの実施形態を選択し、説明した。本発明の範囲は付属の請求項によって定義されることが意図されている。

40

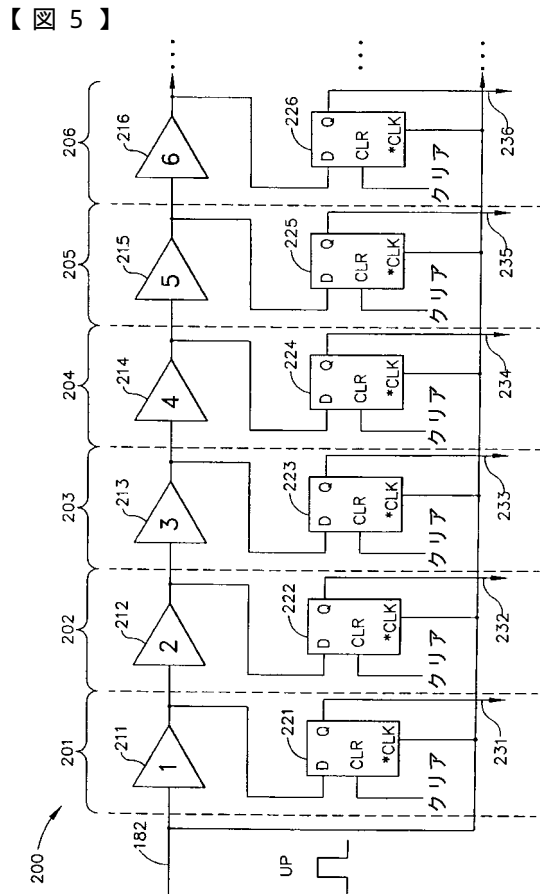
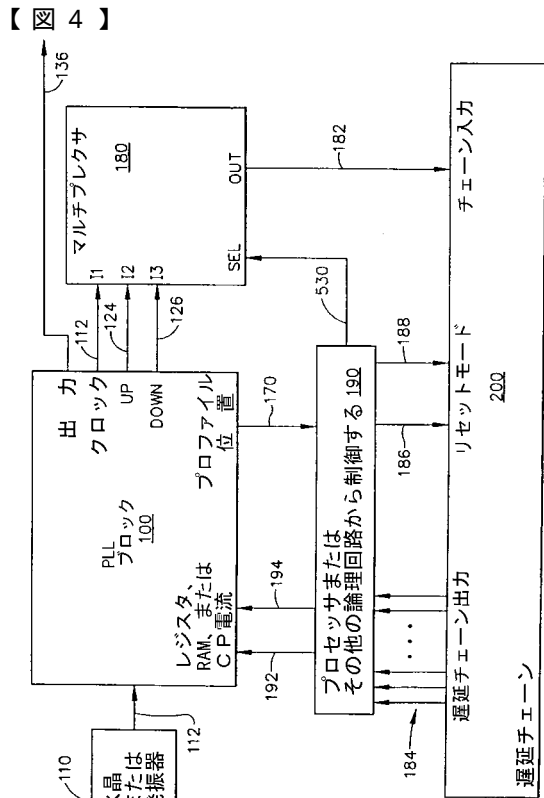
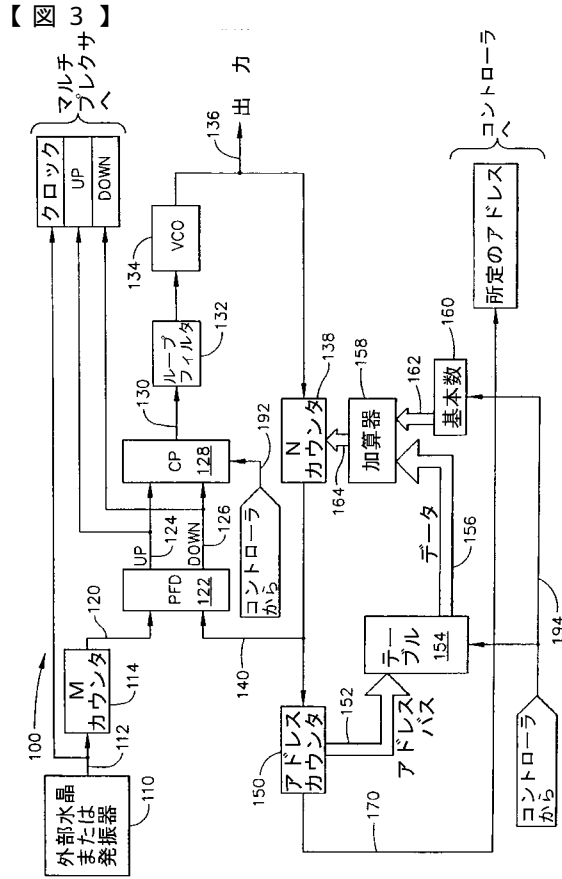
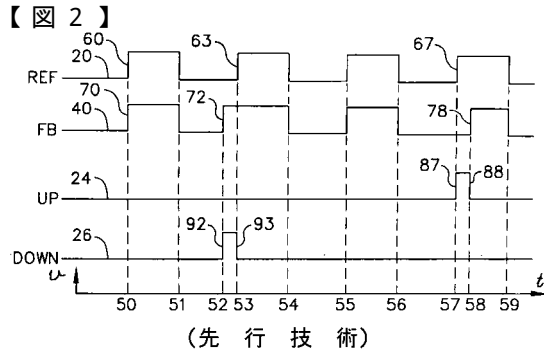
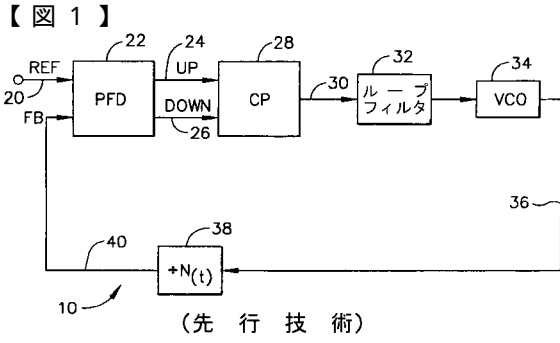
【図面の簡単な説明】

【0113】

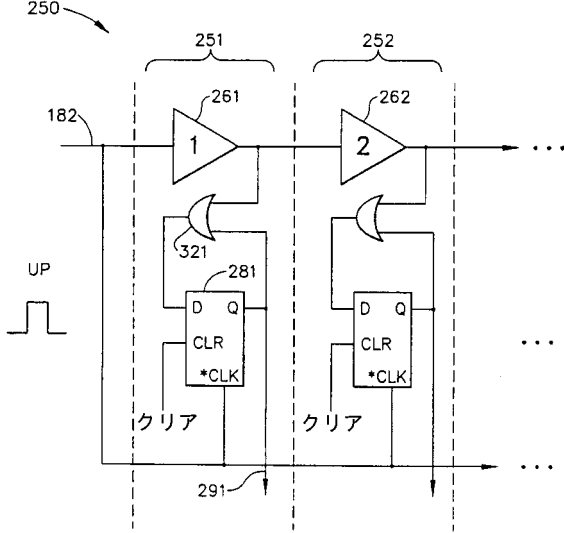
【図 1】時間の経過とともに N に対する値を変化させる N 除算カウンタを備える従来技術の位相ロックループ回路のブロック図である。

50

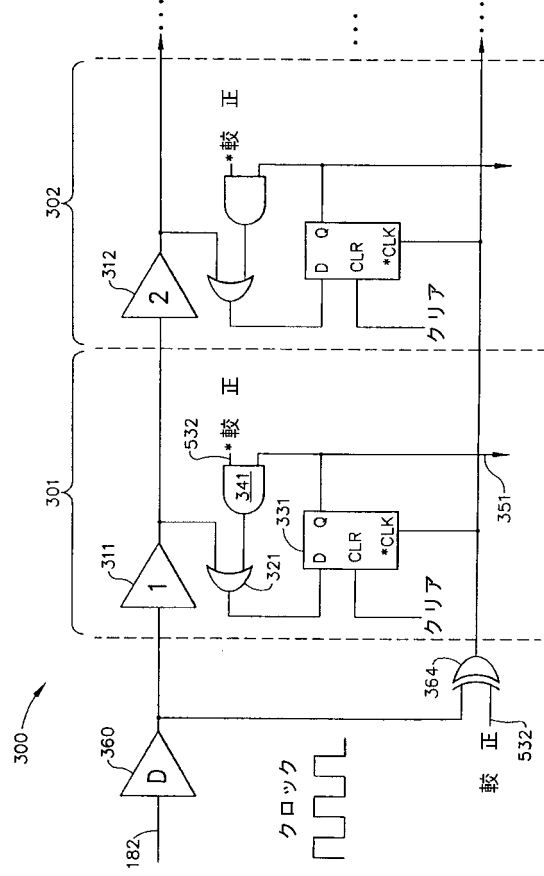
- 【図 2】図 1 に開示されている回路の信号のいくつかの関係を示すタイミング図である。
- 【図 3】本発明の原理に従って構成されたスペクトル拡散クロック発生器回路のブロック図である。
- 【図 4】図 1 のスペクトル拡散クロック発生器回路とさらに本発明の原理に従って構成されたマルチプレクサおよび遅延チェーン回路、さらに処理回路のブロック図である。
- 【図 5】図 4 の回路で使用されている直列遅延チェーンの第 1 の実施形態の概略図である。
- 【図 6】図 4 の回路で使用されている直列遅延チェーンの第 2 の実施形態の概略図である。
- 【図 7】図 4 の回路で使用されている直列遅延チェーンの第 3 の実施形態の概略図である 10
- 【図 8】スペクトル拡散クロック発生器の好ましいシミュレートプロファイルのグラフである。
- 【図 9】本発明のスペクトル拡散発生器回路で使用し、図 8 の好ましいプロファイルによる、UP および DOWN 信号の誤差プロファイルのグラフである。
- 【図 10】本発明の原理に従って構成された、マイクロプロセッサを使用するのではなく論理状態機械を使用したオールエレクトロニクス解決法のブロック図である。
- 【図 11】図 10 の論理状態機械によって実行される機能ステップの流れ図である。
- 【図 12】図 10 の論理状態機械によって実行される機能ステップの流れ図である。
- 【図 13】図 10 の論理状態機械によって実行される機能ステップの流れ図である。 20
- 【図 14】図 10 の論理状態機械によって実行される機能ステップの流れ図である。
- 【図 15】正弦波変調を使用するスペクトル拡散クロック発生器の UP および DOWN 信号の誤差プロファイルを示すグラフである。
- 【図 16】明確にするため分解した図 15 の一部のグラフである。
- 【符号の説明】
- 【0114】
- | | | |
|-----|--------------------|----|
| 100 | 位相ロックループ | |
| 110 | 外部水晶または発振器 | |
| 114 | M カウンタ | |
| 122 | 位相周波数検出器 (P F D) | 30 |
| 128 | チャージポンプ | |
| 132 | ループフィルタ | |
| 134 | V C O | |
| 138 | N カウンタ | |
| 150 | アドレスカウンタ | |
| 158 | 加算器 | |
| 154 | テーブル | |
| 156 | データ | |
| 160 | 基本数 | |
| 180 | マルチプレクサ | 40 |
| 200 | 遅延チェーン | |



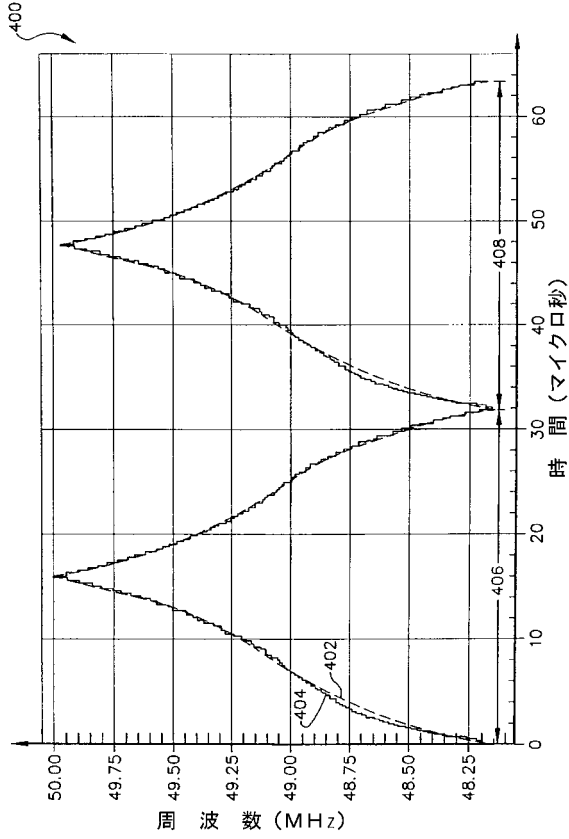
【図 6】



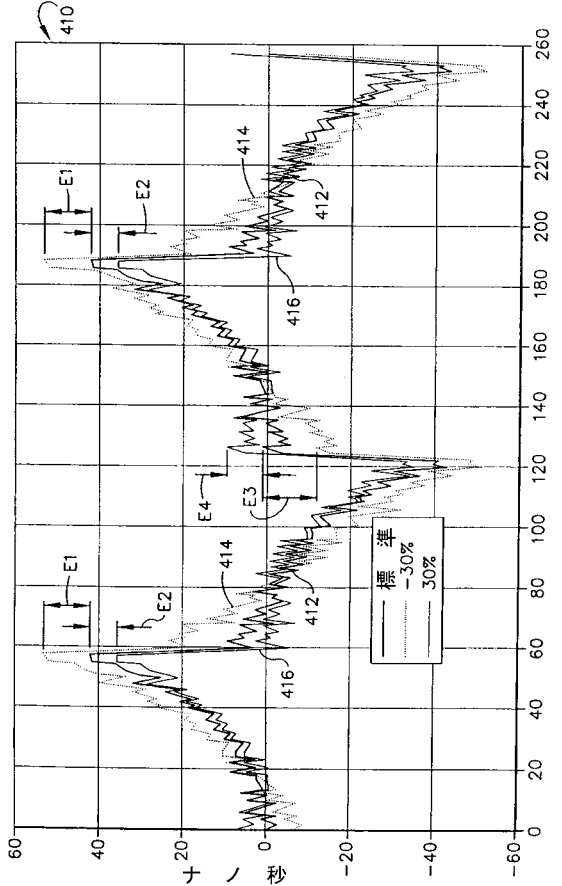
【図 7】



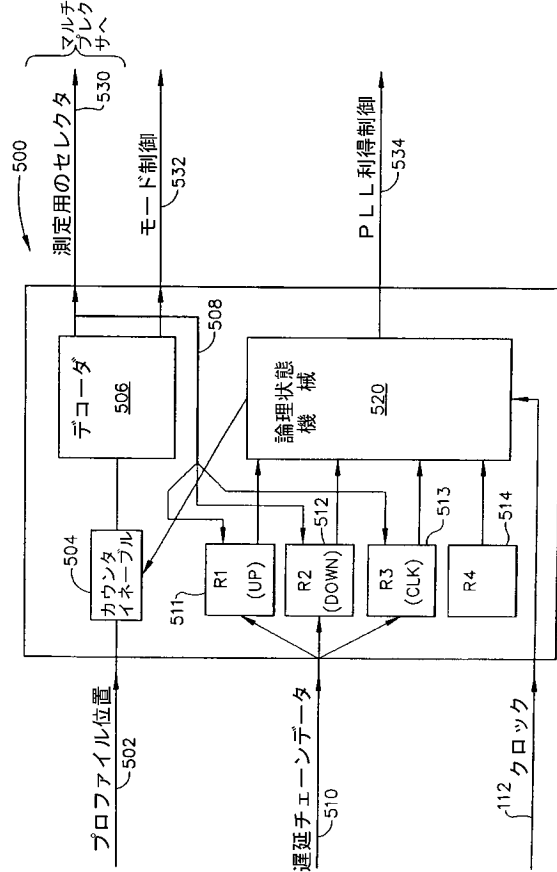
【図 8】



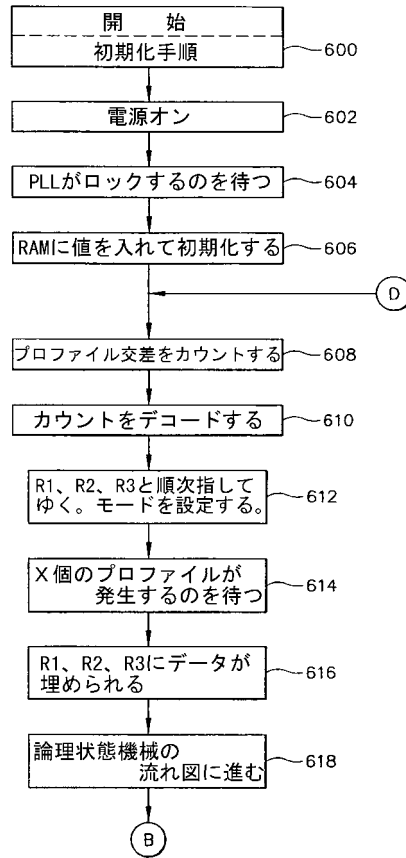
【図 9】



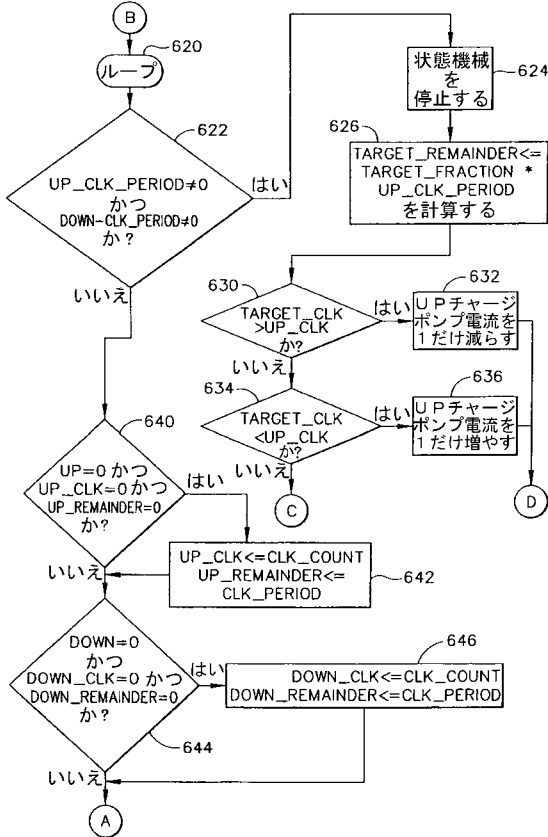
【図10】



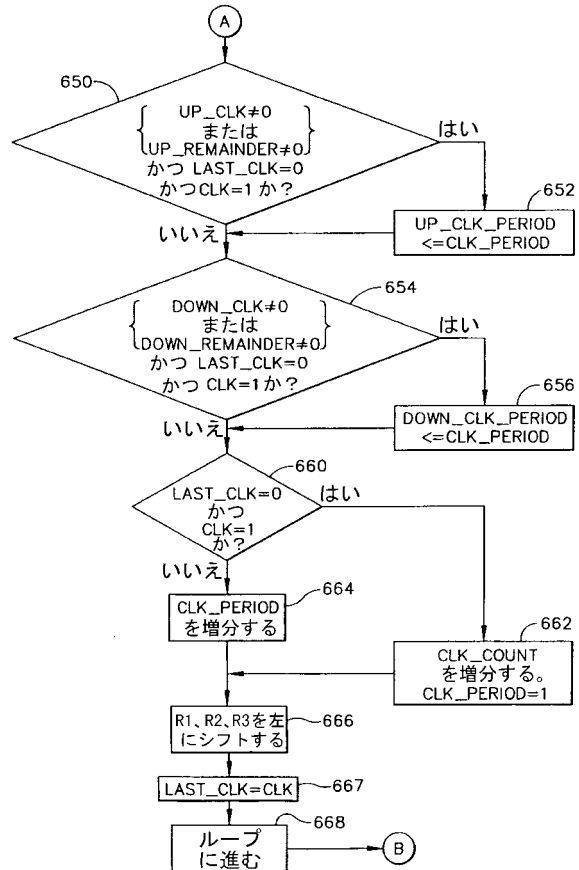
【図11】



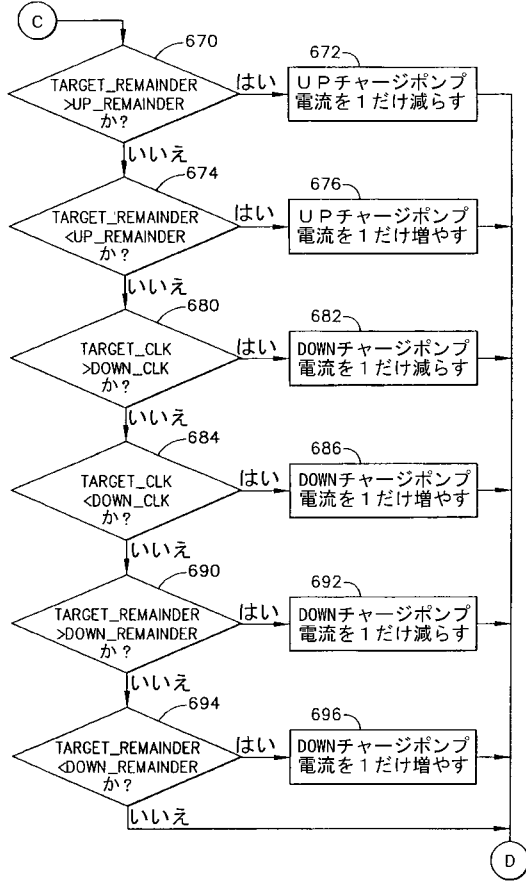
【図12】



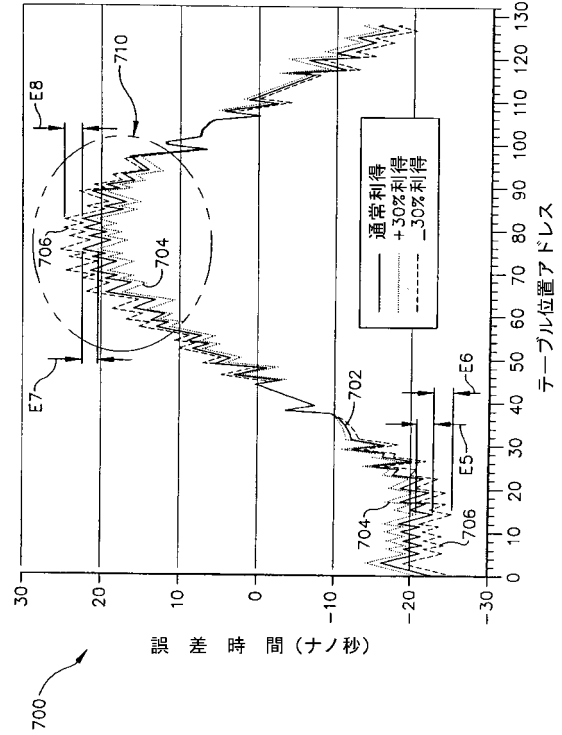
【図13】



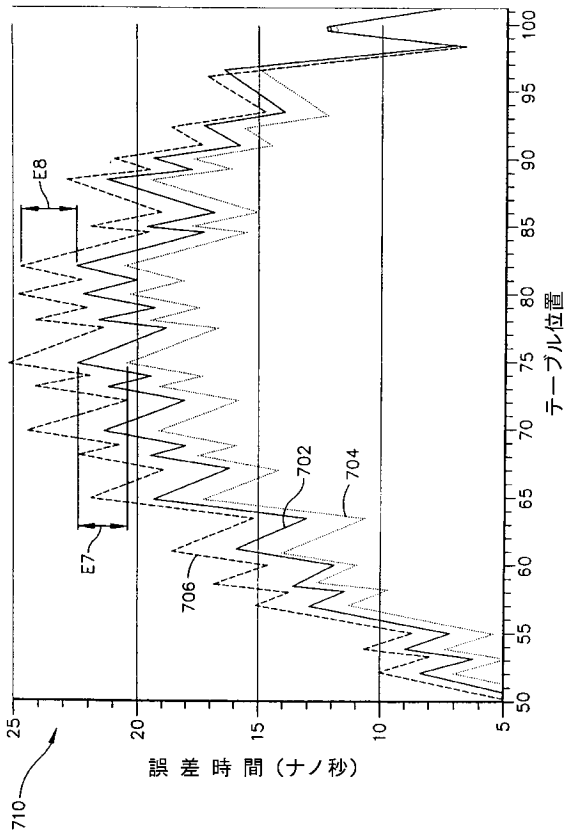
【図14】



【図15】



【図16】



フロントページの続き

(72)発明者 ハダディー、クレイグ、エリック

アメリカ合衆国 4 0 5 1 5 ケンタッキー、レキシントン、クリアウォーター・コート 6 0 4

Fターム(参考) 5J001 AA11 BB05 CC03 DD09

5J106 AA04 BB10 CC01 CC15 CC24 CC41 CC53 CC58 DD13 DD17

DD32 DD33 DD34 GG09 GG15 HH04 KK26 PP03 QQ02 QQ08

RR07 RR10 RR18