



등록특허 10-2456608



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년10월19일
(11) 등록번호 10-2456608
(24) 등록일자 2022년10월14일

- (51) 국제특허분류(Int. Cl.)
H01L 27/01 (2006.01) *H01L 21/762* (2006.01)
(52) CPC특허분류
H01L 27/016 (2013.01)
H01L 21/762 (2013.01)
(21) 출원번호 10-2019-7038311
(22) 출원일자(국제) 2018년05월28일
심사청구일자 2021년04월09일
(85) 번역문제출일자 2019년12월26일
(65) 공개번호 10-2020-0014811
(43) 공개일자 2020년02월11일
(86) 국제출원번호 PCT/FI2018/050404
(87) 국제공개번호 WO 2018/220275
국제공개일자 2018년12월06일
(30) 우선권주장
20175480 2017년05월29일 핀란드(FI)
(56) 선행기술조사문헌
US20140252535 A1*
US20150214150 A1*
US20150295101 A1*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
테크놀로지안 투트키무스캐스쿠스 브이티티 오와이
핀란드, 에스푸 02150, 테크니칸티 21
(72) 발명자
빌리아넨 헤이키
핀란드 02044 브이티티 피엘1000 헤이키 빌리아넨
브이티티
란타카리 폐카
핀란드 02044 브이티티 피엘1000 폐카 란타카리
브이티티
(74) 대리인
리앤톡특허법인

전체 청구항 수 : 총 13 항

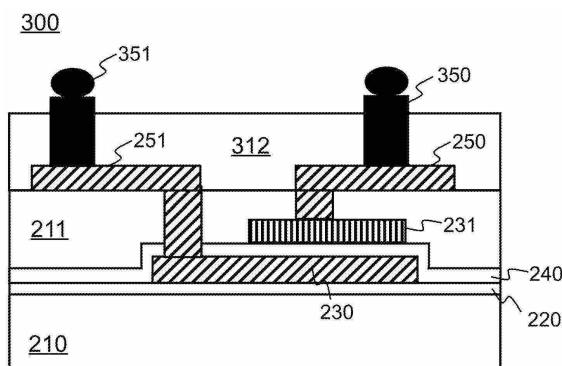
심사관 : 김려원

(54) 발명의 명칭 반도체 장치

(57) 요 약

적어도 일부가 도전형의 도편트들로 도핑된 실리콘 기판 층(210); 및 상기 실리콘 기판 층(210) 상에 형성된 적어도 하나의 절연 층(220)을 포함하고, 상기 적어도 하나의 절연 층(220)과 상기 실리콘 기판 층(210)의 상기 도편트들은 반대 전하들을 가지는 반도체 장치(200, 300).

대 표 도 - 도3



(72) 발명자

배해-해이킬래 타우노

핀란드 02044 브이티티 퍼엘1000 타우노 배해-해이
킬래 브이티티

투오비넨 예사

핀란드 02044 브이티티 퍼엘1000 예사 투오비넨 브
이티티

명세서

청구범위

청구항 1

적어도 일부가 도전형의 도편트들로 도핑된 표면 패시베이션된 실리콘 기판 층(210); 및
상기 실리콘 기판 층(210) 상에 형성된 제1 절연 층(220);을 포함하고,

상기 제1 절연 층(220)과 상기 실리콘 기판 층(210)의 상기 도편트들은 반대의 전하들을 가지며, 상기 제1 절연 층(220)의 정전하는 상기 제1 절연 층(220)과 상기 실리콘 기판 층(210) 사이의 계면에 공핍(depletion) 영역을 생성하도록 구성되며, 그리고 상기 제1 절연 층(220)은 상기 제1 절연 층의 상기 정전하 및 상기 실리콘 기판 층(210)의 특성들에 기초하여 결정되는 두께를 가지는 반도체 장치(200, 300).

청구항 2

제1 항에 있어서,
집적 수동 소자(integrated passive device, IPD)를 포함하는 반도체 장치(200, 300).

청구항 3

제1 항 또는 제2 항에 있어서,
제1 금속 층(230)을 더 포함하고,
상기 제1 절연 층(220)은 상기 실리콘 기판 층(210)과 상기 제1 금속 층(230) 사이에 배치되는 반도체 장치(200, 300).

청구항 4

제3 항에 있어서,
제2 절연 층(240) 및 제2 금속 층(231)을 더 포함하고,
상기 제2 절연 층(240)은 상기 제1 금속 층(230)과 상기 제2 금속 층(231) 사이에 배치되고, 상기 제2 금속 층(231)은 상기 제1 금속 층(230) 상에 배치되는 반도체 장치(200, 300).

청구항 5

제4 항에 있어서,
제3 절연 층(211) 및 제3 금속 층(250, 251)을 더 포함하고,
상기 제3 절연 층(211)의 적어도 일부는 상기 제2 금속 층(231)과 상기 제3 금속 층(250, 251) 사이에 배치되고, 상기 제3 금속 층(250, 251)은 상기 제2 금속 층(231) 상에 배치되는 반도체 장치(200, 300).

청구항 6

제5 항에 있어서,
상기 제1 내지 제3 금속 층들(230, 231, 250, 251) 중 적어도 하나의 표면 상에 연장되는 적어도 하나의 배리어 층을 더 포함하는 반도체 장치(200, 300).

청구항 7

제5 항에 있어서,
상기 제1 내지 제3 절연 층들(220, 240, 211) 중 적어도 하나는 원자 층 퇴적(Atomic Layer Deposition, ALD) 성장된 알루미늄 산화물 층 또는 플라즈마 강화 화학 기상 퇴적(Plasma Enhanced Chemical Vapor Deposition,

PECVD) 층을 포함하는 반도체 장치(200, 300).

청구항 8

제1 항에 있어서,

상기 제1 절연 층(220)은 상기 실리콘 기판 층(210) 상에 배치된 음의 정전하의 원자 층 퇴적(ALD) 성장된 알루미늄 산화물 층을 포함하고, 상기 실리콘 기판 층(210)의 상기 도편트들은 p-형인 반도체 장치(200, 300).

청구항 9

삭제

청구항 10

삭제

청구항 11

제5 항에 있어서,

상기 제3 절연 층(211) 상에 배치된 제4 절연 층(312)을 더 포함하고,

상기 제4 절연 층(312)은 상기 제3 금속 층(250, 251)의 구성 요소들을 적어도 부분적으로 덮으며 상기 제3 금속 층(250, 251)의 상기 구성 요소들 사이에서 수평적으로 연장하도록 구성되는 반도체 장치(300).

청구항 12

제11 항에 있어서,

상기 제4 절연 층(312)을 통해 상기 제1 내지 제3 금속 층들(230, 231, 250, 251) 구성 요소 중 적어도 하나에 연결되는 적어도 하나의 도전성 패드(350)를 더 포함하고,

상기 도전성 패드(350)는 상기 반도체 장치(300)에 외부 연결을 제공하도록 구성되는 반도체 장치(300).

청구항 13

제1 도전형의 도편트들을 포함하는 표면 패시베이션된 실리콘 기판(210)을 제공하는 단계;

상기 실리콘 기판(210) 상에 제1 절연 층(220)을 퇴적하는 단계; 및

상기 제1 절연 층 상에 적어도 하나의 금속 층(230)을 형성하는 단계를 포함하고,

상기 제1 절연 층(220)의 정전하는 상기 제1 도전형과 반대인 제2 도전형이며, 상기 제1 절연 층(220)의 정전하는 상기 제1 절연 층(220)과 상기 실리콘 기판 층(210) 사이의 계면에 공핍(depletion) 영역을 생성하도록 구성되며, 그리고 상기 제1 절연 층(220)은 상기 제1 절연 층의 상기 정전하 및 상기 실리콘 기판 층(210)의 특성들에 기초하여 결정되는 두께를 가지는 반도체 장치(200, 300)를 제조하기 위한 방법.

청구항 14

제13 항에 있어서,

상기 적어도 하나의 금속 층(230)과 연결되는 배리어 층을 퇴적하는 단계를 더 포함하는 방법.

청구항 15

제13 항에 있어서,

상기 적어도 하나의 금속 층(230)을 형성하는 단계는,

상기 제1 절연 층(220) 상에 적어도 두 개의 금속 층들(230, 231, 250, 251)을 형성하는 단계; 및

적어도 하나의 추가적인 절연 층을 퇴적하는 단계를 더 포함하고,

상기 적어도 하나의 추가적인 절연 층의 적어도 일부는 상기 적어도 두 개의 금속 층들(230, 231, 250, 251) 사

이에 배치되는 방법.

발명의 설명

기술 분야

[0001] 본 출원은 개괄적으로 반도체 장치에 관한 것이다. 특히, 그러나 비제한적으로 본 출원은 표면 패시베이션된 실리콘 기판들에 관한 것이다. 특히, 그러나 비제한적으로, 본 출원은 집적 수동 소자(integrated passive devices, IPD)의 라디오 주파수(radio frequency, RF) 성능에 관한 것이다.

배경 기술

[0002] 이 섹션은 여기에 설명된 어떠한 기술이 현재 기술을 대표한다는 것을 인정하는 것은 아니라 유용한 배경 정보를 제공한다.

[0003] 수동 컴포넌트들은 기본적으로 모든 전자 모듈들 및 시스템들, 예컨대 라디오 주파수(radio frequency, RF) 응용들에 사용된다. 하나의 추세는 가능한한 많은 수동 컴포넌트들을 반도체 집적 회로(integrated circuit, IC) 칩에 집적하는 것이며, 다른 추세는 인쇄 회로 기판(printed circuit board, PCB) 또는 다른 기술 모듈들 내의 외부 개별 수동 컴포넌트들을 가능한한 많이 사용하는 것이다. 실용적인 구현은 그 사이의 무엇이다. IC 기술들은 높은 집적 밀도를 가능하게 하나, 반면 표면적은 다소 비싸며 넓은 면적의 수동 컴포넌트들의 RF 성능은 저비저항(low resistivity)의 기판들로 인해 다소 낮다. 특히 인더터들은 낮은 성능을 가지며 인더터들은 큰 크기로 인하여 IC 기술로 구현하기에 비싸다. 반면, 개별 수동 컴포넌트들은 높은 성능을 가지나, 개별 수동 컴포넌트들은 일반적으로 크기가 크며 모듈들에 조립이 필요하다.

[0004] 집적 수동 소자(integrated passive devices, IPD) 기술은 저손실 기판에 높은 양호도(quality factor, Q)를 실현하기 위한 대안적인 방법이다. 대부분의 수동 컴포넌트들을 IPD에 결합하고, 이후 시스템에 IPD 기반 모듈을 집적시키는 것은 고성능, 높은 집적 밀도, 및 낮은 조립 비용을 가능하게 한다. 특히 높은 양호도의 인더터들을 필요로하는 RF 프런트-엔드 모듈들 및 컴포넌트들, 예컨대 밸룬들(baluns), 커플러들(couplers), 필터들(filters), LC 공진기들(resonators), 및 매칭 회로들은 IPD로 집적하는 것이 이롭다.

[0005] 알려진 솔루션들, 특히 고비저항 실리콘 기판들을 이용하는 RF 응용을 위한 집적 수동 소자(IPD) 기술은 비교적 높은 RF 손실을 보인다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 목적은 예를 들어 현재 기술의 상기 문제점을 완화시키는 방법 및 장치를 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명의 예들의 다양한 양상들이 청구항들에 개시된다.

[0008] 본 발명의 제1 예시적인 양상에 따르면,

[0009] 적어도 일부가 도전형의 도편트들로 도핑된 실리콘 기판 층; 및

[0010] 상기 실리콘 기판 층 상에 형성된 제1 절연 층을 포함하며,

[0011] 상기 제1 절연 층 및 상기 실리콘 기판 층의 상기 도편트들은 반대 전하를 가지는 반도체 장치가 제공된다.

[0012] 일 실시예에서, 상기 반도체 장치는 집적 수동 소자(integrated passive device, IPD)를 포함한다.

[0013] 일 실시예에서, 상기 반도체 장치는 제1 금속 층을 더 포함하며, 상기 제1 절연 층은 상기 실리콘 기판 층과 상기 제1 금속 층 사이에 배치된 패시베이션 층을 포함한다.

[0014] 일 실시예에서, 상기 반도체 장치는 제2 절연 층 및 제2 금속 층을 더 포함하며, 상기 제2 절연 층은 상기 제1 금속 층과 상기 제2 금속 층 사이에 배치되며, 상기 제2 금속 층은 상기 제1 금속 층 상에 배치된다.

[0015] 일 실시예에서, 상기 반도체 장치는 제3 절연 층 및 제3 금속 층을 더 포함하며, 상기 제3 절연 층은 상기 제2 금속 층과 상기 제3 금속 층 사이에 배치되고, 상기 제3 금속 층은 상기 제2 금속 층 상에 배치되며, 상기 제3

절연 층의 적어도 일부는 상기 제2 금속 층과 상기 제3 금속 층 사이에 배치되고, 상기 제3 금속 층은 상기 제2 금속 층 상에 배치된다.

- [0016] 일 실시예에서, 상기 반도체 장치는 적어도 하나의 금속 층의 표면 상에 연장되는 적어도 하나의 배리어 층을 더 포함한다.
- [0017] 일 실시예에서, 적어도 하나의 절연 층은 원자 층 퇴적(atomic layer deposition, ALD) 성장된 알루미늄 산화물 층 또는 플라즈마 강화 화학적 기상 퇴적(plasma enhanced chemical vapor deposition, PECVD) 층을 포함한다.
- [0018] 일 실시예에서, 제1 절연 층은 상기 실리콘 기판 층 상에 배치된 음의 정전하의 원자 층 퇴적(atomic layer deposition, ALD) 성장된 알루미늄 산화물 층을 포함하며, 상기 실리콘 기판 층의 상기 도편트들은 p-형이다.
- [0019] 일 실시예에서, 상기 적어도 하나의 절연 층의 정전하는 상기 적어도 하나의 절연 층과 상기 실리콘 기판 층 사이의 계면에 공핍(depletion) 영역을 생성하도록 구성된다.
- [0020] 일 실시예에서, 상기 적어도 하나의 절연 층의 정전하는 상기 적어도 하나의 절연 층과 상기 실리콘 기판 층 사이의 계면에 축적(accumulation) 영역을 생성하도록 구성된다.
- [0021] 일 실시예에서, 상기 반도체 장치는 상기 제3 절연 층 상에 배치되며, 상기 제3 금속 층의 구성 요소들을 적어도 부분적으로 덮고 상기 제3 금속 층의 상기 구성 요소들 사이에서 수평적으로 연장되도록 구성된 제4 절연 층을 더 포함한다.
- [0022] 일 실시예에서, 상기 반도체 장치는 상기 제4 절연 층을 통해 상기 적어도 하나의 금속 층 구성 요소에 연결되며, 상기 반도체 장치에 외부 연결을 제공하도록 구성된 적어도 하나의 도전성 패드를 더 포함한다.
- [0023] 본 발명의 제2 예시적인 양상에 따르면,
- [0024] 제1 도전형의 도편트들을 포함하는 실리콘 기판을 제공하는 단계;
- [0025] 상기 실리콘 기판 상에 제1 절연 층을 퇴적하는 단계; 및
- [0026] 상기 제1 절연 층 상에 적어도 하나의 금속 층을 형성하는 단계를 포함하며,
- [0027] 상기 제1 절연 층의 정전하는 상기 제1 도전형과 반대인 제2 도전형인 반도체 장치 제조 방법이 제공된다.
- [0028] 일 실시예에서, 상기 방법은 상기 적어도 하나의 금속 층과 연결되는 배리어 층을 퇴적하는 단계를 더 포함한다.
- [0029] 일 실시예에서, 상기 방법은
- [0030] 상기 제1 절연 층 상에 적어도 두 개의 금속 층들을 형성하는 단계; 및
- [0031] 집적 수동 소자(IPD) 구성 요소들을 제공하도록 추가적인 절연 층들을 퇴적하는 단계를 더 포함하며,
- [0032] 적어도 하나의 절연 층의 적어도 일부는 상기 적어도 두 개의 금속 층들 사이에 배치된다.
- [0033] 본 발명의 상이한 비제한적인 예시적인 양상들 및 실시예들이 위에서 설명되었다. 위의 실시예들은 단순히 본 발명의 구현에 사용될 수 있는 선택된 양상들 또는 단계들을 설명하는데 이용된다. 일부 실시예들은 본 발명의 특정한 예시적인 양상들을 참조하여서만 제시될 수 있다. 대응하는 실시예들이 다른 예시적인 양상들에도 적용될 수 있다는 것이 이해되어야 한다.

도면의 간단한 설명

- [0034] 본 발명의 예시적인 실시예들에 대한 보다 완전한 이해를 위하여, 첨부된 도면들과 관련하여 다음의 설명들에 대한 참조가 이루어진다.
- 도 1은 반도체 장치의 집적 수동 소자(IPD)를 도시한다.
- 도 2는 본 발명의 일 실시예에 따른 반도체 장치를 도시한다.
- 도 3은 본 발명의 다른 실시예에 따른 반도체 장치를 도시한다.
- 도 4는 본 발명의 일 실시예에 따른 방법의 흐름도를 도시한다.
- 도 5는 본 발명의 일 실시예에 따른 다른 방법의 흐름도를 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0035] 실시예들에서, 인덕터들 및 캐패시터들을 사용하여 구현된 수동 컴포넌트들 및 회로들이 개시된다. 집적 수동 소자(IPD) 기술은 또한 예를 들어 하이브리드 집적 능동 회로들을 가지는 멀티-칩 모듈 기술을 위한 집적 플랫폼으로서 사용될 수 있다.
- [0036] 상기 집적 수동 소자(IPD) 기술은 청정실에서의 박막 가공에 적합한 임의의 기판에 제조될 수 있다. 용융 실리카(fused silica), 석영, 또는 고비저항 실리콘은 우수한 RF 특성들로 인하여 RF 응용을 위하여 일반적으로 사용된다.
- [0037] 집적 수동 소자(IPD) 층들은 또한 높은 Q 수동 소자들 및 재배선 층들(RDL)을 가지기 위해 능동 소자 웨이퍼들, 예컨대 CMOS, SiGe, 또는 GaAs로 후가공될 수 있다.
- [0038] 일 실시예에서, 상이한 집적 수동 소자(IPD) 공정들이 상이한 목적들을 위하여 최적화될 수 있다.
- [0039] 본 발명 및 그 잠재적인 이점들은 도 1 내지 도 5를 참조함으로써 이해된다. 이 문서에서, 동일한 참조 기호들은 동일한 부분들 또는 단계들을 나타낸다.
- [0040] 도 1은 반도체 장치(100)의 집적 수동 소자(IPD)를 도시한다.
- [0041] 다이(die)(미도시)가 상기 반도체 장치(100) 상에 결합될 수 있다. 또한, 회로 보드(미도시)가 상기 반도체 장치(100) 상 또는 아래에 결합될 수 있다. 솔더 볼이 결합을 위해 사용될 수 있다.
- [0042] 상기 반도체 장치(100)는 기판(110), 집적 수동 소자(IPD)(130-140), 유전 층(111), 및 적어도 하나의 페드 또는 연결 층(150-151)을 포함한다.
- [0043] 상기 기판(110)은 일부 실시예들에서 유리 또는 실리콘 기판을 포함할 수 있다. 상기 집적 수동 소자(IPD)(130-140) 및 상기 유전 층(111)은 상기 기판(110)의 제1 표면(예를 들어, 상면) 상에 도시된다. 일부 실시예들에서, 상기 집적 수동 소자(IPD)(130-140) 및 상기 유전 층(111)은 상기 기판(110)의 제2 표면(예를 들어, 하면), 또는 양 표면들 상에 배치된다.
- [0044] 상기 집적 수동 소자(IPD)(130-140)는 캐패시터, 인덕터, 및 저항 중 적어도 하나일 수 있다. 도 1은 상기 집적 수동 소자(IPD)(130-140)의 개념적 표현을 나타낸다는 것에 주의해야 한다. 상기 집적 수동 소자(IPD)(130-140)의 구체적인 도시들 및 예들이 더 도시되며 설명된다.
- [0045] 집적 수동 소자(IPD) 공정은 높은 양호도(Q) 인덕터들, 캐패시터들 및 전송 라인들과 같은 기본 빌딩 블록들을 포함할 수 있다. 집적 수동 소자(IPD)로 구현되기 적합한 높은 Q 컴포넌트들 및 회로들은 예를 들어, 캐패시터들, 인덕터들, 발룬들, 필터들, 매큻 네트워크들, 안테나들, 안테나 어레이들, 및 피드(feed) 네트워크들을 포함할 수 있다.
- [0046] 집적 수동 소자(IPD) 공정은 라디오 주파수(RF) 프런트-엔드 시스템들을 위한 집적 플랫폼으로서 사용될 수 있으며, 모든 수동 구성 요소들은 상기 집적 수동 소자(IPD) 기판 상에 배치되며 능동 구성 요소들은 상기 집적 수동 소자(IPD) 기판에 대하여 적층된다.
- [0047] 패드들(150-151)은 상기 집적 수동 소자(IPD)(130-140)에 전기적으로 결합하기 위한 적어도 하나의 금속 층을 포함할 수 있다. 상기 반도체 소자(100)의 상기 금속 층 패드들(150-151)은 상기 집적 수동 소자(IPD) 단자들(130-131)에 결합될 수 있다.
- [0048] 상기 기판(110) 및/또는 상기 유전 층(111) 내에 상기 집적 수동 소자(IPD)(130-140)의 적어도 일부가 포함될 수 있다. 상기 집적 수동 소자(IPD)(130-140)는 제1 IPD 금속 층(130), 제1 IPD 유전 층(140), 및 제2 IPD 금속 층(131)을 포함한다. 상기 제1 IPD 금속 층(130)은 상기 기판(110)의 제1 표면 상에 위치된다. 상기 제1 IPD 유전 층(130)은 상기 제1 IPD 금속 층(130)의 일부 상에 위치된다. 상기 제2 IPD 금속 층(131)은 적어도 상기 제1 IPD 유전 층(140) 상에 위치된다.
- [0049] 도 1에 더 도시된 바와 같이, 상기 제1 IPD 유전 층(140)은 상기 제1 IPD 금속 층(130)과 상기 제2 IPD 금속 층(131) 사이에 위치된다. 일부 실시예들에서, 상기 제2 IPD 금속 층(131)의 면적은 상기 제1 IPD 유전 층(130)의 면적과 중첩된다. 일부 실시예들에서, 상기 제1 IPD 유전 층(130)은 상기 유전 층(111)의 일부이다.
- [0050] 상기 집적 수동 소자(IPD)(130-140)는 일부 실시예들에서 캐패시터(예를 들어, 디커플링 캐패시터), 저항, 또는 인덕터를 포함할 수 있다. 상기 집적 수동 소자(IPD)(130-140)는 상기 반도체 소자(100)의 제1 표면(예를 들어,

상면) 또는 제2 표면 상에 배치될 수 있다.

[0051] 상기 반도체 소자(100)는 복수의 접적 수동 소자들(IPD)(130-140)을 포함할 수 있다.

[0052] 도 2는 본 발명의 일 실시예에 따른 반도체 장치(200)를 도시한다. 상기 반도체 장치(200)는 예를 들어 멀티 금 속 층 접적 수동 소자(IPD) 장치를 포함할 수 있다.

[0053] 상기 반도체 장치(200)는 복수의 RF 응용들 및 초단파(very high frequency, VHF) 내지 밀리미터 파의 주파수들에 적합한 다목적 기술을 포함할 수 있다. 상기 반도체 장치(200)는 박막 저항기들, 금속 인덕터들, 및 상이한 금속 층들 사이의 금속-절연체-금속(metal-insulator-metal, MIM) 캐패시터들을 더 포함할 수 있다.

[0054] 반도체 장치(200)는 적어도 일부가 도전형의 도편트들로 도핑된 실리콘 기판 층(210), 및 상기 실리콘 기판 층(210) 상에 형성된 적어도 하나의 절연 층(211, 220, 240)을 포함하며, 적어도 하나의 절연 층(211, 220, 240)과 상기 실리콘 기판 층(210)의 상기 도편트들은 반대 전하들을 가진다.

[0055] 일 실시예에서, 상기 반도체 장치(200)는 적어도 일부가 도전형의 도편트들로 도핑된 실리콘 기판 층(210); 및 상기 실리콘 기판 층(210) 상에 형성된 제1 절연 층(220)을 포함하며, 상기 제1 절연 층(220)과 상기 실리콘 기판 층(210)의 상기 도편트들은 반대 전하들을 가진다.

[0056] 상기 제1 절연 층(220)은 상기 실리콘 기판 층(210) 및 그 도편트 성질들에 기초하여 선택될 수 있다.

[0057] 예를 들어, 상기 실리콘 기판 층(210)이 p-형 실리콘 기판으로 선택된 경우, 상기 제1 절연 층(220)은 음의 정 전하를 포함하도록 선택된다.

[0058] 일 실시예에서, 상기 제1 절연 층(220)은 상기 제1 절연 층(220)이 상기 실리콘 기판(210)의 상기 도편트와 반대인 정전하를 가지도록 선택된다. 상기 제1 절연 층(220) 내의 상기 정전하는 이후 상기 실리콘 기판(210)과 상기 제1 절연 층(220) 사이의 계면에 공핍(depletion) 영역을 생성할 것이다. 이러한 공핍 영역은 라디오 주파수(RF) 신호들이 그 계면에서 전송되는 것을 방지한다.

[0059] 예를 들어, 방사선 검출기의 관점에서, 고비저항 p-형 실리콘과 접촉하는 음의 정전하 층 ALD 알루미늄 질화물은 감소된 누설 전류를 생성할 것이다. 상기 접적 수동 소자들(IPDs)에 동일한 효과가 달성된다.

[0060] 일 실시예에서, 상기 실리콘 기판(210)은 p-형 실리콘을 포함하며, 상기 제1 절연 층(220)은 상기 실리콘 기판(210)에 대하여 반대인 정전하를 생성하기 위하여 예컨대 ALD, PECVD 산화물 및 PECVD 질화물과 같은 물질들을 포함한다.

[0061] 일 실시예에서, 상기 제1 절연 층(220)의 두께는 예를 들어 상기 층(220)의 상기 정전하 및 상기 기판 층(210) 특성들에 기초하여 결정될 수 있다. 따라서, 상기 기판(210)을 고려하여 상기 제1 절연 층(220)의 두께를 최적화함으로써, 상기 장치(200)의 작동, 특히 RF 특성들이 향상된다.

[0062] 일 실시예에서, 상기 제1 절연 층(220)을 성장시키기 위해 사용된 방법은 상기 층(220)의 정전하 및 따라서 상기 장치(200)의 성능에도 영향을 미칠 수 있다.

[0063] 를 들어, PECVD 실레인(silane) 공정/산화를 사용하여 상기 제1 절연 층(220)의 PECVD 산화물을 성장시킴으로써, 상기 제1 절연 층(220)의 정전하는 예를 들어 열 산화물을 사용한 경우보다 높다.

[0064] 일 실시예에서, 상기 제1 절연 층(220)은 패시베이션 층으로서 이해될 수 있다.

[0065] 일 실시예에서, 상기 기판 층(210), 예컨대 상기 실리콘 기판에 따라 상기 제1 절연 층(220)(상기 패시베이션 층) 조성 및 두께가 결정될 수 있다. 상기 제1 절연 층(220)(상기 패시베이션 층)은 복수의 층들을 포함할 수 있다. 상기 복수의 층들은 절연 층 및 확산 배리어 층 중 적어도 하나일 수 있고, 상기 층들은 복수의 시스템들, 소자들 또는 장치들을 사용하여 성장될 수 있다.

[0066] 일 실시예에서, 상기 반도체 장치(200)는 상기 실리콘 기판 층(210)과 제1 금속 층(230) 사이에 배치된 제1 절연 층(220)을 포함한다. 상기 제1 절연 층(220)은 상기 기판 층(210)의 상면의 적어도 일부, 예컨대 상기 제1 금속 층(230)의 하면을 향하는 상기 실리콘 기판 층(210)의 부분을 덮을 수 있다.

[0067] 제2 절연 층(240)은 상기 제1 금속 층(230) 구성 요소와 제2 금속층(231) 구성 요소 사이에 배치될 수 있으며, 상기 제2 금속 층(231)은 상기 제1 금속 층(230) 상에 배치된다.

[0068] 일 실시예에서, 상기 반도체 장치(200)는 상기 제1 금속 층(230)과 제2 금속 층(231) 사이에 배치된 제2 절연

층(240)을 포함한다. 상기 제2 절연 층(240)은 상기 제1 금속 층(230)의 적어도 일부, 예컨대 상기 제2 금속 층(231)의 하면을 향하는 상기 제1 금속 층(230)의 상면의 부분을 덮을 수 있다.

[0069] 상기 제2 절연 층(240)의 적어도 일부는 상기 구성 요소들(230, 251) 사이의 연결을 제공하기 위하여 상기 제1 금속 층(230) 구성 요소와 제3 금속 층(250, 251) 구성 요소 사이에 중단될 수 있으며, 상기 제3 금속 층(250, 251)은 상기 제2 금속 층(231) 상에 배치된다.

[0070] 일 실시예에서, 상기 반도체 장치(200)는 상기 제2 절연 층(240) 상에 배치된 제3 절연 층(211)을 포함한다. 상기 제3 절연 층(211)은 상기 제2 금속 층(231)과 제3 금속 층(250, 251) 사이에 연장될 수 있다. 상기 제3 절연 층(211)은 상기 제2 절연 층(240)의 적어도 일부 및 상기 제2 금속 층(231)의 적어도 일부를 덮을 수 있다. 상기 제3 절연 층(211)의 적어도 일부는 상기 구성 요소들(230, 251) 사이의 연결을 제공하기 위하여 상기 제1 금속 층(230) 구성 요소와 제3 금속 층(250, 251) 구성 요소 사이에서 중단될 수 있다.

[0071] 일 실시예에서, 도 2에 도시된 바와 같이, 상기 제2 금속 층(231) 구성 요소의 하면이 상기 제3 절연 층(211)의 하면 및 또한 상기 제2 절연 층(240)의 상면과 같은 높이에 놓이도록 제2 금속 층(231) 구성 요소는 상기 제3 절연 층(211) 내에 배치될 수 있다.

[0072] 일 실시예에서, 상기 제3 절연 층(211)은 상기 제2 금속 층(231)의 적어도 일부를 덮을 수 있다. 상기 제3 절연 층(211)의 적어도 일부는 상기 구성 요소들(231, 250) 사이의 연결을 제공하기 위해 상기 제2 금속 층(231) 구성 요소와 제3 금속 층(250, 251) 구성 요소 사이에서 중단될 수 있다.

[0073] 일 실시예에서, 적어도 하나의 배리어 층이 상기 적어도 하나의 금속 층의 표면 상에 연장되는 금속 층(230, 231, 250, 251) 구성요소에 형성될 수 있다.

[0074] 상기 배리어 층은 저압 화학 기상 퇴적 질화물(LPCVD SiN) 또는 플라즈마 강화 화학 기상 퇴적 질화물(PECVD SiN)을 포함할 수 있다.

[0075] 적어도 하나의 절연 층(220)은 원자 층 퇴적(ALD) 성장된 알루미늄 산화물 층을 포함할 수 있다. 상기 기판(210)과 접촉하는 상기 제1 층(220)이 될 원자 층 퇴적(ALD) 성장된 알루미늄 산화물 층을 배치함으로써, 향상된 성능이 달성된다. 상기 절연 층(220)은 또한 상기 ALD 층 상의 PECVD 층을 포함할 수 있다.

[0076] 상기 반도체 장치(200)의 적어도 하나의 절연 층(220, 240)은 플라즈마 강화 화학 기상 퇴적(PECVD) 층, 예컨대 테트라에틸오르소실리케이트(tetraethylorthosilicate, TEOS)를 포함할 수 있다.

[0077] 상기 반도체 장치(200)의 적어도 하나의 절연 층(211)은 스핀 코팅된 폴리이미드 층을 포함할 수 있다.

[0078] 일 실시예에서, 상기 제1 및 상기 제2 절연 층들(220, 240) 중 적어도 하나는 상기 실리콘 기판 층(210) 상에 배치된 음의 정전하 원자 층 퇴적(ALD) 성장된 알루미늄 산화물 층을 포함하며, 제3 절연 층(211)은 상기 원자 층 퇴적(ALD) 성장된 알루미늄 산화물 층 상에 배치된 스핀 코팅된 폴리이미드 층을 포함한다.

[0079] 상기 적어도 하나의 절연 층(220, 240)의 정전하는 상기 적어도 하나의 절연 층(211, 220, 240)과 상기 실리콘 기판 층(210) 사이의 계면에 공핍 또는 축적 영역을 생성한다.

[0080] 일 실시예에서, 도전성 패드들이 상기 반도체 장치(200)의 상기 집적 수동 소자(IPD)에 전기적으로 결합하기 위하여 적어도 하나의 금속 층(230, 231, 250, 251) 구성 요소에 연결될 수 있다. 상기 반도체 장치(200)의 상기 금속 층 패드들은 예를 들어 집적 수동 소자(IPD) 단자들에 결합될 수 있다.

[0081] 상기 절연 층들(211, 220, 240)은 상기 장치(200)의 RF 성능에 영향을 미친다. 상기 고비저항 실리콘 기판(210)과 접촉하는 상기 제1 절연 층(220)은 상기 제1 절연 층(220)이 상기 실리콘 기판(210)의 상기 도편트에 반대인 정전하를 가지도록 선택되어야 한다. 상기 제1 절연 층(220) 내의 정전하는 상기 실리콘(110)과 상기 제1 절연체(250) 사이의 계면에 공핍 영역을 생성할 것이다. 이러한 공핍 영역은 라디오 주파수(RF) 신호들이 이 계면에서 전송되는 것을 방지한다.

[0082] 상기 반도체 장치(200)의 RF 성능을 향상시키기 위한 상이한 방법들이 존재한다. 먼저, 상기 기판 층(210)에 대하여 반대인 정전하를 가지는 절연 층(220)을 배치시킴으로써 공핍 영역이 생성될 수 있다. 둘째, 예를 들어 상기 기판(210) 및 상기 절연 층(220)의 물질들 및 형성 방법들을 고려하여 상기 절연 층(220)의 두께가 최적화될 수 있다. 셋째, 실시예에 따라 최소의 정전하를 가지는 절연 층(220)이 선택될 수 있다. 상이한 방법들의 조합 또한 적용될 수 있다.

- [0083] 예를 들어, 방사선 검출기의 관점에서, 고비저항 p-형 실리콘과 접촉하는 음의 정전하 층 ALD 알루미늄 산화물은 감소된 누설 전류를 생성할 것이다. 상기 접적 수동 소자들(IPDs)에 대하여 동일한 효과가 달성된다.
- [0084] 일 실시예에서, 상이한 RF 성능들을 야기하도록 상이한 절연체 퇴적 방법들이 사용될 수 있다. RF 성능은 예를 들어 최소의 정전하를 가지는 얇은 산화물 층(220)으로 최적화될 수 있다.
- [0085] 상기 IPD 컴포넌트들 상의 상기 제1 절연 층(220)을 소비할 수 있는 모든 공정들은 RF 성능을 악화시킬 수 있다는 것이 또한 주목된다. 예를 들어, 상기 기판(210)의 열 산화(고온)는 상기 기판(210)의 성능을 악화시키지는 않지만, 상기 산화물이 식각되어 상기 기판(210)이 재산화되는 경우, 성능은 악화될 수 있다. 이는 본 발명의 설명 및 도 2 내지 도 5에 걸쳐 개시된 상이한 실시예들에 의해 회피될 수 있다.
- [0086] 일 실시예에서, 상기 고비저항 실리콘(210)과 접촉하는 상기 제1 절연 층(220)은 상기 고비저항 실리콘과 반대되는 정전하를 가지도록 선택되어야 한다.
- [0087] 일 실시예에서, 상기 제2 절연 층(240)은 최소의 정전하를 가질 수 있으며 두께는 작게 유지될 수 있다.
- [0088] 일 실시예에서, 상기 반도체 장치(200)는 기판(210), 접적 수동 소자(IPD) 금속 층 구성 요소들(230, 231, 250, 251), 제1 절연 층(220), 제2 절연 층(240), 및 제3 절연 층(211)을 포함한다. 상기 절연 층들 중 적어도 하나를 위하여 유전 물질이 사용될 수 있다.
- [0089] 일 실시예에서, 접적 수동 소자(IPD) 공정은 특별한 고비저항 실리콘 기판들(210)을 사용하여 수행될 수 있다. 신규한 격리(패시베이션) 층(들)을 가지는 이러한 고비저항 실리콘 기판들(210)은 표준 실리콘 웨이퍼들과 반드시 동일한 방식으로 거동하지는 않는다.
- [0090] 상기 접적 수동 소자(IPD) 기판(210)과 접촉하는 절연 층(220)의 두께 및 물질 유형은 상기 장치(200)의 성능에 영향을 미친다. 특히 RF 성능이 영향을 받는다.
- [0091] 상기 기판(210)은 일부 실시예들에서 유리 또는 실리콘 기판을 포함할 수 있다. 상기 접적 수동 소자(IPD) 및 상기 격리 유전 층은 상기 기판(210)의 제1 표면(예를 들어, 상면) 상에 도시된다. 일부 실시예들에서, 상기 접적 수동 소자(IPD) 및 상기 격리 유전 층은 상기 기판(210)의 제2 표면(예를 들어, 하면) 또는 양 표면들 상에 배치된다.
- [0092] 일 실시예에서, 상기 접적 수동 소자(IPD)는 캐패시터, 인덕터, 및 저항 중 적어도 하나일 수 있다. 도 2는 상기 접적 수동 소자(IPD)의 개념적 표현을 도시한다는 것에 주의해야 한다.
- [0093] 접적 수동 소자(IPD) 공정은 높은 양호도(Q) 인덕터들, 캐패시터들 및 전송 라인들과 같은 기본 빌딩 블록들을 포함할 수 있다. 접적 수동 소자(IPD)로 구현되기 적합한 높은 Q 컴포넌트들 및 회로들은 예를 들어, 캐패시터들, 인덕터들, 발룬들, 필터들, 매칭 네트워크들, 안테나들, 안테나 어레이들, 및 피드 네트워크들을 포함할 수 있다.
- [0094] 상기 반도체 장치(200)는 예를 들어 금속 구성 요소들(230, 231, 250, 251) 사이의 박막 저항기들, 또는 금속-절연체-금속(MIM) 캐패시터들을 포함할 수 있다. 또한, 예를 들어 구리 금속 층이 높은 양호도 전송 라인들 및 수동 컴포넌트들을 위하여 제공될 수 있다. 금속 층들은 폴리이미드 층(211)에 의해 분리될 수 있으며, 동일한 금속 층의 상이한 금속 층 구성 요소들은 제2 폴리이미드 물질에 의해 분리될 수 있다. 추가적인 단계로서, 모듈로의 컴포넌트 조립을 위해 플립 칩 범프들이 배치될 수 있다.
- [0095] IPD 공정을 위한 유전 물질로서 SiO₂가 사용될 수 있으나 더 높은 전기 용량 밀도가 필요한 경우 다른 물질들도 이용 가능하다. 예를 들어, Ta₂O₅, HfO, 또는 ZrO₂는 24, 16, 및 20의 유전율을 가진다. 상기 박막 저항 층의 저항은 응용에 따라 선택될 수 있다. 예를 들어, 표준 공정 박막 저항기들의 저항은 매칭된 RF 단자들 및 저항 성 월킨슨 전력 분배기들을 위한 저항에 적합하다. RF MEMS 바이어싱 회로들과 같은 응용들은 바람직하게 500옴보다 큰 저항 값들을 필요로 한다.
- [0096] 일 실시예에서, 음의 정전하 ALD 알루미나(알루미늄 산화물 층)는 고비저항 실리콘과 접촉하는 상기 제1 절연 층(220)으로 사용될 수 있으며, PECVD TEOS가 상기 ALD 상에 사용될 수 있다.
- [0097] 도 3은 본 발명의 다른 실시예에 따른 반도체 장치(300)를 도시한다. 상기 반도체 장치(300)는 예를 들어 멀티 금속 층 접적 수동 소자(IPD) 장치를 포함할 수 있다.
- [0098] 상기 반도체 장치(300)는 복수의 RF 응용들 및 초단파(very high frequency, VHF) 내지 밀리미터 파의 주파수들

에 적합한 다목적 기술을 포함할 수 있다. 상기 반도체 장치(200)는 박막 저항기들, 금속 인더터들, 및 상이한 금속 층들 사이의 금속-절연체-금속(metal-insulator-metal, MIM) 캐패시터들을 더 포함할 수 있다.

[0099] 반도체 장치(300)는 적어도 일부가 도전형의 도편트들로 도핑된 실리콘 기판 층(210), 및 상기 실리콘 기판 층(210) 상에 형성된 적어도 하나의 절연 층(211, 220, 240, 312)을 포함하며, 상기 적어도 하나의 절연 층(220)과 상기 실리콘 기판 층(210)의 상기 도편트들은 반대의 전하들을 가진다.

[0100] 일 실시예에서, 상기 반도체 장치(300)는 적어도 일부가 도전형의 도편트들로 도핑된 실리콘 기판(210); 및 상기 실리콘 기판 층(210) 상에 형성된 제1 절연 층(220)을 포함하며, 상기 제1 절연 층(220)과 상기 실리콘 기판 층(210)의 상기 도편트들은 반대의 전하들을 가진다.

[0101] 상기 제1 절연 층(220)은 상기 실리콘 기판 층(210) 및 그 도편트 특성들에 따라 선택될 수 있다.

[0102] 예를 들어, 상기 실리콘 기판 층(210)이 p-형 실리콘 기판으로 선택된 경우, 상기 제1 절연 층(220)은 음의 정전하를 포함하도록 선택된다.

[0103] 일 실시예에서, 상기 제1 절연 층(220)은 상기 제1 절연 층(220)이 상기 실리콘 기판(210)의 상기 도편트와 반대인 정전하를 가지도록 선택된다. 상기 제1 절연 층(220) 내의 정전하는 상기 실리콘 기판(210)과 상기 제1 절연체(220) 사이의 계면에 공핍 영역을 생성할 것이다. 이러한 공핍 영역은 라디오 주파수(RF) 신호가 이 계면에서 전송되는 것을 방지한다.

[0104] 예를 들어, 방사선 검출기의 관점에서, 고비저항 p-형 실리콘과 접촉하는 음의 정전하 층 ALD 알루미늄 산화물/질화물은 감소된 누설 전류를 생성할 것이다. 상기 접적 수동 소자들(IPDs)에 대하여 동일한 효과가 달성된다.

[0105] 대안적으로, 예를 들어 고비저항 n-형 실리콘과 접촉하는 양의 정전하 층 ALD 알루미늄 산화물/질화물이 사용될 수 있다.

[0106] 일 실시예에서, 상기 실리콘 기판(210)은 p-형 실리콘을 포함하며, 상기 제1 절연 층(220)(예를 들어, 단독으로 또는 제2 절연 층(240)과 조합으로)은 상기 실리콘 기판(210)에 대하여 반대인 정전하를 생성하도록 물질들, 예컨대 ALD 알루미늄 산화물(A1203), PECVD 산화물, 및 PECVD 질화물을 포함한다.

[0107] 일 실시예에서, 상기 제1 절연 층(220)의 두께는 예를 들어 상기 제1 절연 층(220)의 정전하 및 상기 기판 층(210) 특성들에 기초하여 결정될 수 있다. 따라서, 상기 기판(210)을 고려하여 상기 제1 절연 층(220)의 두께를 최적화시킴으로써, 상기 장치(300)의 작동, 특히 RF 특성들이 향상될 수 있다.

[0108] 일 실시예에서, 상기 제1 절연 층(220)을 성장시키기 위해 사용되는 방법은 상기 층(220)의 정전하 및 따라서 상기 장치(300)의 성능에도 영향을 미칠 수 있다.

[0109] 예를 들어, PECVD 실레인 공정/산화를 사용하여 상기 제1 절연 층(220)의 PECVD 산화물을 성장시킴으로써, 상기 제1 절연 층(220)의 정전하는 열 산화물을 사용하는 경우보다 더 높다.

[0110] 일 실시예에서, 상기 제1 절연 층(220)은 패시베이션 층으로서 이해될 수 있다.

[0111] 일 실시예에서, 상기 제1 절연 층(220)(상기 패시베이션 층) 조성 및 두께는 상기 기판 층(210), 예컨대 상기 실리콘 기판에 따라 결정될 수 있다. 상기 제1 절연 층(220)(상기 패시베이션 층)은 복수의 층들을 포함할 수 있다. 상기 복수의 층들은 절연 층 및 확산 배리어 층 중 적어도 하나일 수 있으며, 상기 층들은 복수의 시스템들, 소자들 또는 장치들을 사용하여 성장될 수 있다.

[0112] 일 실시예에서, 상기 반도체 장치(300)는 상기 실리콘 기판 층(210)과 제1 금속 층(230) 사이에 배치된 제1 절연 층(220)을 포함한다. 상기 제1 절연 층(220)은 상기 기판 층(210)의 상면의 적어도 일부, 예컨대 상기 제1 금속 층(230)의 상기 하면과 대향하는 상기 기판 층(210)의 부분을 덮을 수 있다.

[0113] 일 실시예에서, 상기 반도체 장치(300)는 상기 제1 금속 층(230)과 제2 금속 층(231) 사이에 배치된 제2 절연 층(240)을 포함한다. 상기 제2 절연 층(240)은 상기 제1 금속 층(230)의 적어도 일부, 예컨대 상기 제2 금속 층(231)의 하면과 대향하는 상기 제1 금속 층(230)의 상면의 부분을 덮을 수 있다.

[0114] 상기 제2 절연 층(240)의 적어도 일부는 상기 구성 요소들(230, 251) 사이의 연결을 제공하기 위해 상기 제1 금속 층(230) 구성 요소와 제3 금속 층(250, 251) 구성 요소 사이에서 중단될 수 있으며, 상기 제3 금속 층(250, 251)은 상기 제2 금속 층(231) 상에 배치된다.

[0115] 일 실시예에서, 상기 반도체 장치(300)는 상기 제2 절연 층(240) 상에 배치된 제3 절연 층(211)을 포함한다. 상

기 제3 절연 층(211)은 상기 제2 금속 층(231)과 제3 금속 층(250, 251) 사이에 연장될 수 있다. 상기 제3 절연 층(211)은 상기 제2 절연 층(240) 및 상기 제2 금속 층(231) 구성 요소 중 적어도 일부를 덮을 수 있다. 상기 제3 절연 층(211)의 적어도 일부는 상기 구성 요소들(230, 251) 사이의 연결을 제공하기 위해 상기 제1 금속 층(230) 구성 요소와 제3 금속 층(250, 251) 구성 요소 사이에서 중단될 수 있다. 상기 제3 절연 층(211)의 적어도 일부는 상기 구성 요소들(231, 250) 사이의 연결을 제공하기 위하여 상기 제2 금속 층(231) 구성 요소와 제3 금속 층(250, 251) 구성 요소 사이에서 중단될 수 있다.

- [0116] 일 실시예에서, 도 3에 도시된 바와 같이, 상기 제2 금속 층(231) 구성 요소의 하면이 상기 제3 절연 층(211)의 하면 및 또한 상기 제2 절연 층(240)의 상면과 같은 높이에 놓이도록 제2 금속 층(231) 구성 요소는 상기 제3 절연 층(211) 내에 배치될 수 있다.
- [0117] 일 실시예에서, 적어도 하나의 배리어 층이 상기 적어도 하나의 금속 층의 표면 상에 연장되는 금속 층(230, 231, 250, 251) 구성 요소에 형성될 수 있다.
- [0118] 상기 배리어 층은 저압 화학 기상 퇴적 질화물(LPCVD SiN) 또는 플라즈마 강화 화학 기상 퇴적 질화물(PECVD SiN)을 포함할 수 있다.
- [0119] 적어도 하나의 절연 층(220)은 원자 층 퇴적(ALD) 성장된 알루미늄 산화물 층을 포함할 수 있다.
- [0120] 상기 반도체 장치(200)의 적어도 하나의 절연 층(220, 240)은 플라즈마 강화 화학 기상 퇴적(PECVD) 층, 예컨대 테트라에틸오르쏘실리케이트(TEOS)를 포함할 수 있다.
- [0121] 상기 반도체 장치(200)의 적어도 하나의 절연 층(211)은 스펀 코팅된 폴리이미드 층을 포함할 수 있다.
- [0122] 일 실시예에서, 상기 제1 및 제2 절연 층들(220, 240) 중 적어도 하나는 상기 실리콘 기판 층(210) 상에 배치된 음의 정전하 원자 층 퇴적(ALD) 성장된 알루미늄 산화물 층을 포함하며, 제3 절연 층(211)은 상기 원자 층 퇴적(ALD) 성장된 알루미늄 산화물 층 상에 배치된 스펀 코팅된 폴리이미드 층을 포함한다.
- [0123] 상기 적어도 하나의 절연 층(220, 240)의 정전하는 상기 적어도 하나의 절연 층(211, 220, 240)과 상기 실리콘 기판 층(210) 사이의 계면에 공핍 영역을 생성한다.
- [0124] 일 실시예에서, 상기 반도체 장치(300)는 상기 제3 절연 층(211) 상에 배치된 제4 절연 층(312)을 포함한다. 상기 제4 절연 층(312)은 도시된 바와 같이 상기 제3 금속 층(250, 251) 구성 요소들을 덮을 수 있으며, 또한 상기 구성 요소들(250, 251) 사이에서 수평적으로 연장될 수 있다. 상기 제4 절연 층(312)은 상기 제3 절연 층(211)의 적어도 일부를 덮을 수 있다. 상기 제4 절연 층(312)의 적어도 일부는 상기 제4 절연 층을 통한 상기 적어도 하나의 금속 층(250, 251)으로의 연결을 제공하기 위하여 중단될 수 있다. 예를 들어 상기 반도체 장치(300)에 외부 연결을 제공하기 위하여 상기 제3 금속 층(250, 251) 구성 요소와 플립 범프(351) 사이의 연결 패드(350)를 위해 상기 제4 절연 층(312)의 중단이 배치될 수 있다.
- [0125] 일 실시예에서, 상기 반도체 장치(300)의 상기 제4 절연 층(312)은 예를 들어 플라즈마 강화 화학 기상 퇴적(PECVD) 층, 예컨대 테트라에틸오르쏘실리케이트(TEOS) 또는 일부 다른 유전 물질을 포함할 수 있다.
- [0126] 일 실시예에서, 상기 도전성 패드들(350, 351)은 상기 반도체 장치(300)의 상기 접적 수동 소자(IPD)에 전기적으로 결합시키기 위하여 적어도 하나의 금속 층(230, 231, 250, 251) 구성 요소에 연결될 수 있다. 상기 반도체 장치(300)의 상기 금속 층 패드들은 예를 들어 접적 수동 소자(IPD) 단자들에 결합될 수 있다.
- [0127] 상기 절연 층들(211, 220, 240, 312) 중 적어도 하나는 상기 장치(300)의 RF 성능에 영향을 미칠 수 있다. 고비 저항 실리콘 기판(210)과 접촉하는 상기 제1 절연 층(220)은 상기 제1 절연 층(220)이 상기 실리콘 기판(210)의 상기 도편트와 반대인 정전하를 가지도록 선택되어야 한다. 상기 제1 절연 층(220) 내의 정전하는 상기 실리콘(110)과 상기 제1 절연체(250) 사이의 계면에 공핍 영역을 생성할 것이다. 이러한 공핍 영역은 라디오 주파수(RF) 신호가 이 계면에서 전송되는 것을 방지한다.
- [0128] 상기 반도체 장치(300)의 RF 성능을 향상시키기 위한 상이한 방법들이 존재한다. 먼저, 상기 기판 층(210)에 대하여 반대인 정전하를 가지는 절연 층(220)을 배치시킴으로써 공핍 영역이 생성될 수 있다. 둘째, 예를 들어 상기 기판(210) 및 상기 절연 층(220)의 물질들 및 형성 방법들을 고려하여 상기 절연 층(220)의 두께가 최적화될 수 있다. 셋째, 실시예에 따라 최소의 정전하를 가지는 절연 층(220)이 선택될 수 있다. 상이한 방법들의 조합 또한 적용될 수 있다.
- [0129] 예를 들어, 방사선 검출기의 관점에서, 고비저항 p-형 실리콘과 접촉하는 음의 정전하 층 ALD 알루미늄 산화물

은 감소된 누설 전류를 생성할 것이다. 상기 접적 수동 소자들(IPDs)에 대하여 동일한 효과가 달성된다.

[0130] 일 실시예에서, 상이한 RF 성능들을 야기하도록 상이한 절연체 퇴적 방법들이 사용될 수 있다. RF 성능은 예를 들어 최소의 정전하를 가지는 薄은 산화물 층(220)으로 최적화될 수 있다.

[0131] 상기 IPD 컴포넌트들 상의 상기 제1 절연 층(220)을 소비할 수 있는 모든 공정들은 RF 성능을 악화시킬 수 있다는 것이 또한 주목된다. 예를 들어, 상기 기판(210)의 열 산화(고온)는 상기 기판(210)의 성능을 악화시키지는 않지만, 상기 산화물이 식각되어 상기 기판(210)이 재산화되는 경우, 성능은 약화될 수 있다. 이는 본 발명의 설명 및 도 2 내지 도 5에 걸쳐 개시된 상이한 실시예들에 의해 회피될 수 있다.

[0132] 일 실시예에서, 상기 고비저항 실리콘(210)과 접촉하는 상기 제1 절연 층(220)은 상기 고비저항 실리콘과 반대인 정전하를 가지도록 선택되어야 한다.

[0133] 일 실시예에서, 상기 제2 절연 층(240)은 최소한의 정전하를 가질 수 있으며, 두께는 작게 유지될 수 있다.

[0134] 일 실시예에서, 상기 반도체 장치(300)는 기판(210), 접적 수동 소자(IPD) 금속 층 구성 요소들(230, 231, 250, 251), 제1 절연 층(220), 제2 절연 층(240), 제3 절연 층(211), 및 제4 절연 층(312)을 포함한다. 또한, 도전성 패드들 및/또는 플립 범프들(350, 351)이 포함된다. 상기 절연 층들 중 적어도 하나를 위하여 유전 물질이 사용될 수 있다.

[0135] 일 실시예에서, 접적 수동 소자(IPD) 공정은 특별한 고비저항 실리콘 기판들(210)을 사용하여 수행될 수 있다. 신규한 격리(패시베이션) 층(들)을 가지는 이러한 고비저항 실리콘 기판들(210)은 표준 실리콘 웨이퍼들과 반드시 동일한 방식으로 거동하지는 않는다.

[0136] 상기 접적 수동 소자(IPD) 기판(210)과 접촉하는 절연 층(220)의 두께 및 물질 유형은 상기 장치(200)의 성능에 영향을 미친다. 특히 RF 성능이 영향을 받는다.

[0137] 상기 기판(210)은 일부 실시예들에서 유리 또는 실리콘 기판을 포함할 수 있다. 상기 접적 수동 소자(IPD) 및 상기 격리 유전 층은 상기 기판(210)의 제1 표면(예를 들어, 상면) 상에 도시된다. 일부 실시예들에서, 상기 접적 수동 소자(IPD) 및 상기 격리 유전 층은 상기 기판(210)의 제2 표면(예를 들어, 하면) 또는 양 표면들 상에 배치된다.

[0138] 일 실시예에서, 상기 접적 수동 소자(IPD)는 캐패시터, 인덕터, 및 저항 중 적어도 하나일 수 있다. 도 3은 상기 접적 수동 소자(IPD)의 개념적 표현을 도시한다는 것에 주의해야 한다.

[0139] 접적 수동 소자(IPD) 공정은 높은 양호도(Q) 인덕터들, 캐패시터들 및 전송 라인들과 같은 기본 빌딩 블록들을 포함할 수 있다. 접적 수동 소자(IPD)로 구현되기 적합한 높은 Q 컴포넌트들 및 회로들은 예를 들어, 캐패시터들, 인덕터들, 발룬들, 필터들, 매칭 네트워크들, 안테나들, 안테나 어레이들, 및 피드 네트워크들을 포함할 수 있다.

[0140] 상기 반도체 장치(300)는 예를 들어 금속 구성 요소들(230, 231, 250, 251) 사이의 박막 저항기들, 또는 금속-절연체-금속(MIM) 캐패시터들을 포함할 수 있다. 또한, 예를 들어 구리 금속 층이 높은 양호도 전송 라인들 및 수동 컴포넌트들을 위하여 제공될 수 있다. 금속 층들은 폴리이미드 층(211)에 의해 분리될 수 있으며, 동일한 금속 층의 상이한 금속 층 구성 요소들은 제2 폴리이미드 물질에 의해 분리될 수 있다. 추가적인 단계로서, 모듈로의 컴포넌트 조립을 위해 플립 칩 범프들이 배치될 수 있다.

[0141] IPD 공정을 위한 유전 물질로서 SiO₂가 사용될 수 있으나 더 높은 전기 용량 밀도가 필요한 경우 다른 물질들도 이용 가능하다. 예를 들어, Ta₂O₅, HfO, 또는 ZrO₂는 24, 16, 및 20의 유전율을 가진다. 상기 박막 저항 층의 저항은 응용에 따라 선택될 수 있다. 예를 들어, 표준 공정 박막 저항기들의 저항은 매칭된 RF 단자들 및 저항성 월킨슨 전력 분배기들을 위한 저항에 적합하다. RF MEMS 바이어싱 회로들과 같은 응용들은 바람직하게 500옴보다 큰 저항 값을 필요로 한다.

[0142] 일 실시예에서, 음의 정전하 ALD 알루미나 산화물은 고비저항 실리콘과 접촉하는 상기 제1 절연 층(220)으로 사용될 수 있으며, PECVD TEOS가 상기 ALD 상에 사용될 수 있다.

[0143] 일 실시예에서, 반도체 장치(200, 300)는 적어도 일부가 도전형(예를 들어, p-형)의 도편트들로 도핑된 실리콘 기판 층(210)을 포함하며, 제1 절연 층(220)은 상기 실리콘 기판 층(210) 상에 형성되며, 상기 제1 절연 층(220)과 상기 실리콘 기판 층(210)의 도편트들은 반대의 전하들을 가진다. 상기 제1 절연 층(220)은 복수의 물질들의 조합일 수 있다. 상기 제1 절연 층(220)은 ALD 알루미나 산화물 층(예를 들어, Al₂O₃), 절연 산화물 및

절연 질화물을 포함할 수 있다.

[0144] 상기 절연 산화물은 예를 들어 실레인 산화물, TEOS 산화물, 또는 열 산화물을 포함할 수 있다. 예를 들어, PECVD 실레인 공정/산화를 사용하여 상기 제1 절연 층(220)의 PECVD 산화물을 성장시킴으로써, 상기 제1 절연 층(220)의 정전하는 예를 들어 열 산화물을 사용하는 경우보다 더 높다.

[0145] 상기 절연 질화물은 예를 들어 PECVD 또는 LPCVD 질화물(SiN)을 포함할 수 있다.

[0146] 일 실시예에서, 상기 제1 절연 층(220)은 ALD 알루미나 산화물 층(예를 들어, Al203), PECVD 산화물(실레인 공정/산화)을 포함하는 절연 산화물, 및 배리어로서 PECVD 질화물(SiN)을 포함하는 절연 질화물의 조합이다.

[0147] 일 실시예에서, 상기 절연 층들(220, 240, 211, 312) 중 적어도 둘은 상이한 물질들 또는 하위 층들(220, 240)을 포함하는 통합된 절연 층으로서 제공될 수 있다.

[0148] 도 4는 본 발명의 일 실시예에 따른 방법의 흐름도를 도시한다.

[0149] 패시베이션된 실리콘 기판을 포함하는 반도체 장치를 제조하기 위함 방법이 단계(410)에서 시작한다. 단계(420)에서, 실리콘 기판이 제공된다. 이 단계는 예를 들어, 상기 실리콘 기판을 통상적인 반응기 도구, 예를 들어, ALD-형 공정을 수행하기 적합한 도구의 반응 공간 내로 투입하는 단계를 포함할 수 있다. 상기 실리콘 기판 층의 적어도 일부는 도전형의 도편트들로 도핑된다. 단계(430)에서, 패시베이션 층이 상기 실리콘 기판 층 상에 퇴적되며, 상기 패시베이션 층과 상기 실리콘 기판 층의 도편트들은 반대의 전하들을 가진다. 상기 패시베이션 층은 상이한 실시예들에 개시된 바와 같이 제1 절연 층을 포함할 수 있다. 단계(440)에서, 적어도 하나의 금속 층이 상기 패시베이션 층 상에 형성된다. 단계(450)에서, 추가적인 절연 층들, 예컨대 제2, 제3, 및 제4 층을 퇴적시키는 단계 및 추가적인 금속 층들, 예컨대 제2 및 제3 층들을 형성하는 단계가 수행된다. 단계(460)에서, 방법이 종료된다.

[0150] 도 5는 본 발명의 일 실시예에 따른 다른 방법의 흐름도를 도시한다.

[0151] 패시베이션된 실리콘 기판을 포함하는 반도체 장치 제조 방법은 단계(510)에서 시작된다. 단계(520)에서, 실리콘 기판이 제공된다. 이 단계는 예를 들어, 상기 실리콘 기판을 통상적인 반응기 도구, 예를 들어, ALD-형 공정을 수행하기 적합한 도구의 반응 공간 내로 투입하는 단계를 포함할 수 있다. 상기 실리콘 기판 층의 적어도 일부는 도전형의 도편트들로 도핑된다. 단계(530)에서, 패시베이션 층이 상기 실리콘 기판 층 상에 퇴적되며, 상기 패시베이션 층과 상기 실리콘 기판 층의 도편트들은 반대의 전하들을 가진다. 단계(540)에서, 금속 층이 상기 패시베이션 층 상에 형성된다. 선택적으로, 상기 금속 층에 연결되는 배리어 층이 퇴적될 수 있다. 단계(550)에서, 적어도 하나의 절연 층이 상기 금속 층 상에 형성된다. 단계(560)에서, 집적 수동 소자(IPD) 구성 요소들을 제공하도록 추가적인 금속 층들, 예컨대 제2 및 제3 층들을 형성하는 단계 및 추가적인 절연 층들을 퇴적하는 단계가 수행되며, 적어도 하나의 절연 층의 적어도 일부가 적어도 두 개의 금속 층 사이에 배치된다. 단계(570)에서, 도전성 패드들 및/또는 플립 범프들이 상기 장치를 위하여 생성될 수 있다. 단계(580)에서, 방법이 종료된다.

[0152] 일 실시예에서, 패시베이션 층은 알루미늄 산화물을 포함하며, 상기 패시베이션 층과 상기 도전성 전극 사이에 배리어 층을 제조함으로써 상기 패시베이션 층과 도전성 전극 사이의 화학적 상호작용에 의해 야기된 효과로부터 보호하도록 실리콘 기판의 표면 상에 형성된다.

[0153] 상기 패시베이션 층을 반응 공간 내에서 교대적으로 반복되는 둘 이상의 상이한 전그체들의 표면 반응들에 노출시킴으로써 상기 패시베이션 층 상에 티타늄 및 산소, 탄탈륨 및 산소, 지르코늄 및 산소, 하프늄 및 산소, 또는 이들 중 임의의 것의 조합, 또는 알루미늄 및 산소와 이들 중 임의의 것의 조합을 포함하는 배리어 층이 퇴적될 수 있으며, 상기 전구체들 중 적어도 하나는 산소를 위한 전구체이며, 상기 배리어 층 상에 알루미늄 페이스트를 포함하는 층을 제조함으로써 상기 패시베이션 층 상에 퇴적된 상기 배리오 층 상에 상기 도전성 전극을 형성한다.

[0154] 상기 반응 공간은 알루미늄 산화물을 포함하는 상기 패시베이션 층을 형성하기 적합한 압력으로 순차적으로 펌핑될 수 있다. 상기 반응 공간은 예를 들어 기계적 진공 펌프를 사용하여 적합한 압력으로 펌핑될 수 있거나, 대기압 ALD 시스템들 및/또는 공정들의 경우 대기압으로부터 퇴적 구역을 보호하도록 가스 흐름이 설정될 수 있다. 상기 실리콘 기판은 또한 사용된 방법에 의해 패시베이션 층을 형성하기 적합한 온도로 가열될 수 있다. 상기 실리콘 기판이 예를 들어 기밀 로드-락 시스템을 통해 또는 단순히 로딩 해치(hatch)를 통해 상기 반응 공간으로 투입될 수 있다. 상기 실리콘 기판은 예를 들어 상기 반응 공간 전체를 가열하는 저항성 가열 구성요소들

에 의해 가열될 수 있다.

- [0155] 상기 실리콘 기판 및 상기 반응 공간이 목표 온도 및 퇴적에 적합한 다른 조건들에 도달한 후, 상기 패시베이션 퇴적물이 상기 실리콘 기판 상에 필수적으로 바로 퇴적될 수 있도록 상기 실리콘 기판은 컨디셔닝될 수 있다. 상기 패시베이션 층에 퇴적될 상기 실리콘 표면의 이러한 컨디셔닝은 불순물 및/또는 산화로부터 상기 실리콘 필름의 상기 표면의 화학적 정화를 포함할 수 있다. 상기 실리콘 표면이 산화 환경을 통해 상기 반응 공간 내로 투입된 경우, 예를 들어 상기 노출된 실리콘 표면을 하나의 퇴적 도구로부터 다른 도구로 운반할 때, 특히 산화물의 제거는 어렵다. 상기 실리콘 필름의 표면으로부터 불순물 및/또는 산화물을 제거하기 위한 공정의 세부 사항들은 본 명세서를 참조하여 당업계의 통상의 기술자에게 명백할 것이다. 본 발명의 일부 실시예들에서, 상기 컨디셔닝은 엑스-시츄(ex-situ), 즉 ALD-형 공정들에 적합한 도구 밖에서 수행될 수 있다.
- [0156] 상기 실리콘 기판이 컨디셔닝된 후, 상기 실리콘 기판 바로 상의 상기 패시베이션 층(예를 들어 알루미늄 산화물을 포함)을 형성하기 위하여 상이한 전구체 화학 물질들에 대한 상기 퇴적 표면의 교대적인 노출이 시작될 수 있다. 전구체에 대한 상기 퇴적 표면의 노출 각각은 상기 퇴적 표면과 대응하는 전구체의 흡착 반응의 결과로서 상기 퇴적 표면 상에 추가적인 퇴적물의 형성을 야기한다.
- [0157] ALD-형 퇴적에 적합한 통상적인 반응기는 상기 반응 공간 내로 다음 전구체 화학 물질을 투입하기 전에 상기 반응 공간이 잉여 화학 물질 및 반응 부산물들로부터 퍼지(purge)될 수 있도록 캐리어 가스, 예컨대 질소 또는 아르곤을 상기 반응 공간 내로 투입하기 위한 시스템을 포함한다. 증발된 전구체들의 제어된 투입과 함께 이러한 특징은 상기 반응 공간 내 또는 상기 반응기의 다른 부분들 내에서 상이한 전구체들의 의미 있는 상호혼합 없이 전구체들에 상기 기판 표면을 교대적으로 노출시키는 것을 가능하게 한다. 실제로, 캐리어 가스의 흐름은 일반적으로 상기 퇴적 공정에 걸쳐 상기 반응 공간을 통해 연속적이며, 다양한 상기 전구체들만이 상기 캐리어 가스와 함께 상기 반응 공간 내로 교대로 투입된다.
- [0158] 상기 실리콘 기판 상의 상기 패시베이션 층의 두께는 상기 상이한 전구체들에 상기 퇴적 표면을 노출시킨 횟수에 의해 제어될 수 있다. 상기 패시베이션 층의 두께는 목표 두께가 달성될 때까지 증가되며, 이후 상기 적어도 하나의 절연 층이 퇴적된다.
- [0159] 상기 절연 층의 퇴적은, 본 발명의 일 실시예에서, 상기 패시베이션 층의 퇴적이 종료된 직후에 동일한 퇴적 도구 내에서 ALD-형 공정으로 수행된다. 이 경우, 상기 절연 층의 퇴적은 단순히 전구체 화학 물질들을 상기 패시베이션 층의 퇴적에 사용되는 것들로부터 상기 절연 층의 퇴적에 적합한 것들로 변경함으로써 시작할 수 있다.
- [0160] 일 실시예에서, 본드 와이어 패키지는 다이 상에 적층된 집적 수동 소자(IPD)를 포함한다. 상기 다이는 리드프레임 상에 배치될 수 있다. 상기 리드프레임은 핀 그리드 어레이(PGA) 패키지, 쿼드 플랫 논-리디드(quad flat non-leaded, QFN) 패키지, 또는 다른 패키지일 수 있다. 상기 리드프레임은 제1 패드들을 포함할 수 있으며, PCB 상에 장착될 수 있다. 중간 층이 상기 집적 수동 소자(IPD)와 상기 다이 사이에 배치될 수 있으며, 상기 집적 수동 소자(IPD)를 상기 다이에 연결할 수 있다. 상기 집적 수동 소자(IPD), 상기 다이, 및 상기 중간 층은 상기 집적 수동 소자(IPD) 및 다이를 대체할 수 있다.
- [0161] 일 실시예에서, 상기 반도체 장치는 제1 기판을 포함한다. 상기 기판은 도핑된 P-탭 또는 N-탭 기판일 수 있다. 제2 기판은 도핑되지 않을 수 있으며, 수동 소자들을 위하여 구성된다. 상기 제2 기판은 하나 이상의 그 상에 형성된 하나 이상의 금속 배선 층들을 가질 수 있다. 상기 제2 기판은 상기 제2 기판 상 및/또는 상기 제2 기판 아래에 배치된 임의의 수의 금속 배선 층들 및/또는 절연 층들을 가질 수 있다. 상기 금속 배선 층들은 수동 소자들, 수동 소자들의 부분들, 및/또는 연결 소자들(예를 들어, 커플러들(couplers), 점퍼들(jumpers), 트레이스들(traces) 등)을 포함할 수 있다. 상기 제2 기판은 예를 들어 상기 제1 기판 및 상기 PCB보다 더 높은 비저항을 가질 수 있다.
- [0162] 상기 집적 수동 소자(IPD)는 절연 층 또는 상기 제2 기판, 및 상기 금속 배선 층들을 포함한다. 상기 절연 층 또는 상기 제2 기판은 상기 금속 배선 층들 사이에 배치된다. 상기 절연 층 또는 상기 제2 기판은 비아들을 포함할 수 있다. 상기 비아들은 유리 관통 비아들(through glass vias, TGVs) 또는 실리콘 관통 비아들(through silicon vias, TSVs)일 수 있다. 상기 비아들은 상기 제1 금속 배선 층 및/또는 상기 제1 금속 배선 층 상의 수동 소자들을 상기 제2 금속 배선 층 및/또는 상기 제2 금속 배선 층 상의 수동 소자들에 연결할 수 있다. 상기 수동 소자들 각각은 상기 집적 수동 소자(IPD)의 하나 이상의 층들 상에 구현될 수 있다.
- [0163] 일 예로서, 인덕턴스가 상기 IPD 내에 구현된다. 상기 인덕턴스는 상기 금속 배선 층들 및 상기 비아들 중 일부 내의 트레이스들(또는 도전성 구성 요소들)을 포함할 수 있다. 임의의 상기 인덕턴스는 IPD의 층들 내에 구현될

수 있다. 다수의 층들 상의 도전성 구성을 가지는 상기 인덕턴스의 구성으로 인하여, 상기 인덕턴스에 의해 생성되는 자기장은 상기 IPD를 측방향으로 가로지르는 방향으로 지향될 수 있다. 이는 상기 인덕턴스에 의해 생성된 상기 자기장이 다이 내의 능동 소자들 및/또는 대응하는 신호들에 영향을 미치는 것을 방지하며, 이는 상기 수동 소자들에 의해 경험되는 간섭을 감소시킨다. 인덕턴스가 사익 IPD 내의 평면 구조로 구현되는 경우, 상기 인덕턴스는 상기 다이에 수직하게 상기 다이를 향해 지향되는 자기장을 생성할 수 있으며, 이는 간섭을 야기할 수 있다.

[0164] 추가적인 패드들이 상기 IPD 상에 배치될 수 있다. 상기 패드들은 본드 와이어들에 의해 상기 제1 패드들에 연결될 수 있다. 상기 패드들은 상기 금속 배선 층 및/또는 상기 금속 배선 층 내의 수동 소자들에 연결될 수 있다.

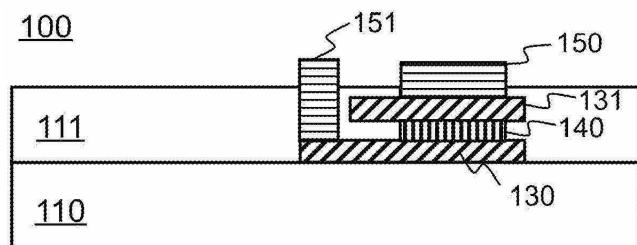
[0165] 아래 나타난 청구항들의 범위, 해석, 또는 적용을 어떠한 방식으로도 제한하지 않으면서, 본 명세서에 개시된 하나 이상의 예시적인 실시예들의 기술적 효과는 표면 패시베이션된 실리콘 기판의 증가된 라디오 주파수(Rf) 성능이다. 본 명세서에 개시된 하나 이상의 예시적인 실시예들의 다른 기술적 효과는 집적 수동 소자(IPD)의 향상된 제조 공정이다. 본 명세서에 개시된 하나 이상의 예시적인 실시예들의 다른 기술적 효과는 신뢰성 있고 소형인 반도체 장치의 제공이다.

[0166] 본 발명의 다양한 양상들이 독립항들에 제시되었으나, 본 발명의 다른 양상들은 청구항들에 명시적으로 제시된 조합들만이 아니라 설명된 실시예들 및/또는 종속항들로부터의 특징들과 독립항들의 특징들의 다른 조합들을 포함한다.

[0167] 여기서 또한 전술한 내용은 본 발명의 예시적인 실시예들을 설명하나 이러한 설명들은 제한적인 의미로 보여지지 않아야 한다는 것에 주의된다. 대신, 첨부된 청구항들에 정의되는 바와 같이 본 발명의 범위로부터 벗어나지 않으면서 이루어질 수 있는 여러 변형들 및 수정들이 있다.

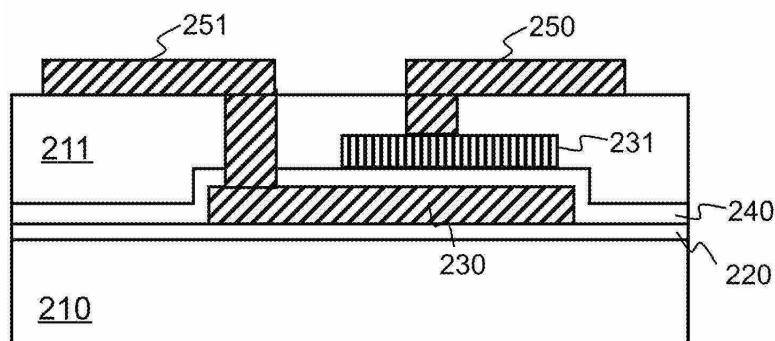
도면

도면1

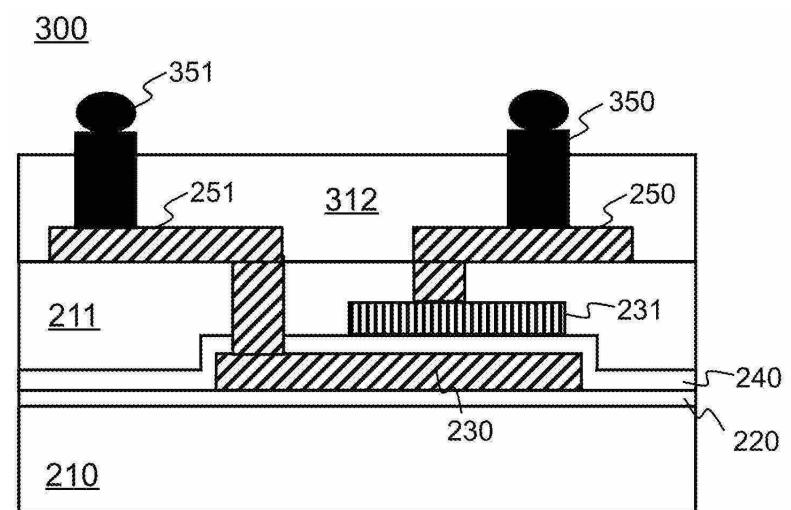


도면2

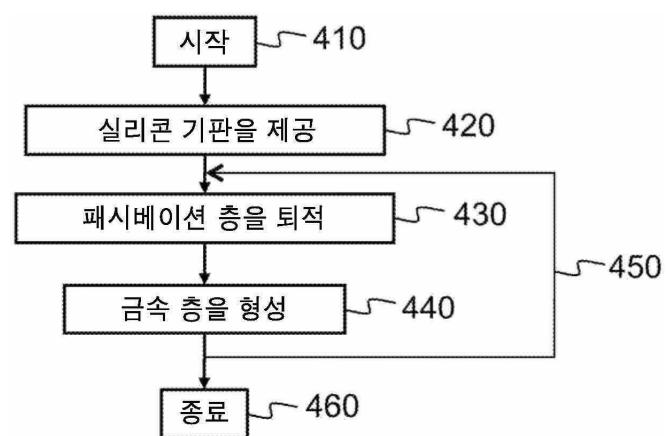
200



도면3



도면4



도면5

