



- (51) 국제특허분류:
H03K 19/177 (2006.01)
- (21) 국제출원번호: PCT/KR2015/009715
- (22) 국제출원일: 2015년 9월 16일 (16.09.2015)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2014-0123472 2014년 9월 17일 (17.09.2014) KR
- (71) 출원인: 서울대학교 산학협력단 (SNU R&DB FOUNDATION) [KR/KR]; 151-919 서울시 관악구 관악로 1, Seoul (KR).
- (72) 발명자: 김재하 (KIM, Jae Ha); 140-030 서울시 용산구 이촌로 88길 30, 103-301, Seoul (KR). 이윤택 (LEE, Yoon Tack); 138-885 서울시 송파구 중대로 24, 214-204, Seoul (KR). 최윤주 (CHOI, Yun Ju); 407-706 인천시 계양구 장제로 878, 111-1603, Incheon (KR).
- (74) 대리인: 남정길 (NAM, Jung kil); 137-803 서울시 서초구 고무래로 6-3, 501호, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

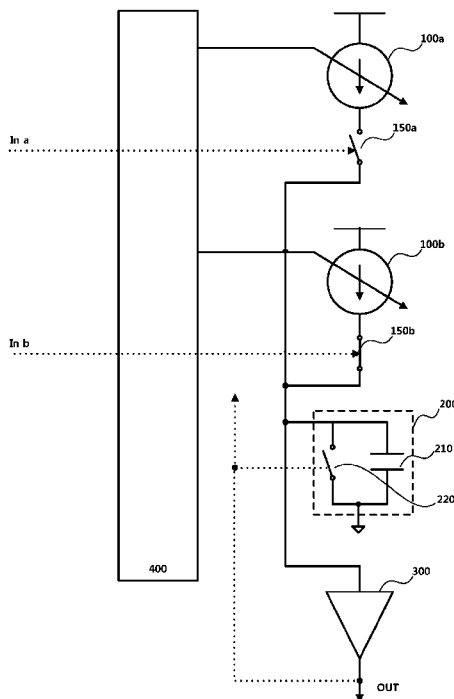
— 국제조사보고서와 함께 (조약 제 21 조(3))

[다음 쪽 계속]

(54) Title: FIELD-PROGRAMMABLE ANALOG ARRAY AND FIELD PROGRAMMABLE MIXED SIGNAL ARRAY USING SAME

(54) 발명의 명칭 : 현장 프로그래머블 아날로그 어레이 및 이를 이용한 현장 프로그래머블 혼성신호 어레이

[Fig. 1]



(57) Abstract: A field-programmable analog array according to an embodiment of the present invention comprises an array of a plurality of programmable analog timing circuits, the field-programmable analog array being field-programmable to a plurality of analog or analog-to-digital conversion circuits, such as relaxation oscillators, phase shifters, phase interpolators, pulse width modulators, pseudo index digitally controlled oscillators, etc. through programming, without physical circuit re-processing. Further, a field-programmable mixed signal array according to an embodiment of the present invention comprises a plurality of field-programmable analog arrays, field-programmable digital blocks and field-programmable connecting wire blocks, the field-programmable mixed signal array being field-programmable to a plurality of analog, digital or analog-to-digital conversion circuits, such as digital pulse width modulators, time-digital converters, analog-digital converters, phase locked loops, DC-DC, AC-DC and DC-AC converters, etc. through programming, without physical circuit re-processing.

(57) 요약서: 본 실시예에 의한 현장 프로그래머블 아날로그 어레이는 복수의 프로그래머블 아날로그 타이밍 회로들의 배열을 포함하되, 회로의 물리적인 재공정 없이 프로그램을 통해 이완발진기, 위상추이기, 위상보간기, 펄스폭 변조기, 의사 지수 디지털 제어 발진기 등 복수의 아날로그 또는 아날로그-디지털 변환 회로로 현장 재구성 가능(field programmable)하다. 또한 본 실시예에 의한 현장 프로그래머블 혼성신호 어레이는 복수의 현장 프로그래머블 아날로그 어레이, 현장 프로그래머블 디지털 블록, 현장 프로그래머블 연결선 블록을 포함하되, 회로의 물리적인 재공정 없이 프로그램을 통해 디지털 펄스폭 변조기, 시간-디지털 변환기, 아날로그-디지털 변환기, 위상 고정 루프, 직류-직류, 교류-직류 및 직류-교류 변환기 등 복수의 아날로그, 디지털, 또는 아날로그-디지털 변환 회로로 현장 재구성 가능(field programmable)하다.

다.



-
- 청구범위 보정 기한 만료 전의 공개이며, 보정서를
접수하는 경우 그에 관하여 별도 공개함 (규칙
48.2(h))

명세서

발명의 명칭: 현장 프로그래머블 아날로그 어레이 및 이를 이용한 현장 프로그래머블 혼성신호 어레이

기술분야

- [1] 본 발명은 현장 프로그래머블 아날로그 어레이 및 이를 이용한 현장 프로그래머블 혼성신호 어레이에 관한 것이다.

배경기술

- [2] 일반적인 디지털 회로는 처리하고자 하는 신호가 논리 0, 논리 1의 정보를 가지며, 이러한 정보로 논리 연산 등을 수행하여 목적하는 정보 또는 신호를 처리한다. 아날로그 회로는 처리하고자 하는 신호가 디지털 신호와는 달리 변화하는 진폭, 변화하는 주파수 등과 같이 연속적으로 변화하는 정보를 가지는 신호의 처리를 수행하는 회로를 의미한다.

발명의 상세한 설명

기술적 과제

- [3] 논리 0, 논리 1의 신호로 신호 처리를 수행하는 디지털 회로를 설계하거나, 설계된 회로를 검증하는 경우에는 VHDL, Verilog등의 하드웨어 기술 언어(HDL, Hardware Description Language)로 디지털 회로를 기술하고, 기술된 기능을 수행하는 회로를 FPGA(Field Programmable Gate Array)로 합성하여 설계된 회로의 동작을 즉시 검증할 수 있다.
- [4] 그러나, 일반적인 아날로그 회로는 디지털 회로와는 달리 사용자가 제공하는 프로그램에 의하여 목적하는 아날로그적 기능을 수행하도록 현장에서 즉시 회로를 합성할 수 없어 문제된다.
- [5] 본 발명은 상술한 아날로그 회로의 문제점을 해결하기 위하여 고안된 것으로, 사용자가 목적하는 아날로그 기능을 수행하는 회로를 현장에서 구현할 수 있는 아날로그 회로 및 칩을 제공하는 것이 본 발명의 목적 중 하나이다.

과제 해결 수단

- [6] 본 실시예에 의한 현장 프로그래머블 아날로그 어레이는, 프로그래머블 아날로그 타이밍 어레이를 포함하되, 프로그래머블 아날로그 타이밍 어레이들이 회로의 물리적인 재구성없이 프로그램을 통해 복수의 아날로그 회로 또는 아날로그-디지털 변환회로의 동작을 수행하도록 재구성될 수 있다.
- [7] 본 실시예에 의한 현장 프로그래머블 혼성신호 어레이는 하나 이상의 현장 프로그래머블 아날로그 어레이, 프로그램을 통하여 현장 재구성가능한 논리 연산을 수행하는 하나 이상의 현장 프로그래머블 디지털 블록, 그리고 현장 프로그래머블 아날로그 어레이 및 현장 프로그래머블 디지털 블록 각각의 입력 신호들 및 출력 신호들의 연결 상태를 현장 재구성가능한 하나 이상의 현장 프로그래머블 연결선 블록을 포함하되, 현장 프로그래머블 아날로그 어레이,

현장 프로그래머블 디지털 블록, 현장 프로그래머블 연결선 블록들이 회로의 물리적인 재구성 없이 프로그램을 통해 복수의 아날로그, 디지털, 또는 아날로그-디지털 변환 회로의 동작을 수행하도록 재구성할 수 있다.

발명의 효과

- [8] 본 발명의 일 실시예에 의한 현장 프로그래머블 혼성신호 어레이 및 현장 프로그래머블 아날로그 어레이에 의하면 프로그램에 의하여 프로그래머블 아날로그 타이밍 어레이 사이의 연결 관계를 조절하여 사용자가 목적하는 기능을 수행하는 회로를 현장에서 구현할 수 있다는 장점이 제공된다.

도면의 간단한 설명

- [9] 도 1은 본 발명의 실시예에 따른 프로그래머블 아날로그 타이밍 어레이의 개요를 도시한 개요도이다.
- [10] 도 2는 본 발명의 실시예에 따른 프로그래머블 아날로그 타이밍 어레이가 쌍(pair)로 구비된 것을 도시한 개요도이다.
- [11] 도 3a 및 도 3b는 본 발명의 실시예에 따른 프로그래머블 아날로그 타이밍 어레이에 포함된 메모리와 전류원의 개요를 도시한 도면이다.
- [12] 도 4는 커패시터 유닛의 실시예를 도시한 도면이다.
- [13] 도 5는 검출수단의 구현예를 도시한 도면이다.
- [14] 도 6은 쌍으로 동작하는 프로그래머블 아날로그 타이밍 어레이에 포함된 메모리와 전류원의 실시예를 도시한 도면이다.
- [15] 도 7은 본 실시예에 의한 프로그래머블 아날로그 타이밍 어레이의 개요를 도시한 도면이다.
- [16] 도 8은 본 실시예에 따른 프로그래머블 아날로그 타이밍 어레이를 이용하여 이완 발진기(relaxation oscillator)를 구현한 것을 도시한 도면이다.
- [17] 도 9는 도 8로 도시된 이완 발진기의 개요적인 등가 회로도이다.
- [18] 도 10(a) 내지 도 10(c)는 이완 발진기의 개요적인 타이밍 도(timing diagram)이다.
- [19] 도 11은 본 실시예에 따른 프로그래머블 아날로그 타이밍 어레이를 이용하여 구현한 시간-디지털 변환기(TDC, Time-Digital Converter)의 개요를 도시한 블록도이다.
- [20] 도 12는 도 11로 도시된 시간-디지털 변환기의 개요적인 등가 회로도이다.
- [21] 도 13은 본 실시예에 따른 시간-디지털 변환기의 타이밍 도(timing diagram)이다.
- [22] 도 14는 본 실시예에 따른 프로그래머블 아날로그 타이밍 어레이로 구현한 위상 추이기(Phase Shifter)의 개요를 도시한 회로도이다.
- [23] 도 15는 본 실시예에 따른 프로그래머블 아날로그 타이밍 어레이로 구현한 위상 추이기(Phase Shifter)의 개요적 등가 회로도이다.
- [24] 도 16은 위상 추이기의 타이밍 도이다.

- [25] 도 17 및 도 18은 프로그래머블 아날로그 타이밍 어레이로 구현한 위상 보간기(PI, Phase Interpolator)의 개요를 도시한 회로도이다.
- [26] 도 19는 본 실시예에 따른 프로그래머블 아날로그 타이밍 어레이를 이용하여 구현한 위상 보간기(PI, Phase Interpolator)의 타이밍 도이다.
- [27] 도 20은 동일한 등가 커패시턴스를 가지는 커패시터 유닛에 구간을 나누어 서로 다른 전류를 인가할 때 커패시터 유닛 양단에 형성되는 전압의 변화를 도시한 도면이다.
- [28] 도 21은 본 실시예에 의한 프로그래머블 아날로그 타이밍 어레이를 이용하여 구현한 의사 지수 디지털 제어 발진기의 개요적 회로도이다.
- [29] 도 22는 본 실시예에 의한 프로그래머블 아날로그 타이밍 어레이를 이용하여 구현한 디지털 펄스폭 변조기의 개요적 회로도이다.
- [30] 도 23은 본 실시예에 의한 프로그래머블 아날로그 타이밍 어레이를 이용한 디지털 펄스폭 변조기의 등가회로도이다.
- [31] 도 24는 본 실시예에 의한 프로그래머블 아날로그 타이밍 어레이를 이용하여 구현한 펄스폭 변조기의 타이밍도이다.
- [32] 도 25는 본 실시예에 의한 프로그래머블 아날로그 타이밍 어레이를 이용하여 구현한 아날로그 디지털 변환기(Analog Digital Converter, ADC)의 개요적인 블록도이다.
- [33] 도 26은 본 실시예에 의한 직류-직류 변환기(DC DC Converter)의 구현예를 도시한 블록도이다.
- [34] 도 27a는 도 26a는 종래의 강압 직류-직류 변환기(step down DC-DC converter)의 일종인 벡 컨버터(buck converter)의 동작을 설명하기 위한 개요적인 회로도이며, 도 27b는 종래의 승압 직류-직류 변환기(step up DC-DC converter)의 일종인 부스트 컨버터(boost converter)의 동작을 설명하기 위한 개요적인 회로도이다.
- [35] 도 28은 본 실시예에 의한 프로그래머블 아날로그 타이밍 어레이를 이용하여 구현한 디지털 위상 고정 루프의 개요를 도시한 블록도이다.

발명의 실시를 위한 형태

- [36] 개시된 기술에 관한 설명은 구조적 내지 기능적 설명을 위한 실시예에 불과하므로, 개시된 기술의 권리범위는 본문에 설명된 실시예에 의하여 제한되는 것으로 해석되어서는 아니 된다. 즉, 실시예는 다양한 변경이 가능하고 여러 가지 형태를 가질 수 있으므로 개시된 기술의 권리범위는 기술적 사상을 실현할 수 있는 균등물들을 포함하는 것으로 이해되어야 한다.
- [37] 한편, 본 출원에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다.
- [38] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계,

동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[39] 각 단계들은 문맥상 명백하게 특정 순서를 기재하지 않은 이상 명기된 순서와 다르게 일어날 수 있다. 즉, 각 단계들은 명기된 순서와 동일하게 일어날 수도 있고 실질적으로 동시에 수행될 수도 있으며 반대의 순서대로 수행될 수도 있다.

[40] 여기서 사용되는 모든 용어들은 다르게 정의되지 않는 한, 개시된 기술이 속하는 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의된 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한 이상적이거나 과도하게 형식적인 의미를 지니는 것으로 해석될 수 없다.

[41] 도면에 도시된 실시예들은 명확한 설명을 위하여 그 크기, 두께 또는 길이 등이 과장되어 표현될 수 있음을 이해하여야 한다.

[42] 이하에서는 첨부된 도면들을 참조하여 본 실시예에 따른 프로그래머블 아날로그 타이밍 어레이를 설명한다. 본 명세서는 신호 선로의 종류를 구분하지 않으며, 각 선로는 단일 신호 또는 하나 이상의 아날로그 신호 또는 디지털 신호로 구성된 버스 신호로 해석될 수 있다.

[43]

[44] 도 1은 본 발명의 실시예에 따른 프로그래머블 아날로그 타이밍 어레이의 개요를 도시한 개요도이며, 도 2는 본 발명의 실시예에 따른 프로그래머블 아날로그 타이밍 어레이가 쌍(pair)로 구비된 것을 도시한 개요도이다. 도 1 및 도 2를 참조하면, 전류원(100a, 100b, 100a', 100b')은 메모리(400)에 저장된 프로그램에 의하여 전류원이 인가하는 전류량이 제어된다.

[45] 도 3a 및 도 3b는 본 발명의 실시예에 따른 프로그래머블 아날로그 타이밍 어레이에 포함된 메모리(400)와 전류원(100, 100')의 개요를 도시한 도면이다. 본 발명의 실시예에 따른 프로그래머블 아날로그 타이밍 어레이가 도 3a에 도시된 바와 같이 단일단(single ended)으로 동작하는 경우에, 메모리(400)에 포함된 전류를 제어하는 디지털-아날로그 변환기(DAC, Digital-Analog Converter, 410)는 프로그램에 포함된 코드를 변환하여 코드에 상응하는 전류 제어 신호(con_i)를 형성하고, 이를 전류원(100)에 인가하여 전류원이 제공하는 전류(i)를 제어한다.

[46] 본 발명의 실시예에 따른 프로그래머블 아날로그 타이밍 어레이가 도 2 및 도 3b에 도시된 바와 같이 쌍으로 동작하는 경우에, 메모리에 포함된 디지털-아날로그 변환기(410)는 프로그램에 포함된 코드를 변환하고, 각각의 전류원(100, 100')이 코드에 상응하여 동작하도록 전류 제어 신호(con_i, con_i')를 형성하여 전류원(100, 100')에 인가한다. 일 예로, 쌍으로 구비된 프로그래머블 아날로그 타이밍 어레이가 서로 상보적으로 동작하도록 프로그램된 경우에, 디지털-아날로그 변환기(410)는 프로그램에 포함된 코드를 변환하여 각각의 전류원(100, 100')이 서로 상보적으로 동작하도록 제어 신호(con_i, con_i')를

형성하여 전류원(100, 100')에 인가한다. 일 예로, 전류값을 제어하는 코드(code)는 소정 개수의 비트(bit)일 수 있으며, 디지털-아날로그 변환기(410)는 코드의 비트에 상응하는 해상도로 전류값을 제어하는 신호를 형성하여 전류원을 제어할 수 있다. 다만, 이는 일 예로, 메모리로부터 제공된 코드는 전류원의 전류값 뿐만 아니라 가변 전류원 등의 상태를 제어하는 제어 코드 등의 여러 코드들을 포함할 수 있다.

[47] 일 예로, 본 발명의 실시예에 따른 프로그래머블 아날로그 타이밍 어레이가 단일단으로 동작하거나, 상보적으로 동작하는 경우에도 프로그램에 의하여 전류원이 인가하는 전류값을 조절할 수 있다.

[48] 다시 도 1 및 도 2를 참조하면, 스위치 유닛(150a, 150b, 150a', 150b')은 제어 신호(IN aa, In ab, IN aa', In ab', IN ba, In bb, IN ba', In bb')로 제어되어 전류원(150a, 150b, 150a', 150b')이 인가하는 전류를 전하 누적 수단(200, 200')에 인가하거나 차단한다. 일 예로, 도 1에 도시된 실시예와 같이 프로그래머블 아날로그 타이밍 어레이가 단일단(single ended)으로 구비되어 동작하는 경우에, 스위치 (150a, 150b)는 제어 신호 In a, In b에 의하여 도통이 제어되어 전류원 100a, 100b가 인가하는 전류를 전하 누적 수단으로 인가하거나 차단한다. 후술할 바와 같이 제어 신호는 프로그래머블 아날로그 타이밍 어레이의 동작 중에 외부로부터 인가될 수 있으며, 외부로부터 인가되는 신호는 메모리에 저장되고 이로부터 프로그래머블 아날로그 타이밍 어레이의 동작이 제어된다.

[49] 도 2와 같이 프로그래머블 아날로그 타이밍 어레이가 쌍으로 구비되어 동작하는 실시예에서, 스위치 유닛(150a, 150a', 150b, 150b')은 어느 하나의 단일단 전류를 다른 단일단으로 제공하도록 스위치를 쌍으로 구비한다. 도시된 실시예에서, 스위치 유닛 150a는 스위치 150aa와 스위치 150ab를 구비하며, 스위치 150aa를 이용하여 전류원 100a가 제공하는 전류를 전하 누적 수단 200으로 제공하고, 스위치 150ab를 이용하여 전류원 100a가 제공하는 전류를 전하 누적 수단 200'에 제공한다. 스위치 유닛 150a'는 스위치 150aa'와 스위치 150ab'를 구비하며, 스위치 150aa'를 이용하여 전류원 100a'가 제공하는 전류를 전하 누적 수단 200으로 제공하고, 스위치 150ab'를 이용하여 전류원 100a'가 제공하는 전류를 전하 누적 수단 200'에 제공한다. 또한, 전류원 100b와 전류원 100b'와 연결된 스위치 유닛 150b 및 스위치 유닛 150b'도 각각 스위치를 쌍으로 구비하여 각각 스위치 유닛 150a 및 150a'와 유사한 기능을 수행한다.

[50] 스위치 유닛에 포함된 스위치들은 일단과 타단의 도통 여부를 제어하는 제어단을 가진다. 일 예로, 스위치는 드레인(drain) 전극과 소스(source) 전극을 가지며, 드레인(drain) 전극과 소스(source) 전극 사이의 도통 여부를 제어하는 게이트(gate) 전극을 가지는 전계 효과 트랜지스터(FET, Field Effect Transistor)로 구현할 수 있다. 통상의 기술자는 소정의 문턱 전압(threshold voltage) 이상이면 드레인과 소스가 도통되는 N 타입 MOS 전계 효과 트랜지스터 및/또는 소정의 문턱 전압 이하이면 드레인과 소스가 도통되는 P 타입 MOS 전계 효과

트랜지스터로 스위치 및 스위치 유닛을 구현할 수 있다.

- [51] 다른 예로, 스위치는 베이스(base) 전극에 인가되는 전류로 에미터(emitter) 전극과 컬렉터(collector) 전극 사이에 인가되는 전류를 조절할 수 있는 NPN타입 양극성 접합 트랜지스터(Bipolar Junction Transistor) 및/또는 PNP타입 양극성 접합 트랜지스터로 스위치 및 스위치 유닛을 구현할 수 있다.
- [52] 이러한 예들은 통상의 기술자가 용이하게 프로그래머블 아날로그 타이밍 어레이에 포함된 스위치를 구현하는 예일 따름으로, 통상의 기술자는 디플리션 모드 N 타입 MOS 전계 효과 트랜지스터, 디플리션 모드 P 타입 MOS 전계 효과 트랜지스터 등과 같이 일단과 타단 및 일단과 타단의 도통 여부를 제어하는 제어단을 가지는 스위치 소자를 이용하여 본 실시예에 따른 프로그래머블 아날로그 타이밍 어레이를 구현할 수 있다.
- [53] 전하 누적 수단(200)은 전류원이 인가하는 전류에 의한 전하(charge)를 누적하여 누적에 따라 형성된 전기적 신호를 출력한다. 전하 누적 수단(200)은 커패시터 유닛(210)과 전하 누적 수단을 리셋(reset)하는 리셋 스위치(220)을 포함한다. 일 실시예로, 커패시터 유닛(210)은 도 4a에 도시된 바와 같이 고정된 커패시턴스를 가지는 복수의 커패시터들($C_1, C_2, C_3, \dots, C_N$)들과 복수의 스위치들($SW_1, SW_2, SW_3, \dots, SW_N$)을 포함하며, 복수의 스위치들($SW_1, SW_2, SW_3, \dots, SW_N$)은 메모리(400)에 저장된 프로그램에 의하여 도통이 제어된다.
- [54] 커패시터 유닛(210, 210')은 전류원이 제공한 전류에 의한 전하를 누적하고, 누적에 따른 신호를 형성하여 검출 수단(300)에 제공한다. 프로그램에 의하여 제어된 커패시터 유닛(210, 210')의 등가 커패시턴스를 C_{eq} 라고하면, 전하 누적 수단이 전하를 누적하여 형성하는 신호($V(t)$)는 아래의 수학적 식 1과 같다.
- [55]
- $$V(t) = \frac{1}{C_{eq}} \int_0^t i \, dt$$
- [56] 즉, 커패시터 유닛은 전류원이 인가하는 전류에 의한 전하를 누적 하고, 그에 의하여 형성된 전압 신호를 검출 수단(300)에 제공한다. 위의 수학적 식 1에서 알 수 있는 바와 같이 검출 수단(300)이 출력하는 전기적 신호($V(t)$)는 시간에 따라 변화하며, 전압 신호는 커패시터 유닛의 등가 커패시턴스인 C_{eq} 와 전류 i 에 상응하는 것을 알 수 있다.
- [57] 메모리는 저장된 프로그램에 따라 도시된 복수의 스위치 중 어느 하나 이상을 도통하도록 제어하여 목적하는 커패시터 유닛(210)의 등가 커패시턴스(equivalent capacitance)를 형성한다. 도 4a에 도시된 일 예로, 커패시터 유닛(210)에 포함된 복수의 커패시터들($C_1, C_2, C_3, \dots, C_N$)은 서로 동일한 커패시턴스를 가질 수 있으며, 다른 예로, 커패시터 유닛(210)에 포함된 복수의 커패시터들($C_1, C_2, C_3, \dots, C_N$)들은 미리 정하여진 가중 요소(weighting factor)에 의하여 정하여진 서로 다른 커패시턴스를 가질 수 있다.
- [58] 커패시터 유닛(210)의 다른 실시예로, 커패시터 유닛(210)은 도 4b에 도시된

전압 제어 가변 커패시터(VC, voltage controlled variable capacitor)를 이용한다. 본 실시예에 의하면, 전압 제어 가변 커패시터는 양단에 인가된 전압에 의하여 그 커패시턴스가 변화하므로 메모리(400)는 전압 제어 가변 커패시터의 양단에 인가하는 전압을 제어하여 커패시터 유닛(210)의 목적하는 등가 커패시턴스를 형성한다.

- [59] 커패시터 유닛의 다른 실시예로, 도 4c에 도시된 바와 같이 복수의 전압 제어 가변 커패시터($VC_1, VC_2, VC_3, \dots, VC_N$)와 복수의 스위치들($SW_1, SW_2, SW_3, \dots, SW_N$)이 배열된 가변 커패시터들을 포함할 수 있다. 본 실시예에 의하면, 프로그램은 메모리에 저장되어 스위치들($SW_1, SW_2, SW_3, \dots, SW_N$)과 전압 제어 가변 커패시터의 양단 전압을 제어하고, 메모리는 저장된 프로그램에 따라 도시된 복수의 스위치 중 어느 하나 이상을 도통하도록 제어하며, 도통된 스위치와 연결된 전압 제어 커패시터 양단 전압을 제어하여 목적하는 커패시터 유닛(210)의 등가 커패시턴스(equivalent capacitance)를 형성한다.
- [60] 도시되지 않은 커패시터 유닛의 또 다른 실시예로, 도 4a에 도시된 커패시터 뱅크(capacitor bank)와 도 4b 또는 도 4c에 도시된 전압 제어 가변 커패시터를 포함할 수 있다. 일정한 주파수에 신호의 주파수를 매칭하기 위하여 거친 조정(coarse tuning)과 미세 조정(fine tuning)이 필요한 경우에 메모리에 포함된 커패시턴스 제어 디지털-아날로그 변환기(도 6 420 참조)는 커패시터 뱅크에 포함된 스위치들($SW_1, SW_2, SW_3, \dots, SW_N$)의 도통 여부를 제어하여 거친 조정을 수행하고, 전압 조절 가변 커패시터에 인가되는 전압을 제어하여 미세 조정을 수행하여 주파수 매칭을 수행할 수 있다.
- [61] 다시 도 1 및 도 2를 참조하면, 리셋 스위치(220, 220')가 도통되면 커패시터 유닛에 충전된 전하를 방전하여 전하 누적 수단(200, 200')을 리셋한다. 일 실시예로, 도 1 및 도 2에 도시된 바와 같이 리셋 스위치는 검출 수단의 검출 신호(OUT, OUT')에 의하여 제어되는 스위치일 수 있다. 또한, 리셋 스위치(220, 220')가 도통되면 전류원이 제공하는 전류는 기준 전위로 흐르므로, 커패시터 유닛(210, 210')은 전하를 누적하지 못하여 전압 신호를 형성하지 못한다.
- [62] 리셋 스위치는 일 예로 위에서 설명된 스위치 유닛(150a, 150'a, 150b, 150b')에 포함된 스위치와 같이 전계 효과 트랜지스터(FET), 양극성 접합 트랜지스터(BJT)등과 같이 제어단에 인가되는 전기적 신호에 의하여 일단과 타단의 도통 여부가 제어되는 소자로 구현할 수 있다.
- [63] 검출 수단(300, 300')은 상술한 전하 누적 수단이 제공한 전기적 신호를 검출하고, 문턱치와의 관계 따라 검출 결과 신호를 형성하여 출력한다. 일 실시예에서, 검출 수단(300, 300')은 도 5a에 도시된 바와 같이 소정의 문턱 전압(threshold voltage)을 가지는 인버터(inverter)일 수 있다. 전기적 신호($V(t)$)가 임계 전압에 다르면 NMOS 트랜지스터가 도통되어 공통전압이 출력신호(OUT)로 출력되며, 반대로 전기적 신호($V(t)$)가 임계 전압 이하이면 PMOS 트랜지스터가 도통되어 공급 전압(V_{dd})이 출력신호(OUT)으로 출력된다.

- [64] 다른 실시예로, 검출 수단은 도 5b에 도시된 바와 같이 소정의 임계치(ref)와 입력된 전기적 신호(V(t))를 비교하는 비교기일 수 있다. 즉, 전기적 신호(V(t))가 검출 수단에 인가되면 검출 수단은 임계치와 비교하여 임계치와의 대소 관계에 따라 검출 결과 신호(OUT)을 출력한다.
- [65] 도시되지 않은 다른 실시예로 검출 수단은 슈미트 트리거(Schmitt Trigger)회로로 구현할 수 있으며, 입력 신호와 미리 정해지거나, 프로그래머블한 임계치와 비교하여 비교결과에 따른 신호를 출력하는 신호를 출력하는 회로이면 본 실시예의 검출 수단으로 사용할 수 있다.
- [66] 도 5c 및 도 5d는 아날로그 타이밍 어레이를 쌍(pair)으로 구비한 실시예에서 검출 수단을 구현한 예이다. 프로그래머블 아날로그 타이밍 어레이를 쌍으로 구비한 경우에 각각의 프로그래머블 아날로그 타이밍 어레이가 상보적 출력을 유지하는 것이 필요할 수 있다. 도 5c에 도시된 실시예는 각각의 검출 수단이 출력한 신호를 서로 크로스 피드백(cross feedback)하도록 구성하여 각각의 검출 수단이 서로 상보적인 검출 신호를 출력하도록 할 수 있다.
- [67] 도 5d에 도시된 실시예에 의하면 각각의 검출 수단(300, 300')은 검출 수단이 출력하는 신호를 인가받아 래치(latch)하는 래치 회로(310)를 구비하여 서로 상보적인 신호를 출력하게 할 수 있다.
- [68] 도 5c 또는 도 5d로 도시된 실시예에 있어서, 검출 신호(OUT, OUT')는 어느 하나의 신호가 논리 1이면 다른 하나의 신호는 논리 0인 상보적인 관계에 있어야 한다. 그러나, 초기값이 설정되지 않은 경우에 전류원 100a와 100a' 또는 전류원 100b와 100b'가 서로 동일한 전류를 서로 동일한 등가 커패시턴스를 가지는 커패시터 유닛인 210과 210'에 인가하는 경우에는 전하 누적 수단 300, 300'들은 모두 동일한 검출 신호를 출력하므로 출력 신호의 상보성이 파괴될 수 있다. 이러한 문제를 해결하기 위하여 프로그래머블 아날로그 타이밍 어레이의 초기 구동시 또는 재설정(Reset)이 필요한 경우에 리셋 신호를 인가하여 검출 수단의 출력을 서로 상보적으로 초기 설정한다. 일 예로, 리셋 신호는 프로그래머블 아날로그 타이밍 어레이의 외부 및/또는 메모리(400)에서 제공될 수 있다.
- [69] 리셋 신호에 의하여 상보적 출력이 설정되면 커패시터 유닛(210, 210')을 리셋하는 리셋 스위치(220, 220')도 상보적 출력에 의하여 상보적으로 동작한다. 따라서 전류원들이 동일한 전류를 인가하더라도 서로 상보적으로 동작하는 리셋 스위치(220, 220')에 의하여 커패시터 유닛(210, 210')도 상보성을 유지한 출력 신호를 제공하므로, 검출 수단(300)의 출력도 상보성을 유지할 수 있다.
- [70] 도 1, 도 2 및 도 6을 참조하면, 메모리(400)는 사용자로부터 프로그램을 제공받아 저장하며, 나아가, 프로그래머블 아날로그 타이밍 어레이가 동작하는 도중에 현장 프로그래머블 디지털 블록(도 7 2000참조), 커스텀 셀 블록, 또다른 현장 프로그래머블 아날로그 어레이(도 7 1000참조) 및 칩 외부로부터 신호를 인가받아 저장하고, 저장된 신호에 따라 회로를 제어할 수 있다. 이와 같이 프로그래머블 아날로그 타이밍 어레이의 동작 중 인가되는 신호에 의한 정보를

메모리에 저장하고, 저장된 신호에 의하여 프로그래머블 아날로그 타이밍 어레이를 실시간(real time) 제어할 수 있다.

- [71] 본 명세서에서는 사용자로부터 제공받은 프로그램 뿐만 아니라, 프로그래머블 아날로그 타이밍 어레이가 동작하는 도중에 현장 프로그래머블 디지털 블록, 커스텀 셀 블록, 또다른 현장 프로그래머블 아날로그 어레이 및/또는 칩 외부로부터 인가된 신호도 메모리에 저장되어 사용자로부터 제공된 프로그램과 마찬가지로 본 실시예에 의한 프로그래머블 아날로그 타이밍 어레이를 제어할 수 있으므로, 이를 모두 "프로그램"이라 정의한다.
- [72] 프로그램은 커패시터 유닛에 포함된 스위치의 도통 여부를 제어하는 코드와 목적하는 커패시턴스를 가지도록 커패시터 양단 전압을 제어하는 코드 및 상술한 바와 같이 전류원을 제어하는 코드를 포함할 수 있다. 메모리(400)는 프로그램으로부터 전류원의 전류를 제어하는 제어 신호(con_i, con_i')를 형성하는 디지털-아날로그 변환기(410)와 프로그램으로부터 커패시턴스 유닛의 등가 커패시턴스를 제어하는 제어 신호(con_c)를 형성하는 커패시턴스 제어 디지털-아날로그 변환기(420)을 포함한다.
- [73] 본 발명의 실시예에 의한 프로그래머블 아날로그 타이밍 어레이가 단일단(single ended)으로 동작하는 경우에, 메모리에 포함된 전류 제어 디지털-아날로그 변환기(410)는 메모리(400)로부터 전류원을 제어하는 코드를 제공하고, 이를 디코딩(decoding)하여 코드에 상응하는 제어 신호(con_i)를 형성한다. 가변 전류원(100)은 디지털-아날로그 변환기(110)가 제공한 제어 신호로 제어되어 그에 상응하는 전류(i)를 제공하며, 이는 상술한 바와 같다.
- [74] 도 6은 쌍으로 동작하는 프로그래머블 아날로그 타이밍 어레이에 포함된 메모리(400)와 전류원(100, 100')의 실시예를 도시한 도면이다. 도 3과 도 6을 참조하면, 메모리는 전류원을 제어하는 코드를 거친 조절 디지털-아날로그 변환기(coarse tuning DAC, 412)와 미세 조절 디지털-아날로그 변환기(fine tuning DAC, 414)에 제공한다. 거친 조절 디지털-아날로그 변환기(412)는 제공된 코드로부터 전류원이 인가할 수 있는 전류의 최대값을 구하고, 미세 조절 디지털-아날로그 변환기(414)는 서로 상보적으로 동작하는 전류원이 인가하는 전류의 비(ratio)를 코드에 상응하도록 조절한다.
- [75] 일 예로, 서로 상보적으로 동작하는 전류원이 최대 100mA의 전류를 인가하고, 각 전류원이 2:8의 비율로 전류를 흘리도록 프로그램되어 메모리에 저장되었다면, 거친 조절 디지털-아날로그 변환기(412)는 전류원이 최대 100mA를 제공하도록 제어 신호를 형성하고, 미세 조절 디지털 아날로그 변환기(414)는 각 전류원 별로 각각 20mA, 80mA를 인가하도록 세부적으로 조절한다.
- [76] 메모리에 포함된 커패시턴스 제어 디지털-아날로그 변환기(420)는 메모리(400)로부터 커패시터 유닛을 제어하는 코드를 제공하고, 이를 디코딩(decoding)하여 코드에 상응하는 제어 신호(con_c)를 형성한다. 커패시터

유닛은 커패시턴스 제어 디지털-아날로그 변환기(420)가 제공한 제어 신호로 제어되어 그에 상응하는 등가 커패시턴스를 형성한다. 일 예로, 커패시턴스 제어 디지털-아날로그 변환기는 도시된 바와 같이 커패시터 유닛에 포함된 스위치($SW_1, SW_2, SW_3, \dots, SW_N$)의 도통을 제어하여 커패시터 유닛의 등가 커패시턴스를 제어할 수 있다. 도시되지 않은 다른 예로, 커패시턴스 제어 디지털-아날로그 변환기(420)는 프로그램에 상응하도록 커패시터 유닛에 포함된 전압 제어 커패시터에 인가되는 전압을 형성하여 커패시터 유닛의 등가 커패시턴스를 형성할 수 있다. 도시되지 않은 다른 예로, 커패시턴스 제어 디지털-아날로그 변환기(420)는 거친 조정(coarse tuning) 단계에서 커패시터 유닛에 포함된 스위치($SW_1, SW_2, SW_3, \dots, SW_N$)의 도통을 제어하여 커패시터 유닛의 등가 커패시턴스를 제어하고, 미세 조정(fine tuning) 단계에서 커패시터 유닛에 포함된 전압 제어 커패시터에 인가되는 전압을 형성하여 커패시터 유닛의 등가 커패시턴스를 형성할 수 있다.

[77]

[78] 이하에서는, 도 7을 참조하여 본 발명의 실시예에 따른 현장 프로그래머블 혼성신호 어레이를 설명한다. 다만, 간결하고 명료한 설명을 위하여 위에서 설명된 실시예와 중복되는 부분은 설명을 생략할 수 있다. 본 실시예에 따른 현장 프로그래머블 혼성신호 어레이는 칩 외부로부터 신호를 인가받거나, 칩 외부로 신호를 제공하는 입출력 패드(I/O Pad, 4000), 프로그래머블 아날로그 타이밍 어레이를 포함하는 현장 프로그래머블 아날로그 어레이(1000)와, 현장 프로그래머블 디지털 블록(2000)과, 현장 프로그래머블 아날로그 어레이(1000), 현장 프로그래머블 디지털 블록(2000)의 입출력 신호 및 입출력 패드로부터 제공되거나 입출력 패드로 제공하는 신호를 프로그램에 의하여 라우팅(routing)하는 현장 프로그래머블 연결선 블록(3000)을 포함한다.

[79] 현장 프로그래머블 아날로그 어레이(1000)은 적어도 하나 이상의 프로그래머블 아날로그 타이밍 어레이가 어레이/매트릭스 형태로 배치되어 형성된다. 도 7은 일 열로 배치된 현장 프로그래머블 아날로그 어레이(1000)들과 하나의 열로 배치된 현장 프로그래머블 디지털 블록(2000)들이 번갈아 배치된 실시예만을 도시하나, 각각의 현장 프로그래머블 아날로그 어레이(1000)들과 현장 프로그래머블 디지털 블록(2000)들이 서로 격자(lattice)형으로 배치될 수 있다.

[80] 현장 프로그래머블 디지털 블록(2000)은 종래의 FPGA(Field Programmable Gate Array)와 같이 사용자가 제공한 프로그램에 의하여 합성(synthesize)되어 사용자가 목적인 기능을 수행한다. 사용자는 목적하는 기능을 VHDL(Very-high-speed integrated circuits Hardware Description Language) 또는 베릴로그(Verilog) 등과 같은 하드웨어 기술 언어(HDL, Hardware Description Language)로 기술하고, FPGA 칩은 하드웨어 기술 언어로 기술된 기능을 수행한다.

- [81] 본 실시예에 의한 현장 프로그래머블 디지털 블록(2000)은 종래의 FPGA와 같이 사용자가 구현하고자 하는 디지털 연산 기능을 기술하면, 기술된 기능을 수행하도록 합성된다. 일 예로, 현장 프로그래머블 디지털 블록(2000)은 사용자가 제공한 프로그램에 의하여 수리-논리 연산부(ALU, Arithmetic-Logic Unit), 레지스터(Register), 카운터(Counter), 다중화기(Multiplexer), 역다중화기(Demultiplexer), 디코더(Decoder)등의 기능을 수행할 수 있다.
- [82] 입출력 패드(I/O pad, 4000)는 칩으로 인가되는 신호를 칩 내부로 제공하거나, 칩에서 제공하는 신호를 칩 외부로 제공한다. 입출력 패드(4000)는 와이어(wire)와 본딩(bonding)되어 칩의 리드(lead) 또는 범프(bump)와 전기적으로 연결된다. 일 예로, 사용자가 현장 프로그래머블 아날로그 어레이(1000) 또는 현장 프로그래머블 디지털 블록(2000)으로 제공하는 프로그램 등의 데이터는 입출력 패드를 통하여 제공되며, 본 실시예에 의한 현장 프로그래머블 혼성신호 어레이가 연산한 데이터들도 입출력 패드를 통하여 칩 외부로 제공된다.
- [83] 현장 프로그래머블 연결선 블록(3000)은 입출력 패드(4000), 현장 프로그래머블 디지털 블록(2000) 및 현장 프로그래머블 아날로그 어레이(1000)가 제공하는 신호들을 라우팅한다. 현장 프로그래머블 연결선 블록은 라우팅 트레이스와, 라우팅 트레이스 사이를 전기적으로 연결하거나 차단하는 스위치들을 포함하며, 프로그램에 의하여 연결이 제어된다. 용이한 도시를 위하여 라우팅 트레이스가 교차하는 곳에 배치된 스위치들에 대하여 식별 부호를 부기하였으나, 설명한 바와 같이 라우팅 트레이스도 프로그램에 의하여 제어되는 현장 프로그래머블 연결선 블록에 포함된다. 일 예로, 각각의 블록은 세 개의 라우팅 트레이스로 연결된 것으로 도시되었으나, 이는 순전히 예시를 위한 것으로, 세 개 이상 또는 그 이하의 트레이스로 연결될 수 있다.
- [84] 현장 프로그래머블 연결선 블록은 프로그램에 의하여 신호의 배선이 제어되므로 현장 프로그래머블 아날로그 어레이, 현장 프로그래머블 디지털 블록 및/또는 커스텀 셀 블록 간의 연결을 조절하여 본 실시예에 의한 현장 프로그래머블 아날로그 어레이가 발진기, 위상 추이기, 직류-직류 변환기, 위상 고정 루프 등과 같이 여러 기능을 수행할 수 있도록 한다.
- [85] 일 실시예에서, 현장 프로그래머블 혼성신호 어레이는 특정한 기능을 수행하도록 미리 구현된 회로를 가지는 커스텀 셀 블록 (custom cell block)을 포함할 수 있다. 일 예로, 현장 프로그래머블 디지털 블록으로 기능을 구현할 수 있으나, 현장 프로그래머블 디지털 블록으로 구현된 동작 속도에 비하여 고속으로 동작할 것이 요청되는 경우, 보통의 아날로그 전압 신호 등을 본 실시예에 따른 프로그래머블 아날로그 타이밍 어레이가 받아들일 수 있는 형태로 변형이 필요한 경우 등에는 목적하는 기능을 구현하도록 미리 회로를 구현하여 커스텀 셀에 배치할 수 있다. 일 예로, 커스텀 셀 블록에는 위상 검출기(Phase Detector), 위상 주파수 검출기(Phase Frequency Detector), 아날로그

전압 입력을 펄스 형태로 변환하는 전압-신호 변환기(VTC, Voltage-Time Converter)등을 구현하여 배치할 수 있다.

- [86] 이러한 구성을 가지는 현장 프로그래머블 혼성신호 어레이는 특정한 기능을 수행하도록 프로그램을 제공받아 목적하는 기능을 수행한다. 이하에서는 첨부된 도면들을 참조하여 본 실시예에 의한 현장 프로그래머블 혼성신호 어레이로 이완 발진기(relaxation oscillator), 시간-디지털 변환기(TDC, Time-Digital Converter), 위상 추이기(Phase Shifter), 위상 보간기(Phase Interpolator), 디지털 펄스폭 변조기(DPWM, Pulse Width Modulator), 직류-직류 변환기(DC-DC Converter) 및 위상 고정 루프(Phase Locked Loop)를 구현한 실시예를 설명한다.
- [87] 이하에서 설명될 실시예들은 프로그래머블 아날로그 타이밍 어레이를 포함하는 현장 프로그래머블 아날로그 어레이와, 현장 프로그래머블 디지털 블록 및 현장 프로그래머블 연결선 블록이 프로그램되어 구현되는 것이다. 따라서 사용자가 현장에서 프로그램을 제공하여 본 실시예에 의한 현장 프로그래머블 혼성신호 어레이를 발진기, 시간-디지털 변환기, 위상 추이기 등과 같이 사용자가 목적하는 기능을 수행하도록 제어할 수 있다는 장점이 제공되며, 동작 중 회로에서 제공되는 신호를 제공받아 메모리에 저장하고, 이를 이용하여 회로를 제어함으로써 실시간으로 회로를 제어할 수 있다는 장점이 제공된다.
- [88] 아래의 설명은 본 실시예에 따른 현장 프로그래머블 혼성신호 어레이와 현장 프로그래머블 아날로그 어레이, 프로그래머블 아날로그 타이밍 어레이의 명확한 설명을 위한 것으로, 본 발명의 범위를 제한하는 것이 아니다. 또한, 아래에서 설명될 실시예들은 본 실시예에 의한 현장 프로그래머블 혼성신호 어레이와 현장 프로그래머블 아날로그 어레이, 프로그래머블 아날로그 타이밍 어레이를 이용하여 구현할 수 있는 기능 중 극히 일부분일 따름으로, 본 발명에 의한 현장 프로그래머블 혼성신호 어레이와 현장 프로그래머블 아날로그 어레이, 프로그래머블 아날로그 타이밍 어레이는 설명된 구현예의 기능만을 수행할 수 있는 것이 아니라 프로그램에 따라 설명되지 않은 여러 기능을 수행하도록 구현될 수 있다.
- [89] 도 8은 본 실시예에 따른 프로그래머블 아날로그 타이밍 어레이를 이용하여 이완 발진기(relaxation oscillator)를 구현한 것을 도시한 도면이며, 도 9는 도 8로 도시된 이완 발진기의 개요적인 등가 회로도이다. 도 10(a) 내지 도 10(c)는 이완 발진기의 개요적인 타이밍 도(timing diagram)이다.
- [90] 도 8 내지 도 10을 참조하면, 이완 발진기는 상보적인 값을 출력하는 프로그래머블 아날로그 타이밍 어레이 쌍(10a, 10b)을 포함한다. 전류원(100, 100')은 각각 프로그램이 저장된 메모리에 포함된 디지털-아날로그 변환기(도 3 410 참조), 거친 조절 디지털 아날로그 변환기(도 6 412 참조) 미세 조절 디지털 아날로그 변환기(도 6 414 참조)로부터 제어 신호를 인가받아 목적하는 전류를 인가한다. 도 8 및 도 9에는 도시되지 않았으나, 필요한 경우에 도 2에 도시된

150b, 150b' 스위치 쌍을 도통시켜 더욱 큰 전류를 인가할 수 있다. 또한, 후술할 바와 같이 전류원 100과 100'가 제공하는 전류의 값을 달리 조절하여 이완 발진기가 출력하는 신호의 듀티비를 조절할 수 있다.

- [91] 본 실시예에 따른 프로그래머블 아날로그 타이밍 어레이를 이완 발진기로 동작시키고자 하는 경우에, 스위치 150a와 150b'는 그 도통 여부를 제어하는 신호인 IN a, In b'가 인가되어 도통되도록 제어되며, 스위치 150b 및 150a'는 상기 스위치들의 도통 여부를 제어하는 신호인 In b 및 In a'가 인가되어 차단되도록 제어된다. 따라서, 스위치 150a, 150 b'가 도통되어 전류원 100 및 전류원 100'가 제공하는 전류는 각각 커패시터 유닛 210과 210'에 인가된다. 스위치를 제어하는 입력 신호 In a, In a', In b, In b'는 현장 프로그래머블 디지털 블록 또는 칩 외부로부터 제공되어 현장 프로그래머블 연결선 블록에 의하여 연결되어 프로그래머블 아날로그 타이밍 어레이에 제공된다.
- [92] 일 예로, 검출 수단 300 및 300'은 도시된 바와 같이 소정의 문턱치(Threshold value)를 가지는 인버터로 구현할 수 있고, 출력값의 상보성을 보장하기 위하여 도시된 바와 같이 래치를 더 포함할 수 있으며, 동작 초기에 리셋 신호를 인가하여 검출 수단이 출력한 검출 신호인 OUT과 OUT'을 서로 상보적으로 설정하는 것은 상술한 바와 같다.
- [93] 이하의 실시예에서는, 달리 설명된 경우를 제외하고 전하 누적 수단 200 및 200'이 전하를 누적하여 출력하는 신호가 문턱치에 도달한 경우 검출 신호로 논리 1을 출력하고, 문턱치 미만인 경우에는 검출 신호로 논리 0을 출력하는 경우를 가정한다. 리셋 신호에 의하여 검출 수단의 출력 OUT과 OUT'이 각각 논리 0, 논리 1로 설정되었으며, 리셋 스위치(220, 220')들이 논리 1 신호에 의하여 닫히고, 논리 0 신호에 열리는 스위치로 구현된 예를 가정한다. 다만 이것은 구현할 수 있는 여러 실시예 중에서 어느 하나의 실시예를 특정하여 설명함으로써 간결하고 명확하게 설명하기 위한 것이며, 본 발명의 범위를 제한하고자 함이 아니다. 또한 본 실시예가 속하는 기술 분야에서 통상의 지식을 가지는 자라면 당연히 논리 0 신호에 닫히고, 논리 1 신호에 열리는 스위치로 변형하거나, NAND 게이트로 구현한 SR 래치 이외의 NOR 게이트로 구현한 SR 래치 등의 다른 래치로 변형하는 등과 같은 변형 실시가 가능하다.
- [94] 도 10a에 도시된 T1 구간에서 도 9에 도시된 바와 같이 프로그래머블 아날로그 타이밍 어레이 동작 초기에 리셋 신호에 의하여 리셋 스위치 220'는 닫혀 전류원 100a'가 인가하는 전류를 기준전위로 흘리나, 리셋 스위치 220은 열려서 전류원 100이 인가한 전류는 전하 누적 수단에 포함된 커패시터 유닛(210)에 인가되고 전하의 누적에 의하여 소정의 전압 신호(Vc)가 형성된다.
- [95] 커패시터 유닛(210, 210')의 등가 커패시턴스는 프로그램에 의하여 제어되며, 전류원이 인가하는 전류량과 더불어 등가 커패시턴스를 조절하여 프로그래머블 아날로그 타이밍 어레이에 있어서 커패시터 유닛이 출력하는 전압의 타이밍을 조절할 수 있다.

- [96] 검출 수단(300, 300')은 커패시터 유닛이 일정한 전하를 누적하여 출력한 전압 신호의 크기를 문턱치(threshold value, V_{th})와 비교하여 소정의 검출 신호(OUT, OUT')를 출력한다.
- [97] 전하 누적 수단이 출력하는 전압(V_c , V_c')이 모두 문턱치(V_{th})이하인 경우에 인버터로 구현한 검출 수단은 모두 논리 1을 출력한다. NAND 게이트로 구현된 SR 래치에 모두 논리 1의 입력이 인가되면 출력의 상보성이 파괴되지 않고 이전 출력 그대로 유지된다. 따라서, 전류가 누적되는 커패시터 유닛(210)의 출력 신호 V_c 가 문턱치 이하인 경우에도 래치의 출력은 이전 출력을 유지한다.
- [98] 전류원이 인가하는 전류에 의한 전하를 충분히 누적한 어느 하나의 커패시터 유닛은 스위치가 닫혀 전하가 누적되지 않은 커패시터 유닛과 달리 문턱치 이상의 전압을 출력하고, 이를 감지한 검출 수단은 그에 상응하는 검출 신호를 출력한다. 일 예로, 도 8 내지 도 10으로 도시된 실시예와 같이 전하를 충분히 누적한 커패시터 유닛(210)은 문턱치(V_{th}) 이상의 전압 신호를 출력하나, 스위치(220')가 닫혀 전하를 누적할 수 없는 커패시터 유닛(210')은 전압 신호를 출력하지 못하거나, 문턱치보다 작은 전압 신호만을 출력한다. 커패시터 210이 출력한 전압 신호가 문턱치 이상의 전압을 출력하면 인버터로 구현한 검출수단300은 논리 0 신호를 래치에 제공한다. 래치는 이전 출력 신호를 토글(toggle)하여 검출 신호 OUT으로 논리 1을 출력하고, 검출 수단 300'은 이와 반대로 검출 신호 OUT'로 논리 0을 출력한다.
- [99] 전환된 검출 신호 OUT에 의하여 리셋 스위치 220은 닫혀서 커패시터 유닛 210에 충전된 전하를 방전하고, 전류원 100a로부터 인가된 전류도 마찬가지로 기준 전위로 흘린다. 그러나, 리셋 스위치 220'은 전환된 검출 신호 OUT'에 의하여 열리고, 그에 따라 전류원 100a'로부터 인가되는 전류는 커패시터 유닛210'에 누적되어 도 10a에서 T2구간으로 도시된 바와 같이 전하를 누적하여 전압 V_c' 를 출력한다. 커패시터 유닛 210은 전하를 누적하지 못하므로 전압 신호를 출력하지 못하거나, 문턱치보다 작은 전압 신호만을 출력한다. 따라서 검출 수단 300과 300'는 모두 논리 1을 출력하므로 커패시터 유닛의 출력이 문턱치 이상 상승하기 전까지 래치 출력의 상보성이 파괴되지 않고 이전 출력 그대로 유지된다. 본 실시예에 의한 이완 발진기는 프로그래머블 아날로그 타이밍 어레이 10a 와 10b가 서로 교번하여 지속적으로 동작하며, 그에 따라 출력 OUT과 OUT'도 서로 상보적으로 교번한다.
- [100] 이완 발진기 출력 OUT, OUT'의 주파수는 전류원이 인가하는 전류량을 제어하여 제어될 수 있다. 즉, 도 10a에 도시된 실시예에 비하여 전류원 100, 100'가 더 많은 전류를 인가하도록 제어되거나 또는 전류원 100, 100'와 더불어 전류원 100b, 100b'(도 2 참조)가 함께 전류를 인가하는 경우에는 도 10b에 도시된 바와 같이 동일한 커패시터에 전하가 축적되어 전압을 형성하는 속도가 증가하므로 그에 따라 이완 발진기가 출력하는 출력 신호의 주파수도 증가한다.
- [101] 또한, 전류원 100과 전류원 100'가 인가하는 전류를 서로 달리하도록

프로그램하여 출력 신호 OUT, OUT'의 듀티비를 조절할 수 있다. 일 예로, 전류원 100이 인가하는 전류에 비하여 100'가 인가하는 전류가 큰 경우를 가정하면, 도 10c에 도시된 바와 같이 전류원 100이 인가하는 전류가 누적되어 형성된 전압 V_c 가 문턱치에 도달하는 시간에 비하여 전류원 100'가 인가하는 전류가 누적되어 형성된 전압 V_c' 가 문턱치에 도달하는 시간이 더 짧다. 따라서, 디지털 아날로그 변환기(414)가 전류원 100a, 100a'가 인가하는 전류의 비를 제어함에 따라 이완 발진기가 출력하는 신호의 듀티비를 제어할 수 있다.

- [102] 도시되지는 않았지만, 커패시터 유닛의 등가 커패시턴스를 제어하여 이완 발진기가 출력하는 신호의 주파수와 듀티비를 제어하는 것도 당연히 가능하다.
- [103] 본 실시예에서, 리셋 스위치 220, 220'는 논리 1 신호로 닫히는 스위치를 예시하였으나, 이와 반대로 논리 0 신호로 닫히는 스위치로 구현할 수 있으며, N 타입 FET 스위치, P 타입 FET 스위치, NPN 정션 트랜지스터, 및 PNP 정션 트랜지스터 등으로 구현할 수 있음은 위에서 설명한 바와 같다. 또한, 검출 수단(300, 300')은 이해의 편의를 위하여 인버터(inverter)로 구현한 예를 이용하여 설명하였으나, 위에서 설명한 바와 같이 버퍼, 비교기 또는 슈미트 트리거 등을 이용하여 구현하는 것도 당연히 가능하다. 본 실시예에는 NAND 게이트로 구현한 SR 래치를 적용하였으나, NOR 게이트로 구현한 SR 래치는 물론, JK 래치 및 게이티드 래치(gated latch)를 이용하여 구현하는 것도 당연히 가능하다.
- [104] 본 발명의 실시예에 의한 프로그래머블 아날로그 타이밍 어레이는 사용자가 제공하여 저장되거나, 회로의 동작 중 인가된 신호가 저장된 프로그램에 의하여 전류원이 인가하는 전류와 전하 누적 수단의 등가 커패시턴스를 제어하여 발진기가 출력하는 신호의 주파수 및 듀티비를 제어할 수 있다.
- [105] 도 11은 본 실시예에 따른 프로그래머블 아날로그 타이밍 어레이를 이용하여 구현한 시간-디지털 변환기(TDC, Time-Digital Converter)의 개요를 도시한 블록도이며, 도 12는 도 11로 도시된 시간-디지털 변환기의 개요적인 등가 회로도이다. 도 13은 본 실시예에 따른 시간-디지털 변환기의 타이밍 도(timing diagram)이다. 도 11 내지 도 13을 참조하면, 본 실시예에 따른 시간-디지털 변환기는 위상 주파수 검출장치(PFD, Phase Frequency Detector, 20), 프로그래머블 아날로그 타이밍 어레이(10a, 10b) 및 카운터(30a, 30b)를 포함한다. 간결하고 명확한 설명을 위하여 위에서 설명된 실시예와 중복된 부분은 설명을 생략할 수 있다.
- [106] 도 11 내지 도 13을 참조하면, 본 실시예에서 프로그래머블 아날로그 타이밍 어레이에 포함된 전류원(100a, 100a', 100b, 100b')은 프로그램에 의하여 제어되어 서로 동일한 전류를 제공한다. 위상 주파수 검출기(Phase Frequency Detector, 20)는 기준 신호(ref)와 입력 신호(rcv)를 입력받아 기준 신호(ref)와 입력 신호(rcv)의 위상 차이에 상응하는 펄스 폭을 가지는 오차 신호인 업 신호(UP), 다운 신호(DN)를 출력한다. 입력 신호(rcv)의 위상이 기준 신호(ref)의 위상에 비하여 늦은 경우, 위상 주파수 검출기(20)는 위상 차이에 비례하는 펄스폭을

가지는 업 신호(UP)를 출력하고, 반대로 입력 신호(rcv)의 위상이 기준 신호의 위상에 비하여 빠른 경우에는 그 위상 차이에 상응하는 펄스폭을 가지는 다운 신호(DN)를 출력한다.

- [107] 일 구현예로, 위상 주파수 검출기(20)는 목적하는 기능을 수행하도록 회로가 미리 구현되어 커스텀 셀 블록에 배치될 수 있으며, 다른 구현예로, 위상 주파수 검출기(20)는 사용자가 하드웨어 기술언어(HDL)로 기능을 기술하여 합성된 현장 프로그래머블 디지털 블록으로 구현될 수 있다. 위상 주파수 검출기로 입력되는 기준 신호(ref), 입력 신호(rcv)는 현장 프로그래머블 연결선 블록에 의하여 라우팅(routing)되어 위상 주파수 검출기(20)와 전기적으로 연결이 이루어지며, 위상 주파수 검출기(20)가 출력하는 업 신호(UP), 다운 신호(DN)도 마찬가지로 현장 프로그래머블 연결선 블록(3000)에 의하여 아날로그 타이밍 어레이 쌍으로(10a, 10b) 제공된다. 또한, 프로그래머블 아날로그 타이밍 어레이 10a, 10b의 출력 신호들인 OUTa, OUTa', OUTb, OUTb' 신호들도 마찬가지로 현장 프로그래머블 연결선 블록에 의하여 라우팅되어 카운터 30a, 30b에 전기적으로 연결된다.
- [108] 위상 주파수 검출기(20)가 출력한 업 신호(UP)와 다운 신호(DN)는 각각 서로 다른 프로그래머블 아날로그 타이밍 어레이에 입력된다. 일 실시예로, 도 12로 도시된 바와 같이 업 신호(UP)는 프로그래머블 아날로그 타이밍 어레이(10a)에 제공되어 전류원 100a가 제공하는 전류를 커패시터 유닛 210a에 제공하거나 차단하도록 스위치 150aa에 인가되고, 전류원 100a'가 제공하는 전류를 커패시터 유닛 210a'에 제공하거나 차단하도록 스위치 150ab'에 인가된다. 또한 다운 신호(DN)는 프로그래머블 아날로그 타이밍 어레이(10b)에 제공되어 전류원 100b가 제공하는 전류를 커패시터 유닛 210b에 제공하거나 차단하도록 스위치 150ba에 인가되고, 전류원 100b'가 제공하는 전류를 커패시터 유닛 210b'에 제공하거나 차단하도록 스위치 150bb'에 인가된다.
- [109] 따라서, 업 신호(UP)가 인가되는 프로그래머블 아날로그 타이밍 어레이(10a)에서 업 신호에 의하여 스위치(150aa, 150ab')가 제어되고, 전류원(100a, 100a')는 서로 동일한 전류를 커패시터 유닛(210a, 210a')에 인가한다. 마찬가지로 다운 신호(DN)가 인가되는 프로그래머블 아날로그 타이밍 어레이(10b)는 다운 신호에 의하여 스위치(150ba, 150bb')가 제어되고, 전류원(100b, 100b')는 서로 동일한 전류를 커패시터 유닛(210b, 210b')에 인가한다. 프로그래머블 아날로그 타이밍 어레이(10a)에서 스위치 150ab, 150aa'는 개방되도록 제어되고, 프로그래머블 아날로그 타이밍 어레이(10b)에서 스위치 150bb, 150ba'는 개방되도록 제어된다.
- [110] 리셋 신호는 프로그래머블 아날로그 타이밍 어레이 동작 초기에 래치의 출력인 OUTa, OUTa'를 서로 상보적인 상태로 초기 설정한다. 일 예로, 래치의 출력인 OUTa, OUTa'를 각각 논리 0, 논리 1이 되도록 설정한다. 따라서, 리셋 스위치 220a'는 닫히나, 리셋 스위치 220a는 열린다. 기준 신호(ref)와 입력 신호(rcv)의

위상 차이에 상응하는 펄스폭을 가지는 업 신호(UP)가 스위치 150a, 150a'에 인가되면 닫혀 있는 리셋 스위치 220a'에 의하여 전류원 100a'가 인가하는 전류를 기준 전위로 흘린다. 그러나, 리셋 스위치 220a는 열리므로 커패시터 유닛 210a는 전류원 100a가 인가하는 전류에 의한 전하를 누적하여 전압 신호 Vc를 형성한다.

[111] 위에서 설명한 바와 같이, 커패시터 유닛 210a와 210a'가 출력하는 신호가 모두 임계치 이하인 경우에도 인버터(inverter)로 구성된 검출 수단 300a, 300a'는 모두 논리 1을 출력하나, 이를 입력 받은 SR 래치는 이전 상태의 출력이 변화하지 않는다.

[112] 리셋 스위치 220a'가 닫혔으므로 커패시터 유닛 210a'는 전하를 누적하지 못하여 그 출력 전압이 없거나, 임계치 이하의 작은 전압만을 형성하여 출력한다. 그러나 커패시터 유닛 210a가 전하를 누적하여 임계치 이상의 전압을 출력하면, 래치 출력이 전환(toggle)되어 래치는 OUTa와 OUTa'로 각각 논리 1과 논리 0을 출력한다. 그에 따라 열려있는 리셋 스위치 220a가 닫히고, 닫혀있는 리셋 스위치 220a'가 열려 커패시터 유닛 210a'가 전하를 누적한다. 마찬가지로 커패시터 유닛 210a'가 전하를 누적하여 형성한 Vca'전압이 문턱치 이상으로 상승하면 다시 래치 출력 OUTa, OUTa'가 전환되어 OUTa와 OUTa'는 각각 논리 0과 논리 1을 출력한다. 업 신호(UP)가 지속적으로 인가됨에 따라서 래치 출력 OUTa, OUTa'는 논리 1과 논리 0 사이에서 전환되어 펄스열을 형성한다.

[113] 위상 주파수 검출기(20)에 인가되는 입력 신호(rcv)의 위상이 기준 신호(ref)의 위상에 비하여 빠른 경우에는 위상 주파수 검출기는 다운 신호(DN)를 형성하여 프로그래머블 아날로그 타이밍 어레이 10b의 스위치 150b, 150b'에 인가한다. 따라서, 전류원 100b는 전하 누적 수단 200b에 포함된 커패시터 유닛 210b에 전류를 인가하고, 전류원 100b'는 전하 누적 수단 200b'에 포함된 커패시터 유닛 210b'에 전류를 인가한다.

[114] 일 예로, 리셋 신호에 의하여 래치 출력 OUTb와 OUTb'가 각각 논리 0, 논리 1로 초기 설정된 경우에 OUTb' 신호에 의하여 리셋 스위치 210b'는 닫혀서 전류원 100b'가 인가하는 전류를 기준전위로 흘리나, 리셋 스위치 210b는 열리고, 전하 누적 수단 200b에 포함된 커패시터 유닛 210b는 전류원 100b가 인가하는 전류에 의한 전하를 누적하여 전압 신호를 형성한다. 전압 신호가 임계치 이상으로 형성되면 래치의 출력 OUTb, OUTb'는 각각 논리 0, 논리 1로 전환되는 것은 위에서 설명한 바와 같다.

[115] 이상에서 설명한 바와 같이 업 신호(UP)가 인가되는 경우에 프로그래머블 아날로그 타이밍 어레이(10a)는 업 신호의 펄스폭에 상응하도록 OUTa, OUTa'의 펄스열을 형성하여 출력하며, 마찬가지로 다운 신호(DN)가 인가되는 경우에 프로그래머블 아날로그 타이밍 어레이(10b)는 다운 신호의 펄스폭에 상응하도록 OUTb, OUTb'의 펄스열을 형성하여 출력한다.

[116] 따라서, 도 10에 도시된 바와 같이 카운터(counter)를 이용하여 프로그래머블 아날로그 타이밍 어레이(10a)가 출력하는 OUTa, OUTa'의 펄스, OUTb, OUTb'

펄스의 개수를 계수(count)하여 입력 신호(rcv)와 기준 신호(ref)의 위상 차이를 파악할 수 있다.

- [117] 카운터(30)는 현장 프로그래머블 디지털 블록에서 구현될 수 있으며, 일 예로, 그레이 카운터등과 같이 신호 글리치(glitch) 문제를 해소할 수 있는 카운터로 구현하는 것이 바람직하다. 다만, 그레이 카운터로 구현하는 경우에, 계수된 결과를 그레이 디코더(미도시)로 변환하여야 한다. 그레이 디코더는 위에서 사용자가 하드웨어 기술언어로 그 기능을 기술하여 합성된 현장 프로그래머블 디지털 블록으로 구현할 수 있다. 다른 예로, 그레이 카운터 및 그레이 디코더는 커스텀 셀 블록에 미리 배치된 회로를 이용할 수 있다.
- [118] 본 실시예에 의한 시간-디지털 변환기의 동작하는 도중에 커패시터 유닛은 리셋되지 않고, 미쳐 문턱치에 도달하지 않은 상태로 유지될 수 있다. 이러한 경우에는 커패시터 유닛에 이전에 축적된 전하가 보존되고, 남은 에러값이 다음 동작 주기까지 잔존할 수 있다.
- [119] 이러한 실시예로 구현된 시간-디지털 변환기(TDC, Time-Digital Converter)에 있어서는 종래의 시간-디지털 변환기에 있어서 양자화 오차(Quantization Error)에 의하여 이전 오차값에서 남은 값이 손실됨에 반하여 본 실시예에 의한 시간-디지털 변환기(TDC, Time-Digital Converter)에 있어서는 축적된 전하가 보존됨에 따라 긴 동작 주기의 측면에서 양자화 오차에 의한 영향을 제거할 수 있다.
- [120] 위상 주파수 검출기의 출력인 업 신호, 다운 신호를 현장 프로그래머블 연결선 블록으로 프로그램하여 프로그래머블 아날로그 타이밍 어레이의 스위치에 라우팅하고, 전류원들이 서로 동일한 전류를 흘리며, 커패시터 유닛의 등가 커패시턴스를 동일하게 프로그램하여 이를 메모리에 저장하는 것으로 프로그래머블 아날로그 타이밍 어레이는 시간-디지털 변환기로 동작하는 것을 알 수 있다. 나아가, 전류원이 인가하는 전류량과 커패시턴스를 단순히 프로그램으로 제어하여 아날로그 회로의 타이밍을 변환하고 조절할 수 있다.
- [121] 도 14는 본 실시예에 따른 프로그래머블 아날로그 타이밍 어레이로 구현한 위상 추이기(Phase Shifter)의 개요를 도시한 회로도이고, 도 15는 본 실시예에 따른 프로그래머블 아날로그 타이밍 어레이로 구현한 위상 추이기(Phase Shifter)의 개요적 등가 회로도이며, 도 16은 위상 추이기의 타이밍 도이다. 도 17 및 도 18은 프로그래머블 아날로그 타이밍 어레이로 구현한 위상 보간기(PI, Phase Interpolator)의 개요를 도시한 회로도이며, 도 19는 본 실시예에 따른 프로그래머블 아날로그 타이밍 어레이를 이용하여 구현한 위상 보간기(PI, Phase Interpolator)의 타이밍 도이다. 상기 도면들을 참조하여 위상 추이기와 위상 보간기의 실시예를 설명함에 있어서 이미 설명된 내용과 중복된 내용에 대하여는 설명을 생략할 수 있다.
- [122] 도 14 내지 도 16를 참조하면, 프로그래머블 아날로그 타이밍 어레이를 위상 추이기로 동작시키고자 프로그램하여 메모리에 저장하면 메모리에 포함된

디지털 아날로그 변환기(도 6 412, 414참조)는 사용자가 제공하거나, 회로의 동작 중에 인가된 신호가 저장된 프로그램의 코드에 상응하도록 전류원 100만 전류를 인가하고, 전류원 100'는 전류를 인가하지 않도록 전류의 비를 제어하는 제어 신호(con_i, con_i')를 전류원들에 제공하여 전류원들을 제어한다. 디지털 아날로그 변환기는 프로그램의 코드에 상응하도록 커패시터 유닛들(210, 210')의 등가 커패시턴스를 제어하는 제어 신호를 형성하여 커패시터 유닛에 인가한다.

[123] 또한, 전류원 100이 인가하는 전류를 커패시터 유닛 210으로 인가하는 스위치 150a는 입력 신호 CK1으로 제어되고, 전류원 100이 인가하는 전류를 커패시터 유닛 210'로 인가하는 스위치 150b는 CK1의 상보적 신호인 CK1'에 의하여 제어된다. 또한, 스위치 유닛 150'에 포함된 스위치들은 모두 도통되지 않도록 제어된다.

[124] 리셋 신호에 의하여 래치 출력 신호 OUT, OUT'가 각각 논리 0, 논리 1로 초기 설정되었다면 커패시터 유닛 210은 전류원 100이 인가하는 전류를 누적하여 전압 신호 Vc를 형성하나, 스위치 220'는 OUT' 신호가 논리 1로 초기 설정된 신호에 의하여 닫혀 커패시터 210'는 전류를 누적하지 못한다.

[125] 위에서 설명한 경우와 마찬가지로 커패시터 유닛 210의 출력전압 Vc가 문턱치 이하인 경우에 인버터로 구현한 검출 수단은 모두 논리 1의 신호를 출력하므로 래치의 출력은 리셋 신호에 의하여 초기 설정된 상태에서 변화하지 않는다. 그러나, 전류원 100이 인가하는 전류에 의한 전하가 커패시터 유닛 210에 누적되어 형성된 전압 신호인 Vc의 전압이 문턱치 이상으로 상승하면 래치 출력은 전환된다. 따라서, 리셋 스위치 220이 닫혀서 커패시터 유닛 210에 저장된 전하를 방전하여 출력전압 Vc는 기준 전위로 되돌아가며, 닫혀 있던 리셋 스위치 220'가 열리고, 전류원 100이 인가하는 전류는 커패시터 유닛 210'에 인가되어 커패시터 유닛 210'는 전압 신호 Vc'를 형성한다. 전압 신호 Vc' 전위가 문턱치 이상으로 상승하면 래치의 출력은 또다시 전환된다.

[126] 이러한 과정이 반복되어 도 16의 OUT, OUT'로 도시된 바와 같이 CK1은 소정의 위상(Φ)만큼 추이(shift)되어 OUT으로 출력되고, CK1'도 마찬가지로 Φ 만큼 추이되어 OUT'로 출력된다. 본 실시예에서 추이된 위상(Φ)은 방전된 커패시터 유닛에 전류원이 전류를 인가하여 형성된 전압이 문턱치에 도달할 때까지의 시간 차이에 근거하는 것이므로, 전류원이 인가하는 전류량 및/또는 커패시터 유닛의 등가 커패시턴스를 프로그램으로 제어하여 추이된 위상을 제어할 수 있다. 다만, 본 실시예에 의한 위상 추이기는 다음에 설명되는 위상 보간기(phase interpolater)와 함께 사용하기 위하여 어느 하나의 전류원이 인가하는 전류를 100%로 설정하였다.

[127]

[128] *이하에서는 본 실시예에 따른 프로그래머블 아날로그 타이밍 어레이를 이용하여 위상 보간기를 구현한 실시예를 설명한다. 프로그래머블 아날로그 타이밍 어레이를 이용하여 위상 보간기를 구현함에 있어서, 사용자는 위상

추이기에서 전류원(도 14 및 도 15 100 참조)이 인가하는 전류와 본 실시예인 위상 보간기의 전류원들이 인가하는 전류의 합이 동일하도록 프로그램한다. 또한 위상 추이기로 구현된 프로그래머블 아날로그 타이밍 어레이에 포함된 커패시터 유닛(도 13 210, 210' 참조)의 등가 커패시턴스와 본 실시예에 의한 커패시터 유닛(도 15, 16의 210, 210' 참조)의 등가 커패시턴스는 동일하게 프로그램되어 메모리에 저장된다. 디지털 아날로그 변환기(도 6 410, 420 참조)들은 사용자가 제공한 프로그램에 따라 전류원들 및 커패시터 유닛의 등가 커패시턴스를 제어한다.

- [129] 도 17 내지 도 19를 참조하면, 프로그래머블 아날로그 타이밍 어레이를 이용하여 위상 보간기를 구현하고자 프로그램하여 메모리에 저장하면 메모리에 포함된 디지털 아날로그 변환기(도 6 412, 414 참조)는 프로그램의 코드에 상응하도록 전류원 100과 전류원 100'의 전류의 비를 제어하는 제어 신호를 전류원들에 제공하여 전류원들을 제어한다. 또한, 디지털 아날로그 변환기는 사용자가 프로그램하여 제공한 프로그램 코드에 상응하도록 커패시터 유닛들(210, 210')의 등가 커패시턴스를 제어하는 제어 신호를 형성하여 커패시터 유닛에 인가한다.
- [130] 입력 신호인 CK1은 스위치 150에 인가되어 전류원 100의 전류를 커패시터 유닛 210에 인가하거나 차단하며, 다른 입력 신호인 CK2는 스위치 150'b에 인가되어 전류원 100'의 전류를 커패시터 유닛 210에 인가하거나 차단한다. 따라서, CK1만 논리 1인 구간에서는 스위치 150a만 닫혀 전류원 100의 전류를 커패시터 유닛 210으로 인가하나, CK1과 더불어 CK2도 논리 1인 구간에서는 스위치 150a와 더불어 스위치 150'b도 닫혀 전류원 100, 100'들이 인가하는 전류가 모두 커패시터 유닛 210에 제공된다.
- [131] 마찬가지로, CK1의 반전 신호 CK1'만 논리 1인 구간에서는 스위치 150b만 닫혀 전류원 100의 전류를 커패시터 유닛 210'로 인가하나, CK1'와 더불어 CK2의 반전 신호인 CK2'도 논리 1인 구간에서는 스위치 150b와 더불어 스위치 150'b도 닫혀 전류원 100, 100'들이 인가하는 전류가 모두 커패시터 유닛 210'에 제공된다.
- [132] 전류원 100이 제공하는 전류와 전류원 100'가 인가하는 전류의 비가 각각 α 와 $(1-\alpha)$ 로 정해지면, 어느 하나의 전류원만 전류를 인가하는 T_a 구간 및 T_a' 구간에서 커패시터에 형성되는 전압이 상승하는 속도에 비하여 두 개의 전류원이 모두 전류를 인가하는 T_b , T_b' 구간에서 전압이 상승하는 속도가 크므로, 도식된 바와 같이 전압 상승의 기울기가 급하다.
- [133] V_c 또는 V_c' 가 문턱치(V_{th}) 이상으로 상승하면 래치의 어느 한 입력이 전환되고, 그에 따라 래치 출력 전압이 전환된다. 또한, 위상 추이기와 위상 보간기에 포함된 전류원들이 인가하는 전류량이 제어되므로 T_a 구간의 길이와 T_a' 구간의 길이는 서로 동일하게 제어되며, T_b 구간의 길이와 T_b' 구간의 길이도 동일하게 제어된다. 따라서, 래치의 출력인 OUT 신호와 OUT' 신호는 CK1, CK2 및 그 반전 신호들과 동일한 주파수를 가진다.

- [134] 도 15로 도시된 CK1과 CK2의 위상을 추이하는 위상 추이기에서 전류원(도 15 100 참조)이 인가하는 전류와 본 실시예에서 전류원 100, 100'가 인가하는 전류합은 서로 동일하고, 커패시터 유닛의 등가 커패시턴스들도 동일한 바, 도 16에서 커패시터 유닛이 출력하는 전압의 기울기 V_c , V_c' 및 도 19의 T_b , T_b' 구간에서 V_c 와 V_c' 기울기는 서로 동일하다.
- [135] 본 실시예에 의한 위상 보간기는 전류원 100과 전류원 100'가 인가하는 전류의 비를 조절하여 T_a 구간의 길이와 T_b 구간의 길이의 비를 조절할 수 있다. 그에 따라 추이된 CK1 신호와 CK2 신호의 위상차를 보간한 신호인 CKintp신호 및 그 반전 신호인 CKintp' 신호를 얻을 수 있다.
- [136] 도 20은 동일한 등가 커패시턴스를 가지는 커패시터 유닛에 구간을 나누어서 서로 다른 전류를 인가할 때 커패시터 유닛 양단에 형성되는 전압의 변화를 도시한다. 도 20에서 P1 구간은 하나의 전류원만으로 커패시터 유닛에 전류를 인가하는 구간이며, P2 구간은 두 개의 전류원으로 커패시터 유닛에 전류를 인가하는 구간이다. 두 전류원이 인가하는 전류의 비를 각각 α 와 $1-\alpha$ 라고 하면, 직선 ⑥은 $\alpha=1$ 인 경우에 커패시터 유닛에 형성되는 전압을 도시한다. 즉, P1 구간에서 인가된 전류와 P2 구간에서 인가되는 전류 합이 같으므로 P1구간과 P2 구간에서 V_{c1} 전압은 동일한 기울기로 상승한다. 그러나, α 가 1이 아니어서 P2 구간에서 다른 하나의 전류원이 전류를 인가하는 경우에는 P1 구간과 P2 구간에서 형성되는 전압은 기울기를 서로 달리한다. 즉 비교 대상 중 α 값이 작은 ①번의 경우에는 전류원이 인가하는 전류량이 작아 동일한 시간이 흐르더라도 형성되는 전압의 기울기는 다른 경우에 비하여 완만하다. α 값이 증가함에 따라 직선 ②, 직선 ③, 직선 ④ 및 직선 ⑤와 같이 급한 기울기로 전압이 상승한다.
- [137] 그러나, P2 구간에서는 다른 전류원도 함께 전류를 인가하므로 인가하는 전류량은 모두 동일하다. 동일한 시간동안 동일한 커패시턴스를 가지는 커패시터 유닛에 동일한 양의 전류를 제공하므로 동일한 기울기로 전압이 상승한다. 따라서, 사용자는 프로그램을 통하여 P1 구간에서 전류를 인가하는 전류원이 인가하는 전류의 비인 α 값을 제어하여 P1 구간에서의 전압 상승 기울기를 제어할 수 있으며, 그에 따라 커패시터가 형성하여 출력하는 전압 V_c 이 문턱치(V_{th})에 도달하는 시점 $t_1, t_2, \dots, t_6$ 를 조절할 수 있으며, 그에 따라 보간된 출력 신호의 위상을 제어할 수 있다.
- [138] 이하에서는 도 22 내지 도 23을 참조하여 본 실시예에 의한 현장 프로그래머블 혼성신호 어레이와 현장 프로그래머블 아날로그 어레이, 프로그래머블 아날로그 타이밍 어레이를 이용하여 구현한 의사 지수 디지털 제어 발진기(Pseudo Exponential Digital Control Oscillator)를 설명한다. 도 22는 본 실시예에 의한 현장 프로그래머블 아날로그 어레이를 이용하여 구현한 의사 지수 디지털 제어 발진기의 개요적 회로도이다.
- [139] 디지털 코드가 인가되어 그에 상응하는 주파수를 출력하는 종래의 디지털

발진기에 있어서는 공정, 전압, 온도 조건의 변화(PVT, Process Voltage Temperature variation)에 따라 디지털 발진기를 포함하는 전자 회로 특히, 디지털 위상 고정 루프(DPLL, Digital Phase Locked Loop)의 대역폭등의 주파수 특성이 변화한다. 공정, 전압, 온도 조건의 변화에 따른 주파수 특성 변화를 억제할 수 있는 디지털 위상 고정 루프를 얻기 위하여는 인가되는 디지털 코드에 따라 출력하는 신호의 주파수가 지수적으로 변화하는 디지털 발진기의 구현이 필요하다.

[140]

$$i = C \frac{dV}{dt}, f = \frac{i}{2CdV} \quad \text{where} \quad f = \left(\frac{1}{2dt} \right)$$

[141]

수학식 2는 커패시터에서의 전류-전압 관계식에서 전류와 인가되는 신호의 주파수와와의 관계를 표현한 식이다. 수학식 2에서 알 수 있는 바와 같이 출력하는 신호의 주파수는 인가되는 전류의 크기에 비례하는 것을 알 수 있다.

[142]

$$e^{ax} = \frac{e^{\frac{ax}{2}}}{e^{-\frac{ax}{2}}} = \frac{1 + \frac{\frac{ax}{2}}{1!} + \frac{\left(\frac{ax}{2}\right)^2}{2!} + \dots}{1 - \frac{\frac{ax}{2}}{1!} + \frac{\left(\frac{ax}{2}\right)^2}{2!} + \dots} \approx \frac{1 + \frac{\frac{ax}{2}}{1!} + \frac{\left(\frac{ax}{2}\right)^2}{2!}}{1 - \frac{\frac{ax}{2}}{1!} + \frac{\left(\frac{ax}{2}\right)^2}{2!}}$$

[143]

$$e^{ax} \approx \frac{1 + \frac{ax}{2}}{1 - \frac{ax}{2}}, \quad \text{where} \quad \frac{\left(\frac{ax}{2}\right)^2}{2!} \ll 1$$

[144]

수학식 3은 지수함수를 테일러 급수(Taylor Series)로 표현한 후, ax가 충분히 작은 범위 내에서 근사한 의사 지수식이고, 수학식 4는 수학식 3을 정리한 수식이다. 수학식 2의 전류-주파수 관계식에서, 분자의 전류가 수학식 4의 분자에 상응하고, 수학식 2의 커패시턴스가 수학식 3의 분모에 상응하도록 제어하면 본 실시예에 의한 현장 프로그래머블 혼성신호 어레이와 현장 프로그래머블 아날로그 어레이, 프로그래머블 아날로그 타이밍 어레이를 이용하여 의사 지수 디지털 제어 발진기를 구현할 수 있다.

[145]

도 22를 참조하면, 의사 지수 발진기는 상보적인 값을 출력하는 프로그래머블 아날로그 타이밍 어레이 쌍을 포함한다. 본 실시예에서, 스위치 150aa를 제어하는 제어 신호 INaa는 스위치 150aa가 전류원 100a이 제공하는 전류를 커패시터 유닛 210으로 제공하도록 하고, 스위치 150ab'를 제어하는 제어 신호

INab'는 스위치 150ab'가 전류원 100a'가 제공하는 전류를 커패시터 유닛 210'에 제공하도록 제어한다. 또한, 제어 신호 INaa' 및 INab는 스위치 150ab, 150aa'가 차단되도록 제어한다. 따라서, 전류원 100a 와 전류원 100a'가 인가하는 전류는 커패시터에 인가되고, 검출수단 및 래치에 의하여 오프셋 주파수를 가지는 신호를 형성한다.

- [146] 또한, 스위치 150ba는 제어 신호 INba에 의하여 제어되어 전류원 100b가 제공하는 전류를 커패시터 유닛 200에 제공하도록 하며, 스위치 bb'는 제어 신호 INbb'로 제어되어 전류원 100b'가 제공하는 전류를 커패시터 유닛 210'에 제공하도록 한다. 스위치 150bb 및 스위치 150ba'는 각각 제어 신호 INbb 및 INba'에 의하여 차단되도록 제어된다.

[147]
$$f_{\text{output}} = f_{\text{offset}} + \Delta f$$

- [148] 수학적 식 5를 참조하면, 출력 주파수를 f 라 하였을 때, 출력 주파수는 전류원 100a 및 전류원 100a'이 제공하는 전류에 의하여 형성되는 주파수 성분인 f_{offset} 와 전류원 100b 및 전류원 100b'이 제공하는 전류원에 의하여 형성되는 주파수 성분인 Δf 의 합으로 표시될 수 있다.

- [149] 전류원 100b, 100b'는 메모리에 저장된 프로그램에 의하여 제어되며, 커패시터 유닛(210, 210')의 등가 커패시턴스도 프로그램에 의하여 제어된다. 따라서, 전류원이 인가하는 전류량을 증가시키면서 동시에 등가 커패시턴스가 감소하도록 프로그램하여 전류원들과 커패시터 유닛의 등가 커패시턴스를 제어하면 출력 신호의 주파수가 지수 함수적으로 증가하며, 전류원이 인가하는 전류량을 감소시키면서 동시에 등가 커패시턴스가 증가하도록 프로그램하여 전류원들과 커패시터 유닛의 등가 커패시턴스를 제어하면 출력 신호의 주파수가 지수 함수적으로 감소하는 디지털 제어 발진기를 구현할 수 있다.

- [150] 이하에서는 도 22 내지 도 24를 참조하여 본 실시예에 의한 현장 프로그래머블 혼성신호 어레이와 현장 프로그래머블 아날로그 어레이, 프로그래머블 아날로그 타이밍 어레이를 이용하여 디지털 펄스폭 변조기(Digital Pulse Width Modulator)를 구현한 예를 설명하고, 도 25를 참조하여 아날로그 디지털 변환기(Analog Digital Converter, ADC)를 설명하며, 도 26 내지 도 27을 참조하여 본 실시예에 의한 현장 프로그래머블 혼성신호 어레이와 현장 프로그래머블 아날로그 어레이, 프로그래머블 아날로그 타이밍 어레이를 이용한 직류-직류 변환기의 구현예를 설명한다.

- [151] 도 22는 본 실시예에 의한 현장 프로그래머블 혼성신호 어레이와 현장 프로그래머블 아날로그 어레이, 프로그래머블 아날로그 타이밍 어레이를 이용하여 구현한 디지털 펄스폭 변조기의 개요적 회로도이며, 도 23은 본 실시예에 의한 현장 프로그래머블 혼성신호 어레이와 현장 프로그래머블 아날로그 어레이, 프로그래머블 아날로그 타이밍 어레이의를 이용한 디지털

펄스폭 변조기의 등가회로도이고, 도 24는 본 실시예에 의한 현장 프로그래머블 혼성신호 어레이와 현장 프로그래머블 아날로그 어레이, 프로그래머블 아날로그 타이밍 어레이를 이용하여 구현한 펄스폭 변조기의 타이밍도이다. 도 22 내지 도 24를 참조하면, 펄스폭 변조기는 두 개의 프로그래머블 아날로그 타이밍 어레이 10a, 10b를 포함한다.

- [152] 프로그래머블 아날로그 타이밍 어레이 10a, 10b를 이용하여 펄스폭 변조기를 구현하고자 하는 경우에, 메모리에는 전류원 100 및 100'이 인가하는 전류량, 커패시터 유닛 210, 210'의 등가 커패시턴스 각각 및/또는 전류량과 등가 커패시턴스의 비가 프로그램되어 저장된다. 이는 후술할 바와 같이 각 프로그래머블 아날로그 타이밍 어레이에서 전류량, 등가 커패시턴스 각각 또는 전류량과 등가 커패시턴스의 비에 따라 출력되는 신호의 듀티비를 조절할 수 있기 때문이며, 위에서 설명된 바와 같이 전류량, 커패시터 유닛 210, 210'의 등가 커패시턴스 각각 및/또는 전류량과 등가 커패시턴스의 비는 회로의 동작 중, 현장 프로그래머블 디지털 블록, 커스텀 셀 블록 또는 다른 현장 프로그래머블 아날로그 어레이로부터 제공된 신호에 의하여 제어될 수 있음은 물론이다.
- [153] 리셋 신호에 의하여 래치의 출력 신호 OUT과 OUT'가 각각 논리 0, 논리 1로 초기화 된 상태를 가정한다. 또한, 스위치 150a, 스위치 150b'은 닫혀 있도록 IN a, IN b' 신호에 의하여 제어되며, 스위치 150b, 스위치 150a'은 열려있도록 IN b, IN a' 신호에 의하여 제어된다. 일 실시예로, 래치의 출력 신호 OUT, OUT'는 현장 프로그래머블 연결선 블록에 의하여 피드백되어 스위치를 제어할 수 있으며, 또 다른 실시예로, 스위치 150b와 스위치 150a'는 계속적으로 열리도록 제어될 수 있다.
- [154] 스위치 150b와 스위치 150a'는 열리도록 제어되며, 스위치 150a와 스위치 150b'가 닫혀서 각각 전류원 100이 제공하는 전류를 전하 누적 수단 200에 인가하고, 전류원 100'가 제공하는 전류를 전하 누적 수단 200'에 인가한다.
- [155] 전류원 100이 제공하는 전류 i_1 은 커패시터 유닛 210에 누적되어 전압 신호 V_c 를 형성하나, 전류원 100'가 제공하는 전류 i_2 는 리셋 스위치 220'에 의하여 기준전위로 흐른다. 전류원 100이 제공하는 전류가 누적되어 형성된 전압 V_c 이 문턱치 V_{th} 를 넘어서면 래치 출력인 OUT 신호는 논리 0, OUT' 신호는 논리 1로 전환된다.
- [156] 전류 i 가 충전하량 Q 를 커패시턴스 C 인 커패시터에 인가하여 형성되는 전압 V 사이에는 아래의 수학식 6과 같은 관계식이 성립한다.

[157]

$$V = \frac{Q}{C} = \frac{i \cdot t}{C}$$

- [158] 따라서 전압의 시간에 대한 변화율인 V/t 는 i/C 와 같다. 전류에 대한 등가 커패시턴스의 비 i_1/C_{eq1} 을 i_2/C_{eq2} 에 비하여 크게 프로그램된 경우에, V_{c1} 과 V_{c2} 의 시간에 대한 전압 상승 속도는 도 24에 도시된 바와 같이 상이하다. 즉, i_1/C_{eq1} 은 i_2

$/C_{eq2}$ 에 비하여 크므로, V_{c1} 은 V_{c2} 에 비하여 급한 기울기로 전압이 상승한다. 따라서, V_c 는 $V_{c'}$ 에 비하여 문턱치에 빠르게 도달하여 래치의 출력 전압이 전환된다. 즉, OUT이 논리 1 상태인 시간 T_1 은 T_2 에 비하여 짧다.

[159] i_2/C_{eq2} 값은 i_1/C_{eq1} 에 비하여 작으므로, V_{c2} 는 V_{c1} 에 비하여 완만한 기울기로 상승하며, V_{c2} 값이 문턱치에 다다르기 까지 시간은 V_{c1} 이 문턱치에 다다른 시간에 비하여 크다. 따라서, OUT 신호가 논리 0인 시간인 T_2 는 T_1 에 비하여 길다.

[160] 따라서, OUT 신호의 듀티비를 아래의 OUT 신호의 한 주기(T_1+T_2)에서 OUT 신호가 논리 1인 시간(T_1)비율로 정의하면 듀티비 D 는 아래의 수학식 7과 같이 표시된다.

[161]

$$D = \frac{T_1}{T_1 + T_2} = \frac{T_1 \frac{C_{eq1} \cdot V_{th}}{i_1}}{\frac{C_{eq1} \cdot V_{th}}{i_1} + \frac{C_{eq2} \cdot V_{th}}{i_2}} = \frac{\frac{C_{eq1}}{i_1}}{\frac{C_{eq1}}{i_1} + \frac{C_{eq2}}{i_2}}$$

[162] 래치에서 출력되는 출력 신호의 펄스폭은 각각의 프로그래머블 아날로그 타이밍 어레이에서 등가 커패시턴스에 대한 전류의 비율을 조절함으로써 변조할 수 있다. 또한, 위의 수학식에서, 전류원이 인가하는 전류인 i_1 과 i_2 를 모두 동일하게 프로그램하면 듀티비는 아래의 수학식 4와 같이 표시될 수 있으며, 듀티비(D)를 등가 커패시턴스 C_{eq1} , C_{eq2} 의 비율로 제어할 수 있다.

[163]

$$D = \frac{C_{eq1}}{C_{eq1} + C_{eq2}}$$

[164] 위의 수학식 8에서 등가 커패시턴스를 모두 동일하게 프로그램하면 듀티비는 아래의 수학식 9와 같이 표시될 수 있으며, 듀티비(D)는 전류원이 인가하는 전류의 비로 표시될 수 있다.

[165]

$$D = \frac{i_2}{i_1 + i_2}$$

[166] 따라서, 등가 커패시턴스에 대한 전류비, 전류비 또는 등가 커패시턴스의 비를 조절하고, 스위칭 유닛을 제어하여 프로그래머블 아날로그 타이밍 어레이를 디지털 코드로 펄스의 듀티비를 제어할 수 있는 디지털 펄스폭 변조기로 구현할 수 있으며, 회로의 동작 중 현장 프로그래머블 아날로그 어레이, 현장 프로그래머블 디지털 블록 및/또는 커스텀 셀 블록으로부터 제공되는 신호를 제공받아 실시간으로 회로를 제어하여 출력 신호의 듀티비를 변화할 수 있다.

[167] 도 25는 본 실시예에 의한 현장 프로그래머블 혼성신호 어레이와 현장

프로그래머블 아날로그 어레이, 프로그래머블 아날로그 타이밍 어레이를 이용하여 구현한 아날로그 디지털 변환기(Analog Digital Converter, ADC)의 개요적인 블록도이다. 도 25를 참조하면, 아날로그 디지털 변환기(ADC)는 전압 시간 변환기(Voltage Time Converter, VTC)와 시간 디지털 변환기(TDC)를 포함한다. 전압-시간 변환기는 V1과 V2의 두 신호를 제공받아 V1과 V2 신호의 진폭 차이에 상응하는 펄스폭을 가지는 신호를 출력한다. 일 예로, 전압 시간 변환기는 그 기능을 수행하는 회로가 미리 형성되어 커스텀 셀 블록에 배치된다.

[168] 시간 디지털 변환기는 도 11 내지 도 13으로 설명된 시간-디지털 변환기(TDC)와 그 기능이 유사하다. 도 11 내지 도 13을 참조하여 설명된 시간-디지털 변환기는 위상 주파수 검출기(도 11 20 참조)가 제공한 ref 신호와 rev 신호와의 위상차에 상응하는 펄스폭을 가지는 UP 신호와 DN 신호를 출력하며, 프로그래머블 아날로그 타이밍 어레이 10a, 10b는 각각 UP 신호의 펄스폭에 상응하는 펄스열(pulse train)을 출력하고, 각각의 펄스열을 카운터 30a, 30b로 계수하여 출력한다.

[169] 도 25를 참조하여 설명되는 아날로그 디지털 변환기도 이와 상응하는 동작을 수행한다. 전압 시간 변환기(VTC)는 입력으로 제공되는 V1과 V2 신호의 진폭 차이에 상응하는 펄스폭을 가지는 신호를 제공한다. 일 예로, 전압 시간 변환기는 V1 신호의 진폭이 V2 신호 진폭에 비하여 큰 경우 하이 HI 신호를 출력하고, V1 신호의 진폭이 V2 신호 진폭에 비하여 작은 경우 로우 LO 신호를 출력한다. 상술한 바와 같이, V1 신호와 V2 신호의 진폭 차이는 HI 신호 또는 LO 신호의 펄스폭에 상응한다.

[170] HI 신호와 LO 신호는 도 11 내지 도 13으로 설명된 것과 상응하는 아날로그 타이밍 블록(도 11, 도 12 10a, 10b 참조)에 제공되고, 그 펄스폭에 상응하는 펄스 개수를 가지는 펄스열을 제공한다. 따라서, 펄스열에 포함된 펄스 개수를 계수(count)하면 아날로그 디지털 변환기에 제공된 입력 신호의 진폭 차이를 파악할 수 있다.

[171] 도 26은 본 실시예에 의한 직류-직류 변환기(DC DC Converter)의 구현예를 도시한 블록도이며, 도 27a는 도 26a는 종래의 강압 직류-직류 변환기(step down DC-DC converter)의 일종인 벅 컨버터(buck converter)의 동작을 설명하기 위한 개요적인 회로도이며, 도 27b는 종래의 승압 직류-직류 변환기(step up DC-DC converter)의 일종인 부스트 컨버터(boost converter)의 동작을 설명하기 위한 개요적인 회로도이다.

[172] 도 27a를 참조하면, 스위치(SW)가 도통되면 일점 쇄선으로 도시된 바와 같이 전원으로부터 인덕터(L)를 통하여 전류가 흘러 인덕터에는 에너지가 충전되며, 부하(Load)에는 전력이 공급된다. 스위치(SW)가 도통된 상태에서는 다이오드에 역전압이 인가되므로 도통되지 않는다. 스위치가 차단되면 인덕터(L)에 저장된 에너지가 전류의 형태로 방전되며, 전류는 점선으로 도시된 방향으로 흘러 부하에 전력을 공급한다. 인덕터를 통하여 흐르는 전류의 전류량과 전류의

방향은 스위칭 직전과 스위칭 직후로 연속성이 유지된다. 따라서 스위치가 차단된 직후 인덕터를 통하여 흐르는 전류의 방향은 스위치가 도통된 상태에서 전류가 흐르던 방향으로 흐르며, 시간이 경과하여 인덕터에 충전된 에너지가 방전됨에 따라 전류량도 감소한다. 이 때 스위치가 도통되면 스위치를 통하여 전원으로부터 다시 일점 쇄선 방향으로 전류가 흘러 인덕터에 에너지를 충전한다. 부하와 병렬로 연결된 커패시터(C)는 부하단에 인가되는 전압(V_{LOAD})이 급격하게 변화하는 것을 방지한다.

[173]
$$V_{LOAD} = D \cdot V_i \quad \{0 \leq D \leq 1\}$$

[174] 벡 컨버터는 스위치의 듀티비를 조절하여 출력 전압을 제어하며, 듀티비를 D, 입력 전압을 V_i 그리고 출력 전압을 V_o 라 하면 출력 전압은 위의 수학적 식 10과 같이 표시될 수 있는 바, 스위치에 인가되는 펄스의 듀티비를 조절하면 출력 전압(V_{LOAD})을 제어할 수 있다.

[175] 승압형 직류-직류 변환기인 부스트 컨버터의 개요적 회로도인 도 27b를 참조하면, 스위치(SW)가 도통되면 일점 쇄선으로 도시된 바와 같이 전원으로부터 인덕터(L)를 통하여 전류가 흘러 인덕터에는 에너지가 충전되며, 부하(Load)에는 전력이 공급되지 않는다. 스위치(SW)가 도통된 상태에서는 다이오드가 도통되지 않는다. 스위치가 차단되면 인덕터(L)에 저장된 에너지가 전류의 형태로 방전되며, 전류는 점선으로 도시된 방향으로 흘러 부하에 전력을 공급한다. 인덕터를 통하여 흐르는 전류의 전류량과 전류의 방향은 스위칭 직전과 스위칭 직후로 연속성이 유지된다. 따라서 스위치가 차단된 직후 인덕터를 통하여 흐르는 전류의 방향은 스위치가 도통된 상태에서 전류가 흐르던 방향으로 흐르며, 시간이 경과하여 인덕터에 충전된 에너지가 방전됨에 따라 전류량도 감소한다. 이 때 스위치가 도통되면 스위치를 통하여 전원으로부터 다시 일점 쇄선 방향으로 전류가 흘러 인덕터에 에너지를 충전한다. 부하와 병렬로 연결된 커패시터(C)는 부하단에 인가되는 전압(V_{LOAD})이 급격하게 변화하는 것을 방지한다.

[176] 스위치가 차단되면 전원, 인덕터 및 부하는 직렬로 연결되므로, 부하에 인가되는 전압은 전원이 제공하는 전압과 인덕터에 형성된 전압이 더해진 전압과 같으며, 아래의 수학적 식 11과 같이 표시된다.

[177]
$$V_{LOAD} = \frac{T}{1-D} V_i \quad (0 \leq D \leq 1)$$

[178] 즉 부스트 컨버터는 스위치의 듀티비를 조절하여 출력 전압을 제어할 수 있으며, 위의 수학적 식에 표현된 바와 같이 스위치에 인가되는 펄스의 듀티비가 1에 근접할수록 전원 전압에 비하여 큰 출력 전압(V_{LOAD})을 얻을 수 있다.

[179] 도 26을 참조하면, 직류 직류 변환 유닛(DC-DC Converter unit)이 출력한 V_{LOAD} 신호는 아날로그 디지털 변환기(ADC)에 피드백되어 입력된다. 아날로그 디지털

변환기(ADC)는 상술한 바와 같이 인가된 기준 전위(V_{ref})와 피드백되어 인가된 V_{LOAD} 신호의 진폭 차이에 상응하는 신호를 디지털 루프 필터(DLF, Digital Loop Filter)에 제공한다.

- [180] 디지털 루프 필터(DLF)는 사용자로부터 프로그램을 제공받아 프로그램된 기능을 수행하는 현장 프로그래머블 디지털 블록으로 구현할 수 있다. 디지털 루프 필터는 제공받은 진폭차이 신호를 이용하여 PID(Proportional-Integral-Derivative) 제어를 수행한다. 즉, 디지털 루프 필터는 기준 신호(V_{ref})와 출력 신호(V_{LOAD})의 오차값, 오차값의 적분(integral), 오차값의 미분(derivative)을 연산하여 제어값을 연산하고, 연산 결과를 디지털 펄스폭 변조기에 제공한다. 디지털 루프 필터(DLF)가 제공한 제어값은 본 실시예에 의한 프로그래머블 아날로그 타이밍 어레이로 구현한 디지털 펄스폭 변조기에 프로그램으로 제공되어 메모리에 저장된다.
- [181] 프로그래머블 아날로그 타이밍 어레이로 구현된 디지털 펄스폭 변조기는 회로가 동작하는 도중에 디지털 펄스폭 변조기의 외부로부터 제공된 연산값에 의하여 실시간으로 제어되며, 직류-직류 변환 유닛에 출력하는 신호의 듀티비를 변화시켜 제공하여 출력 신호(V_{LOAD})를 수정한다.
- [182] 이하에서는 도 28을 참조하여 본 실시예에 의한 현장 프로그래머블 혼성신호 어레이와 현장 프로그래머블 아날로그 어레이, 프로그래머블 아날로그 타이밍 어레이를 이용하여 구현한 디지털 위상 고정 루프(Digital Phase Locked Loop)를 설명한다. 도 28은 본 실시예에 의한 현장 프로그래머블 혼성신호 어레이와 현장 프로그래머블 아날로그 어레이, 프로그래머블 아날로그 타이밍 어레이를 이용하여 구현한 디지털 위상 고정 루프의 개요를 도시한 블록도이다. 도 28을 참조하면, 본 실시예에 의한 디지털 위상 고정 루프는 시간 디지털 변환기(TDC), 디지털 루프 필터(DLF), 이완 발진기(RO, Relaxation Oscillator) 및 분주기(Div)를 포함한다. 이완 발진기(RO)는 프로그래머블 아날로그 타이밍 어레이로 구현될 수 있음은 이미 설명한 바와 같다. 이완 발진기가 제공하는 출력 신호(V_o)는 현장 프로그래머블 연결선 블록(도 73000)으로 라우팅되어 분주기(DIV)로 제공된다.
- [183] 분주기(DIV)는 이완 발진기(RO)가 제공한 출력 신호(CKout)를 인가 받아 소정의 분주비로 분주한 신호(CKdiv)를 시간-디지털 변환기(TDC)로 출력한다. 분주기(DIV)는 사용자가 프로그램을 제공하여 현장 프로그래머블 디지털 블록(2000)으로 형성되거나, 분주기의 기능을 수행하도록 미리 회로가 구현되어 커스텀 셀 블록에 배치될 수 있다.
- [184] 시간-디지털 변환기(TDC)는 도 11 내지 도 13으로 설명된 시간-디지털 변환기(TDC)를 사용하여 구현할 수 있다. 시간-디지털 변환기(TDC)는 기준 신호 V_{ref} 와 분주기가 출력한 분주된 신호 CKdiv와의 위상차에 상응하는 펄스폭을 가지는 UP 신호와 DN 신호를 출력하며, 프로그래머블 아날로그 타이밍 어레이 10a, 10b는 각각 UP 신호의 펄스폭에 상응하는 펄스열(pulse train)을 출력하고, 각각의 펄스열을 카운터 30a, 30b로 계수하여 출력하는 것은 이미 설명한 바와

같다. 따라서, 카운터가 계수하여 출력한 오차 신호(Φ_{err})는 기준 신호(V_{ref})와 분주 신호(CK_{div})와의 시간차 정보를 가진다.

- [185] 오차 신호(Φ_{err})는 디지털 루프 필터(DLF)에 인가된다. 디지털 루프 필터(DLF)는 오차 신호(ϕ_{err})를 제공받아 신호 처리 과정을 수행하여 이완 발진기(RO)를 제어하는 신호를 제공한다. 디지털 루프 필터는 디지털 저역 통과 필터일 수 있으며, 위상보간기(PI, phase interpolater) 제어를 수행한다. 즉, 오차 신호의 오차값, 오차값의 적분(integral)에 해당하는 비례항(proportional term), 적분항(integral term)을 이용하여 제어값을 연산하고, 제어값을 이완 발진기에 제공한다.
- [186] 이완 발진기(RO)는 동작중 제공받은 제어값을 메모리에 저장하고, 이를 이용하여 프로그래머블 아날로그 타이밍 어레이를 제어하여 출력 신호(CK_{out})를 목적하는 주파수, 목적하는 위상을 가지도록 한다.
- [187]
- [188] 본 실시예에 의한 현장 프로그래머블 혼성신호 어레이와 현장 프로그래머블 아날로그 어레이, 프로그래머블 아날로그 타이밍 어레이는 사용자가 제공한 프로그램에 의하여 내부 회로의 연결관계의 변화에 따른 구성 및 기능을 변화시킬 수 있으므로, 현장에서 사용자가 목적하는 기능을 수행할 수 있다는 장점이 제공된다. 또한, 회로의 동작 중에 제공되는 신호에 의하여 회로가 실시간으로 제어가 가능하다는 장점이 제공된다.
- [189]
- [190] 본 발명에 대한 이해를 돕기 위하여 도면에 도시된 실시 예를 참고로 설명되었으나, 이는 실시를 위한 실시예로, 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위에 의해 정해져야 할 것이다.

산업상 이용가능성

- [191] 상기에 기재되어 있음

청구범위

- [청구항 1] 프로그래머블 아날로그 타이밍 어레이를 포함하되, 상기
프로그래머블 아날로그 타이밍 어레이들이 회로의 물리적인
재공정없이 프로그램을 통해 복수의 아날로그 회로 또는
아날로그-디지털 변환회로의 동작을 수행하도록 재구성될 수
있는 현장 프로그래머블(field programmable) 아날로그 어레이.
- [청구항 2] 제1항에 있어서,
상기 프로그래머블 아날로그 타이밍 어레이는,
복수의 입력 펄스를 받아, 단수 또는 쌍으로 이루어진 상보적인
출력 펄스를 내되, 상기 출력 펄스의 생성 시각 및 펄스폭은 과거와
현재에 받은 입력 펄스들의 도달 시각 및 펄스폭에 대한 함수로
결정되고, 그 함수는 회로의 물리적인 재공정없이 프로그램을
통해 변경할 수 있는 현장 프로그래머블(field programmable)
아날로그 어레이.
- [청구항 3] 제2항에 있어서,
상기 프로그래머블 아날로그 타이밍 어레이는,
인가하는 전류를 제어할 수 있는 전류원;
전류원이 인가하는 전류에 의한 전하를 누적하여 누적에 따른
전기적 신호를 출력하는 전하 누적 수단;
상기 전기적 신호를 검출하고, 검출 결과 신호를 출력하는 검출
수단; 및
전류원이 인가하는 전류를 조절하도록 상기 전류원을 제어하는
프로그램 정보가 저장된 메모리 유닛을 포함하는 현장
프로그래머블(field programmable) 아날로그 어레이.
- [청구항 4] 제3항에 있어서,
상기 프로그래머블 아날로그 타이밍 어레이가 쌍(pair)으로
구비되어 상보적(complementary)으로 동작하는 현장
프로그래머블(field programmable) 아날로그 어레이.
- [청구항 5] 제3항에 있어서,
상기 검출 결과 신호의 상태를 일시 저장하는 래치 회로(latch
circuit)를 더 포함하는 현장 프로그래머블(field programmable)
아날로그 어레이.
- [청구항 6] 제3항에 있어서,
상기 프로그래머블 아날로그 타이밍 어레이는 상기 전류원과 상기
전하 누적 수단과의 전기적 연결을 제어하는 스위치를 더
포함하며,
상기 스위치는 상기 프로그래머블 아날로그 타이밍 어레이 내부

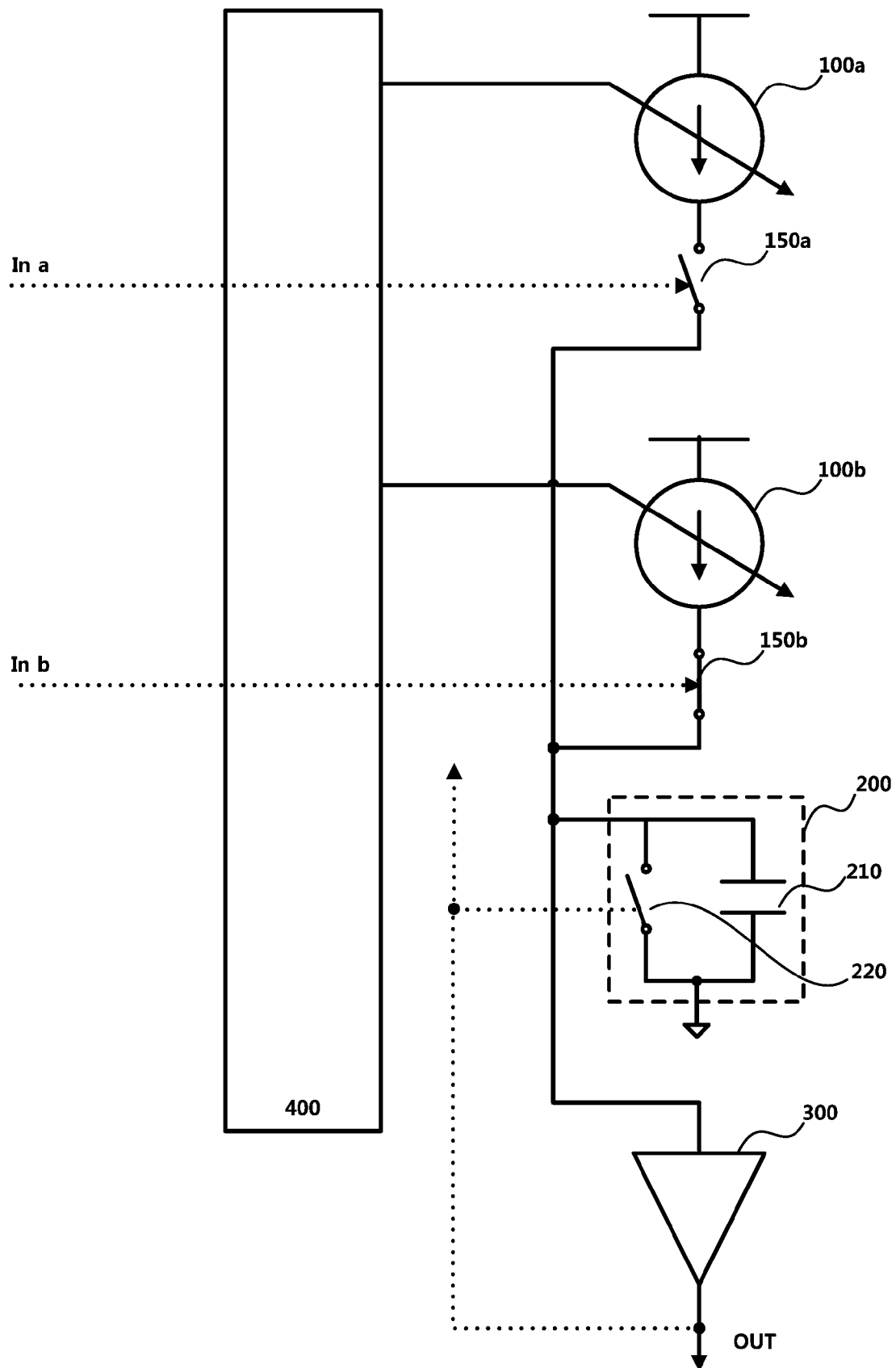
- 또는 외부에서 인가되는 신호에 의하여 제어되는 현장 프로그래머블(field programmable) 아날로그 어레이.
- [청구항 7] 제3항에 있어서,
상기 전하 누적 수단은
복수의 커패시터 들이 배열된 커패시터 뱅크와 스위치를 포함하며,
상기 메모리 유닛에는 상기 스위치의 도통을 제어하는 프로그램 정보가 더 저장되고, 상기 메모리 유닛은 상기 프로그램 정보에 따라 상기 스위치의 도통을 제어하며,
상기 전류는 도통된 스위치를 통하여 커패시터로 인가되는 현장 프로그래머블(field programmable) 아날로그 어레이.
- [청구항 8] 제3항에 있어서,
상기 전하 누적 수단은,
적어도 하나의 전압 제어 가변 커패시터(voltage controlled variable capacitor)를 포함하는 현장 프로그래머블(field programmable) 아날로그 어레이.
- [청구항 9] 제3항에 있어서,
상기 프로그래머블 아날로그 타이밍 어레이는 상기 검출 결과 신호에 의하여 제어되어 상기 전하 누적 수단을 리셋(reset)하는 리셋 스위치를 더 포함하는 현장 프로그래머블(field programmable) 아날로그 어레이.
- [청구항 10] 제3항에 있어서,
상기 검출 결과 신호는, 상기 전하 누적 수단으로부터 제공된 상기 전기적 신호와 미리 정해진 문턱치(threshold value)와의 관계에서 출력된 신호인 현장 프로그래머블(field programmable) 아날로그 어레이.
- [청구항 11] 제2항에 있어서,
상기 프로그래머블 아날로그 타이밍 어레이는,
전류를 출력하는 전류원(current source);
제어 가능한 커패시턴스(controllable capacitance)를 가지는 커패시터 유닛을 포함하며, 전류원이 출력하는 전류에 의한 전하가 상기 커패시터 유닛에 인가되어 형성된 전압신호를 출력하는 전하-전압 변환부;
상기 전압신호를 인가받아 검출 결과 신호를 출력하는 출력부; 및
상기 전하-전압 변환부에 포함된 커패시터 유닛의 커패시턴스(capacitance)를 제어하는 프로그램 정보가 저장된 메모리 부를 포함하는 현장 프로그래머블(field programmable) 아날로그 어레이.

- [청구항 12] 제11항에 있어서,
상기 프로그래머블 아날로그 타이밍 어레이가 쌍(pair)으로
구비되어 상보적(complementary)으로 동작하는 현장
프로그래머블(field programmable) 아날로그 어레이.
- [청구항 13] 제11항에 있어서,
상기 프로그래머블 아날로그 타이밍 어레이는 상기 검출 결과
신호를 일시 저장하는 래치 회로(latch circuit)를 더 포함하는 현장
프로그래머블(field programmable) 아날로그 어레이.
- [청구항 14] 제11항에 있어서,
상기 프로그래머블 아날로그 타이밍 어레이는 상기 전류원과 상기
전하-전압 변환부와와의 전기적 연결을 제어하는 스위치를 더
포함하며,
상기 스위치는 상기 프로그래머블 아날로그 타이밍 어레이
외부에서 인가되는 신호에 의하여 제어되는 현장
프로그래머블(field programmable) 아날로그 어레이.
- [청구항 15] 제11항에 있어서,
상기 커패시터 유닛은
복수의 커패시터 들을 포함하는 커패시터 뱅크(capacitor bank)와
스위치를 포함하며,
상기 메모리 유닛에는 상기 스위치의 도통을 제어하는 프로그램
정보가 더 저장되고, 상기 메모리 유닛은 상기 프로그램 정보에
따라 상기 스위치의 도통을 제어하여 상기 커패시터 유닛의
커패시턴스를 제어하는 현장 프로그래머블(field programmable)
아날로그 어레이.
- [청구항 16] 제11항에 있어서,
상기 프로그래머블 아날로그 타이밍 어레이는 상기 전하-전압
변환부를 리셋(reset)하는 리셋 스위치를 더 포함하는 현장
프로그래머블(field programmable) 아날로그 어레이.
- [청구항 17] 제11항에 있어서,
상기 커패시터 유닛은,
적어도 하나의 전압 제어 가변 커패시터(voltage controlled variable
capacitor)를 포함하는 현장 프로그래머블(field programmable)
아날로그 어레이.
- [청구항 18] 제11항에 있어서,
상기 전류원은 그 인가하는 전류가 조절 가능하며,
상기 메모리 유닛은,
상기 전류원이 인가하는 전류를 조절하도록 사용자로부터 제공된
프로그램 정보를 더 저장하는 현장 프로그래머블(field

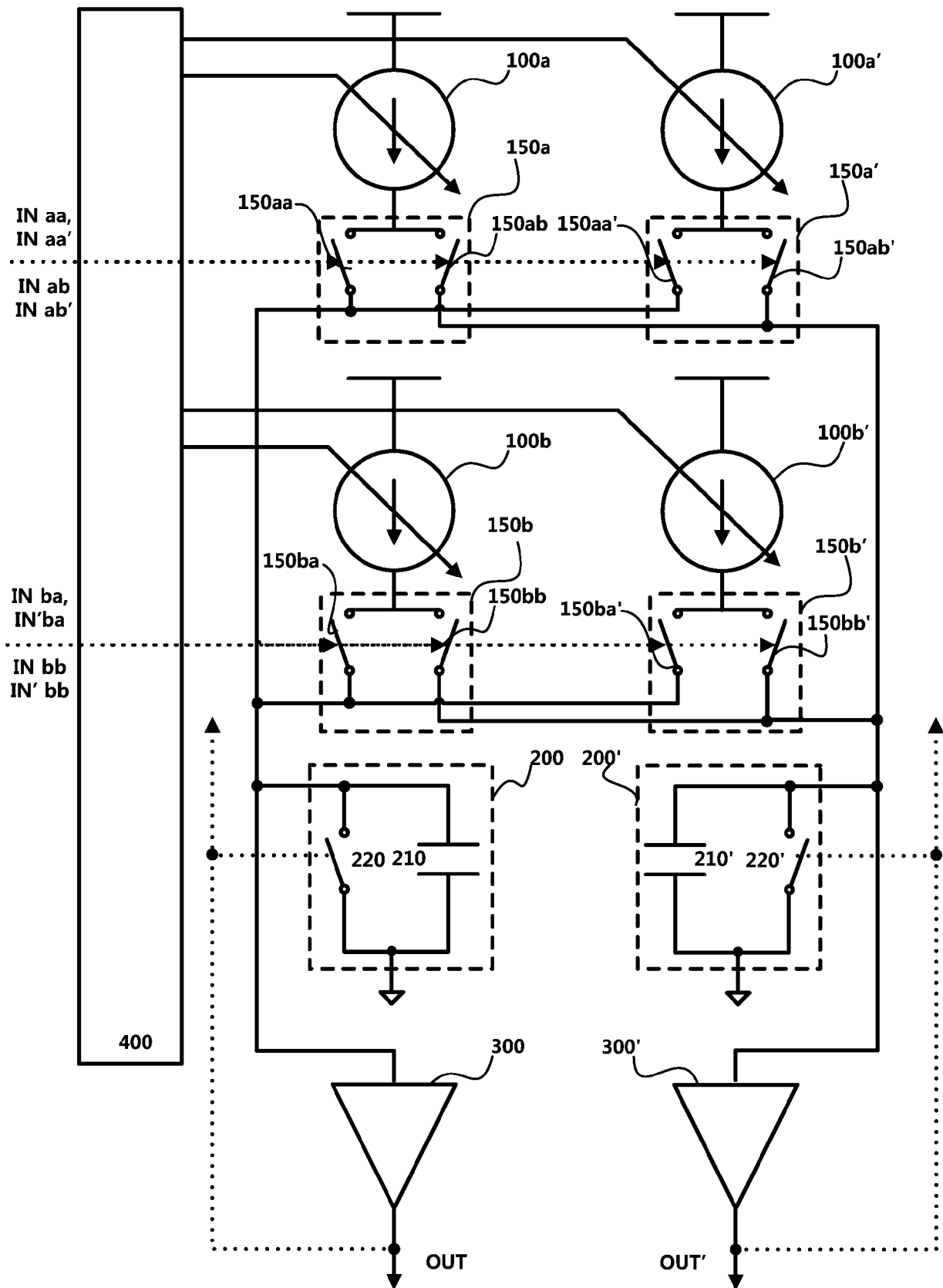
- programmable) 아날로그 어레이.
- [청구항 19] 제11항에 있어서,
상기 검출 결과 신호는, 상기 전하-전압 변환부로부터 제공된 상기 전기적 신호와 미리 정해진 문턱치(threshold value)와의 관계에서 출력된 신호인 현장 프로그래머블(field programmable) 아날로그 어레이.
- [청구항 20] 제1항에 있어서, 상기 현장 프로그래머블 아날로그 어레이는 상기 프로그램에 의하여 이완 발진기(relaxation oscillator)로 동작하는 현장 프로그래머블 아날로그 어레이.
- [청구항 21] 제1항에 있어서, 상기 현장 프로그래머블 아날로그 어레이는 상기 프로그램에 의하여 위상 추이기로 동작하는 현장 프로그래머블 아날로그 어레이.
- [청구항 22] 제1항에 있어서, 상기 현장 프로그래머블 아날로그 어레이는 상기 프로그램에 의하여 위상 보간기로 동작하는 현장 프로그래머블 아날로그 어레이.
- [청구항 23] 제1항에 있어서, 상기 현장 프로그래머블 아날로그 어레이는 상기 프로그램에 의하여 펄스폭 변조기로 동작하는 현장 프로그래머블 아날로그 어레이.
- [청구항 24] 제1항에 있어서, 상기 현장 프로그래머블 아날로그 어레이는 상기 프로그램에 의하여 의사 지수 디지털 제어 발진기로 동작하는 현장 프로그래머블 아날로그 어레이.
- [청구항 25] 하나 이상의 현장 프로그래머블 아날로그 어레이, 프로그램을 통하여 현장 재구성가능한 논리 연산을 수행하는 하나 이상의 현장 프로그래머블 디지털 블록, 그리고 상기 현장 프로그래머블 아날로그 어레이 및 상기 현장 프로그래머블 디지털 블록 각각의 입력 신호들 및 출력 신호들의 연결 상태를 현장 재구성가능한 하나 이상의 현장 프로그래머블 연결선 블록을 포함하되,
상기 현장 프로그래머블 아날로그 어레이, 상기 현장 프로그래머블 디지털 블록, 상기 현장 프로그래머블 연결선 블록들이 회로의 물리적인 재구성 없이 프로그램을 통해 복수의 아날로그, 디지털, 또는 아날로그-디지털 변환 회로의 동작을 수행하도록 재구성할 수 있는 현장 프로그래머블 혼성신호 어레이.
- [청구항 26] 제25항에 있어서,
상기 현장 프로그래머블 혼성신호 어레이는, 복수의 비트로 구성된 디지털 신호들간의 연산을 효율적으로 수행할 수 있는 하나 이상의 프로그래머블 산술 및 논리 연산 유닛(arithmetic logic unit)을 더 포함하는 현장 프로그래머블 혼성신호 어레이.

- [청구항 27] 제25항에 있어서,
상기 현장 프로그래머블 혼성신호 어레이는, 사용자가 목적하는 기능에 맞추어 미리 형성된 회로들이 배치된 커스텀 셀 블록을 더 포함하는 현장 프로그래머블 혼성신호 어레이.
- [청구항 28] 제25항에 있어서,
상기 현장 프로그래머블 아날로그 어레이는 상기 전류원 및 상기 전하 누적 수단 중 어느 하나 이상을 제어하도록 사용자, 상기 현장 프로그래머블 디지털 블록, 상기 프로그래머블 산술 및 논리 연산 유닛 및 상기 커스텀 블록 중 어느 하나 이상으로부터 제공된 프로그램을 저장하는 메모리부를 더 포함하는 현장 프로그래머블 혼성신호 어레이.
- [청구항 29] 제25항에 있어서,
상기 현장 프로그래머블 아날로그 어레이는 전류원과, 전류원이 출력하는 전류에 의한 전하를 누적하여 그에 상응하는 누적 결과 신호를 출력하는 전하 누적 수단과, 상기 누적 결과 신호를 검출하여 검출된 전압신호를 상기 현장 프로그래머블 디지털 블록으로 출력하는 프로그래머블 아날로그 타이밍 어레이를 포함하는 현장 프로그래머블 혼성신호 어레이.
- [청구항 30] 제25항에 있어서,
상기 현장 프로그래머블 혼성신호 어레이는 상기 프로그램에 의하여 디지털 펄스폭 변조기(Digital Pulse Width Modulator)로 작동하는 현장 프로그래머블 혼성신호 어레이.
- [청구항 31] 제25항에 있어서,
상기 현장 프로그래머블 혼성신호 어레이는 상기 프로그램에 의하여 시간-디지털 변환기(Time-to-Digital Converter)로 작동하는 현장 프로그래머블 혼성신호 어레이.
- [청구항 32] 제25항에 있어서,
상기 현장 프로그래머블 혼성신호 어레이는 상기 프로그램에 의하여 아날로그-디지털 변환기(Analog-Digital Converter)로 작동하는 현장 프로그래머블 혼성신호 어레이.
- [청구항 33] 제25항에 있어서,
상기 현장 프로그래머블 혼성신호 어레이는 상기 프로그램에 의하여 위상 고정 루프(Phase Locked Loop)로 작동하는 현장 프로그래머블 혼성신호 어레이.
- [청구항 34] 제25항에 있어서,
상기 현장 프로그래머블 혼성신호 어레이는 상기 프로그램에 의하여 직류-직류 변환기, 교류-직류 변환기, 또는 직류-교류 변환기로 작동하는 현장 프로그래머블 혼성신호 어레이.

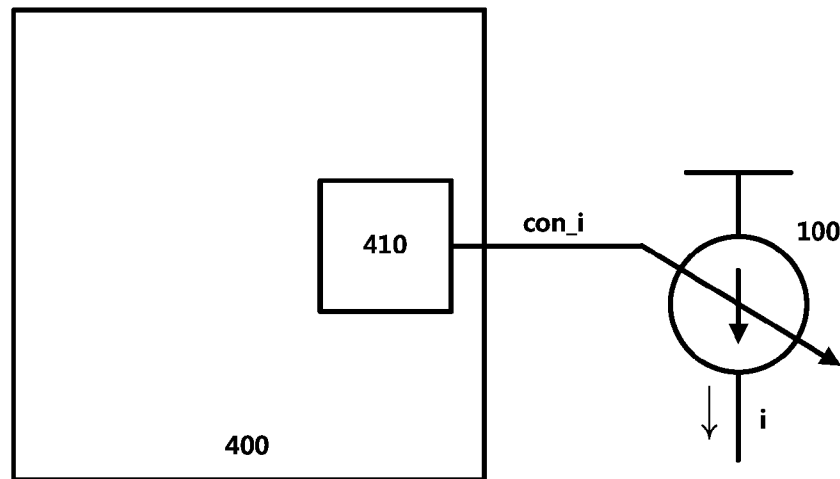
[Fig. 1]



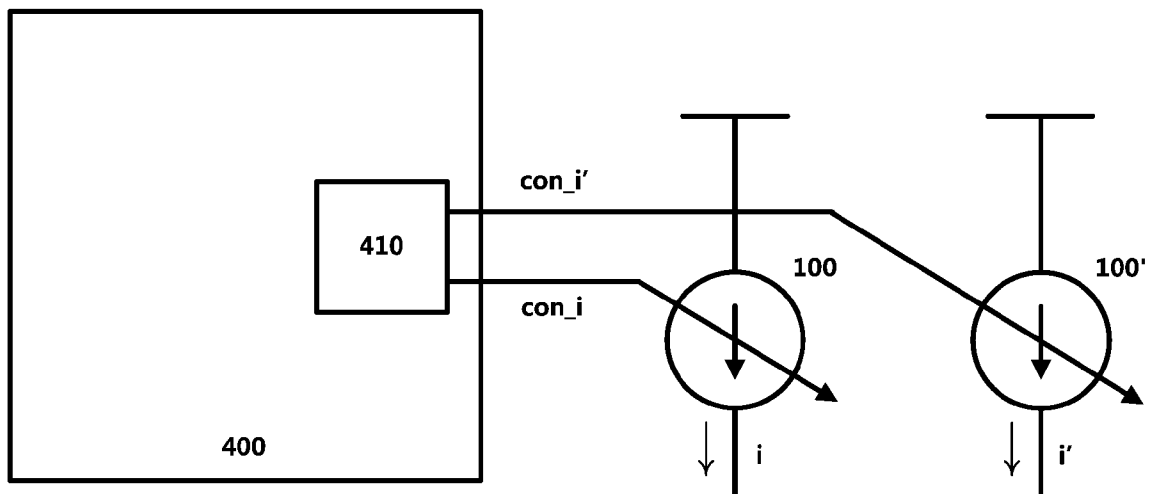
[Fig. 2]



[Fig. 3]

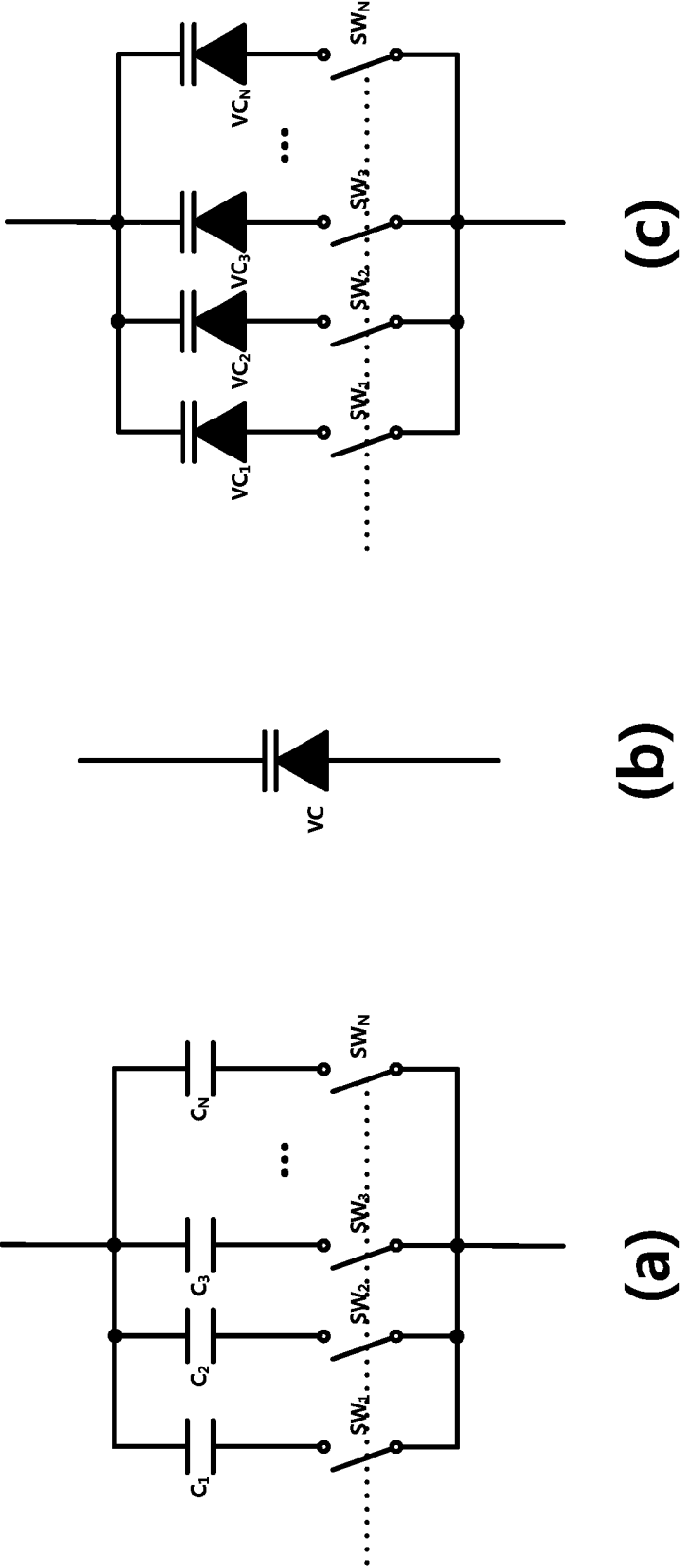


(a)

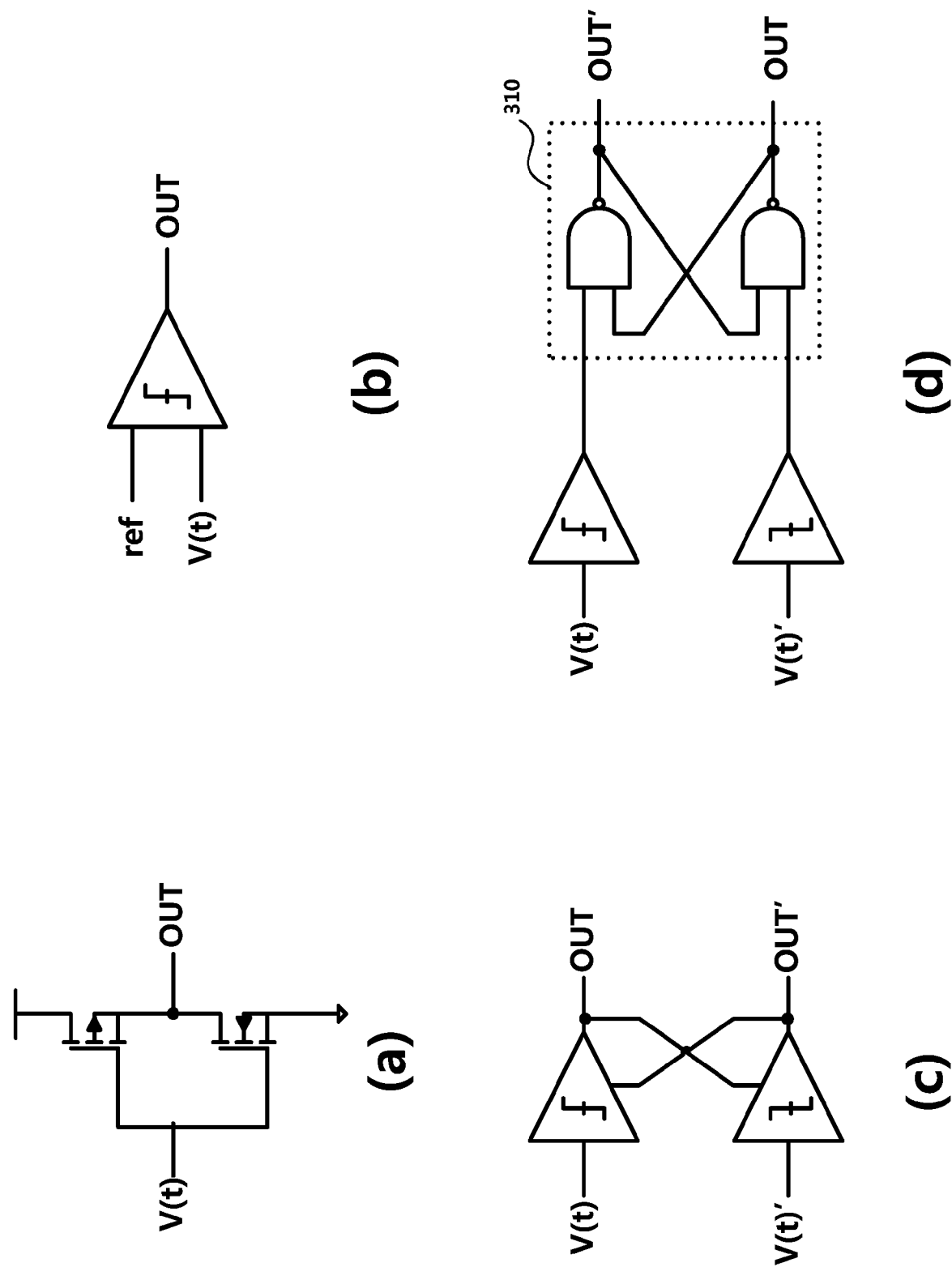


(b)

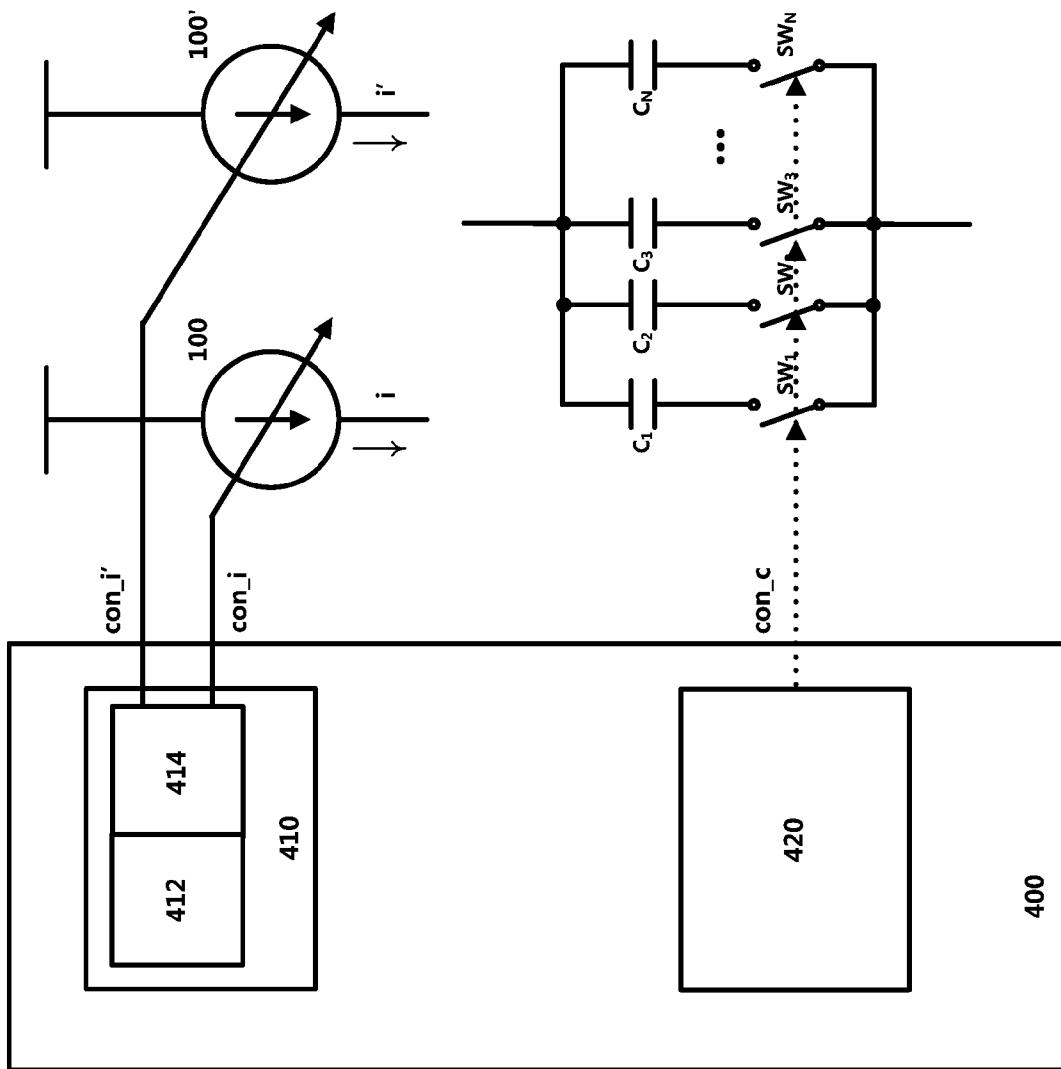
[Fig. 4]



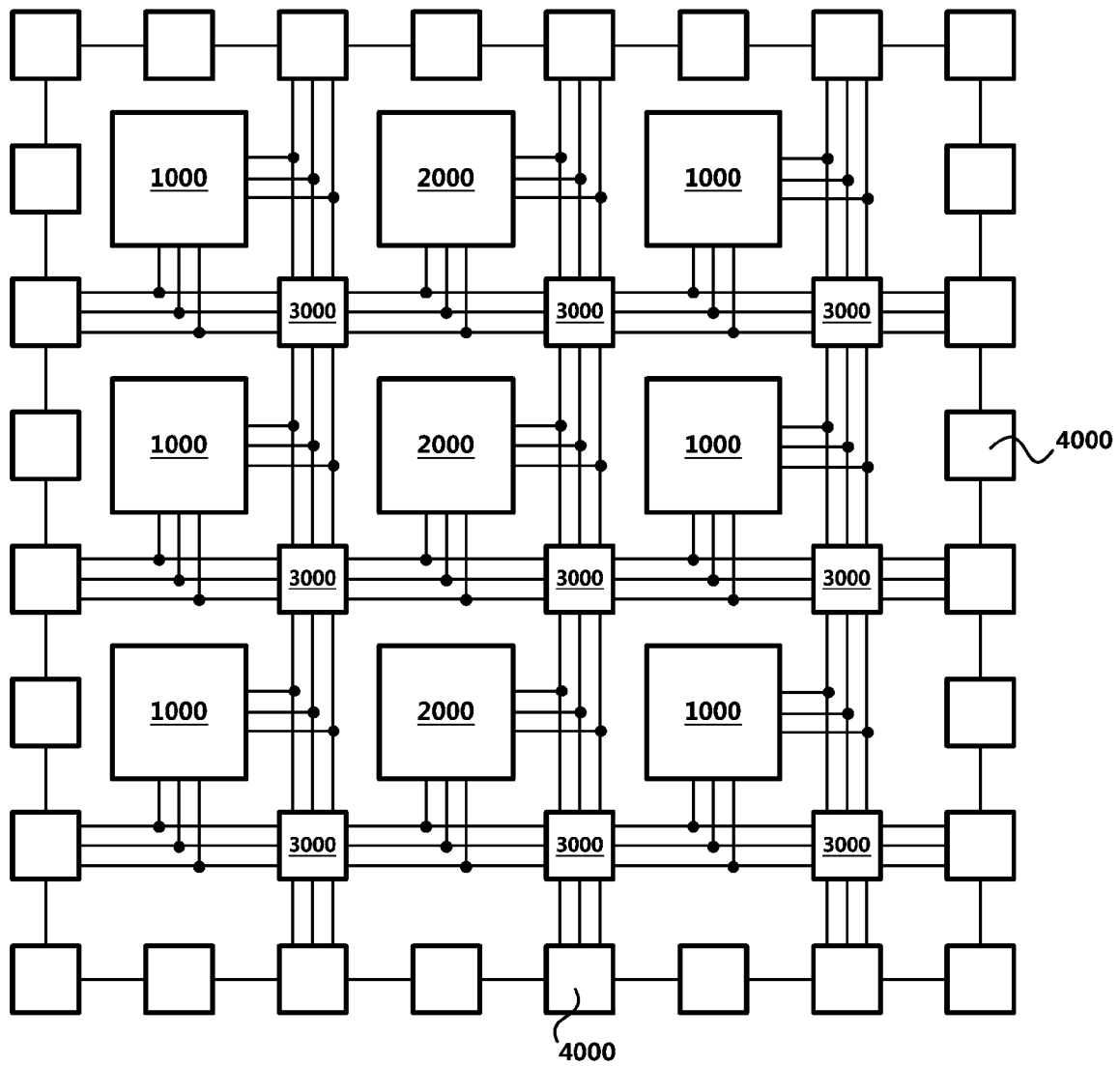
[Fig. 5]



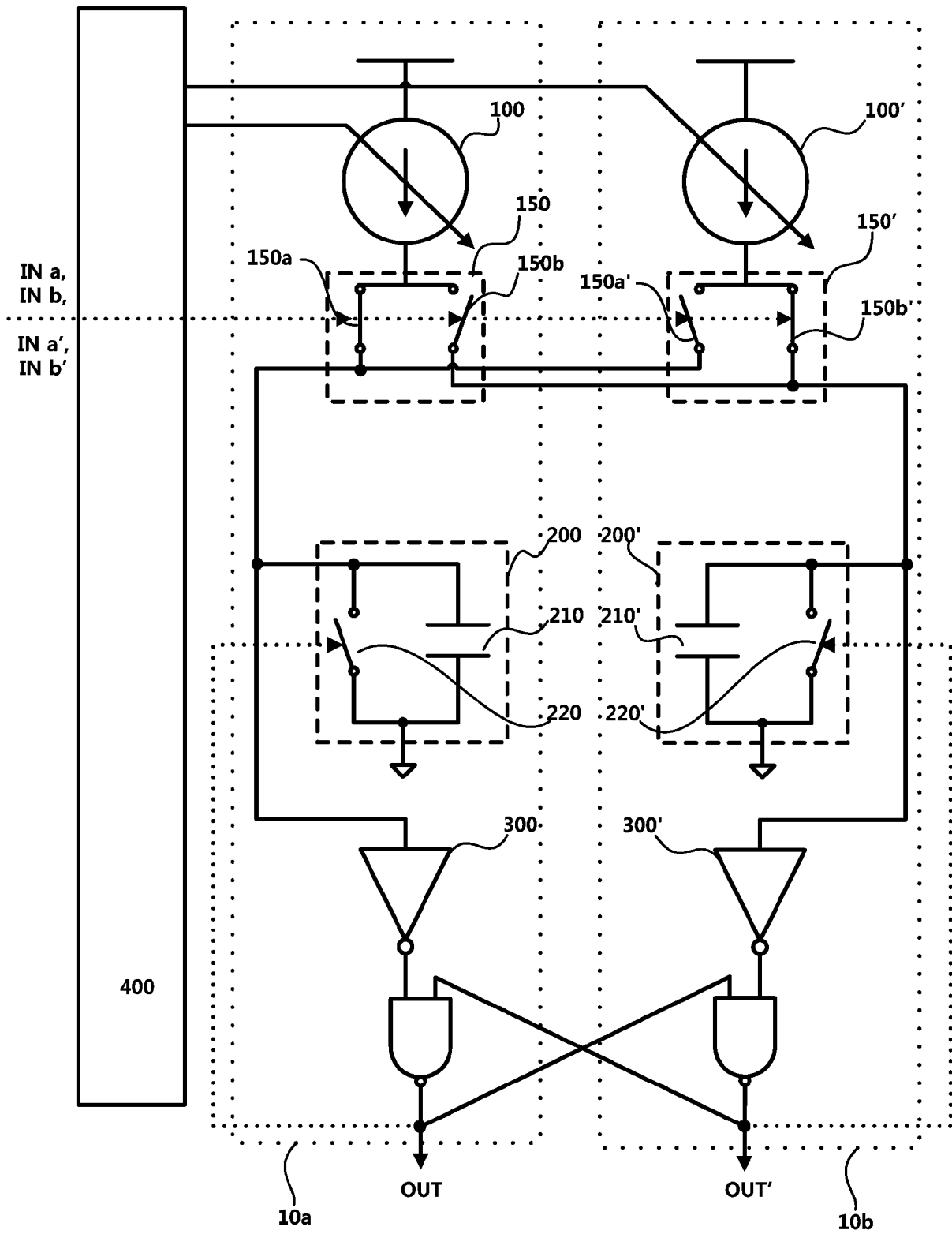
[Fig. 6]



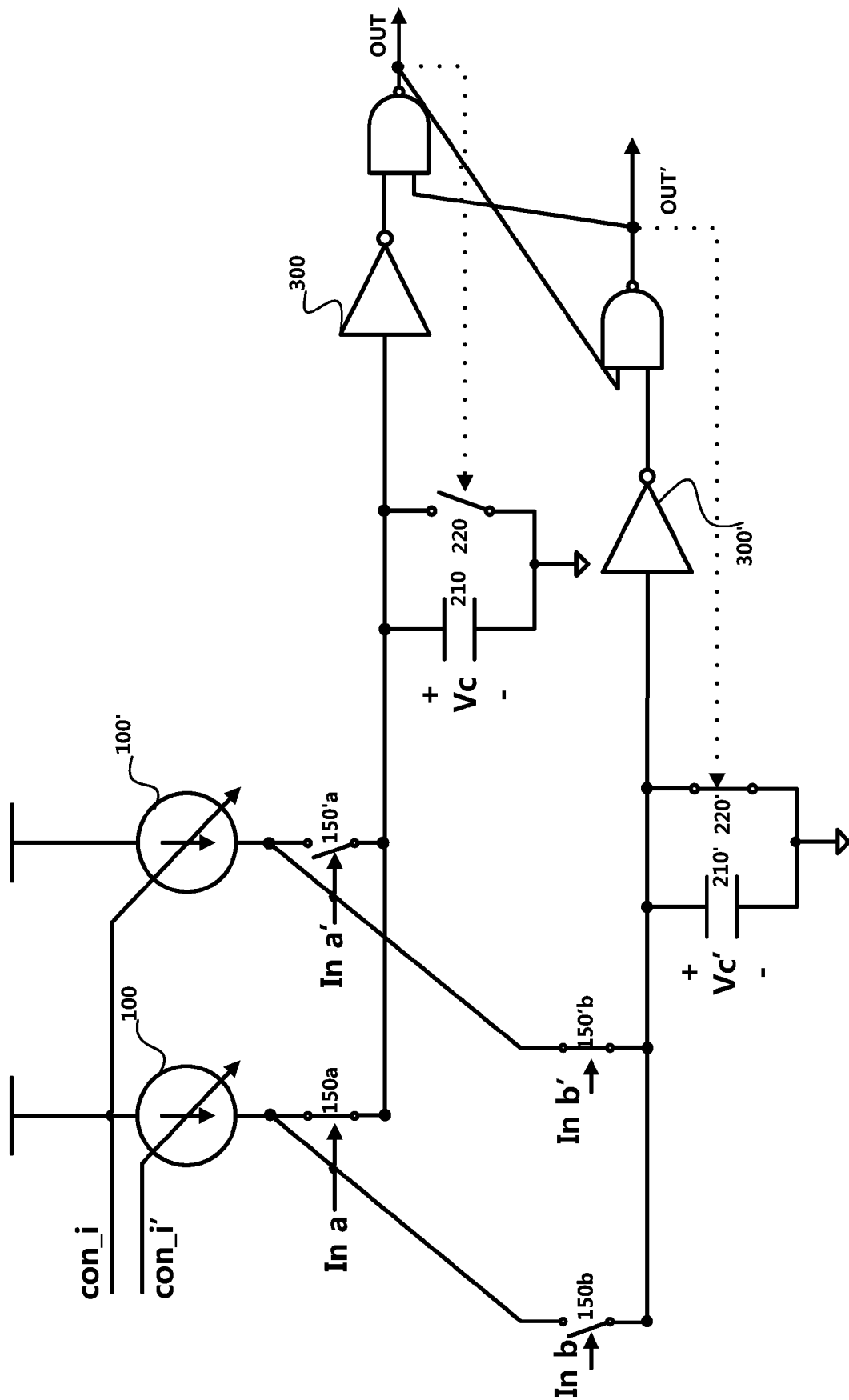
[Fig. 7]



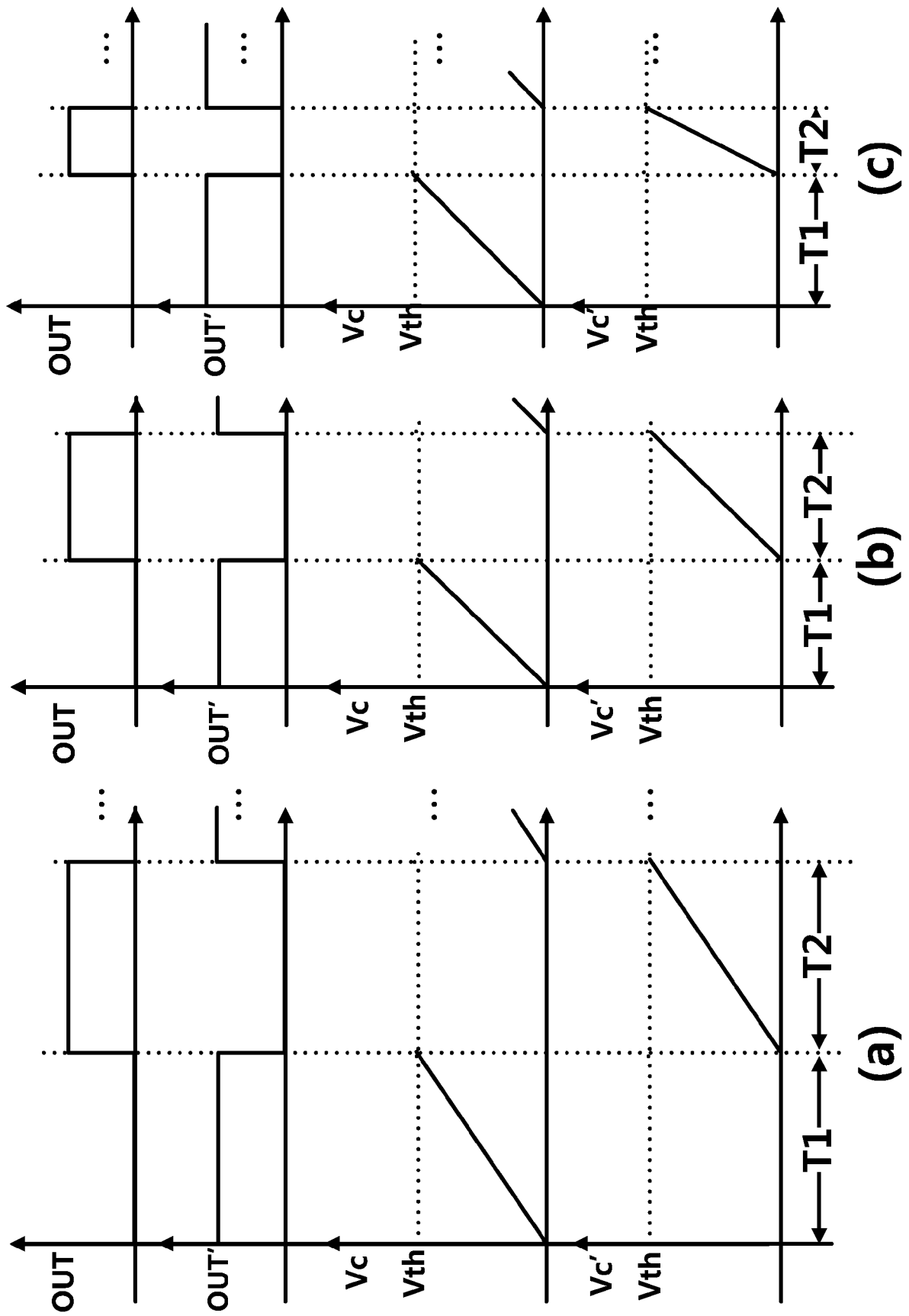
[Fig. 8]



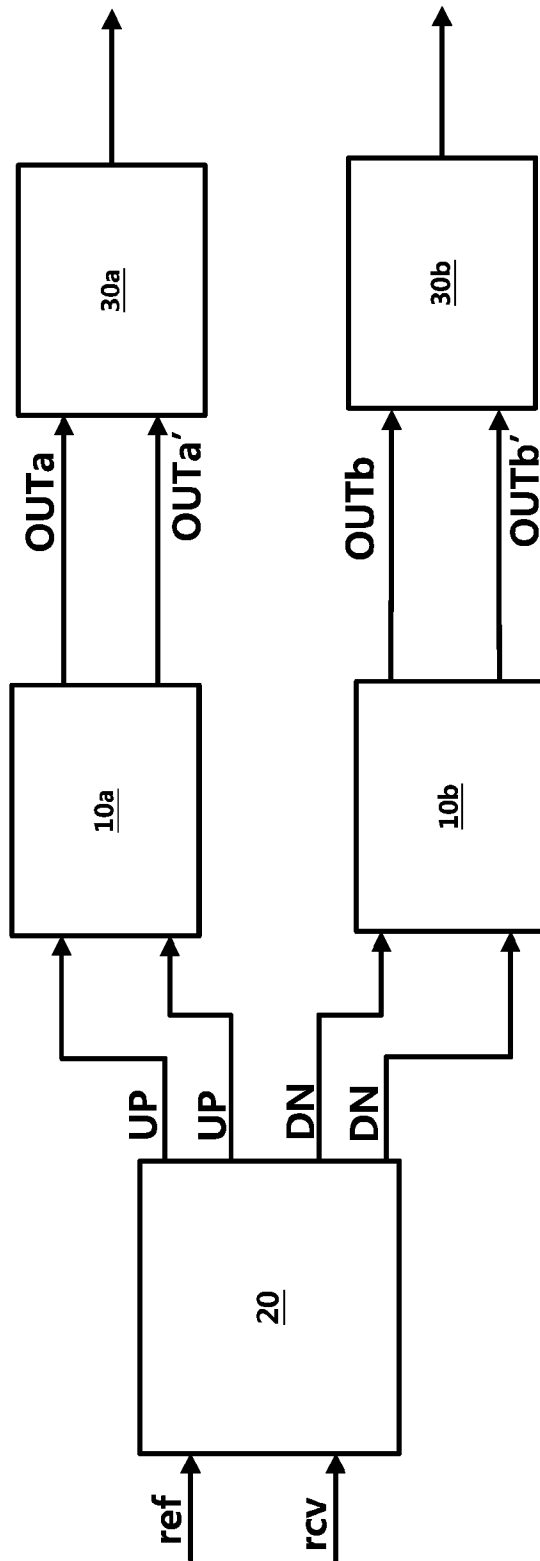
[Fig. 9]



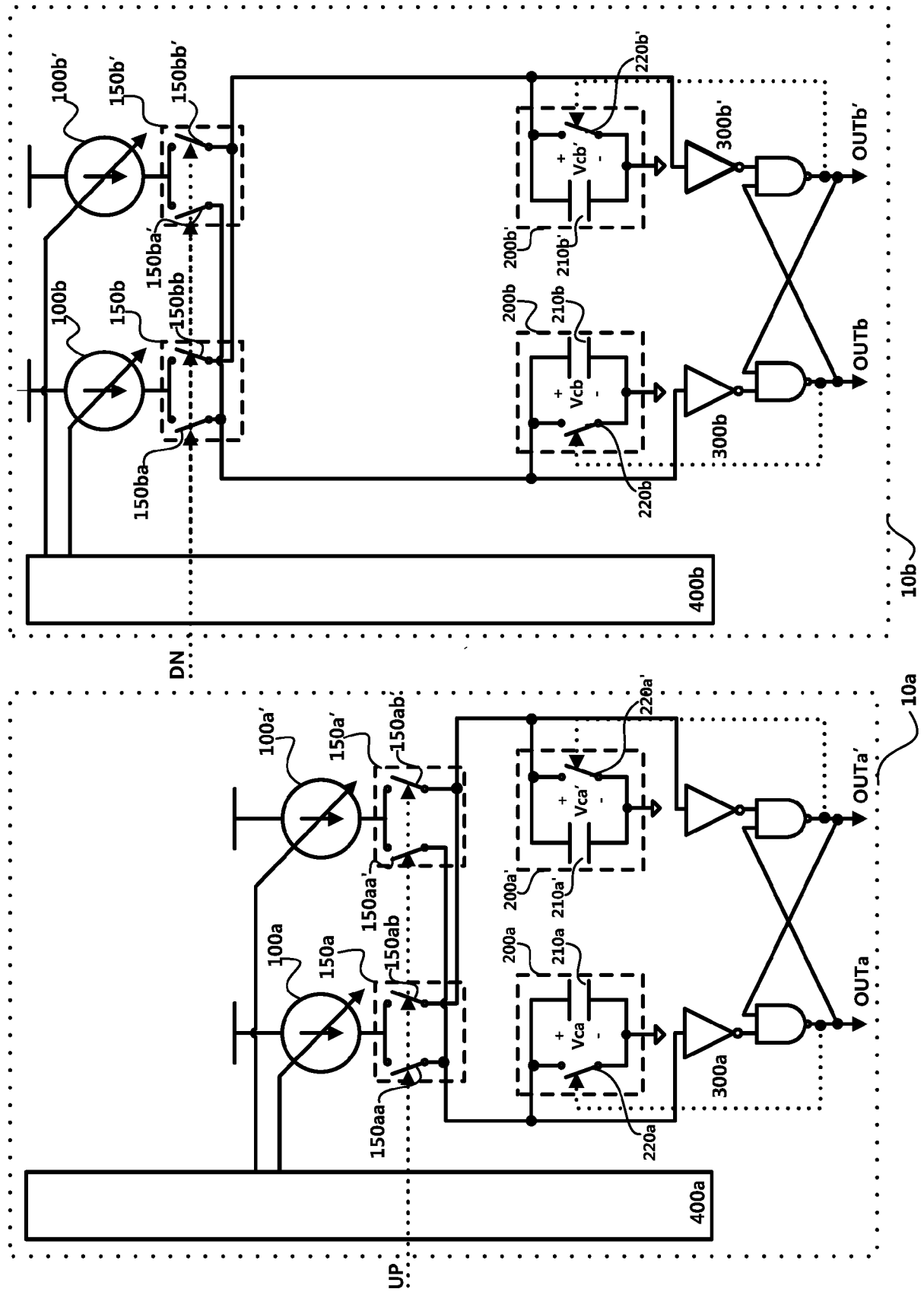
[Fig. 10]



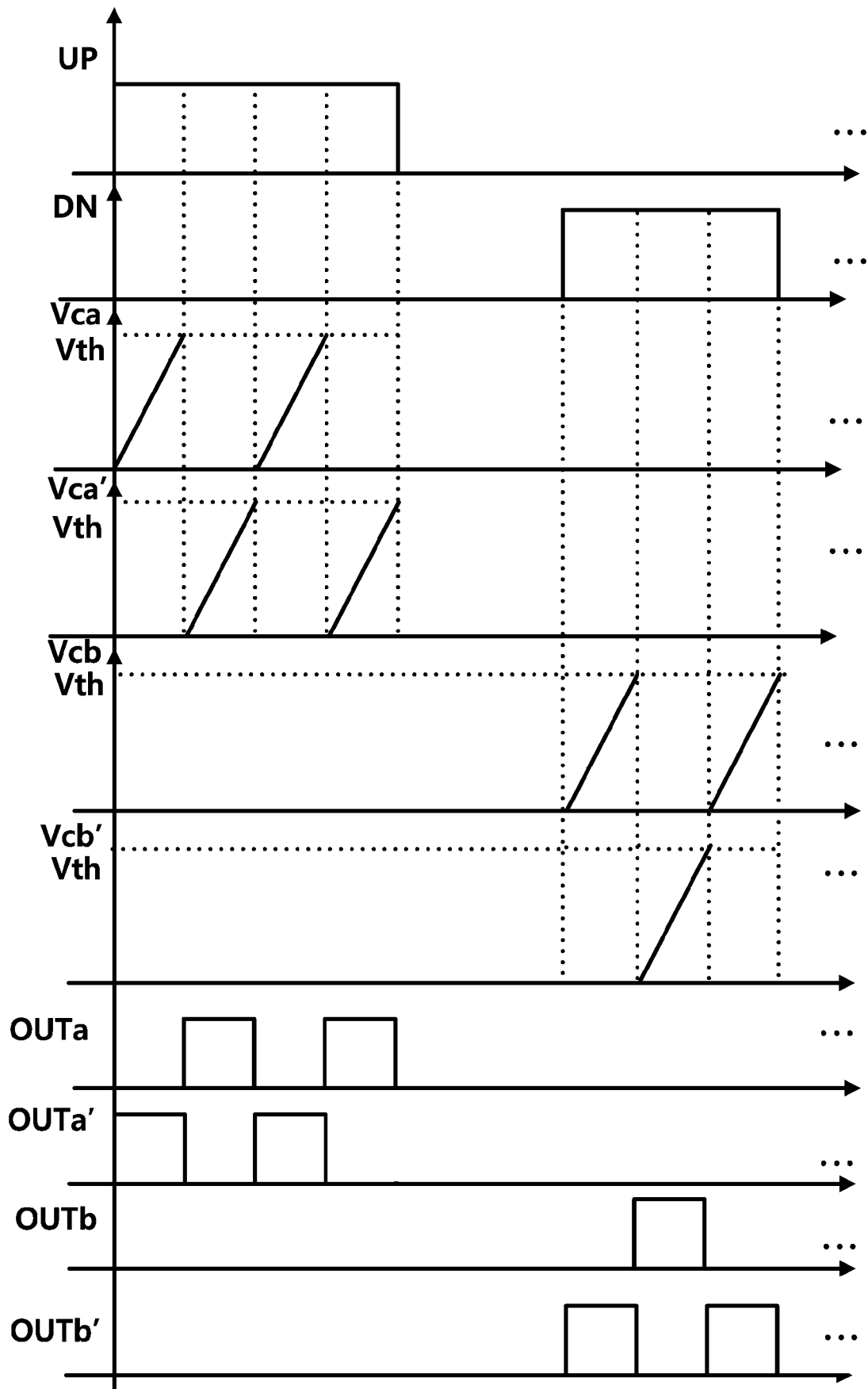
[Fig. 11]



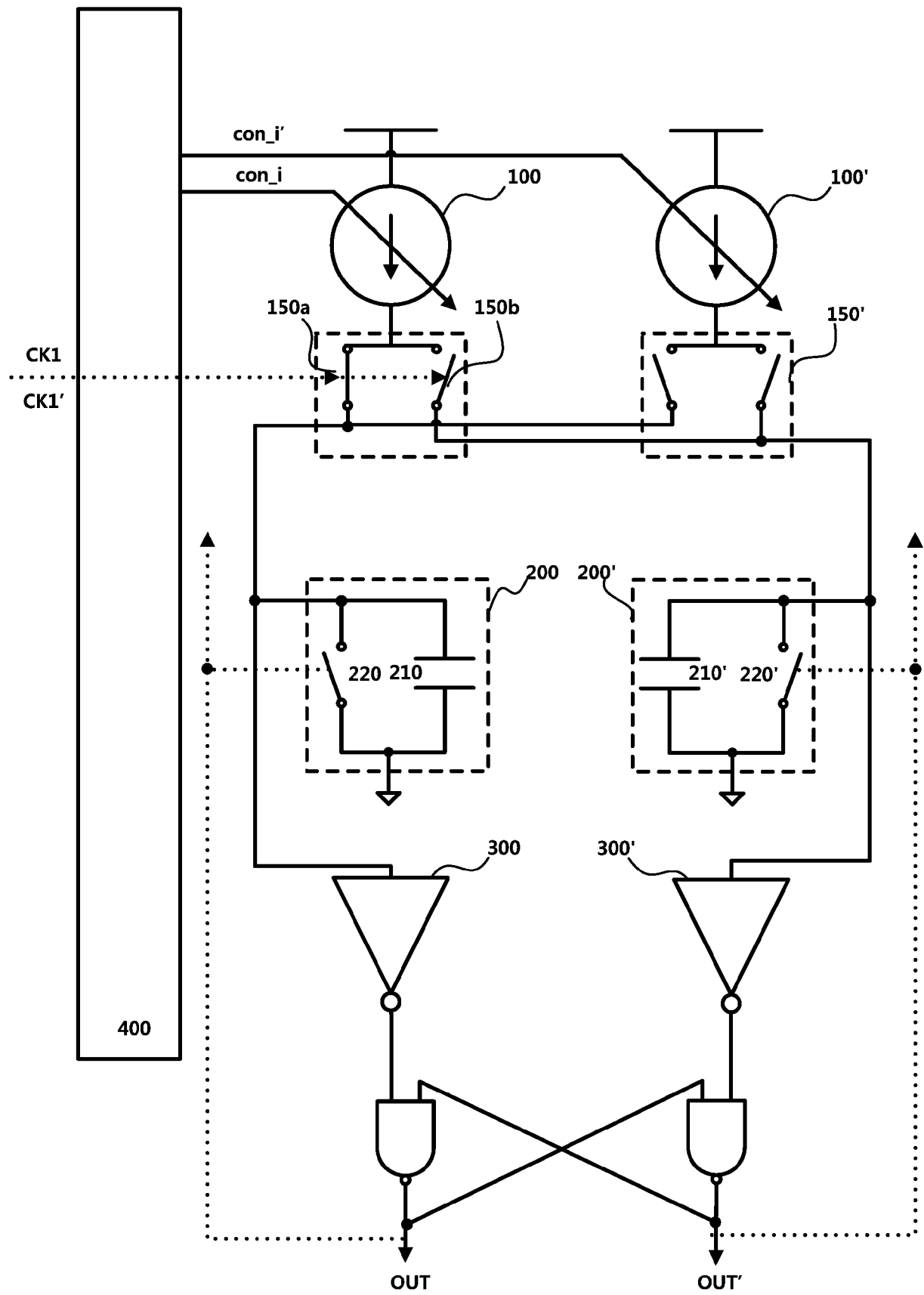
[Fig. 12]



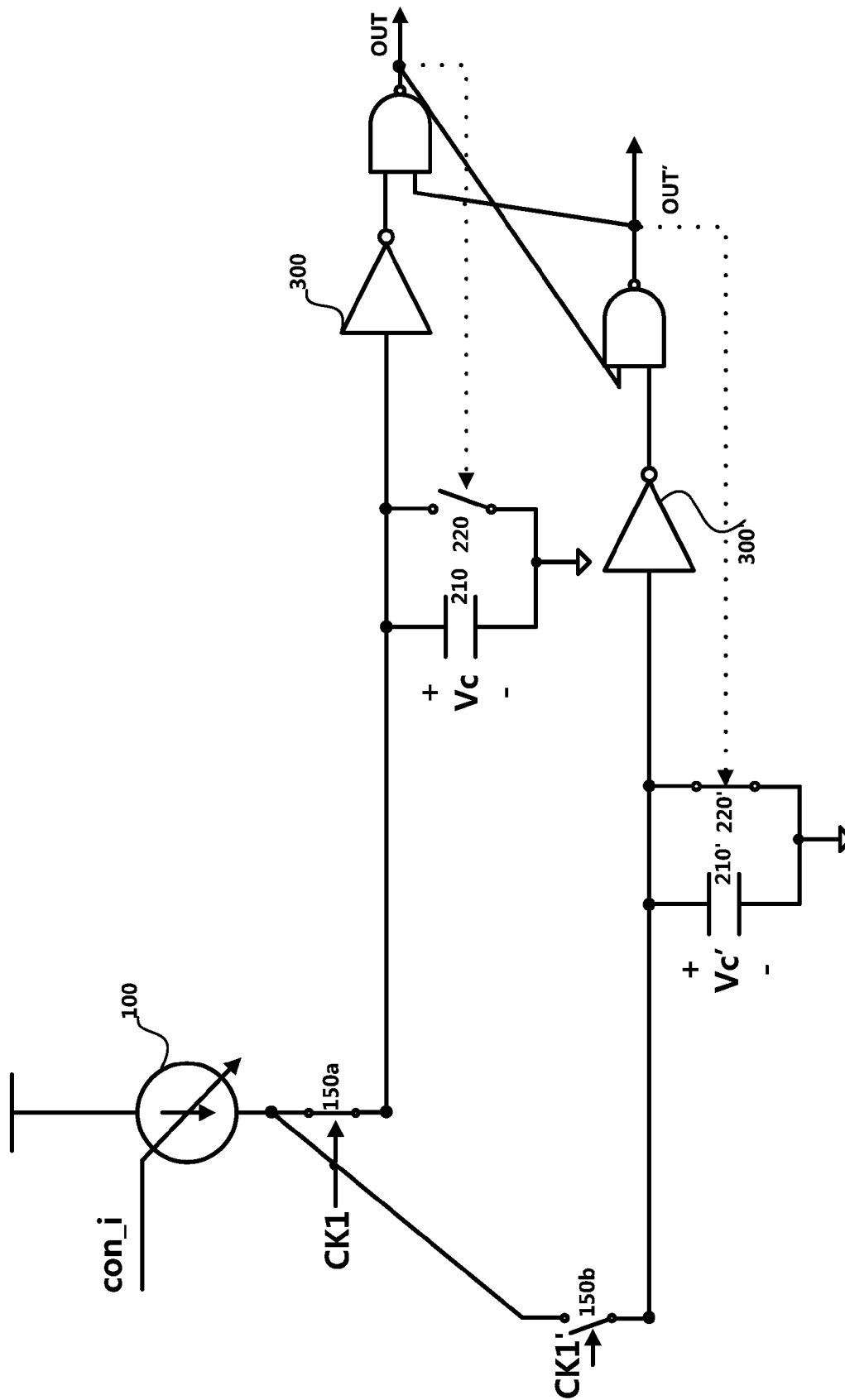
[Fig. 13]



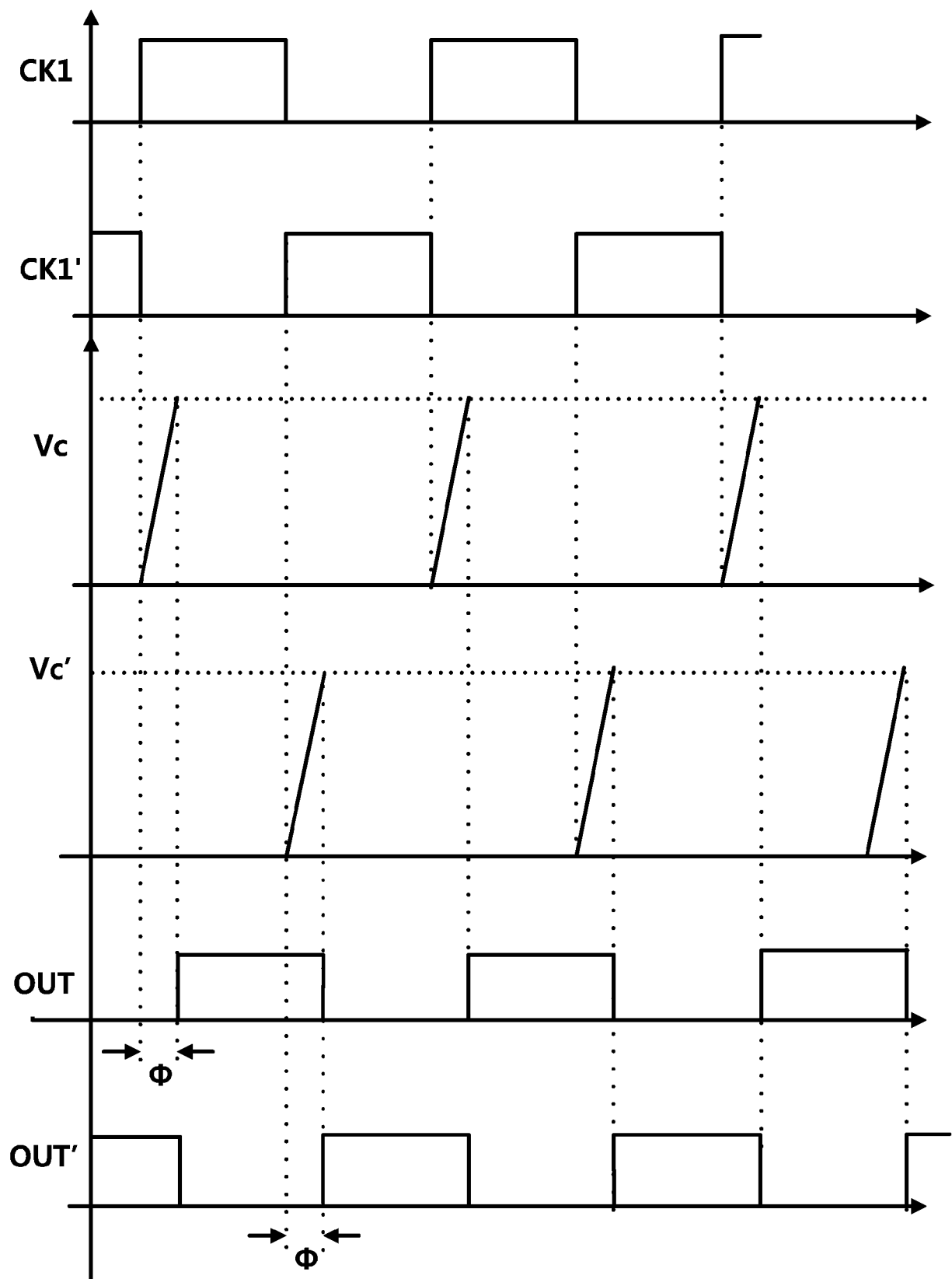
[Fig. 14]



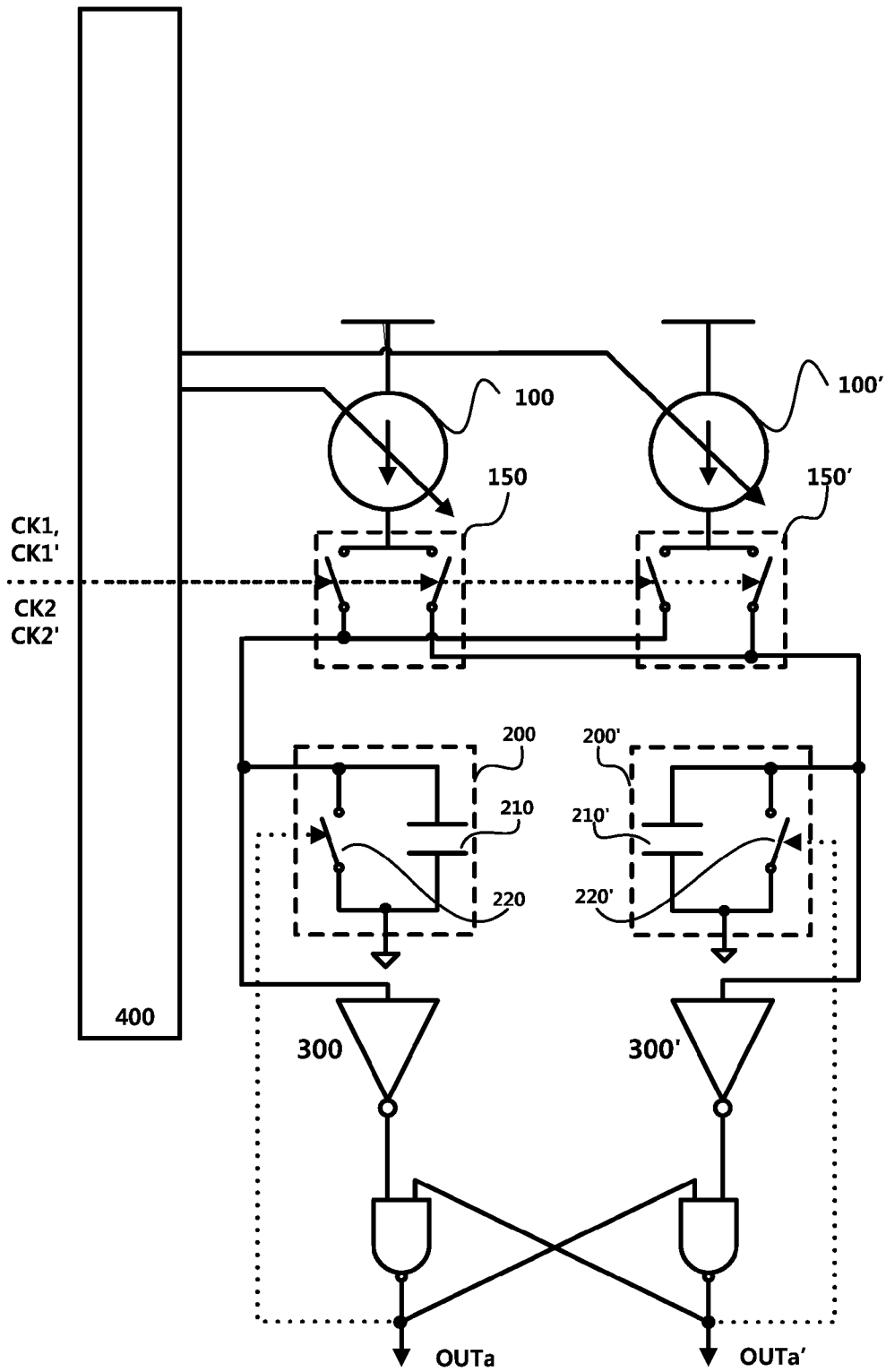
[Fig. 15]



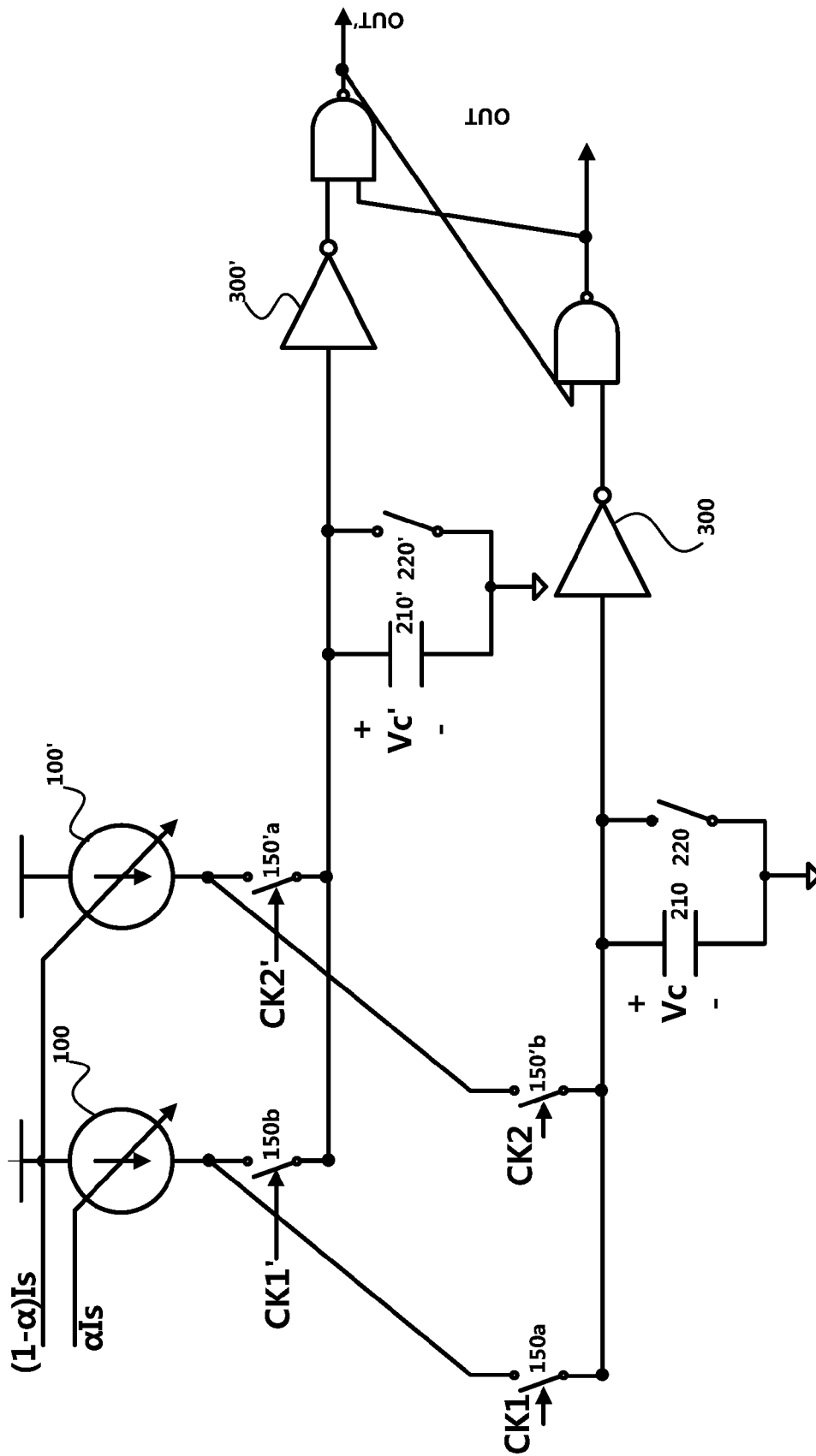
[Fig. 16]



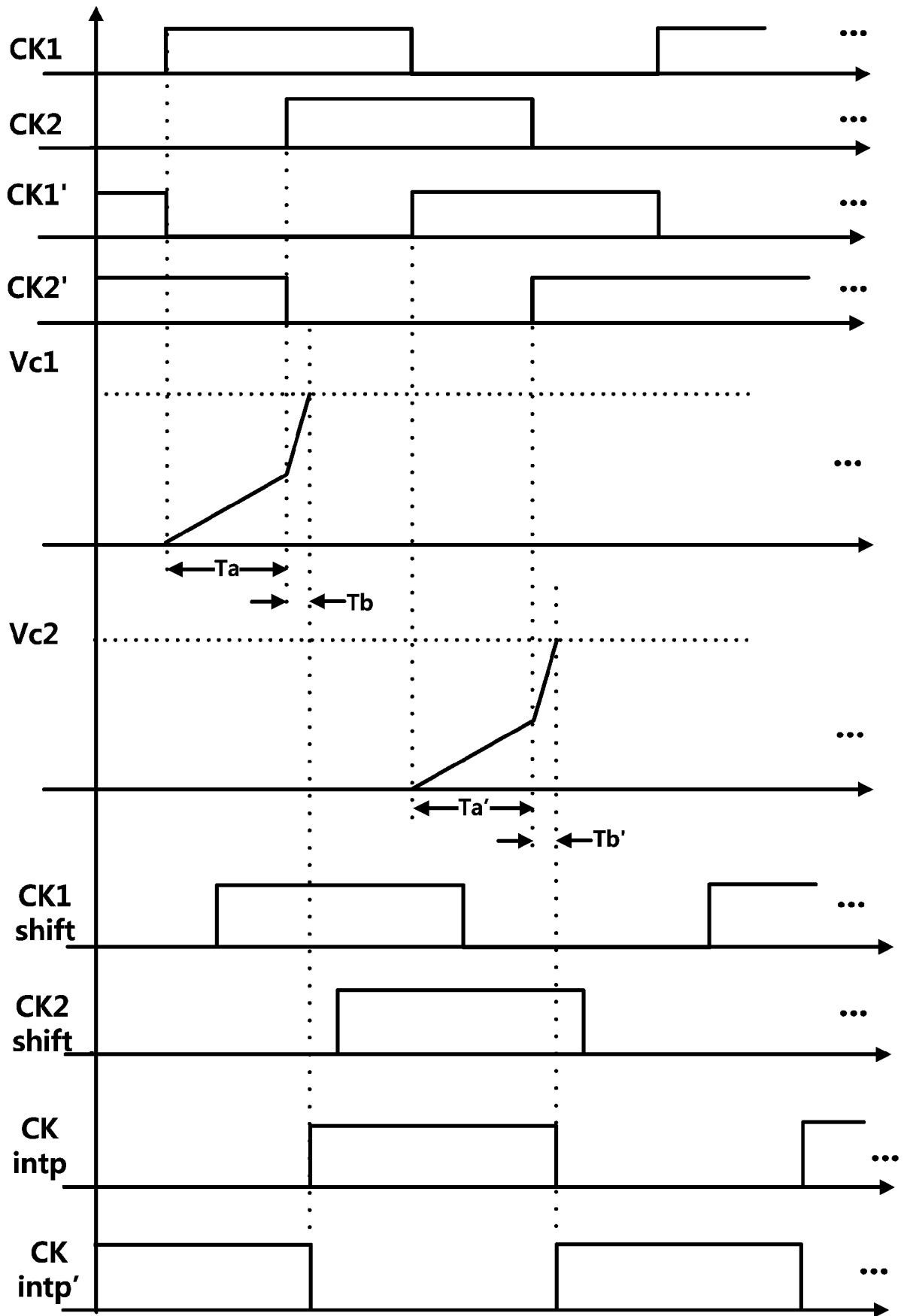
[Fig. 17]



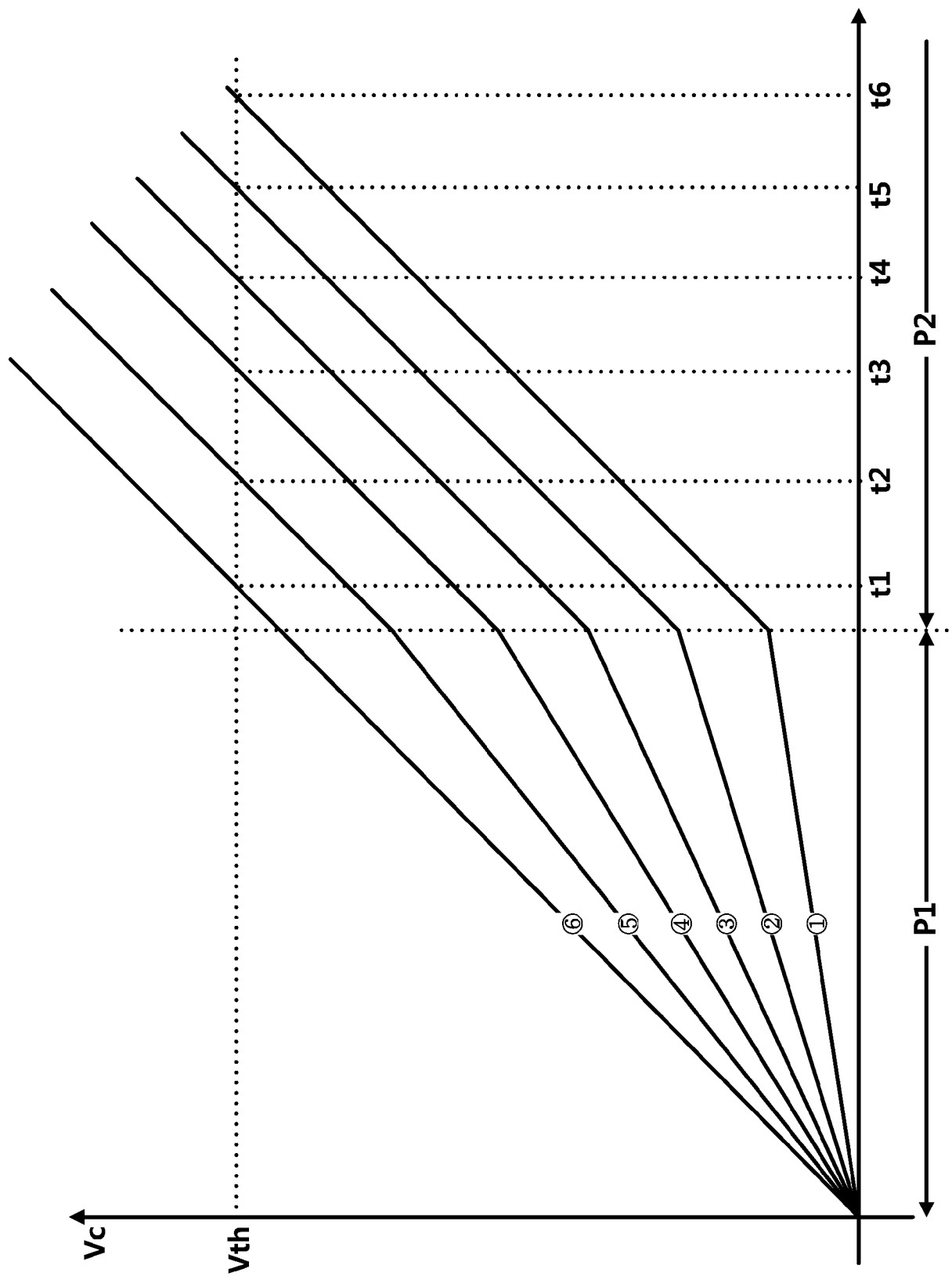
[Fig. 18]



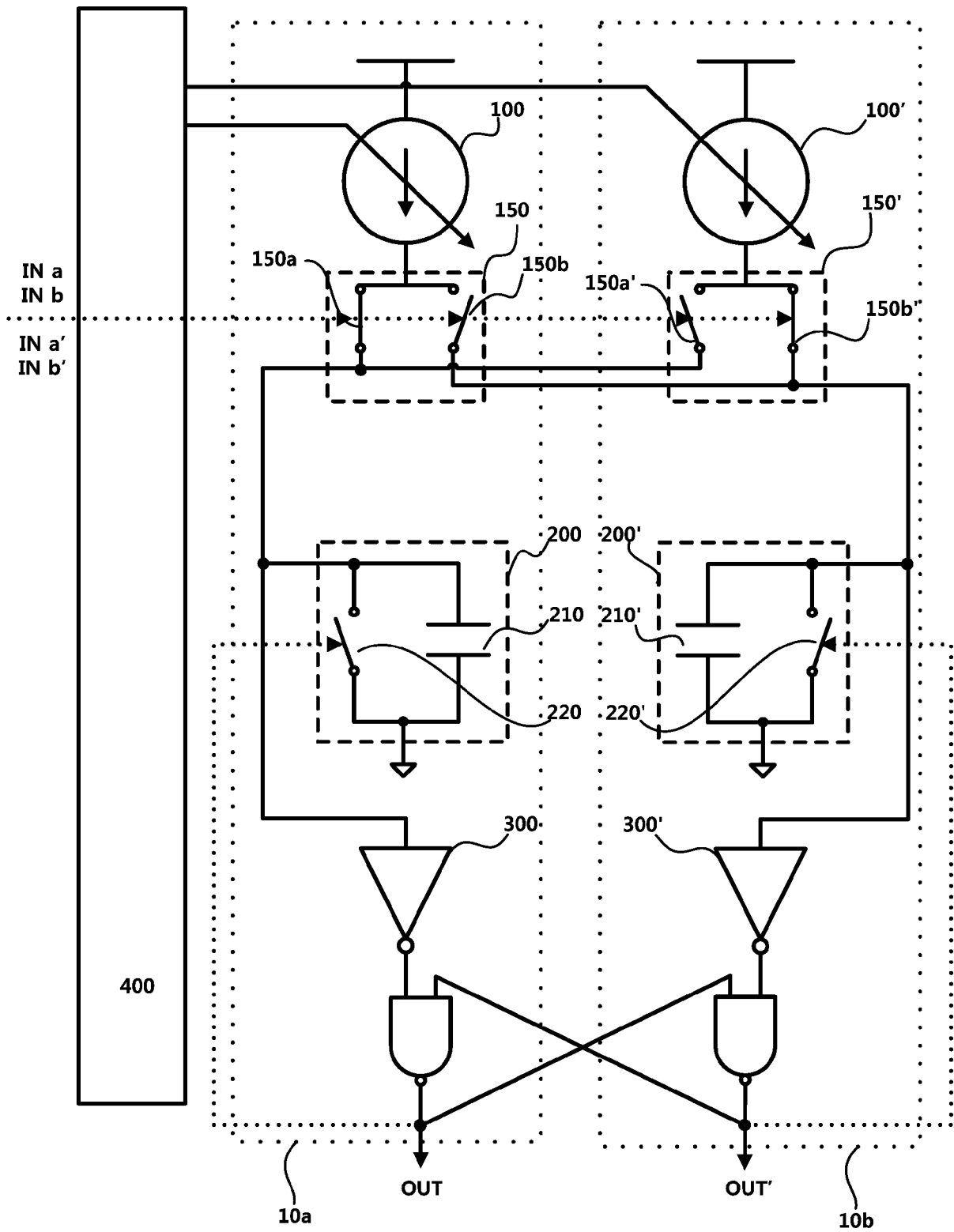
[Fig. 19]



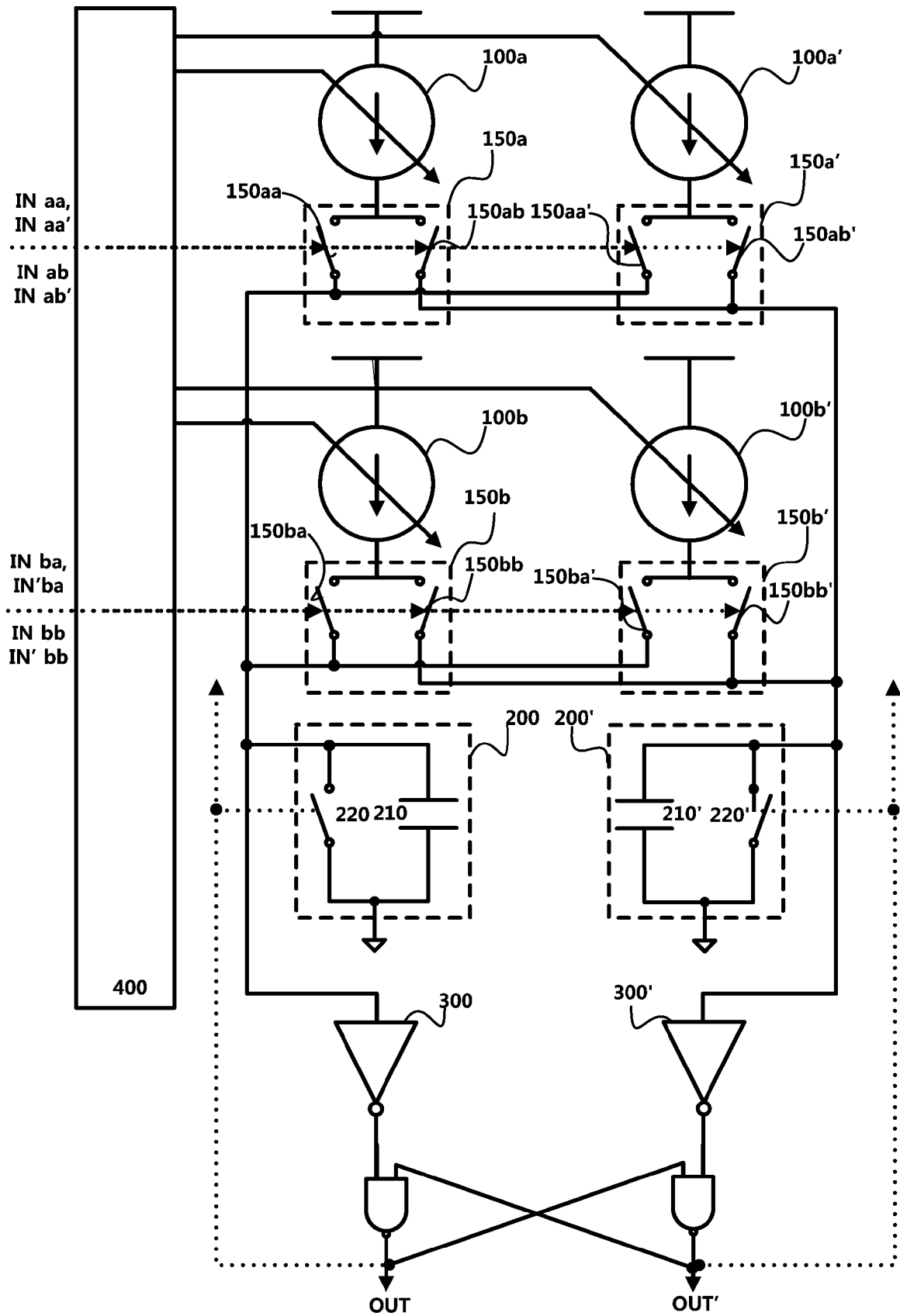
[Fig. 20]



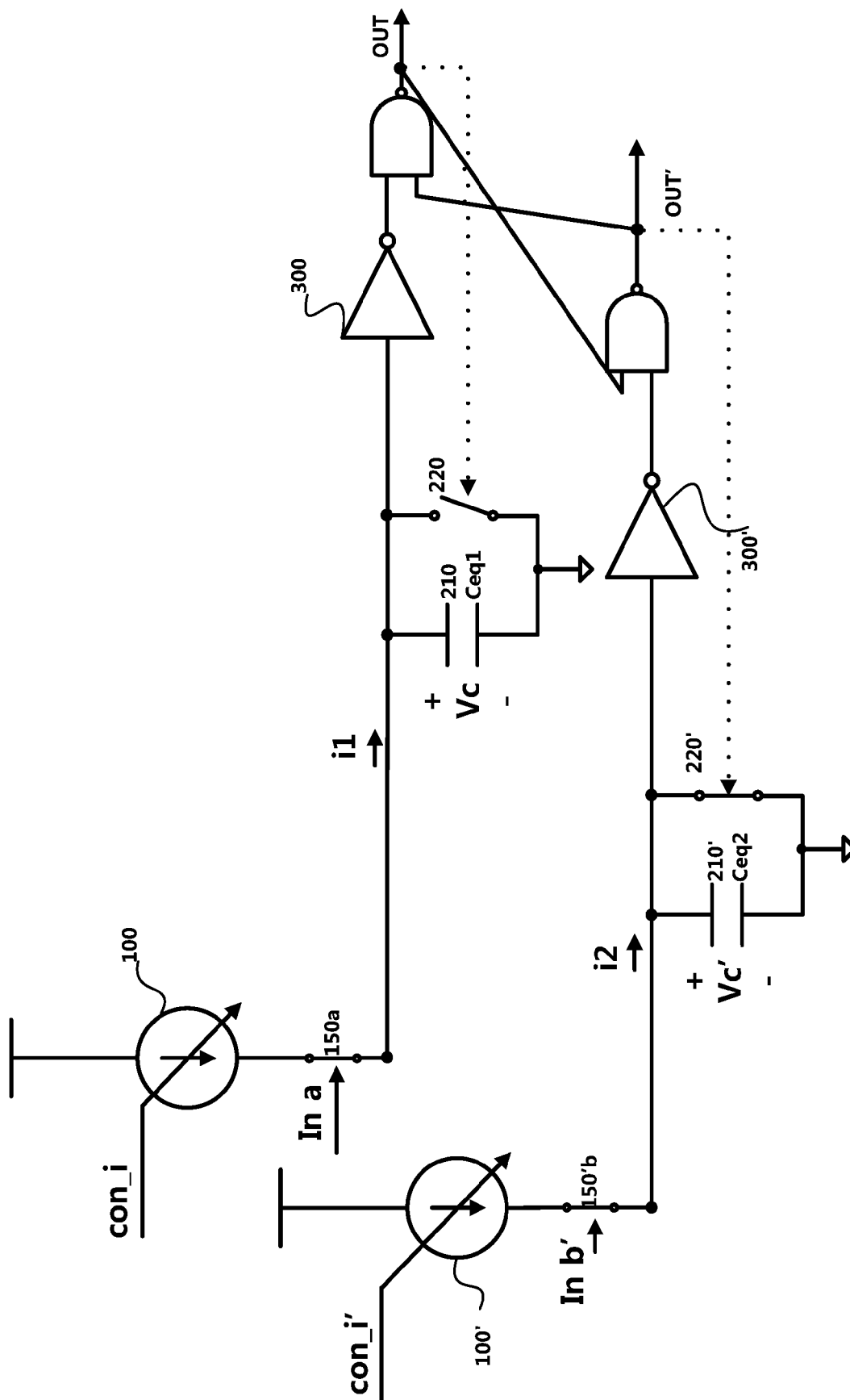
[Fig. 21]



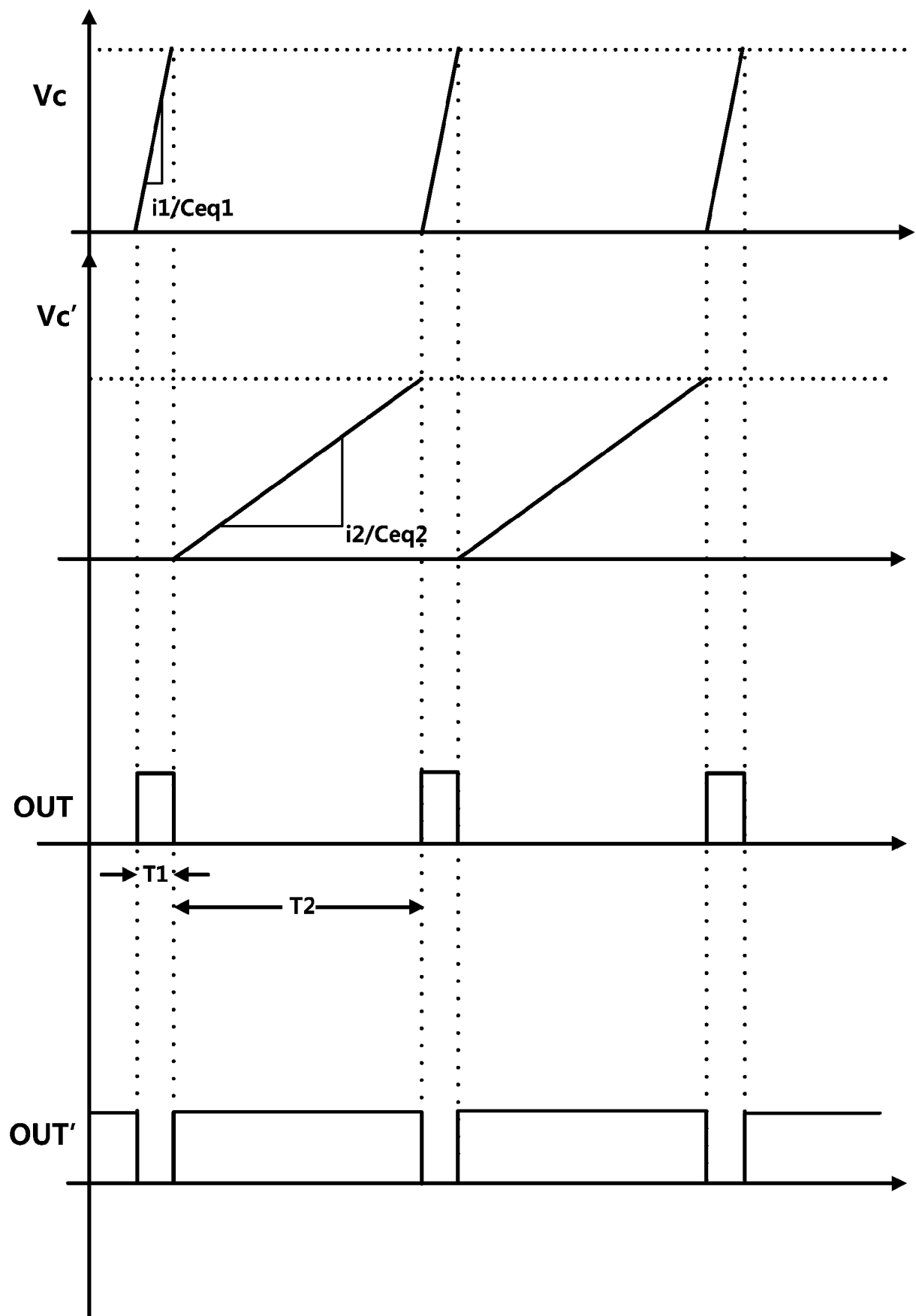
[Fig. 22]



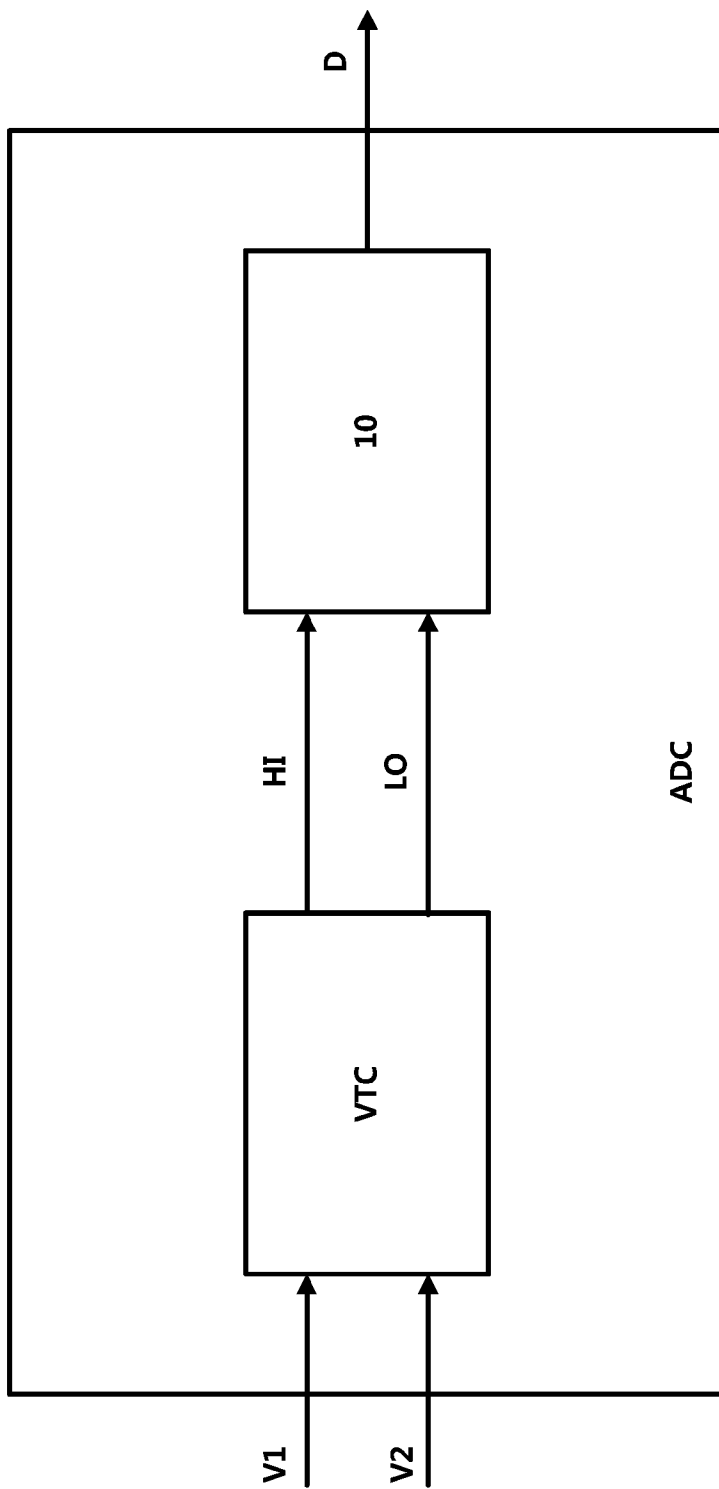
[Fig. 23]



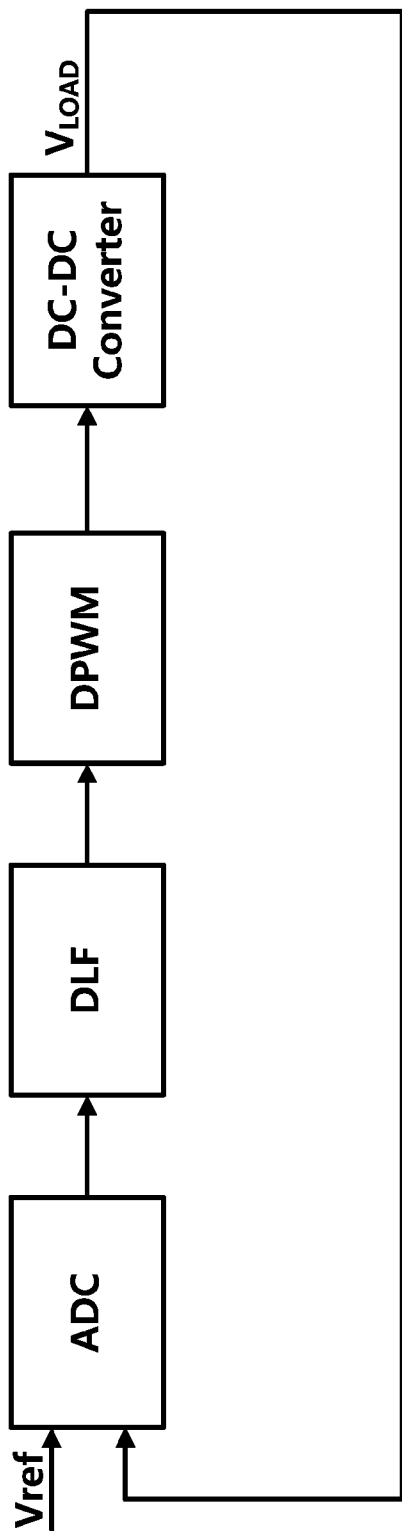
[Fig. 24]



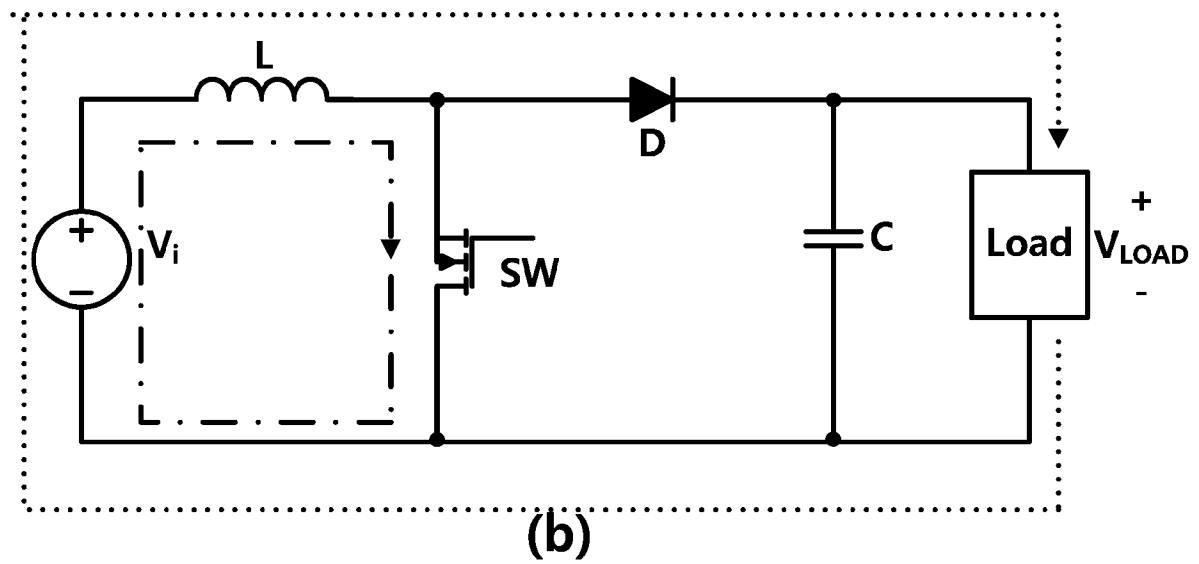
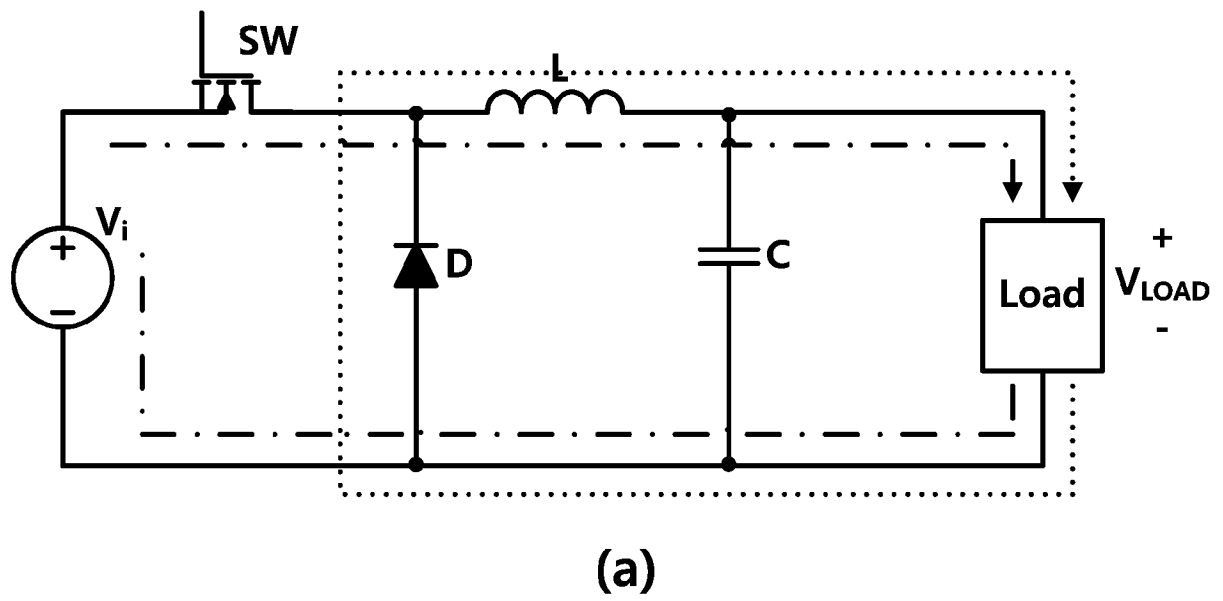
[Fig. 25]



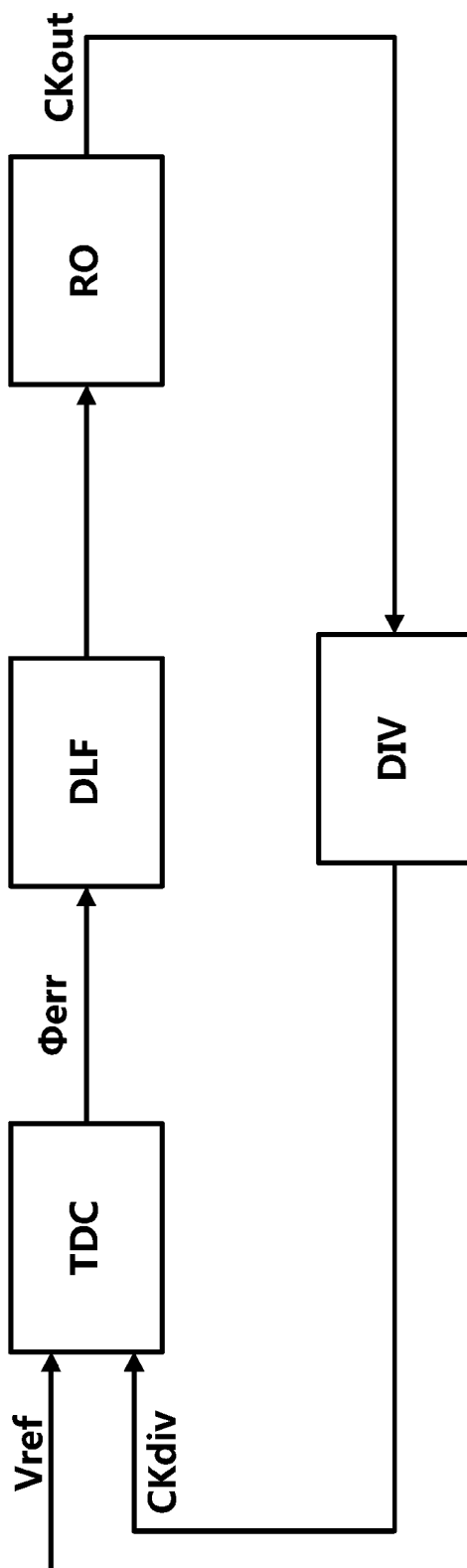
[Fig. 26]



[Fig. 27]



[Fig. 28]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2015/009715**A. CLASSIFICATION OF SUBJECT MATTER*****H03K 19/177(2006.01)i***

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K 19/177; G11C 7/10; G06F 17/50; H03K 19/173; H04B 10/00; G06F 11/22; G01R 31/317

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: field programmable gate array(FPGA), reconfiguration, analog timing array, analog-digital converter

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2002-305438 A (HITACHI LTD.) 18 October 2002 See abstract, paragraphs [0008]-[0019], and claims 1-6.	1,20-24
A		2-19,25-34
A	US 2008-0291758 A1 (CHU, Michael H.M. et al.) 27 November 2008 See abstract, and claims 1-7.	1-34
A	JP 08-006809 A (NIPPON TELEGR. & TELEPH. CORP. <NTT>) 12 January 1996 See abstract, paragraphs [0005]-[0008], and claims 1-3.	1-34
A	JP 2012-204898 A (NEC CORP.) 22 October 2012 See abstract, and claims 1-4.	1-34
A	JP 2004-157986 A (RENESAS TECHNOLOGY CORP.) 03 June 2004 See abstract, and claims 1-3.	1-34



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

15 JANUARY 2016 (15.01.2016)

Date of mailing of the international search report

15 JANUARY 2016 (15.01.2016)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2015/009715

Patent document cited in search report	Publication date	Patent family member	Publication date
JP 2002-305438 A	18/10/2002	NONE	
US 2008-0291758 A1	27/11/2008	CN 101536313 A	16/09/2009
		CN 101536313 B	21/11/2012
		US 2009-0296503 A1	03/12/2009
		US 7593273 B2	22/09/2009
		US 7990786 B2	02/08/2011
		WO 2008-058141 A2	15/05/2008
		WO 2008-058141 A3	12/09/2008
JP 08-006809 A	12/01/1996	JP 3199343 B2	20/08/2001
JP 2012-204898 A	22/10/2012	JP 5691715 B2	01/04/2015
JP 2004-157986 A	03/06/2004	US 2004-0078179 A1	22/04/2004
		US 2008-0306722 A1	11/12/2008

A. 발명이 속하는 기술분류(국제특허분류(IPC))**H03K 19/177(2006.01)i****B. 조사된 분야**

조사된 최소문헌(국제특허분류를 기재)

H03K 19/177; G11C 7/10; G06F 17/50; H03K 19/173; H04B 10/00; G06F 11/22; G01R 31/317

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: field programmable gate array(FPGA), 재구성, 아날로그 타이밍 어레이, 아날로그-디지털 변환회로

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	JP 2002-305438 A (HITACHI LTD.) 2002.10.18 요약, 단락 [0008]-[0019], 및 청구항 1-6 참조.	1, 20-24
A		2-19, 25-34
A	US 2008-0291758 A1 (MICHAEL H.M. CHU 등) 2008.11.27 요약, 및 청구항 1-7 참조.	1-34
A	JP 08-006809 A (NIPPON TELEGR & TELEPH CORP. <NTT>) 1996.01.12 요약, 단락 [0005]-[0008], 및 청구항 1-3 참조.	1-34
A	JP 2012-204898 A (NEC CORP.) 2012.10.22 요약, 및 청구항 1-4 참조.	1-34
A	JP 2004-157986 A (RENESAS TECHNOLOGY CORP.) 2004.06.03 요약, 및 청구항 1-3 참조.	1-34

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2016년 01월 15일 (15.01.2016)

국제조사보고서 발송일

2016년 01월 15일 (15.01.2016)

ISA/KR의 명칭 및 우편주소

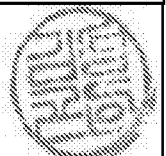
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-472-7140

심사관

김성곤

전화번호 +82-42-481-8746



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
JP 2002-305438 A	2002/10/18	없음	
US 2008-0291758 A1	2008/11/27	CN 101536313 A CN 101536313 B US 2009-0296503 A1 US 7593273 B2 US 7990786 B2 WO 2008-058141 A2 WO 2008-058141 A3	2009/09/16 2012/11/21 2009/12/03 2009/09/22 2011/08/02 2008/05/15 2008/09/12
JP 08-006809 A	1996/01/12	JP 3199343 B2	2001/08/20
JP 2012-204898 A	2012/10/22	JP 5691715 B2	2015/04/01
JP 2004-157986 A	2004/06/03	US 2004-0078179 A1 US 2008-0306722 A1	2004/04/22 2008/12/11