

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 1 月 23 日 (23.01.2020)



(10) 国际公布号
WO 2020/015397 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2019/082287

(22) 国际申请日: 2019 年 4 月 11 日 (11.04.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201810786384.2 2018 年 7 月 17 日 (17.07.2018) CN

(71) 申请人: 惠科股份有限公司(HKC CORPORATION LIMITED) [CN/CN]; 中国广东省深圳市宝安区石岩街道水田村民营工业园惠科工业园厂房 1、2、3 栋, 九州阳光 1 号厂房 5、7 楼, Guangdong 518000 (CN)。

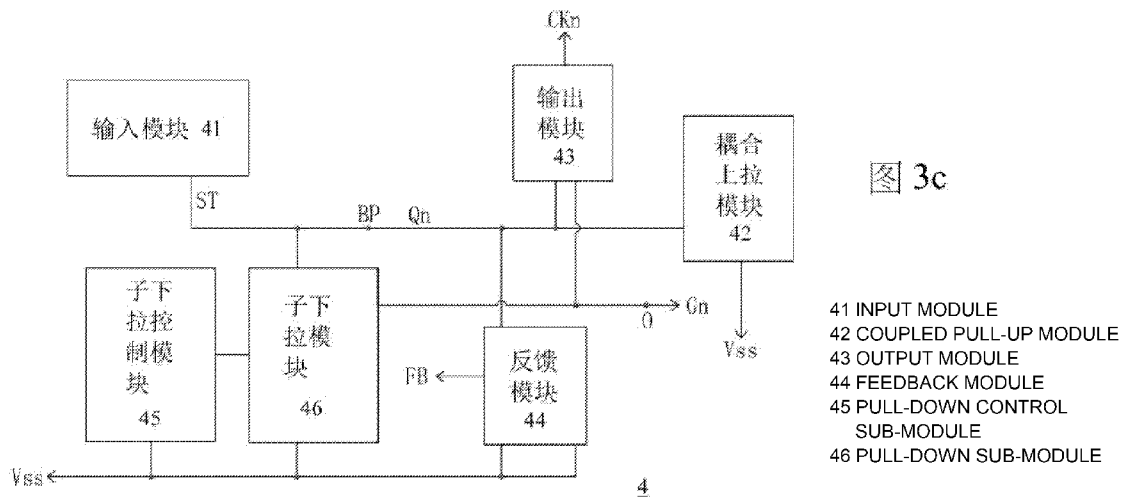
(72) 发明人: 单剑锋(SHAN, Jianfeng); 中国广东省深圳市宝安区石岩街道水田村民营工业园惠科工业园厂房 1、2、3 栋, 九州阳光 1 号厂房 5、7 楼, Guangdong 518000 (CN)。

(74) 代理人: 深圳精智联合知识产权代理有限公司(SHENZHEN JINGZHI INTELLECTUAL PROPERTY AGENCY CO. LTD); 中国广东省深圳盐田区沙头角盐田国际创意港 6 栋 2C, Guangdong 518000 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,

(54) Title: DISPLAY DEVICE AND SHIFT REGISTER CIRCUIT

(54) 发明名称: 显示装置及移位暂存电路



(57) Abstract: Provided are a display device and a shift register circuit (4) thereof, wherein the shift register circuit (4) comprises a multi-stage shift register (4), wherein any stage of the shift register (4) comprises the following modules: an input module (41), which inputs a stage transport signal (ST) to a boost pressure node (BP); a coupled pull-up module (42), which generates a first pull-up signal (Pu1), to pull up a voltage signal (Qn) from a first level (A') to a second level (B') via coupling; an output module (43), which pulls up the voltage signal (Qn) from the second level (B') to a third level (C') via coupling according to a clock signal (CKn), and outputs a gate scan signal (Gn) via an output terminal (O); when the pulse of the clock signal (CKn) ends, the coupled pull-up module (42) generates a second pull-up signal (Pu2), which is coupled to the boost pressure node (BP) to maintain the voltage signal (Qn) at the second level (B'); and a feedback module (44), which receives a feedback signal (FB), and pulls down the voltage signal (Qn) and the gate scan signal (Gn) to a preset low level (Vss).

MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 一种显示装置及其移位暂存电路(4), 移位暂存电路(4)包括多级移位暂存器(4), 其中任一级移位暂存器(4)包括下列模块: 输入模块(41), 输入级传信号(ST)至增压节点(BP)。耦合上拉模块(42), 产生第一上拉信号(Pu1), 将电压信号(Qn)由第一电平(A')耦合拉高至第二电平(B')。输出模块(43), 根据时钟信号(CKn), 将电压信号(Qn)从第二电平(B')耦合拉高至第三电平(C'), 并经由输出端(O)输出栅极扫描信号(Gn)。当时钟信号(CKn)的脉冲结束时, 耦合上拉模块(42)产生第二上拉信号(Pu2), 耦合作用于增压节点(BP), 将电压信号(Qn)维持于第二电平(B')。反馈模块(44), 接收反馈信号(FB), 将电压信号(Qn)以及栅极扫描信号(Gn), 拉低至预设低电平(Vss)。

显示装置及移位暂存电路

技术领域

本申请涉及显示面板的技术领域，尤其涉及一种具有阵列基板栅极驱动电路的显示装置及其移位暂存电路。

背景技术

近年来，液晶显示器(Liquid Crystal Display, LCD)因其图像清晰精确、平面显示、厚度薄、重量轻、无辐射、低能耗、工作电压低等优点已被广泛的使用。传统的液晶显示器在进行栅极驱动时，主要采用栅极驱动芯片(Gate Driver IC)来实现。由于栅极驱动芯片需要通过连接器与显示面板(Panel)连接，并且在一个液晶显示器中需要使用多个栅极驱动芯片，因此液晶显示器的制造成本仍然偏高。

随着新技术的开发，许多液晶显示面板已采用阵列基板栅极驱动(Gate Driver on Array, GOA)技术来取代外接的栅极驱动芯片。阵列基板栅极驱动技术，是透过曝光显影的制程，将栅极驱动集成电路直接制作在主动开关阵列基板表面，从而省掉外接的栅极驱动芯片。从材料成本和工艺步骤两个方面来看，阵列基板栅极驱动技术能大幅的降低产品的成本，并且还可使进一步降低液晶显示面板的功耗。

典型的阵列基板栅极驱动电路具有多级的移位暂存器，每一个移位暂存器在对栅极讯号线进行扫描驱动时，其栅极电压点将接收一个预充信号，对栅极电压点进行预充，使该点电压在时钟信号的作用下达至高电压准位，进而使得控制输出的薄膜晶体管(Thin-Film Transistor, TFT)打开，顺利的传递讯号，进而驱动面板栅极讯号线。因此，对于基板栅极驱动电路的移位暂存器来说，必需能稳定且精确的输出栅极驱动讯号，才不致于发生误动作造成噪声，从而影响了显示器的画质呈现。

发明内容

本申请提出了一种显示装置及其移位暂存电路，能准确且顺利的输出栅极扫描信号，并且能改善栅极扫描信号的拖尾现象，进而提升了显示装置的画质。

本申请提出一种移位暂存电路，包括多级移位暂存器，其中任一级移位暂存器包括：输入模块，输入前级移位暂存器的级传信号至一增压节点，以提高所述增压节点的电压信号 Q_n 至第一电平；耦合上拉模块，耦接于所述增压节点，用于产生一第一上拉信号与一第二上拉信号，其中所述第一上拉信号，可透过电性耦合，将所述电压信号 Q_n 由所述第一电平耦合拉高至第二电平；输出模块，接收一时钟信号 CK_n ，并根据所述时钟信号 CK_n 将所述电压信号 Q_n 从所述第二电平耦合拉高至第三电平，所述输出模块受到所述第三电平的所述电压信号 Q_n 控制，会经由一输出端输出一栅极扫描信号，其中当所述时钟信号 CK_n 的脉冲结束时，所述耦合上拉模块会产生所述第二上拉信号，并透过电性耦合，将所述电压信号 Q_n 维持于所述第二电平；以及反馈模块，接收一反馈信号，将所述增压节点耦合后的所述电压信号 Q_n 以及所述栅极扫描信号，拉低至一预设低电平。

在一实施例中，所述任一级移位暂存器还包括一子下拉模块，用于维持所述电压信号 Q_n 于所述预设低电平；以及一子下拉控制模块，用于控制所述子下拉模块的操作。

在一实施例中，所述子下拉模块电性耦接于所述增压节点、所述栅极扫描信号及所述预设低电位。

在一实施例中，所述输出模块包括一第一开关，所述第一开关的一控制端电性耦接所述增压节点，所述第一开关的一第一端用于接收所述时钟信号 CK_n ，所述第一开关的一第二端电性耦接所述输出端，用于输出所述栅极扫描信号，其中当所述增压节点的电压信号 Q_n 耦合提高至所述第三电平时，所述第一开关会开启并输出所述栅极扫描信号。

在一实施例中,所述输入模块包括一第二开关,所述第二开关的一控制端电性耦接所述所述第二开关的第一端,所述第二开关的第二端用于输出所述级传信号。

在一实施例中,所述反馈模块包括:一第三开关,所述第三开关的一控制端电性耦接于一反馈信号,所述第三开关的第一端电性耦接于所述输出端,所述第三开关的第二端电性耦接于所述预设低电平,其中所述第三开关回应于所述反馈信号而开启,导通所述第三开关的所述第一端与所述第二端,将所述栅极扫描信号拉低至所述预设低电平;以及一第四开关,所述第四开关的一控制端电性耦接于所述反馈信号,所述第四开关的第一端电性耦接于所述增压节点,所述第四开关的第二端电性耦接于所述预设低电平,其中所述第四开关回应于所述反馈信号而开启,导通所述第四开关的所述第一端与所述第二端,将所述电压信号 Q_n 拉低至所述预设低电平。

在一实施例中,所述耦合上拉模块包括:一第五开关,所述第五开关的一控制端电性耦接前一级移位暂存器的时钟信号 $CK(n-1)$,所述第五开关的第一端电性耦接前二级移位暂存器的时钟信号 $CK(n-2)$,其中所述第五开关回应于所述前一级移位暂存器的时钟信号 $CK(n-1)$ 而开启,导通所述第五开关的所述第一端与一第二端,将所述前二级移位暂存器的时钟信号 $CK(n-2)$ 传送至所述第五开关的所述第二端; 一第六开关,所述第六开关的一控制端电性耦接前一级移位暂存器的电压信号 $Q(n-1)$,所述第六开关的第一端电性耦接所述第五开关的所述第二端,所述第六开关的第二端电性耦接所述增压节点,其中所述第六开关回应于所述前一级移位暂存器的电压信号 $Q(n-1)$ 而开启,导通所述第六开关的所述第一端与所述第二端,并输出所述第一上拉信号; 一第七开关,所述第七开关的一控制端电性耦接后一级移位暂存器的时钟信号 $CK(n+1)$,所述第七开关的第一端电性耦接后二级移位暂存器的时钟信号 $CK(n+2)$,其中所述第七开关回应于所述后一级移位暂存器的时钟信号 $CK(n+1)$ 而开启,导通所述第七开关的所述第一端与一第二端,将所述后二级移位暂存器的时钟信号 $CK(n+2)$ 传送至所述第七开关的所述第二端; 以及一第八开关,所述第八开关的一控制端电性耦接后一级移位暂存器的电压信号 $Q(n+1)$,所述第八开关的第一端电性耦接所述第七开关的所述第二端,所述第八开关的第二端电性耦接所述增压节点,其中所述第八开关回应于所述后一级移位暂存器的电压信号 $Q(n+1)$ 而开启,导通所述第八开关的所述第一端与所述第二端,并输出所述第二上拉信号。

在一实施例中,所述第六开关的所述第二端电性耦接所述第八开关的所述第二端。

在一实施例中,所述耦合上拉模块还包括第九开关,所述第九开关的一控制端电性耦接所述增压节点,所述第九开关的第一端电性耦接所述第六开关的所述第二端以及所述第八开关的所述第二端,所述第九开关的第二端电性耦接于所述预设低电平,其中所述第九开关回应于所述电压信号而开启,导通所述第九开关的所述第一端与所述第二端。

在一实施例中,所述耦合上拉模块还包括一第九开关,所述第九开关的一控制端电性耦接所述增压节点,所述第九开关的第一端用于接收所述第一上拉信号与所述第二上拉信号,所述第九开关的第二端电性耦接于所述预设低电平,其中所述第九开关回应于所述电压信号而开启,导通所述第九开关的所述第一端与所述第二端。

在一实施例中,所述耦合上拉模块是受到前一级移位暂存器的电压信号 $Q(n-1)$ 控制而产生所述第一上拉信号,将所述电压信号 Q_n 由所述第一电平耦合拉高至所述第二电平,并且是受到后一级移位暂存器的电压信号 $Q(n+1)$ 控制而产生所述第二上拉信号,电性耦合至所述增压节点,使所述电压信号 Q_n 维持于所述第二电平。

在一实施例中,所述耦合上拉模块是根据前一级移位暂存器的时钟信号 $CK(n-1)$ 产生所述第一上拉信号,将所述电压信号 Q_n 由所述第一电平耦合拉高至所述第二电平,并且根据后二级移位暂存器的时钟信号 $CK(n+2)$ 产生所述第二上拉信号,电性耦合至所述增压节点,使所述电压信号 Q_n 维持于所述第二电平。

本申请并提出一种显示装置,所述显示装置包括一主动开关阵列基板以及一对向基板,与

所述主动开关阵列基板对向设置,其中所述主动开关阵列基板上制作了阵列基板栅极驱动电路,且所述阵列基板栅极驱动电路包括上述各种实施例中所述的移位暂存电路,所述移位暂存电路包括多级移位暂存器,其中任一级移位暂存器包括:输入模块,输入前级移位暂存器的级传信号至增压节点;耦合上拉模块,耦接于所述增压节点,用于产生第一上拉信号与第二上拉信号,其中所述第一上拉信号,透过电性耦合,将所述电压信号由第一电平耦合拉高至第二电平;输出模块,接收时钟信号,并根据所述时钟信号将所述电压信号从所述第二电平耦合拉高至第三电平,所述输出模块受到所述第三电平的所述电压信号控制,经由输出端输出栅极扫描信号,其中当所述时钟信号的脉冲结束时,所述耦合上拉模块产生所述第二上拉信号,并透过电性耦合,将所述电压信号维持于所述第二电平;以及反馈模块,接收反馈信号,将所述增压节点的所述电压信号以及所述栅极扫描信号,拉低至预设低电平。

在一实施例中,所述输出模块包括第一开关,所述第一开关的一控制端电性耦接所述增压节点,所述第一开关的第一端用于接收所述时钟信号,所述第一开关的第二端电性耦接所述输出端,用于输出所述栅极扫描信号,其中当所述增压节点的电压信号耦合提高至所述第三电平时,所述第一开关开启并输出所述栅极扫描信号。

在一实施例中,所述输入模块包括第二开关,所述第二开关的一控制端电性耦接所述所述第二开关的第一端,所述第二开关的第二端用于输出所述级传信号。

在一实施例中,所述反馈模块包括第三开关,所述第三开关的一控制端电性耦接于所述反馈信号,所述第三开关的第一端电性耦接于所述输出端,所述第三开关的第二端电性耦接于所述预设低电平,其中所述第三开关回应于所述反馈信号而开启,导通所述第三开关的所述第一端与所述第二端,将所述栅极扫描信号拉低至所述预设低电平。

在一实施例中,所述反馈模块包括第四开关,所述第四开关的一控制端电性耦接于所述反馈信号,所述第四开关的第一端电性耦接于所述增压节点,所述第四开关的第二端电性耦接于所述预设低电平,其中所述第四开关回应于所述反馈信号而开启,导通所述第四开关的所述第一端与所述第二端,将所述电压信号拉低至所述预设低电平。

在一实施例中,所述耦合上拉模块包括:第五开关,所述第五开关的一控制端电性耦接前一级移位暂存器的时钟信号,所述第五开关的第一端电性耦接前二级移位暂存器的时钟信号,其中所述第五开关回应于所述前一级移位暂存器的时钟信号而开启,导通所述第五开关的所述第一端与一第二端,将所述前二级移位暂存器的时钟信号传送至所述第五开关的所述第二端;第六开关,所述第六开关的一控制端电性耦接前一级移位暂存器的电压信号,所述第六开关的第一端电性耦接所述第五开关的所述第二端,所述第六开关的第二端电性耦接所述增压节点,其中所述第六开关回应于所述前一级移位暂存器的电压信号而开启,导通所述第六开关的所述第一端与所述第二端,并输出所述第一上拉信号;第七开关,所述第七开关的一控制端电性耦接后一级移位暂存器的时钟信号,所述第七开关的第一端电性耦接后二级移位暂存器的时钟信号,其中所述第七开关回应于所述后一级移位暂存器的时钟信号而开启,导通所述第七开关的所述第一端与一第二端,将所述后二级移位暂存器的时钟信号传送至所述第七开关的所述第二端;以及第八开关,所述第八开关的一控制端电性耦接后一级移位暂存器的电压信号,所述第八开关的第一端电性耦接所述第七开关的所述第二端,所述第八开关的第二端电性耦接所述增压节点,其中所述第八开关回应于所述后一级移位暂存器的电压信号而开启,导通所述第八开关的所述第一端与所述第二端,并输出所述第二上拉信号。

在一实施例中,所述耦合上拉模块还包括第九开关,所述第九开关的一控制端电性耦接所述增压节点,所述第九开关的第一端用于接收所述第一上拉信号与所述第二上拉信号,所述第九开关的第二端电性耦接于所述预设低电平,其中所述第九开关回应于所述电压信号而开启,导通所述第九开关的所述第一端与所述第二端。

本申请由于使用了一耦合上拉模块,透过电性耦合,间接作用于增压节点,因此可将增压

节点的电压信号上拉至更高的电平，使移位暂存器能准确且顺利的输出栅极扫描信号。并且，由于耦合上拉模块，在栅极扫描信号的脉冲结束时，还会输出上拉信号，透过电性耦合，间接作用于增压节点，维持增压节点的电压信号于一高电平，因此可加速下拉栅极扫描信号，进而改善栅极扫描信号的拖尾现象，从而提升显示画面的品质。

上述说明仅是本申请技术方案的概述，为了能够更清楚了解本申请的技术手段，而可依照说明书的内容予以实施，并且为了让本申请的上述和其他目的、特征和优点能够更明显易懂，以下特举具体实施例，并配合附图，详细说明如下。

附图说明

所包括的附图用来提供对本申请实施例的进一步的理解，其构成了说明书的一部分，用于例示本申请的实施方式，并与文字描述一起来阐释本申请的原理。显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动性的前提下，还可以根据这些附图获得其他的附图。在附图中：

图 1a 是一示例性的显示器示意图。

图 1b 是本申请一实施例的显示器示意图。

图 2a 是一示例性的移位暂存电路示意图。

图 2b 是一示例性的移位暂存电路中增压节点的电压信号波形示意图。

图 2c 是一示例性的移位暂存电路的工作时序示意图。

图 3a 是本申请第一实施例中的移位暂存电路的模块结构示意图。

图 3b 是本申请第一实施例中的移位暂存电路的电路结构示意图。

图 3c 是本申请第二实施例中的移位暂存电路的模块结构示意图。

图 3d 是本申请第二实施例中的移位暂存电路的电路结构示意图。

图 3e 是本申请一实施例中移位暂存电路中增压节点的电压信号波形示意图。

图 4 是本申请一实施例中的移位暂存电路的工作时序示意图。

图 5 是本申请一实施例的显示装置示意图。

具体实施方式

这里所公开的具体电路结构和功能细节仅仅是代表性的，并且是用于描述本申请的示例性实施例的目的。本申请可以通过许多替换形式来具体实现，并且不应当被解释成仅仅受限于这里所阐述的实施例。

在本申请的描述中，需要理解的是，术语“直向”、“横向”、“上”、“下”、“左”、“右”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本申请和简化描述，而不是指示或暗示所指的装置或组件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本申请的限制。此外，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。

在本申请的描述中，需要说明的是，除非另有明确的规定和限定，术语“配置”、“相连”、“连接”应做广义理解，例如，可以是固定连接，也可以是可拆卸连接，或一体地连接；可以是机械连接，也可以是电连接；可以是直接相连，也可以通过中间媒介间接相连，可以是两个组件内部的连通。对于本领域的普通技术人员而言，可以根据具体情况理解上述术语在本申请中的具体含义。

这里所使用的术语仅仅是为了描述具体实施例而不意图限制示例性实施例。除非上下文明确地另有所指，否则这里所使用的单数形式“一个”、“一条”还意图包括复数。还应当理解的是，这里所使用的术语“包括”和/或“包含”规定所陈述的特征、整数、步骤、操作、单元和/或组件的存在，而不排除存在或添加一个或更多其他特征、整数、步骤、操作、单元、组件和/或其组合。

另外，在说明书中，除非明确地描述为相反的，否则词语“包括”将被理解为意指包括所述组件，但是不排除任何其它组件。此外，在说明书中，“在.....上”意指位于目标组件上方或者下方，而不意指必须位于基于重力方向的顶部上。

为更进一步阐述本申请为达成预定发明目的所采取的技术手段及功效，以下结合附图及具体实施例，对依据本申请提出的一种移位暂存电路及其波形产生方法与其应用的显示装置，其具体实施方式、结构、特征及其功效，详细说明如后。

在某些实施例中，显示装置可例如为液晶显示装置、OLED显示装置、QLED显示装置、曲面显示装置或其他显示装置。以液晶显示装置为例，液晶显示装置包括主动开关阵列基板(array glass substrate)、对向基板与形成于两基板间的液晶层。当然，随着需求上的不同，本申请的薄膜晶体管阵列(TFT array)及彩色滤光片(CF)也可形成于同一基板上。另外，本申请的显示装置也可制作为一曲面型的显示装置。

图1a为范例性的显示装置示意图。请参照图1a，一种显示装置10，包括一主动开关阵列基板101、一对向基板100与所述主动开关阵列基板101对向设置、以及栅极驱动芯片102用以驱动电路。如图1a所示，栅极驱动芯片102是以外接的方式连接于主动开关阵列基板101的右侧。

图1b为本申请一实施例的显示装置示意图。请参照图1b，在本申请一实施例中，一种具有阵列基板栅极驱动的显示装置12，包括一主动开关阵列基板121、一对向基板120与所述主动开关阵列基板121对向设置、以及阵列基板栅极驱动电路122，其中阵列基板栅极驱动电路122以微影制程直接制作在主动开关阵列基板121的表面上。如图1b所示，阵列基板栅极驱动电路122分别制作于主动开关阵列基板121左右两侧的表面。

图2a为本申请一示例性的移位暂存电路示意图。请参图2a，一种移位暂存电路，包括多级移位暂存器，任一移位暂存器2包括一第一开关T1、一第二开关T2、一第三开关T3、一第四开关T4、一子下拉控制模块(sub pull down controller)21、以及一子下拉模块(sub pull down)22。在一实施例中，所述移位暂存电路包括了n级移位暂存器，其中n为正整数，图2a所显示的则为第n级移位暂存器2。

所述第一开关T1的一控制端T1a电性耦接一增压节点(boost point)BP，所述第一开关T1的一第一端T1b电性耦接一时钟讯号CK，所述第一开关T1的一第二端T1c电性耦接一输出端O，以输出栅极扫描信号Gn。

所述第二开关T2电性耦接前一级移位暂存器的级传(stage transmitting)信号ST，用于输入级传信号ST至所述增压节点BP，以提高增压节点BP的电压信号Qn的电平。所述第二开关T2的一控制端T2a与一第一端T2b电性耦接所述级传信号ST，所述第二开关T2的一第二端T2c电性耦接所述增压节点BP。

所述第三开关T3的一控制端T3a电性耦接一反馈信号FB，所述第三开关T3的一第一端T3b电性耦接所述输出端O的栅极扫描信号Gn，所述第三开关T3的一第二端T3c电性耦接一预设低电平Vss。

所述第四开关T4的一控制端T4a电性耦接所述反馈信号FB，所述第四开关T4的一第一端T4b电性耦接所述增压节点BP，所述第四开关T4的一第二端T4c电性耦接所述预设低电平Vss。

所述子下拉模块22，电性耦接于所述移位暂存器2的所述增压节点BP、所述栅极扫描信号Gn及所述预设低电位Vss，用于维持所述电压信号Qn与所述栅极扫描信号Gn于所述预设低电平Vss。

所述子下拉控制模块21，电性耦接于所述移位暂存器2的所述低预设电位Vss及所述子下拉模块22，用于控制所述子下拉模块22于正确的时间进行操作。亦即，透过子下拉模块22，可消除增压节点BP与输出端O的噪声，确保电压信号Qn以及栅极扫描信号Gn，在非操作时

间内能持续维持于预设低电平 V_{ss} ，避免发生误动作。

图 2b 为示例性的移位暂存电路中增压节点 BP 的电压信号 Q_n 波形示意图。请同时搭配参考图 2a，当图 2a 中前一级移位暂存器(n-1)的级传信号 ST，传送至所述增压节点 BP 时，会对增压节点 BP 进行预充电，将电压信号 Q_n 提高至一电平 A，如图 2b 所示。随后，当时钟信号 CK 施加于第一开关 T1 的第一端 T1b 时，会产生电性耦合，使增压节点 BP 的电压信号 Q_n 从预充后的电平 A 进一步提高至电平 B，如图 2b 所示。耦合后的电压信号 Q_n 施加于第一开关 T1 的控制端 T1a，会使第一开关 T1 打开，将第一端 T1a 上的时钟信号 CK 传送至第二端 T1b，并经由输出端 O 输出，而产生所述的栅极扫描信号 G_n 。随后，如图 2b 所示，随着时钟信号 CK 的结束，增压节点 BP 的电压信号 Q_n 从耦合后的电平 B 降低至预充后的电平 A。

图 2c 为本申请一实施例中移位暂存电路的工作时序示意图。图 2c 用于显示一第 4 级(n=4)移位暂存器 2 的工作时序图。如图 2c 所示，移位暂存电路使用了八组时钟信号 CK1-CK8 来控制操作。其中，移位暂存器 2 于增压节点 BP 处的电压信号 Q_4 ，可以分为三个时段：t1 为预充电时间；t2 为输出栅极扫描信号时间；t3 则为下拉栅极扫描信号时间。

在时段 t1，由于接收了由前一级移位暂存器传送过来的级传信号 ST，即第 3 级移位暂存器的级传信号 ST，对增压节点 BP 进行预充电，因此电压信号 Q_4 会提高至电平 A。亦即，第二开关 T2 会跟随前二级移位暂存器的时钟信号 CK(n-2)的脉冲，即图 2c 中时钟信号 CK2 的脉冲，输入所述级传信号 ST 至所述增压节点 BP，以提高所述增压节点 BP 的电压信号 Q_4 至所述电平 A。

在时段 t2，由于时钟信号 CK4，与增压节点 BP 产生电性耦合，因此电压信号 Q_4 从电平 A 耦合提高至电平 B，并且使图 2a 中的第一开关 T1 打开，而导通时钟信号 CK4，并输出栅极扫描信号。

随后，在时段 t3，由于时钟信号 CK4 的脉冲结束，因此增压节点 BP 的电压信号 Q_4 ，会从电平 B 下拉至电平 A。其后，跟随时钟信号 CK8 的脉冲，移位暂存器 2 会接收前述的反馈信号 FB，对增压节点 BP 进行放电，将电压信号 Q_4 从电平 A 下拉至预设低电平。

接着，请参考图 3a、图 3b 与图 3e。图 3a 为本申请第一实施例中的移位暂存电路的模块结构示意图。图 3b 为本申请第一实施例中的移位暂存电路的电路结构示意图。图 3e 为本申请一实施例中移位暂存电路中增压节点的电压信号波形示意图。

请同时参考图 3a 与图 3e，一种移位暂存电路，包括多级移位暂存器，其中一移位暂存器 3 主要包括一输入模块 31、一上拉模块 32、一输出模块 33、一反馈模块 34。在一实施例中，所述移位暂存电路包括了 n 级移位暂存器，其中 n 为正整数，图 3a 所显示的为第 n 级移位暂存器 3。

所述输入模块 31，用于输入前级移位暂存器的级传信号 ST 至一增压节点 BP，例如，可输入前一级移位暂存器的级传信号 ST，以提高所述增压节点 BP 的电压信号 Q_n 至第一电平 A'，如图 3e 所示。要特别指出的是，尽管此实施例中，输入的是前一级移位暂存器的级传信号 ST，但是随着信号配置的不同，亦可选择输入前二级、前三级、或是其它前级(n-x)移位暂存器的级传信号 ST。

所述上拉模块 32，用于输出一第一上拉信号 Pu1 至所述增压节点 BP，将所述电压信号 Q_n 由所述第一电平 A'拉高至第二电平 B'，并且输出一第二上拉信号 Pu2 至所述增压节点 BP，使所述电压信号 Q_n 维持于所述第二电平 B'，如图 3e 所示。

所述输出模块 33，接收一时钟信号 CKn，并根据所述时钟信号 CKn 将所述电压信号 Q_n 从第二高电平 B'耦合拉高至第三高电平 C'，如图 3e 所示。并且，输出模块 33 会受到耦合后的电压信号 Q_n 控制而开启，经由一输出端 O 输出一栅极扫描信号 G_n 。当所述时钟信号 CKn 的脉冲结束时，所述上拉模块 32 会输出所述第二上拉信号 Pu2 至所述增压节点 BP，使所述电压信号 Q_n 维持于第二电平 B'。

所述反馈模块 34，接收一反馈信号 FB，将所述增压节点 BP 耦合后的电压信号 Qn 以及栅极扫描信号 Gn，拉低至预设低电平 Vss。

在一实施例中，所述移位暂存器 3 还包括一子下拉控制模块 35 以及一子下拉模块 36。其中，子下拉模块 36，用于维持所述电压信号 Qn 于所述预设低电平 Vss。至于，子下拉控制模块 35，则用于控制所述子下拉模块 36 的操作。

接着，请参考图 3b，图 3b 显示了上述第 n 级移位暂存器 3 的详细电路结构。所述输出模块 33 包括开关 T11。所述开关 T11 的一控制端 T11a 电性耦接所述增压节点 BP，所述开关 T11 的第一端 T11b 用于接收所述时钟信号 CKn，所述开关 T11 的第二端 T11c 电性耦接所述输出端 O，用于输出所述栅极扫描信号 Gn。其中，当所述增压节点 BP 的电压信号 Qn 耦合提高至所述第三电平 C' 时，所述开关 T11 会开启并输出所述栅极扫描信号 Gn。

所述输入模块 31 包括开关 T12，所述开关 T12 的一控制端 T12a 电性耦接所述所述开关 T12 的第一端 T12b，所述开关 T12 的第二端 T12c 电性耦接所述增压节点 BP，用于输出所述级传信号 ST 至所述增压节点 BP，以提高增压节点 BP 其电压信号 Qn 至所述第一电平 A'。

所述反馈模块 34 包括开关 T13 与开关 T14。其中，所述开关 T13 的一控制端 T13a 电性耦接于一反馈信号 FB，所述开关 T13 的第一端 T13b 电性耦接于所述输出端 O，所述开关 T13 的第二端 T13c 电性耦接于所述预设低电平。其中，所述开关 T13 会响应于反馈信号 FB 而开启，导通开关 T13 的第一端 T13b 与第二端 T13c，将所述栅极扫描信号 Gn 拉低至所述预设低电平 Vss。

所述开关 T14 的一控制端 T14a 电性耦接于所述反馈信号 FB，所述开关 T14 的一第一端 T14b 电性耦接于所述增压节点 BP，所述开关 T14 的一第二端 T14c 电性耦接于所述预设低电平 Vss。其中，开关 T14 响应于反馈信号 FB 而开启，导通所述开关 T14 的第一端 T14b 与第二端 T14c，将所述电压信号 Qn 拉低至预设低电平 Vss。

所述上拉模块 32 包括开关 T15、开关 T16、开关 T17 与开关 T18。

所述开关 T15 的一控制端 T15a 电性耦接前一级移位暂存器的时钟信号 CK(n-1)，所述开关 T15 的一第一端 T15b 电性耦接前二级移位暂存器的时钟信号 CK(n-2)。其中，开关 T15 回应于所述前一级移位暂存器的时钟信号 CK(n-1) 而开启，导通所述开关 T15 的第一端 T15b 与第二端 T15c，将所述前二级移位暂存器的时钟信号 CK(n-2) 传送至开关 T15 的第二端 T15c。

所述开关 T16 的一控制端 T16a 电性耦接前一级移位暂存器的电压信号 Q(n-1)，所述开关 T16 的一第一端 T16b 电性耦接所述开关 T15 的所述第二端 T15c，所述开关 T16 的一第二端 T16c 电性耦接所述增压节点 BP。其中，开关 T16 回应于前一级移位暂存器的电压信号 Q(n-1) 而开启，导通所述开关 T16 的第一端 T16b 与第二端 T16c，并输出所述第一上拉信号 Pu1(n) 至所述增压节点 BP。

所述开关 T17 的一控制端 T17a 电性耦接后一级移位暂存器的时钟信号 CK(n+1)，所述开关 T17 的一第一端 T17b 电性耦接后二级移位暂存器的时钟信号 CK(n+2)。其中，所述开关 T17 回应于所述后一级移位暂存器的时钟信号 CK(n+1) 而开启，导通所述开关 T17 的所述第一端 T17b 与一第二端 T17c，将所述后二级移位暂存器的时钟信号 CK(n+2) 传送至所述开关 T17 的所述第二端 T17c。

所述开关 T18 的一控制端 T18a 电性耦接后一级移位暂存器的电压信号 Q(n+1)，所述开关 T18 的一第一端 T18b 电性耦接所述开关 T17 的所述第二端 T17c，所述开关 T18 的一第二端 T18c 电性耦接所述增压节点 BP。其中，所述开关 T18 回应于所述后一级移位暂存器的电压信号 Q(n+1) 而开启，导通所述开关 T18 的所述第一端 T18b 与所述第二端 T18c，并输出所述第二上拉信号 Pu2(n) 至所述增压节点 BP。

从上述的电路结构可以了解上拉模块 32 是受到前一级移位暂存器的电压信号 Q(n-1) 控制而输出所述第一上拉信号 Pu1，并且是受到后一级移位暂存器的电压信号 Q(n+1) 控制而输出所

述第二上拉信号 Pu2。

换言之，所述上拉模块 32 是根据前一级移位暂存器的时钟信号 CK(n-1)输出所述第一上拉信号 Pu1，将所述电压信号 Qn 由所述第一电平 A'拉高至所述第二电平 B'，并且根据后二级移位暂存器的时钟信号 CK(n+2)输出所述第二上拉信号 Pu2，使所述电压信号 Qn 维持于所述第二电平 B'。

至于，所述输入模块 31 则是根据前二级移位暂存器的时钟信号 CK(n-2)输入所述级传信号 ST 至所述增压节点 BP，以提高所述增压节点 BP 的电压信号 Qn 至所述第一电平 A'。

图 3e 为示例性的移位暂存电路中增压节点 BP 的电压信号 Qn 波形示意图。当图 3b 中前一级移位暂存器的级传信号 ST，根据时钟信号 CK(n-2)的脉冲，传送至所述增压节点 BP 时，会对增压节点 BP 进行预充电，将电压信号 Qn 提高至第一电平 A'，如图 3e 所示。

接着，根据时钟信号 CK(n-1)的脉冲，上拉模块 32 将第一上拉信号 Pu1 传送至所述增压节点 BP，使增压节点 BP 的电压信号 Qn 由第一电平 A'上拉至第二电平 B'。

随后，当时钟信号 CKn 施加于开关 T11 的第一端 T11b 时，会产生电性耦合，使增压节点 BP 的电压信号 Qn 从预充后的第二电平 B'进一步提高至第三电平 C'，如图 3e 所示。耦合后的电压信号 Qn 施加于开关 T11 的控制端 T11a，会使开关 T11 打开，将第一端 T11a 上的时钟信号 CKn 传送至第二端 T11b，并经由输出端 O 输出，而产生所述的栅极扫描信号 Gn。

随后，如图 3e 所示，随着时钟信号 CKn 的结束，增压节点 BP 的电压信号 Qn 从耦和后的第三电平 C'向下降。此时，根据时钟信号 CK(n+2)的脉冲，上拉模块 32 将第二上拉信号 Pu2 传送至所述增压节点 BP，使增压节点 BP 的电压信号能持续维持于第二电平 B'。当时钟信号 CK(n+1)的脉冲结束时，上拉模块会停止输出第二上拉信号 Pu2，此时增压节点 BP 的电压信号 Qn 会从第二电平 B'下拉至第一电平 A'。

请配合参考图 3a、图 3b、图 3e 与图 4，图 4 为本申请一实施例中的移位暂存电路的工作时序示意图，用于显示第 4 级(n=4)移位暂存器 3 的工作时序图，并且为了便于比对，也同时显示了上述第 4 级移位暂存器 2 的部分工作时序。

如图 4 所示，移位暂存电路使用了八组时钟信号 CK1-CK8 来控制操作。其中，移位暂存器 3 于增压节点 BP 处的电压信号 Q4'，可以分为五个时段：t1'为级传信号 ST 进行预充电时间；t2'为第一上拉信号 Pu1 作用时间；t3'为输出栅极扫描信号 Gn 时间；t4'为第二上拉信号 Pu2 作用时间；t5'则为下拉栅极扫描信号 Gn 时间。

在时段 t1'，根据时钟信号 CK2，由前一级移位暂存器传送过来的级传信号 ST，即第 3 级移位暂存器的级传信号 ST，会对增压节点 BP 进行预充电，因此电压信号 Q4'会提高至第一电平 A'。亦即，开关 T12 会根据时钟信号 CK2，输入所述级传信号 ST 至所述增压节点 BP。

在时段 t2'，根据时钟信号 CK3，上拉模块 32 会输出所述第一上拉信号 Pu1，将所述电压信号 Q4'由所述第一电平 A'拉高至所述第二电平 B'，第一上拉信号 Pu1 的脉冲会跟随时钟信号 CK2 的脉冲结束。

在时段 t3'，由于时钟信号 CK4 施加于开关 T11 的第一端 T11b，并与增压节点 BP 产生电性耦合，因此电压信号 Q4'从第二电平 B'耦合提高至第三电平 C'，并且使图 3b 中的开关 T11 打开，而导通时钟信号 CK4，并输出栅极扫描信号。

随后，在时段 t4'，时钟信号 CK4 的脉冲结束，导致增压节点 BP 的电压信号 Q4'，会从第三电平 C'下拉。但是，根据时钟信号 CK6，上拉模块 32 会输出所述第二上拉信号 Pu2，使所述电压信号 Q4'可维持于所述第二电平 B'。第二上拉信号 Pu2 的脉冲会跟随时钟信号 CK5 的脉冲同时结束。

在时段 t5'，由于第二上拉信号 Pu2 的脉冲结束，所以电压信号 Q4'会由所述第二电平 B'下拉至第一电平 A'。在时段 t5'之后，伴随时钟信号 CK8 的脉冲，移位暂存器 3 会接收前述的反馈信号 FB，对增压节点 BP 进行放电，将电压信号 Q4'从第一电平 A'下拉至预设低电平。

值得注意的是,所述上拉模块 32 除了以图 3b 中所显示的信号控制方式外,还能透过不同的信号控制方式,来产生所需的第一上拉信号 Pu1 与第二上拉信号 Pu2。

例如,在图 3b 中,开关 T15 的控制端 T15a 电性耦接前一级移位暂存器的时钟信号 CK(n-1),第一端 T15b 则是电性耦接前二级移位暂存器的时钟信号 CK(n-2)。但是,在一实施例中,开关 T15 的控制端 T15a 亦可电性耦接前二级移位暂存器的时钟信号 CK(n-2),至于第一端 T15b 则可电性耦接前一级移位暂存器的时钟信号 CK(n-1)。其中,开关 T15 回应于所述前二级移位暂存器的时钟信号 CK(n-2)而开启,导通所述开关 T15 的第一端 T15b 与第二端 T15c,将所述前一级移位暂存器的时钟信号 CK(n-1)传送至开关 T15 的第二端 T15c。

此外,图 3b 中,开关 T17 的控制端 T17a 电性耦接后一级移位暂存器的时钟信号 CK(n+1),第一端 T17b 则电性耦接后二级移位暂存器的时钟信号 CK(n+2)。但是,在一实施例中,开关 T17 的控制端 T17a 亦可电性耦接后二级移位暂存器的时钟信号 CK(n+2),至于第一端 T17b 则可电性耦接后一级移位暂存器的时钟信号 CK(n+1)。如此,开关 T17 回应于所述后二级移位暂存器的时钟信号 CK(n+2)而开启,导通所述开关 T17 的所述第一端 T17b 与第二端 T17c,将所述后一级移位暂存器的时钟信号 CK(n+1)传送至所述开关 T17 的第二端 T17c。

在一实施例中,所述开关 T16 的一控制端 T16a,亦可电性耦接前二级移位暂存器的电压信号 Q(n-2),并回应于前二级移位暂存器的电压信号 Q(n-2)而开启,输出所述第一上拉信号 Pu1(n)至所述增压节点 BP。

在另一实施例中,所述开关 T18 的一控制端 T18a,亦可电性耦接后二级移位暂存器的电压信号 Q(n+2),并回应于所述后二级移位暂存器的电压信号 Q(n+2)而开启,输出所述第二上拉信号 Pu2(n)至所述增压节点 BP。

接着,请参考图 3c、图 3d 与图 3e。图 3c 为本申请第二实施例中的移位暂存电路的模块结构示意图。图 3d 为本申请第二实施例中的移位暂存电路的电路结构示意图。图 3e 为本申请一实施例中移位暂存电路中增压节点的电压信号波形示意图。

请同时参考图 3c 与图 3e,一种移位元暂存电路,包括多级移位暂存器,其中一移位暂存器 4 主要包括一输入模块 41、一耦合上拉模块 42、一输出模块 43、一反馈模块 44。在一实施例中,所述移位暂存电路包括了 n 级移位暂存器,其中 n 为正整数,图 3c 所显示的为第 n 级移位暂存器 4。

所述输入模块 41,用于输入前级移位暂存器的级传信号 ST 至一增压节点 BP,例如,可输入前一级移位暂存器的级传信号 ST,以提高所述增压节点 BP 的电压信号 Qn 至第一电平 A',如图 3e 所示。要特别指出的是,尽管此实施例中,输入的是前一级移位暂存器的级传信号 ST,但是随着信号配置的不同,亦可选择输入前二级、前三级、或是其它前级移位暂存器的级传信号 ST。

所述耦合上拉模块 42,耦接于所述增压节点 BP,用于产生一第一上拉信号 Pu1 与一第二上拉信号 Pu2。其中,所述第一上拉信号 Pu1,可透过电性耦合,间接作用于增压节点 BP,将所述电压信号 Qn 由所述第一电平 A'耦合拉高至第二电平 B',所述第二上拉信号 Pu2,则可透过电性耦合,间接作用于增压节点 BP,将所述电压信号 Qn 维持于所述第二电平 B',如图 3e 所示。

所述输出模块 43,接收一时钟信号 CKn,并根据所述时钟信号 CKn 将所述电压信号 Qn 从第二高电平 B'耦合拉高至第三高电平 C',如图 3e 所示。并且,输出模块 43 会受到耦合后的电压信号 Qn 控制而开启,经由一输出端 O 输出一栅极扫描信号 Gn。当所述时钟信号 CKn 的脉冲结束时,所述耦合上拉模块 42 会产生所述第二上拉信号 Pu2,并透过电性耦合间接作用于增压节点 BP,使所述电压信号 Qn 维持于所述第二电平 B'。

所述反馈模块 44,接收一反馈信号 FB,将所述增压节点 BP 耦合后的电压信号 Qn 以及栅极扫描信号 Gn,拉低至一预设低电平 Vss。

在一实施例中,所述移位暂存器 4 还包括一子下拉控制模块 45 以及一子下拉模块 46。其中,子下拉模块 46,用于维持所述电压信号 Q_n 于所述预设低电平 V_{ss} 。至于,子下拉控制模块 45,则用于控制所述子下拉模块 46 的操作。

接着,请参考图 3d,图 3d 显示了上述第 n 级移位暂存器 4 的详细电路结构。所述输出模块 43 包括开关 T21。所述开关 T21 的一控制端 T21a 电性耦接所述增压节点 BP,所述开关 T21 的第一端 T21b 用于接收所述时钟信号 CK_n ,所述开关 T21 的第二端 T21c 电性耦接所述输出端 O,用于输出所述栅极扫描信号 G_n 。其中,当所述增压节点 BP 的电压信号 Q_n 耦合提高至所述第三电平 C' 时,所述开关 T21 会开启并输出所述栅极扫描信号 G_n 。

所述输入模块 41 包括开关 T22,所述开关 T22 的一控制端 T22a 电性耦接所述所述开关 T22 的第一端 T22b,所述开关 T22 的第二端 T22c 电性耦接所述增压节点 BP,用于输出所述级传信号 ST 至所述增压节点 BP,以提高增压节点 BP 其电压信号 Q_n 至所述第一电平 A' 。

所述反馈模块 44 包括开关 T23 与开关 T24。其中,所述开关 T23 的一控制端 T23a 电性耦接于一反馈信号 FB,所述开关 T23 的第一端 T23b 电性耦接于所述输出端 O,所述开关 T23 的第二端 T23c 电性耦接于所述预设低电平 V_{ss} 。其中,所述开关 T23 会响应于反馈信号 FB 而开启,导通开关 T23 的第一端 T23b 与第二端 T23c,将所述栅极扫描信号 G_n 拉低至所述预设低电平 V_{ss} 。

所述开关 T24 的一控制端 T24a 电性耦接于所述反馈信号 FB,所述开关 T24 的一第一端 T24b 电性耦接于所述增压节点 BP,所述开关 T24 的一第二端 T24c 电性耦接于所述预设低电平 V_{ss} 。其中,开关 T24 响应于反馈信号 FB 而开启,导通所述开关 T24 的第一端 T24b 与第二端 T24c,将所述电压信号 Q_n 拉低至预设低电平 V_{ss} 。

所述耦合上拉模块 42 包括开关 T25、开关 T26、开关 T27、开关 T28、以及开关 T29。

所述开关 T25 的一控制端 T25a 电性耦接前一级移位暂存器的时钟信号 $CK(n-1)$,所述开关 T25 的一第一端 T25b 电性耦接前二级移位暂存器的时钟信号 $CK(n-2)$ 。其中,开关 T25 回应于所述前一级移位暂存器的时钟信号 $CK(n-1)$ 而开启,导通所述开关 T25 的第一端 T25b 与第二端 T25c,将所述前二级移位暂存器的时钟信号 $CK(n-2)$ 传送至开关 T25 的第二端 T25c。

所述开关 T26 的一控制端 T26a 电性耦接前一级移位暂存器的电压信号 $Q(n-1)$,所述开关 T26 的一第一端 T26b 电性耦接所述开关 T25 的所述第二端 T25c,所述开关 T26 的一第二端 T26c 电性耦接所述开关 T29 的第一端 T29b,并经由所述开关 T29 耦接所述增压节点 BP。其中,开关 T26 回应于前一级移位暂存器的电压信号 $Q(n-1)$ 而开启,导通所述开关 T26 的第一端 T26b 与第二端 T26c,并输出所述第一上拉信号 $Pu1(n)$ 。

所述开关 T27 的一控制端 T27a 电性耦接后一级移位暂存器的时钟信号 $CK(n+1)$,所述开关 T27 的一第一端 T27b 电性耦接后二级移位暂存器的时钟信号 $CK(n+2)$ 。其中,所述开关 T27 回应于所述后一级移位暂存器的时钟信号 $CK(n+1)$ 而开启,导通所述开关 T27 的所述第一端 T27b 与一第二端 T27c,将所述后二级移位暂存器的时钟信号 $CK(n+2)$ 传送至所述开关 T27 的所述第二端 T27c。

所述开关 T28 的一控制端 T28a 电性耦接后一级移位暂存器的电压信号 $Q(n+1)$,所述开关 T28 的一第一端 T28b 电性耦接所述开关 T27 的所述第二端 T27c,所述开关 T28 的一第二端 T28c 电性耦接所述开关 T29 的第一端 T29b,并经由所述开关 T29 耦接所述增压节点 BP。其中,所述开关 T28 回应于所述后一级移位暂存器的电压信号 $Q(n+1)$ 而开启,导通所述开关 T28 的所述第一端 T28b 与所述第二端 T28c,并输出所述第二上拉信号 $Pu2(n)$ 。

所述开关 T29 的一控制端 T29a 电性耦接所述增压节点 BP,所述开关 T29 的第一端 T29b 用于接收所述第一上拉信号 $Pu1$ 与所述第二上拉信号 $Pu2$,所述开关 T29 的一第二端 T29c 电性耦接于所述预设低电平 V_{ss} ,其中所述开关 T29 回应于所述电压信号 Q_n 而开启,导通所述开关 T29 的所述第一端 T29b 与所述第二端 T29c。

当所述开关 T29 的第一端 T29b 接收所述第一上拉信号 Pu1 时, 会耦合至开关 T29 的控制端 T29a, 而上拉增压节点 BP 的电压信号 Qn 至第二电平 B'。随后, 当开关 T29 的第二端 T29c 接收所述第二上拉信号 Pu2 时, 亦会耦合至开关 T29 的控制端 T29a, 而维持增压节点 BP 的电压信号 Qn 于第二电平 B'。

此外, 从上述的电路结构可以了解耦合上拉模块 42 是受到前一级移位暂存器的电压信号 Q(n-1) 控制而产生所述第一上拉信号 Pu1, 将所述电压信号 Qn 由所述第一电平 A' 耦合拉高至所述第二电平 B', 并且是受到后一级移位暂存器的电压信号 Q(n+1) 控制而产生所述第二上拉信号 Pu2, 电性耦合至所述增压节点, 使所述电压信号 Qn 维持于所述第二电平。

换言之, 所述耦合上拉模块 42 是根据前一级移位暂存器的时钟信号 CK(n-1) 产生所述第一上拉信号 Pu1, 将所述电压信号 Qn 由所述第一电平 A' 耦合拉高至所述第二电平 B', 并且根据后二级移位暂存器的时钟信号 CK(n+2) 产生所述第二上拉信号 Pu2, 电性耦合至所述增压节点, 使所述电压信号 Qn 维持于所述第二电平 B'。

至于, 所述输入模块 41 则是根据前二级移位暂存器的时钟信号 CK(n-2) 输入所述级传信号 ST 至所述增压节点 BP, 以提高所述增压节点 BP 的电压信号 Qn 至所述第一电平 A'。

图 3e 为示例性的移位暂存电路中增压节点 BP 的电压信号 Qn 波形示意图。当图 3d 中前一级移位暂存器的级传信号 ST, 根据时钟信号 CK(n-2) 的脉冲, 传送至所述增压节点 BP 时, 会对增压节点 BP 进行预充电, 将电压信号 Qn 提高至第一电平 A', 如图 3e 所示。

接着, 根据时钟信号 CK(n-1) 的脉冲, 耦合上拉模块 42 产生第一上拉信号 Pu1, 并透过电性耦合, 使增压节点 BP 的电压信号 Qn 由第一电平 A' 耦合上拉至第二电平 B'。

随后, 当时钟信号 CKn 施加于开关 T21 的第一端 T21b 时, 会产生电性耦合, 使增压节点 BP 的电压信号 Qn 从预充后的第二电平 B' 进一步提高至第三电平 C', 如图 3e 所示。耦合后的电压信号 Qn 施加于开关 T21 的控制端 T21a, 会使开关 T21 打开, 将第一端 T21a 上的时钟信号 CKn 传送至第二端 T21b, 并经由输出端 O 输出, 产生所述的栅极扫描信号 Gn。

随后, 如图 3e 所示, 随着时钟信号 CKn 的结束, 增压节点 BP 的电压信号 Qn 从耦和后的第三电平 C' 向下降。此时, 根据时钟信号 CK(n+2) 的脉冲, 耦合上拉模块 42 会产生第二上拉信号 Pu2, 并透过电性耦合间接作用于增压节点 BP, 使增压节点 BP 的电压信号能持续维持于第二电平 B'。当时钟信号 CK(n+1) 的脉冲结束时, 耦合上拉模块会停止输出第二上拉信号 Pu2, 此时增压节点 BP 的电压信号 Qn 会从第二电平 B' 下拉至第一电平 A'。

以下参照图 3c、图 3d、图 3e 与图 4 进行说明。

如图 4 所示, 移位暂存电路使用了八组时钟信号 CK1-CK8 来控制操作。其中, 移位暂存器 4 于增压节点 BP 处的电压信号 Q4', 可以分为五个时段: t1' 为级传信号 ST 进行预充电时间; t2' 为第一上拉信号 Pu1 耦合作用时间; t3' 为输出栅极扫描信号 Gn 时间; t4' 为第二上拉信号 Pu2 耦合作用时间; t5' 则为下拉栅极扫描信号 Gn 时间。

在时段 t1', 根据时钟信号 CK2, 由前一级移位暂存器传送过来的级传信号 ST, 即第 3 级移位暂存器的级传信号 ST, 会对增压节点 BP 进行预充电, 因此电压信号 Q4' 会提高至第一电平 A'。亦即, 开关 T22 会根据时钟信号 CK2, 输入所述级传信号 ST 至所述增压节点 BP。

在时段 t2', 根据时钟信号 CK3, 耦合上拉模块 42 会产生所述第一上拉信号 Pu1, 与增压节点 BP 产生电性耦合, 将所述电压信号 Q4' 由所述第一电平 A' 耦合拉高至所述第二电平 B', 第一上拉信号 Pu1 的脉冲会跟随时钟信号 CK2 的脉冲结束。

在时段 t3', 由于时钟信号 CK4 施加于开关 T21 的第一端 T21b, 并与增压节点 BP 产生电性耦合, 因此电压信号 Q4' 从第二电平 B' 耦合提高至第三电平 C', 并且使图 3d 中的开关 T21 打开, 而导通时钟信号 CK4, 并输出栅极扫描信号。

随后, 在时段 t4', 时钟信号 CK4 的脉冲结束, 导致增压节点 BP 的电压信号 Q4', 会从第三电平 C' 下拉。但是, 根据时钟信号 CK6, 耦合上拉模块 42 会产生所述第二上拉信号 Pu2, 与

增压节点 BP 产生电性耦合,使所述电压信号 Q4'可维持于所述第二电平 B'。第二上拉信号 Pu2 的脉冲会跟随时钟信号 CK5 的脉冲同时结束。

在时段 t5', 由于第二上拉信号 Pu2 的脉冲结束,所以电压信号 Q4'会由所述第二电平 B' 下拉至第一电平 A'。在时段 t5'之后,伴随时钟信号 CK8 的脉冲,移位暂存器 4 会接收前述的反馈信号 FB,对增压节点 BP 进行放电,将电压信号 Q4'从第一电平 A'下拉至预设低电平。

值得注意的是,所述耦合上拉模块 42 除了以图 3d 中所显示的信号控制方式外,还能透过不同的信号控制方式,来产生所需的第一上拉信号 Pu1 与第二上拉信号 Pu2。

例如,在图 3d 中,开关 T25 的控制端 T25a 电性耦接前一级移位暂存器的时钟信号 CK(n-1), 第一端 T25b 则是电性耦接前二级移位暂存器的时钟信号 CK(n-2)。但是,在一实施例中,开关 T25 的控制端 T25a 亦可电性耦接前二级移位暂存器的时钟信号 CK(n-2),至于第一端 T25b 则可电性耦接前一级移位暂存器的时钟信号 CK(n-1)。其中,开关 T25 回应于所述前二级移位暂存器的时钟信号 CK(n-2)而开启,导通所述开关 T25 的第一端 T25b 与第二端 T25c,将所述前一级移位暂存器的时钟信号 CK(n-1)传送至开关 T25 的第二端 T25c。

此外,图 3d 中,开关 T27 的控制端 T27a 电性耦接后一级移位暂存器的时钟信号 CK(n+1), 第一端 T27b 则电性耦接后二级移位暂存器的时钟信号 CK(n+2)。但是,在一实施例中,开关 T27 的控制端 T27a 亦可电性耦接后二级移位暂存器的时钟信号 CK(n+2),至于第一端 T27b 则可电性耦接后一级移位暂存器的时钟信号 CK(n+1)。如此,开关 T27 回应于所述后二级移位暂存器的时钟信号 CK(n+2)而开启,导通所述开关 T27 的所述第一端 T27b 与第二端 T27c,将所述后一级移位暂存器的时钟信号 CK(n+1)传送至所述开关 T27 的第二端 T27c。

在一实施例中,所述开关 T26 的一控制端 T26a,亦可电性耦接前二级移位暂存器的电压信号 Q(n-2),并回应于前二级移位暂存器的电压信号 Q(n-2)而开启,输出所述第一上拉信号 Pu1(n)。

在另一实施例中,所述第八开关 T28 的一控制端 T28a,亦可电性耦接后二级移位暂存器的电压信号 Q(n+2),并回应于所述后二级移位暂存器的电压信号 Q(n+2)而开启,输出所述第二上拉信号 Pu2(n)。

图 5 为本申请一实施例的显示装置示意图。请参照图 5,所述显示装置 12,包括一主动开关阵列基板 121、一对向基板 120 与所述主动开关阵列基板 121 对向设置、以及一阵列基板栅极驱动电路 122,其中阵列基板栅极驱动电路 122 以微影制程直接制作在主动开关阵列基板 121 的表面上。所述的阵列基板栅极驱动电路 122 包括了图 3c 与图 3d 中所显示的移位暂存电路。亦即,在所述阵列基板栅极驱动电路 110 中会具有多级的移位暂存器 3 或移位暂存器 4。

本申请由于使用了一耦合上拉模块,输出第一上拉信号 Pu1,透过电性耦合,间接作用于增压节点,而使增压节点的电压信号上拉至更高的电平。因此,当时钟信号与输出模块电性耦合和时,能确保开关迅速的打开,使移位暂存器能准确且顺利的输出栅极扫描信号。其次,由于本申请的耦合上拉模块,在栅极扫描信号的脉冲结束时,还会输出第二上拉信号 Pu2,透过电性耦合,间接作用于增压节点,来维持增压节点的电压信号于一高电平,因此可加速下拉栅极扫描信号,进而改善栅极扫描信号的拖尾现象,从而提升显示画面的品质。

以上所述,仅是本申请的具体实施例而已,并非对本申请作任何形式上的限制,虽然本申请已以具体实施例揭露如上,然而并非用以限定本申请,任何熟悉本专业的技术人员,在不脱离本申请技术方案范围内,当可利用上述揭示的方法及技术内容作出些许的更动或修饰为等同变化的等效实施例,但凡是未脱离本申请技术方案的内容,依据本申请的技术实质对以上实施例所作的任何简单修改、等同变化与修饰,均仍属于本申请技术方案的范围。

权 利 要 求 书

1.一种移位暂存电路，包括多级移位暂存器，其中任一级移位暂存器包括：

输入模块，输入前级移位暂存器的级传信号至增压节点；

耦合上拉模块，耦接于所述增压节点，用于产生第一上拉信号与第二上拉信号，其中所述第一上拉信号，透过电性耦合，将所述电压信号由第一电平耦合拉高至第二电平；

输出模块，接收时钟信号，并根据所述时钟信号将所述电压信号从所述第二电平耦合拉高至第三电平，所述输出模块受到所述第三电平的所述电压信号控制，经由输出端输出栅极扫描信号，其中当所述时钟信号的脉冲结束时，所述耦合上拉模块产生所述第二上拉信号，并透过电性耦合，将所述电压信号维持于所述第二电平；以及

反馈模块，接收反馈信号，将所述增压节点的所述电压信号以及所述栅极扫描信号，拉低至预设低电平。

2.如权利要求 1 所述的移位暂存电路，其中所述任一级移位暂存器还包括子下拉模块，用于维持所述电压信号于所述预设低电平；以及子下拉控制模块，用于控制所述子下拉模块的操作。

3.如权利要求 1 所述的移位暂存电路，其中所述子下拉模块电性耦接于所述增压节点、所述栅极扫描信号及所述预设低电位。

4.如权利要求 1 所述的移位暂存电路，其中所述输出模块包括第一开关，所述第一开关的一控制端电性耦接所述增压节点，所述第一开关的一第一端用于接收所述时钟信号，所述第一开关的一第二端电性耦接所述输出端，用于输出所述栅极扫描信号，其中当所述增压节点的电压信号耦合提高至所述第三电平时，所述第一开关开启并输出所述栅极扫描信号。

5.如权利要求 1 所述的移位暂存电路，其中所述输入模块包括第二开关，所述第二开关的一控制端电性耦接所述所述第二开关的第一端，所述第二开关的第二端用于输出所述级传信号。

6.如权利要求 1 所述的移位暂存电路，其中所述反馈模块包括第三开关，所述第三开关的一控制端电性耦接于所述反馈信号，所述第三开关的一第一端电性耦接于所述输出端，所述第三开关的一第二端电性耦接于所述预设低电平，其中所述第三开关回应于所述反馈信号而开启，导通所述第三开关的所述第一端与所述第二端，将所述栅极扫描信号拉低至所述预设低电平。

7.如权利要求 1 所述的移位暂存电路，其中所述反馈模块包括第四开关，所述第四开关的一控制端电性耦接于所述反馈信号，所述第四开关的一第一端电性耦接于所述增压节点，所述第四开关的一第二端电性耦接于所述预设低电平，其中所述第四开关回应于所述反馈信号而开启，导通所述第四开关的所述第一端与所述第二端，将所述电压信号拉低至所述预设低电平。

8.如权利要求 1 所述的移位暂存电路，其中所述耦合上拉模块包括：

第五开关，所述第五开关的一控制端电性耦接前一级移位暂存器的时钟信号，所述第五开关的一第一端电性耦接前二级移位暂存器的时钟信号，其中所述第五开关回应于所述前一级移位暂存器的时钟信号而开启，导通所述第五开关的所述第一端与一第二端，将所述前二级移位暂存器的时钟信号传送至所述第五开关的所述第二端；

第六开关，所述第六开关的一控制端电性耦接前一级移位暂存器的电压信号，所述第六开关的一第一端电性耦接所述第五开关的所述第二端，所述第六开关的一第二端电性耦接所述增压节点，其中所述第六开关回应于所述前一级移位暂存器的电压信号而开启，导通所述第六开

关的所述第一端与所述第二端，并输出所述第一上拉信号；

第七开关，所述第七开关的一控制端电性耦接后一级移位暂存器的时钟信号，所述第七开关的一第一端电性耦接后二级移位暂存器的时钟信号，其中所述第七开关回应于所述后一级移位暂存器的时钟信号而开启，导通所述第七开关的所述第一端与一第二端，将所述后二级移位暂存器的时钟信号传送至所述第七开关的所述第二端；以及

第八开关，所述第八开关的一控制端电性耦接后一级移位暂存器的电压信号，所述第八开关的一第一端电性耦接所述第七开关的所述第二端，所述第八开关的一第二端电性耦接所述增压节点，其中所述第八开关回应于所述后一级移位暂存器的电压信号而开启，导通所述第八开关的所述第一端与所述第二端，并输出所述第二上拉信号。

9.如权利要求8所述的移位暂存电路，其中所述第六开关的所述第二端电性耦接所述第八开关的所述第二端。

10.如权利要求8所述的移位暂存电路，其中所述耦合上拉模块还包括第九开关，所述第九开关的一控制端电性耦接所述增压节点，所述第九开关的一第一端电性耦接所述第六开关的所述第二端以及所述第八开关的所述第二端，所述第九开关的一第二端电性耦接于所述预设低电平，其中所述第九开关回应于所述电压信号而开启，导通所述第九开关的所述第一端与所述第二端。

11.如权利要求1所述的移位暂存电路，其中所述耦合上拉模块还包括第九开关，所述第九开关的一控制端电性耦接所述增压节点，所述第九开关的一第一端用于接收所述第一上拉信号与所述第二上拉信号，所述第九开关的一第二端电性耦接于所述预设低电平，其中所述第九开关回应于所述电压信号而开启，导通所述第九开关的所述第一端与所述第二端。

12.如权利要求1所述的移位暂存电路，其中所述耦合上拉模块是受到前一级移位暂存器的电压信号控制而产生所述第一上拉信号，将所述电压信号由所述第一电平耦合拉高至所述第二电平，并且是受到后一级移位暂存器的电压信号控制而产生所述第二上拉信号，电性耦合至所述增压节点，使所述电压信号维持于所述第二电平。

13.如权利要求1所述的移位暂存电路，其中所述耦合上拉模块是根据前一级移位暂存器的时钟信号产生所述第一上拉信号，将所述电压信号由所述第一电平耦合拉高至所述第二电平，并且根据后二级移位暂存器的时钟信号产生所述第二上拉信号，电性耦合至所述增压节点，使所述电压信号维持于所述第二电平。

14.一种显示装置，包括：

一主动开关阵列基板；以及

一对向基板，与所述主动开关阵列基板对向设置；

其中，所述主动开关阵列基板上制作了阵列基板栅极驱动电路，且所述阵列基板栅极驱动电路包括移位暂存电路，所述移位暂存电路包括多级移位暂存器，其中任一级移位暂存器包括：输入模块，输入前级移位暂存器的级传信号至增压节点；

耦合上拉模块，耦接于所述增压节点，用于产生第一上拉信号与第二上拉信号，其中所述第一上拉信号，透过电性耦合，将所述电压信号由第一电平耦合拉高至第二电平；

输出模块，接收时钟信号，并根据所述时钟信号将所述电压信号从所述第二电平耦合拉高至第三电平，所述输出模块受到所述第三电平的所述电压信号控制，经由输出端输出栅极扫描信号，其中当所述时钟信号的脉冲结束时，所述耦合上拉模块产生所述第二上拉信号，并透过

电性耦合, 将所述电压信号维持于所述第二电平; 以及

反馈模块, 接收反馈信号, 将所述增压节点的所述电压信号以及所述栅极扫描信号, 拉低至预设低电平。

15.如权利要求 14 所述的显示装置, 其中所述输出模块包括第一开关, 所述第一开关的一控制端电性耦接所述增压节点, 所述第一开关的一第一端用于接收所述时钟信号, 所述第一开关的一第二端电性耦接所述输出端, 用于输出所述栅极扫描信号, 其中当所述增压节点的电压信号耦合提高至所述第三电平时, 所述第一开关开启并输出所述栅极扫描信号。

16.如权利要求 14 所述的显示装置, 其中所述输入模块包括第二开关, 所述第二开关的一控制端电性耦接所述所述第二开关的第一端, 所述第二开关的第二端用于输出所述级传信号。

17.如权利要求 14 所述的显示装置, 其中所述反馈模块包括:

第三开关, 所述第三开关的一控制端电性耦接于所述反馈信号, 所述第三开关的一第一端电性耦接于所述输出端, 所述第三开关的一第二端电性耦接于所述预设低电平, 其中所述第三开关回应于所述反馈信号而开启, 导通所述第三开关的所述第一端与所述第二端, 将所述栅极扫描信号拉低至所述预设低电平; 以及

第四开关, 所述第四开关的一控制端电性耦接于所述反馈信号, 所述第四开关的一第一端电性耦接于所述增压节点, 所述第四开关的一第二端电性耦接于所述预设低电平, 其中所述第四开关回应于所述反馈信号而开启, 导通所述第四开关的所述第一端与所述第二端, 将所述电压信号拉低至所述预设低电平。

18.如权利要求 14 所述的显示装置, 其中所述耦合上拉模块包括:

第五开关, 所述第五开关的一控制端电性耦接前一级移位暂存器的时钟信号, 所述第五开关的一第一端电性耦接前二级移位暂存器的时钟信号, 其中所述第五开关回应于所述前一级移位暂存器的时钟信号而开启, 导通所述第五开关的所述第一端与一第二端, 将所述前二级移位暂存器的时钟信号传送至所述第五开关的所述第二端;

第六开关, 所述第六开关的一控制端电性耦接前一级移位暂存器的电压信号, 所述第六开关的一第一端电性耦接所述第五开关的所述第二端, 所述第六开关的一第二端电性耦接所述增压节点, 其中所述第六开关回应于所述前一级移位暂存器的电压信号而开启, 导通所述第六开关的所述第一端与所述第二端, 并输出所述第一上拉信号;

第七开关, 所述第七开关的一控制端电性耦接后一级移位暂存器的时钟信号, 所述第七开关的一第一端电性耦接后二级移位暂存器的时钟信号, 其中所述第七开关回应于所述后一级移位暂存器的时钟信号而开启, 导通所述第七开关的所述第一端与一第二端, 将所述后二级移位暂存器的时钟信号传送至所述第七开关的所述第二端; 以及

第八开关, 所述第八开关的一控制端电性耦接后一级移位暂存器的电压信号, 所述第八开关的一第一端电性耦接所述第七开关的所述第二端, 所述第八开关的一第二端电性耦接所述增压节点, 其中所述第八开关回应于所述后一级移位暂存器的电压信号而开启, 导通所述第八开关的所述第一端与所述第二端, 并输出所述第二上拉信号。

19.如权利要求 14 所述的显示装置, 其中所述耦合上拉模块还包括第九开关, 所述第九开关的一控制端电性耦接所述增压节点, 所述第九开关的一第一端用于接收所述第一上拉信号与所述第二上拉信号, 所述第九开关的一第二端电性耦接于所述预设低电平, 其中所述第九开关回应于所述电压信号而开启, 导通所述第九开关的所述第一端与所述第二端。

20.一种移位暂存电路，包括多级移位暂存器，其中任一级移位暂存器包括：

输入模块，输入前级移位暂存器的级传信号至增压节点；

耦合上拉模块，耦接于所述增压节点，用于产生第一上拉信号与第二上拉信号，其中所述第一上拉信号，透过电性耦合，将所述电压信号由第一电平耦合拉高至第二电平；

输出模块，接收时钟信号，并根据所述时钟信号将所述电压信号从所述第二电平耦合拉高至第三电平，所述输出模块受到所述第三电平的所述电压信号控制，经由输出端输出栅极扫描信号，其中当所述时钟信号的脉冲结束时，所述耦合上拉模块产生所述第二上拉信号，并透过电性耦合，将所述电压信号维持于所述第二电平；以及

反馈模块，接收反馈信号，将所述增压节点的所述电压信号以及所述栅极扫描信号，拉低至预设低电平；

其中所述耦合上拉模块包括：

第五开关，所述第五开关的一控制端电性耦接前一级移位暂存器的时钟信号，所述第五开关的一第一端电性耦接前二级移位暂存器的时钟信号，其中所述第五开关回应于所述前一级移位暂存器的时钟信号而开启，导通所述第五开关的所述第一端与一第二端，将所述前二级移位暂存器的时钟信号传送至所述第五开关的所述第二端；

第六开关，所述第六开关的一控制端电性耦接前一级移位暂存器的电压信号，所述第六开关的一第一端电性耦接所述第五开关的所述第二端，所述第六开关的一第二端电性耦接所述增压节点，其中所述第六开关回应于所述前一级移位暂存器的电压信号而开启，导通所述第六开关的所述第一端与所述第二端，并输出所述第一上拉信号；

第七开关，所述第七开关的一控制端电性耦接后一级移位暂存器的时钟信号，所述第七开关的一第一端电性耦接后二级移位暂存器的时钟信号，其中所述第七开关回应于所述后一级移位暂存器的时钟信号而开启，导通所述第七开关的所述第一端与一第二端，将所述后二级移位暂存器的时钟信号传送至所述第七开关的所述第二端；

第八开关，所述第八开关的一控制端电性耦接后一级移位暂存器的电压信号，所述第八开关的一第一端电性耦接所述第七开关的所述第二端，所述第八开关的一第二端电性耦接所述增压节点，其中所述第八开关回应于所述后一级移位暂存器的电压信号而开启，导通所述第八开关的所述第一端与所述第二端，并输出所述第二上拉信号，其中所述第六开关的所述第二端电性耦接所述第八开关的所述第二端； 以及

第九开关，所述第九开关的一控制端电性耦接所述增压节点，所述第九开关的一第一端电性耦接所述第六开关的所述第二端以及所述第八开关的所述第二端，所述第一端用于接收所述第一上拉信号与所述第二上拉信号，所述第九开关的一第二端电性耦接于所述预设低电平，其中所述第九开关回应于所述电压信号而开启，导通所述第九开关的所述第一端与所述第二端。

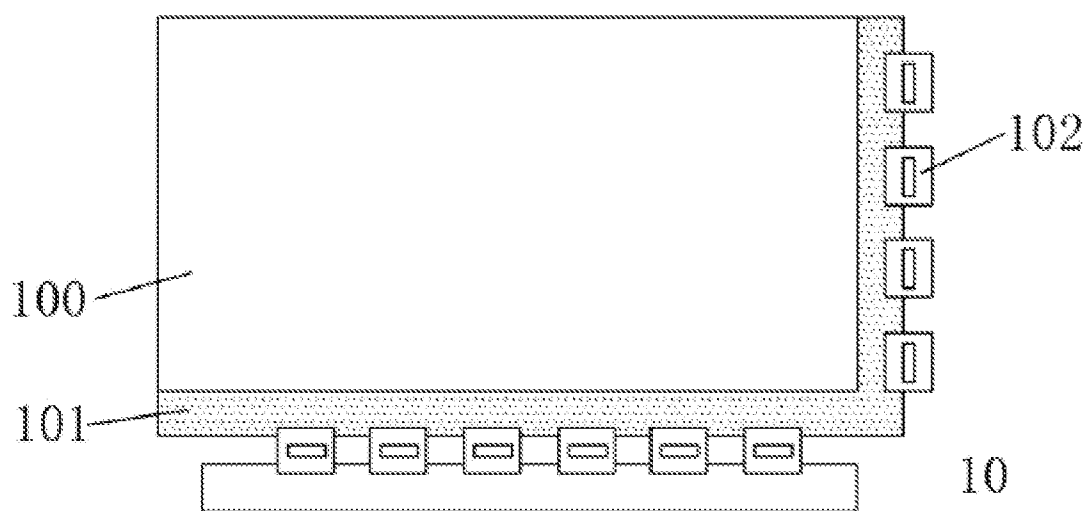


图 1a

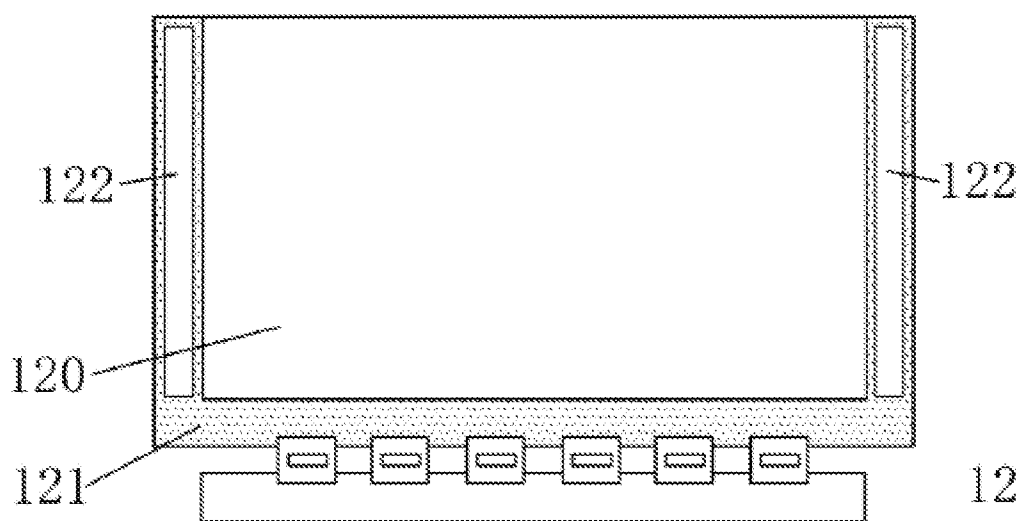


图 1b

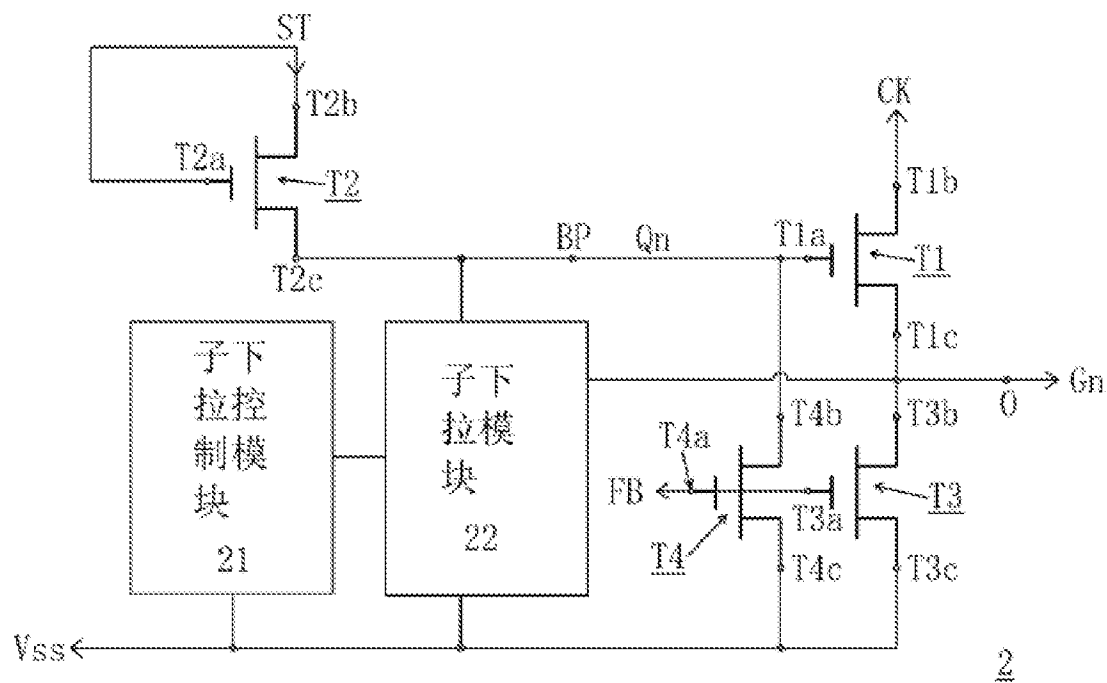


图 2a

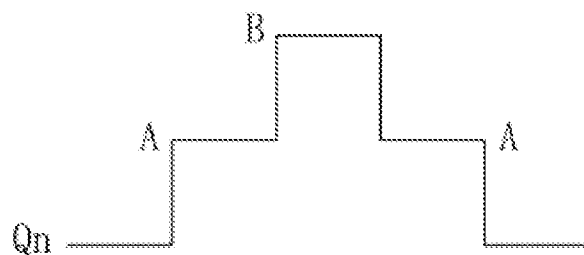


图 2b

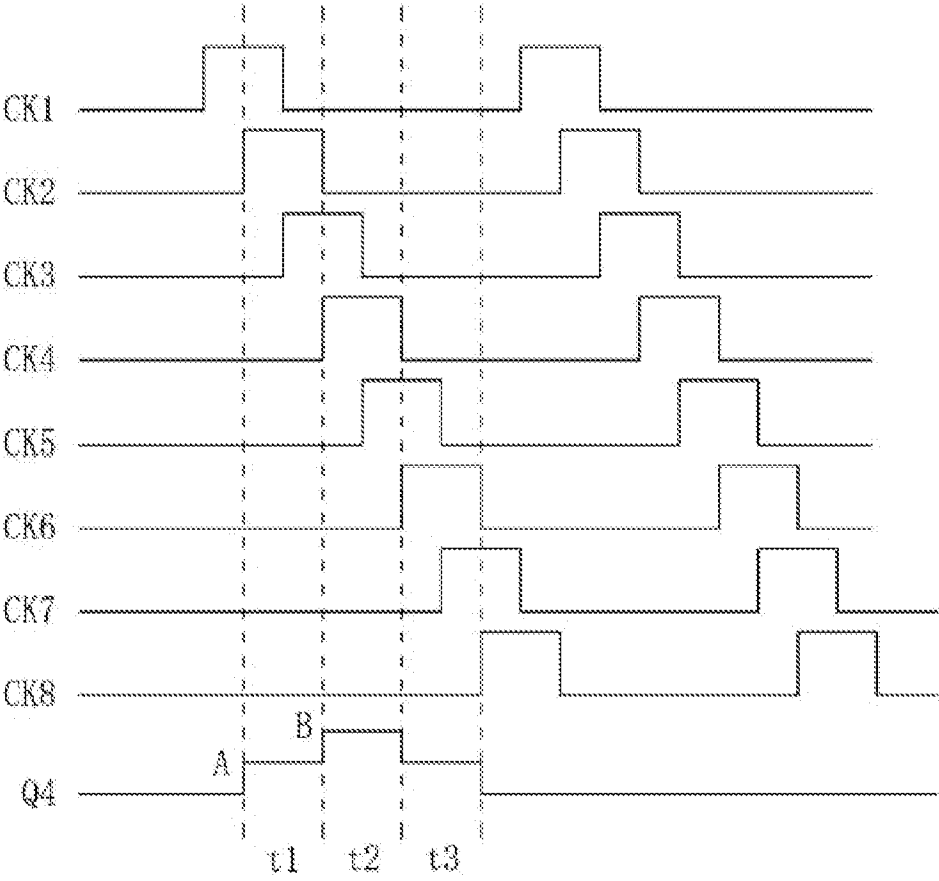


图 2c

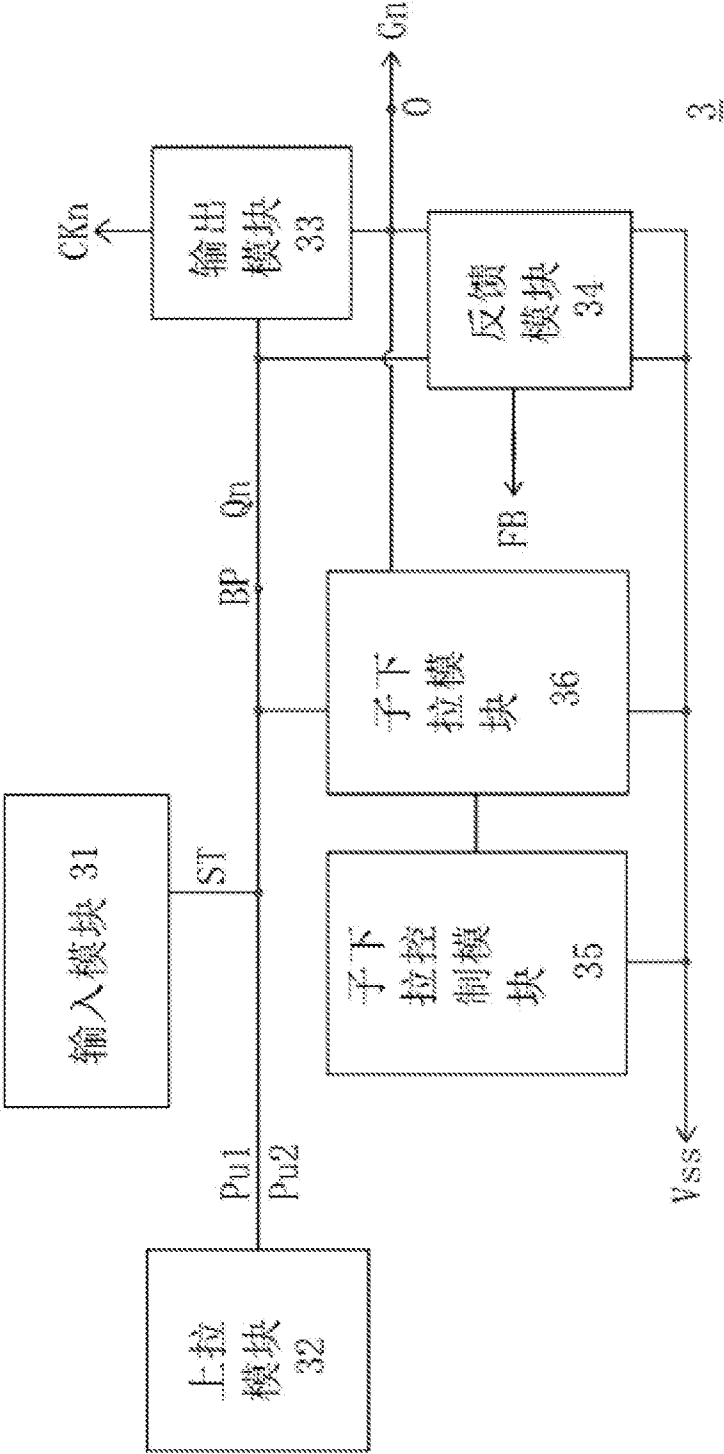


图 3a

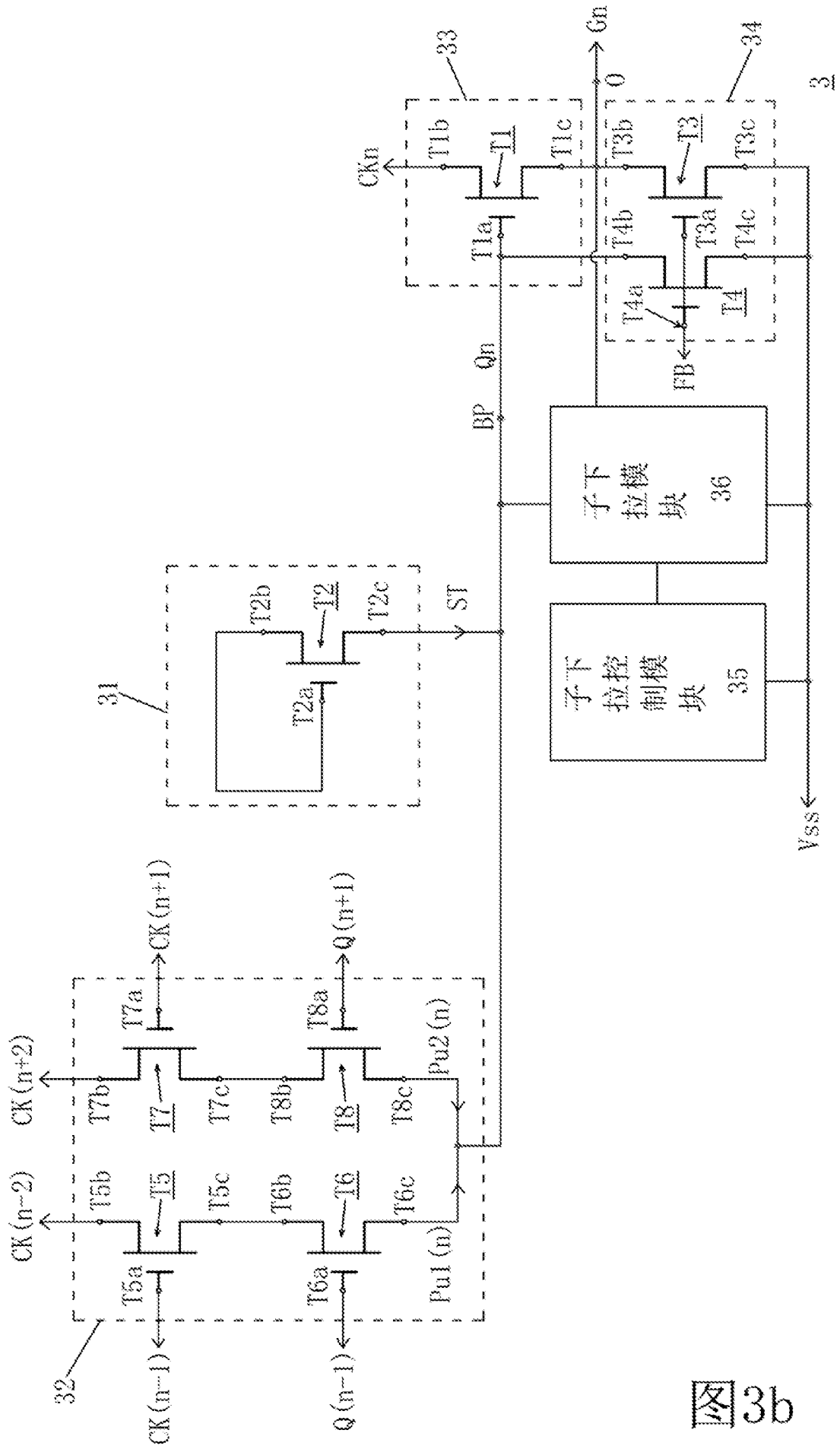


图3b

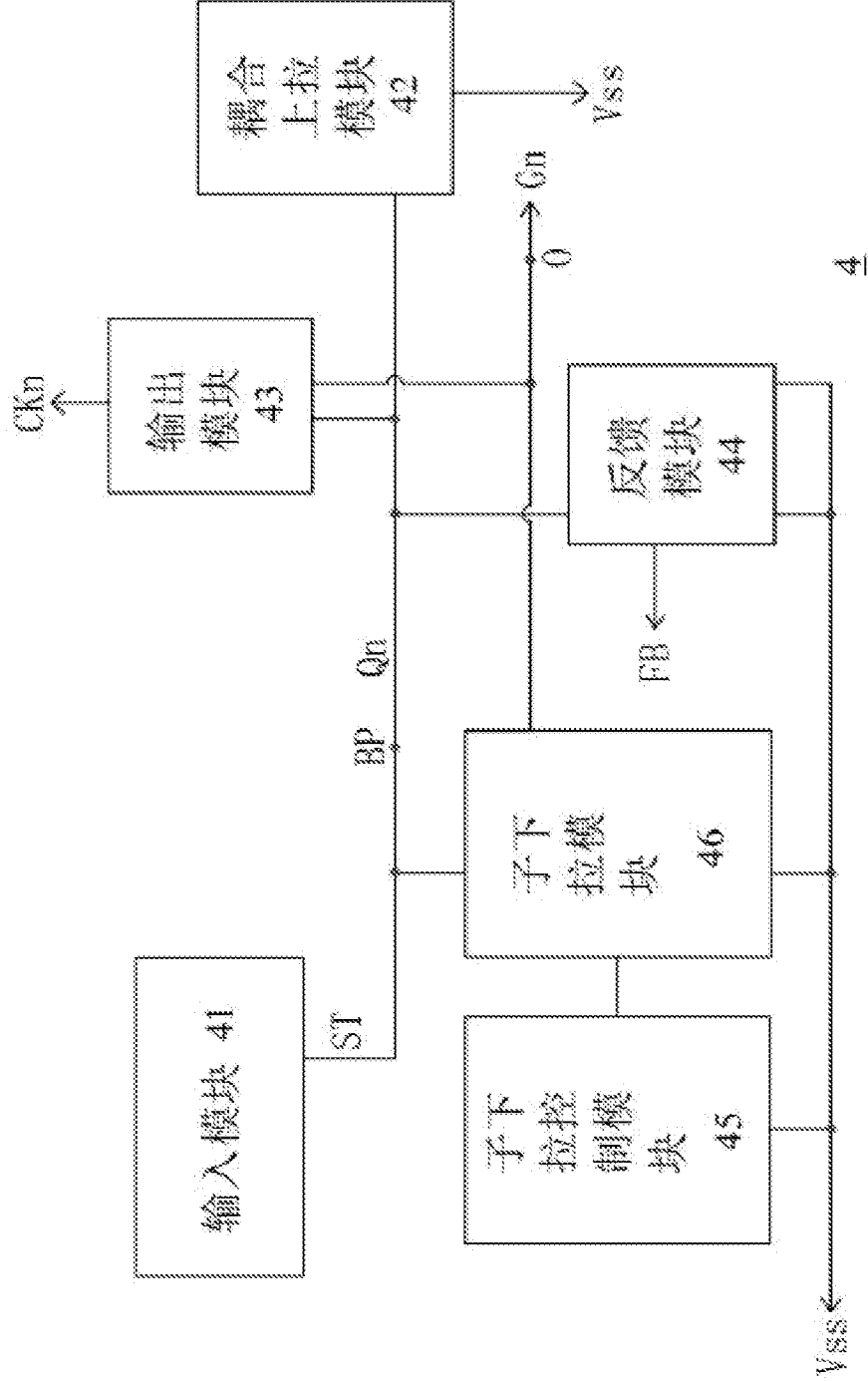


图 3c

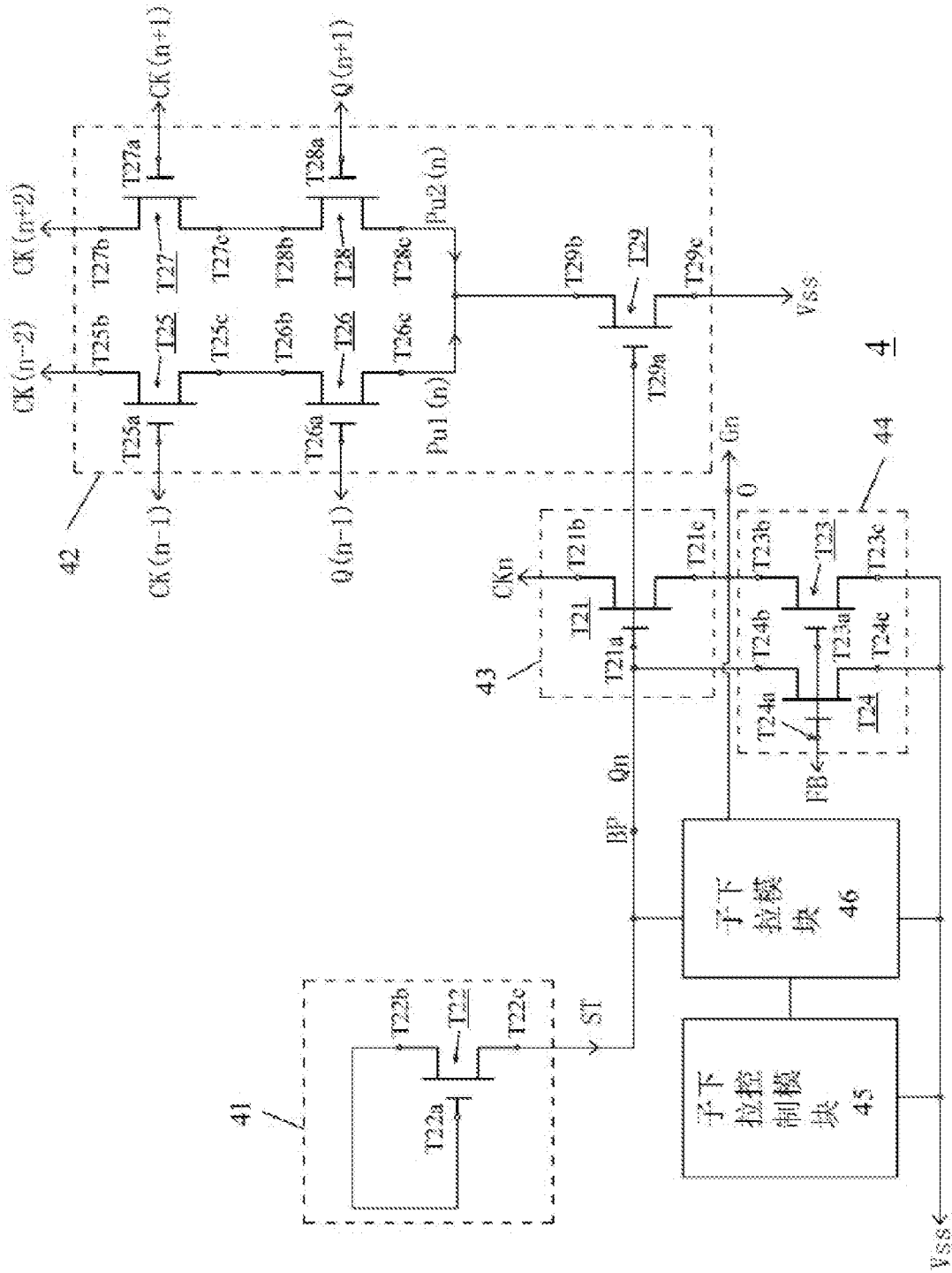
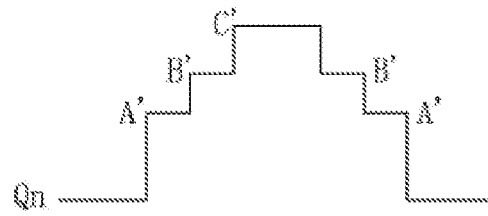
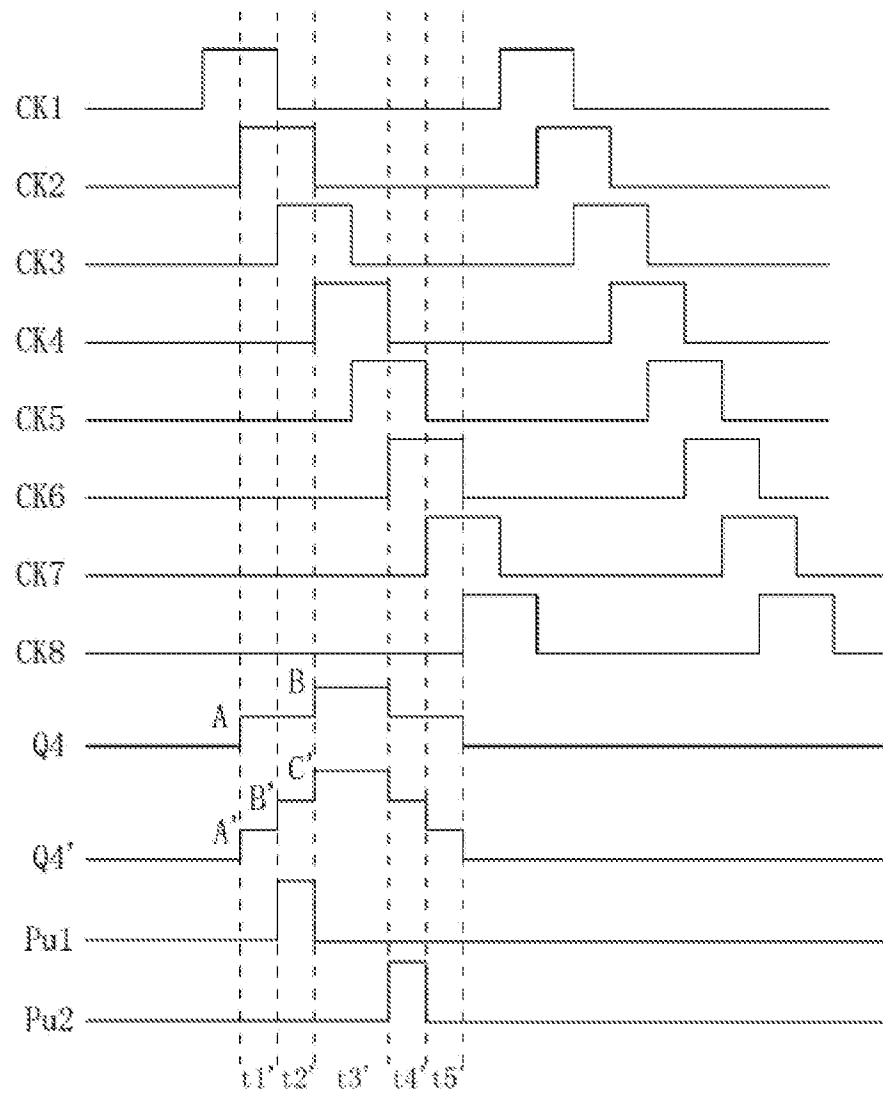


图 3d

 3e 4

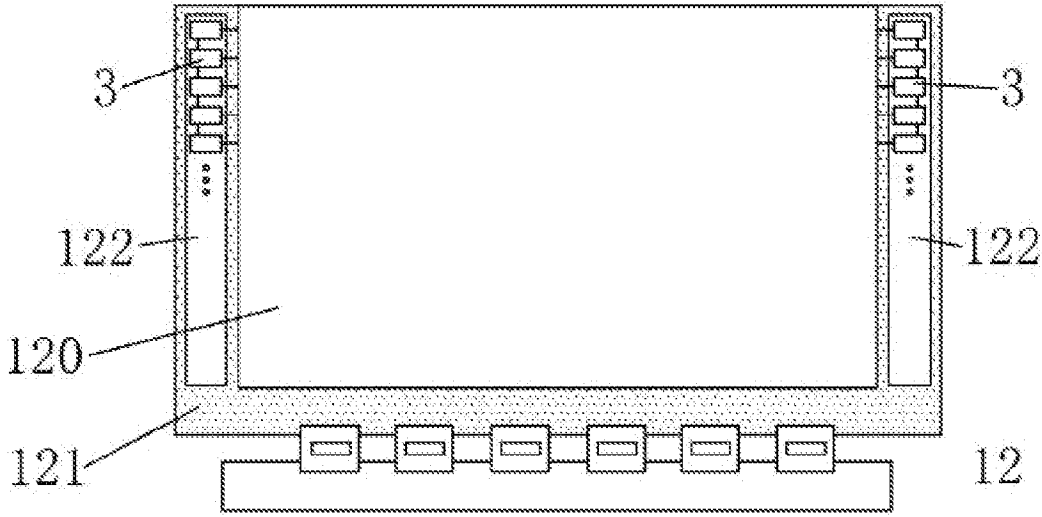


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/082287

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, VEN: 移位, 寄存, 暂存, 上拉, 耦合, 第一, 第二, 第三 电平 电压 shift, register, pull, up, couple, first, second, third, level, voltage

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 107871486 A (HKC CO., LTD.) 03 April 2018 (2018-04-03) description, paragraphs [0002]-[0070], and figures 1-6	1-20
PX	CN 108877713 A (HKC CORPORATION LIMITED) 23 November 2018 (2018-11-23) entire document	1-20
A	US 2016019840 A1 (BOE TECHNOLOGY GROUP CO., LTD.) 21 January 2016 (2016-01-21) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

- “A” document defining the general state of the art which is not considered to be of particular relevance
- “E” earlier application or patent but published on or after the international filing date
- “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- “O” document referring to an oral disclosure, use, exhibition or other means
- “P” document published prior to the international filing date but later than the priority date claimed

- “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- “&” document member of the same patent family

Date of the actual completion of the international search

08 July 2019

Date of mailing of the international search report

15 July 2019

Name and mailing address of the ISA/CN

**China National Intellectual Property Administration (ISA/
CN)**
**No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
 100088**
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/082287

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	107871486	A	03 April 2018	None			
CN	108877713	A	23 November 2018	None			
US	2016019840	A1	21 January 2016	WO	2015096387	A1	02 July 2015
				CN	103730089	A	16 April 2014
				CN	103730089	B	25 November 2015
				US	9514683	B2	06 December 2016

国际检索报告

国际申请号

PCT/CN2019/082287

A. 主题的分类 G09G 3/36 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类														
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G; G11C 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNABS, CNTXT, VEN: 移位、寄存、暂存、上拉、耦合、第一、第二、第三、电平、电压 shift, register, pull, up, couple, first, second, third, level, voltage														
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 107871486 A (惠科股份有限公司) 2018年 4月 3日 (2018 - 04 - 03) 说明书第[0002]-[0070]段、附图1-6</td> <td>1-20</td> </tr> <tr> <td>PX</td> <td>CN 108877713 A (惠科股份有限公司) 2018年 11月 23日 (2018 - 11 - 23) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>US 2016019840 A1 (BOE TECHNOLOGY GROUP CO LTD) 2016年 1月 21日 (2016 - 01 - 21) 全文</td> <td>1-20</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 107871486 A (惠科股份有限公司) 2018年 4月 3日 (2018 - 04 - 03) 说明书第[0002]-[0070]段、附图1-6	1-20	PX	CN 108877713 A (惠科股份有限公司) 2018年 11月 23日 (2018 - 11 - 23) 全文	1-20	A	US 2016019840 A1 (BOE TECHNOLOGY GROUP CO LTD) 2016年 1月 21日 (2016 - 01 - 21) 全文	1-20
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求												
X	CN 107871486 A (惠科股份有限公司) 2018年 4月 3日 (2018 - 04 - 03) 说明书第[0002]-[0070]段、附图1-6	1-20												
PX	CN 108877713 A (惠科股份有限公司) 2018年 11月 23日 (2018 - 11 - 23) 全文	1-20												
A	US 2016019840 A1 (BOE TECHNOLOGY GROUP CO LTD) 2016年 1月 21日 (2016 - 01 - 21) 全文	1-20												
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。														
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件														
国际检索实际完成的日期 2019年 7月 8日		国际检索报告邮寄日期 2019年 7月 15日												
ISA/CN的名称和邮寄地址 中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 聂莹莹 电话号码 62089873												

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/082287

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	107871486	A	2018年 4月 3日	无			
CN	108877713	A	2018年 11月 23日	无			
US	2016019840	A1	2016年 1月 21日	W0	2015096387	A1	2015年 7月 2日
				CN	103730089	A	2014年 4月 16日
				CN	103730089	B	2015年 11月 25日
				US	9514683	B2	2016年 12月 6日