

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G06F 1/32 (2006.01)



[12] 发明专利说明书

专利号 ZL 00801391.8

[45] 授权公告日 2009 年 5 月 6 日

[11] 授权公告号 CN 100485584C

[22] 申请日 2000.5.8 [21] 申请号 00801391.8
[30] 优先权

[32] 1999.5.18 [33] US [31] 09/313933

[86] 国际申请 PCT/US2000/012467 2000.5.8

[87] 国际公布 WO2000/070433 英 2000.11.23

[85] 进入国家阶段日期 2001.3.12

[73] 专利权人 NXP 股份有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 S·阿杜苏米利

[56] 参考文献

US5655124A 1997.8.5

US5392437A 1995.2.21

US5666537A 1997.9.9

审查员 刘清泉

[74] 专利代理机构 中科专利商标代理有限责任公司

代理人 王波波

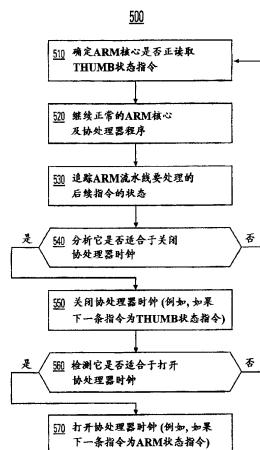
权利要求书 2 页 说明书 11 页 附图 5 页

[54] 发明名称

减少电能损耗的系统和方法

[57] 摘要

本发明是 ARM 协处理器能耗降低系统和方法，当 ARM 系统执行 THUMB 状态指令操作时它会关闭协处理器时钟。例如，依据本发明当 ARM 协处理器能耗降低系统和方法会追踪 ARM 核心外围的信号以确定 ARM 核心是否试图进入 ARM 状态或 THUMB 状态操作。本发明对与 ARM 流水线每一个阶段有关的 THUMB 位指示信号进行比较，并确定指令是否为 THUMB 状态指令。如果指令是 THUMB 状态指令，依据本发明的 ARM 协处理器能耗降低系统和方法会关闭协处理器时钟。关闭协处理器时钟会阻止协处理器寄存器的转换和消耗电能。如果读取到 ARM 流水线中的指令是 ARM 状态指令，依据本发明的 ARM 协处理器能耗降低系统和方法会将协处理器的时钟打开。



1. 一种 ARM 协处理器能耗降低系统包括：

一个 THUMB 位寄存器 (310)，用于存储一个 THUMB 位信号的逻辑值，用来表示 ARM 流水线中的指令是否正处于 THUMB 状态或 ARM 状态操作中；

一个执行寄存器 (334)，用于存储与上述 ARM 流水线执行阶段有关的信息；以及

一个第一逻辑元件 (340)，用于对来自所述 THUMB 位寄存器 (310) 和所述执行寄存器 (334) 的输入信号进行逻辑分析，以提供一个用于根据 ARM 流水线中的指令状态打开或关闭协处理器时钟的信号，其中如果在所述的 ARM 流水线中的指令是 THUMB 状态指令，所述的第一逻辑元件 (340) 就提供一个所述信号以关闭所述的协处理器时钟；

其中，如果在所述的 ARM 流水线中的指令是 ARM 状态指令，所述的第一逻辑元件 (340) 就提供一个所述信号以打开所述的协处理器时钟。

2. 如权利要求 1 所述的 ARM 协处理器能耗降低系统，其特征在于：所述的第一逻辑元件 (340) 是一个第一逻辑 AND 元件，用于当与所述执行寄存器中的指令有关的 THUMB 位是逻辑 1 并且所述 THUMB 位寄存器中的值是逻辑 1 时，关闭所述的协处理器时钟。

3. 如任一前述权利要求所述的 ARM 协处理器能耗降低系统，进一步包括：

一个与所述执行寄存器相连接的第二逻辑元件 (329)，用于推进所述的 ARM 流水线；

一个与所述第二逻辑元件相连接的逻辑 OR 元件 (325)，用于如果所述的逻辑 OR 元件的一个输入值为逻辑 1 的话就传送一个逻辑 1 的值，并且如果所述逻辑 OR 元件的所述输入为逻辑 0 的话就传送一个逻辑 0 值；以及

一个与所述第二逻辑元件相连接的等待寄存器 (321)，用于捕获一个非等待信号值，该非等待信号适用于使 ARM 核心等待或停止整数个内存时钟输入周期。

4. 如权利要求3所述的ARM协处理器能耗降低系统,其特征在于:
所述逻辑OR元件(325)与一个用来指示在下一个周期中是否需要内存访问的非内存请求信号、和一个用来指示一个ARM核心处理器是否正从内存中读取指令的非操作码读取信号相连接。

5. 如权利要求3所述的ARM协处理器能耗降低系统,进一步包括:
一个与所述逻辑OR元件相连接的第三逻辑元件(328),用于传送一个信号以控制存储数据在所述ARM流水线中传送;

一个与所述第三逻辑元件相连接的数据保持寄存器(331),用于存储在所述ARM流水线中等待进行处理的数据;

一个与第三逻辑元件相连接的非操作码读取寄存器(327),用于存储非操作码读取信号的状态,以指示ARM核心处理器是否正从内存中读取指令。

6. 如权利要求3所述的ARM协处理器能耗降低系统,进一步包括:
一个与所述第二逻辑元件相连接的译码寄存器(333),用于存储与ARM流水线的译码阶段有关的信息;以及

一个与所述译码寄存器相连接的多路复用器(332),用于选择一个信号传送到所述的译码寄存器。

7. 如权利要求6所述的ARM协处理器能耗降低系统,其特征在于:
所述的多路复用器(332)在来自数据保持寄存器(331)的信号或信号中的数据之间进行选择。

8. 如权利要求3所述的ARM协处理器能耗降低系统,其特征在于:
所述的第二逻辑元件(329)是第二AND元件。

9. 如权利要求5所述的ARM协处理器能耗降低系统,其特征在于:
所述的第三逻辑元件(328)是第三AND元件。

减少电能损耗的系统和方法

本发明涉及计算机处理系统和方法领域。尤其是本发明涉及在一个基于高级RISC机器（ARM）的系统中通过在THUMB状态下进行操作时关闭某些功能部件改善电能损耗的系统和方法。

发明背景

文献《ARM10 Thumb家族ARM产品概述》公开了一种ARM协处理器系统。ARM10TDMI整数核心特征是ARM32位RISC指令集，以及Thumb压缩的16位指令集。

US-A-5,392,437公开了一种用于减少具有多个功能单元的集成电路中的功能单元能耗的机制。功能单元中的一些独立地互相时钟同步。该文献还显示一种用于指示是否要求使用功能单元的方法和机制，以及一种用于在不要求使用功能单元时降低相对于剩余的功能单元透明而独立的功能单元的能耗的方法和机制。

计算机系统和电路已经为现代社会的进步做出了重大贡献，而且运用在许多应用中并产生有利的结果。计算机系统一般包含一个根据一套指令进行操作的处理器。众多的电子技术诸如数字计算机、计算器、音频设备、视频设备、以及电话系统等都包含处理器，并在大部分的商业、科学、教育和娱乐领域内有助于提高生产率并减少分析和传输数据、观念、趋势时的花费。经常地，为提供这些结果而设计的处理器是依据精简指令集计算机体系（RISC）进行操作的高级RISC机器（ARM）。然而ARM机器通常会使用损耗大量电能的协处理器，甚至它们不支持当前的ARM操作。

通常情况下ARM处理器通过一个非常强大的指令集而表现出相对高的性能并提供显著的灵活性。根据紧凑、效能成本合算的装置，典型ARM处理器的相对简明性便于高指令吞吐量和有效的中断响应。利用流水线技术使处理和存储系统的多个元件能同时进行操作。例如，当一个指令被执行时，后续指令进行译码，并从内存中读取第3条指令。

通常情况下，一个ARM处理器使用两个状态或指令集。一个状态或指令集包含一个32位的ARM集，而另一个状态或指令集包含一个16

位的THUMB集。THUMB指令集在与ARM指令集相同的32位寄存器上进行操作，并在保持大部分ARM集性能优势的同时达到大约ARM集的两倍密度。然而，有些实例要求具有更多的功能性和更高的性能。在这些情形中系统通常包含一个协处理器。

在ARM状态下ARM协处理器提供附加的处理能力。在主ARM处理器执行其它功能的时候，使协处理器执行特殊的指令通常是有利的。例如，协处理器通常执行诸如浮点数操作、图形变换、图像压缩等功能。

即使协处理器没有对基本的系统操作起作用，通常协处理器也会损耗数量可观的系统电能。

减少那些不会对ARM系统的功能起什么作用的元件的电能损耗会带来很多的好处。例如，电能的可用性在利用ARM系统来提供处理能力的无线通信系统中通常是很关键的。无线通信系统通常依赖于电池作为电源供给，减少电能损耗会使电池具有较长寿命。减少电能损耗也会使电池尺寸随之减小，从而允许生产出更小的无线通信设备。小型的无线通信设备通常会提供更为实际的应用。

发明概述

尤其地，本发明的目的在于减少ARM系统中协处理器的电能损耗。在独立权利要求中定义本发明。在从属权利要求中定义优选实施例。

该系统不会影响ARM系统的操作性能。本发明在THUMB状态操作期间内减少协处理器寄存器的转换，且本发明还有助于减少电能供应需求。

本发明基于以下认识。在一般的具有协处理器的ARM系统中，即使协处理器没有用来处理指令或信息，某些协处理器的特征也被连续不断地保持。特别是由于协处理器不能被用来执行16位的事务处理，它就不能在16位THUMB事务处理期间对基本的系统操作做出贡献。THUMB指令集比ARM指令集小，而且在THUMB状态下进行操作时ARM系统中的协处理器没有被利用。甚至当协处理器没有处理指令或信息时，协处理器通常也会继续损耗电能。例如，协处理器的时钟会继续运行，协处理器寄存器会继续执行消耗电能的状态转换。

在本发明的一个实施例中，ARM协处理器能耗降低系统和方法会检测何时ARM系统从事那些不利用ARM协处理器的活动，并关闭ARM协

处理器时钟。依据本发明的ARM协处理器能耗降低系统和方法会追踪ARM核心是否从事ARM状态或THUMB状态操作。例如，ARM协处理器能耗降低系统和方法对指示ARM核心是否在ARM状态或THUMB状态下执行的THUMB位（TBIT）信号进行分析。如果ARM核心处于THUMB状态操作，依据本发明的ARM协处理器能耗降低系统和方法就会指示关闭协处理器时钟。如果ARM核心处于ARM状态操作，依据本发明的ARM协处理器能耗降低系统和方法就会指示打开协处理器时钟。

附图简要说明

图1是与本发明的ARM协处理器能耗降低系统和方法的一个实施例相关的一个协处理器时钟停止波形图表实例。

图2是与本发明的ARM协处理器能耗降低系统和方法的一个实施例相关的一个协处理器时钟开始波形图表实例。

图3是本发明的一个实施例 - ARM协处理器能耗降低系统的原理图。

图4是对于本发明的ARM协处理器能耗降低系统中的ARM协处理器能耗降低真值表的说明。

图5是本发明的ARM协处理器能耗降低方法的一个实施例流程图。
发明的详细说明

下面将结合本发明的最佳实施例对在基于高级RISC机器（ARM）的系统中减少电源损耗的系统和方法进行说明，其例子在附图中进行说明。尽管本发明将结合最佳实施例进行描述，也不能认为将本发明局限在这些实施例中。相反，本发明意图覆盖那些可能包含在本发明附加权利要求所定义的构思和范围之内的替换、修改、和等同物。除此之外，在随后的本发明详细描述部分，为实现对本发明的彻底理解而提出了许多具体细节。然而对于本领域的普通技术人员来说，显而易见没有这些具体细节本发明也能实现。在其它的实例中，为避免使本发明难以理解就没有再对众所周知的方法、程序、元件和电路进行详细介绍了。

本发明是一种ARM协处理器能耗降低系统和方法，它们检测何时ARM系统从事那些没有使用ARM协处理器的操作，并关闭ARM协处理器时钟。例如，依据本发明的ARM协处理器能耗降低系统和方法追踪来自于ARM核心外围的信号，从而确定ARM核心是否试图促进ARM状态或THUMB状态操作。如果依据本发明的ARM协处理器能耗降低系统和方法检测到ARM核心正试图促进THUMB状态操作，ARM协处理器能耗降低系统和方法就会发出一个与关闭ARM协处理器有关的时钟信号。由于ARM协处理器时钟关闭，ARM协处理器中的寄存器就不会进行转换和损耗电源。如果依据本发明的ARM协处理器能耗降低系统和方法检测到ARM核心正试图促进ARM状态操作，ARM协处理器能耗降低系统和方法就会发出一个与打开ARM协处理器有关的时钟信号。

随着指令在ARM核心中的处理，它们也会被包含3个阶段的ARM流水

线捕获。ARM流水线由读取阶段、译码阶段和执行阶段组成。依据本发明的ARM协处理器能耗降低系统追踪在ARM核心中的特定指令处于哪个阶段（它是否处于读取、译码或执行阶段）。每当操作状态发生了变化（如从ARM状态变化为THUMB状态，反之亦然），就会有指示变化的指令流经ARM流水线。指令经过读取、译码，然后在执行阶段由ARM核心确定指令是否指示ARM核心转换到16位的THUMB指令集或是32位的ARM指令集。当执行状态变化指令时，TBIT（THUMB位）信号就会发生变化。例如，当该指令为THUMB状态指令时，TBIT就从逻辑零变为逻辑1，而当该指令为ARM状态指令时TBIT就从逻辑1变为逻辑0。

即使状态变化指令在执行时，也会有潜在的另外两个操作在流水线中等待执行，一个操作在读取阶段，另一个操作在译码阶段。如果操作状态正从ARM状态转变为THUMB状态，ARM协处理器能耗降低系统和方法不会切断ARM协处理器时钟，直到剩下两个在译码和执行阶段的操作被完全执行为止。因此，如果剩下的在译码阶段和执行阶段的两个操作中包含ARM状态操作，就会使协处理器时钟保持运行并可利用，以继续处理32位的ARM状态操作。

图1是与本发明的ARM协处理器能耗降低系统和方法的一个实施例相关的协处理器时钟停止波形图表实例100。协处理器时钟停止波形表100说明：当第一个ARM指令110、第二个ARM指令111和第三个ARM指令112以及它们相对应的第一个ARM数据传送120、第二个ARM数据传送121、和第三个ARM数据传送122进行读取时，在CPSTOPC寄存器中的值为高，表明协处理器的时钟是正在运行的。当读取第一个THUMB指令113时，信号AC_TBIT从逻辑0（低）转换为逻辑1（高）。然而，信号CP_STOPC不从逻辑0（指示协处理器的时钟继续运行）转换为逻辑1（指示协处理器时钟停止运行）。直到第二个THUMB指令114、第三个THUMB指令116以及与它们相关的第二个THUMB数据传送124和第3个THUMB数据传送126完成的时候，信号CP_STOPC才会发生转换。信号CP_STOPC甚至会检测由协处理器缺指令115以及其相关的、介于第二个THUMB数据传送124和第三个THUMB数据传送126之间的协处理器缺数据事务处理125所指示的扩充处理宽度。AC_TBIT信号对第四个THUMB指令117、第五个THUMB指令118和第四个THUMB数据传送127保持逻辑1（高）。

当ARM系统正退出THUMB状态并进入ARM状态时，TBIT信号将会

指示（如变为低）它正在处理 ARM 状态操作。在 ARM 系统退出 THUMB 状态而进入 ARM 状态期间，协处理器时钟会在同一个周期内启动。因此，如果下一个要执行的指令是 32 位 ARM 状态操作，协处理器就可以继续处理 32 位的 ARM 状态操作了。

图 2 是与本发明的 ARM 协处理器能耗降低系统和方法的一个实施例相关的协处理器时钟启动波形实例表 200。协处理器时钟启动波形表 200 表示：当第一个 THUMB 指令 210、第二个 THUMB 指令 211、第三个 THUMB 指令 212、以及它们相对应的第一个 THUMB 数据传送 220、第二个 THUMB 数据传送 221 和第三个 THUMB 数据传送 222 进行读取时，CPSTOPC 寄存器中的值为低，表示协处理器的时钟没有运行。当第一个 ARM 指令 213 被读取时，信号 AC_TBIT 从逻辑 1 向逻辑 0 进行转换。信号 CP_STOPC 从逻辑 1 向逻辑 0 进行转换，指示协处理器的时钟开始运行。CPSTOPC 寄存器中的值从逻辑 0 向逻辑 1 转换，指示时钟已经运行。CPSTOPC 寄存器中的值对第二个 ARM 指令 214、第三个 ARM 指令 215、第一个 ARM 数据传送 223、第二个 ARM 数据传送 224 和第四个 ARM 数据传送 225 保持逻辑 1。

ARM 核心利用几个信号来表示通过 ARM 协处理器随后流水线阶段的进度和进展。非内存请求信号（MREQ_N 或 nMREQ）表示在下一个周期中是否请求访问内存。如果 nMREQ 信号为低，ARM 核心处理器就会在下一个周期中请求访问内存。非操作码读取信号（OPC_N 或 nOPC）表示 ARM 核心处理器是否正从内存中读取指令。如果 OPC_N 信号为低 ARM 核心处理器就正从内存中读取指令，且如果 OPC_N 信号为高就表示有数据正在传送（如果当前有数据的话）。利用非等待信号（WAIT_N 或 nWAIT）引起 ARM 核心等待或是拖延一个整数内存时钟输入（MCLK）周期。MCLK 是一个对 ARM 核心内存访问和内部操作进行计时的时钟。当 WAIT_N 为低时，ARM 核心在等待或是被拖延。

图 3 是本发明的一个实施例的 ARM 协处理器能耗降低系统 300 的原理图。ARM 协处理器能耗降低系统 300 包括：THUMB 位寄存器 TBIT_PF 310、等待寄存器 WAIT_N_PF 321、第一逻辑 OR（或）元件 325、非操作码读取寄存器 OPC_N_PF 327、第三逻辑 AND（与）元件 328、第二逻辑 AND 元件 329、数据保持寄存器 DATA_HOLD_NF 331、多路复用器 MUX332、译码寄存器 DECODE_NF 333、执行寄存器 EXECUTE_NF 334、

第一逻辑 AND 元件 340、停止时钟寄存器 STOPCLK_NF 345。在其标识中包含一个 PF 的寄存器由信号上升沿触发的触发器，而在其标识中包含 NF 的寄存器由信号下降沿触发的触发器。TBIT_PF 310 与第一逻辑 AND 元件 340 相连接。第三逻辑 AND 元件 328 与 WAIT_N_PF 321、第一逻辑 OR 元件 325、OPC_N_PF 327、DATA_HOLD_NF 331 相连接。第二逻辑 AND 元件 329 与 WAIT_N_PF 321、第一逻辑 OR 元件 325、OPC_N_PF 327、DECODE_NF 333、EXECUTE_NF 334 相连接。MUX 332 与 DATA_HOLD_NF 331、DECODE_NF 333 相连接，而 DECODE_NF 333 与 EXECUTE_NF 334 相连接。EXECUTE_NF 334 与第一逻辑 AND 元件 340 相连接，而第一逻辑 AND 元件 340 与 STOPCLK_NF 345 相连接。

ARM 协处理器能耗降低系统 300 的元件进行协同操作，通过 ARM 流水线发送 ARM 指令，同时如果 ARM 流水线正处理 THUMB 状态指令，就启动一个信号来关闭协处理器时钟。第一逻辑 AND 元件 340 适用于对输入信号进行逻辑分析，并根据 ARM 流水线中的指令状态提供一个信号以打开或关闭协处理器时钟。例如，如果在 ARM 流水线中的指令是 THUMB 状态指令，第一逻辑 AND 元件 340 就提供一个信号以关闭协处理器时钟，如果有一个 ARM 流水线中的指令是 ARM 状态指令，则它就会提供一个信号以打开协处理器时钟。THUMB 位寄存器 TBIT_PF 310 存储一个 THUMB 位 (TBIT) 信号的逻辑值，该值表示一个 ARM 流水线中的指令是否在 THUMB 状态或 ARM 状态下进行操作。执行寄存器 EXECUTE_NF 334 存储与上述 ARM 流水线的执行阶段有关的信息。

第二逻辑 AND 元件 329 控制通过 ARM 流水线的指令和数据的进展。如果逻辑 OR 元件 325 的一个输入（如一个非内存请求信号 MREQ_N 和一个非操作码信号 OPC_N）是逻辑 1，对逻辑 OR 元件 325 就发送一个逻辑 1 值，如果对逻辑 OR 元件 325 的上述输入是逻辑 0，逻辑 OR 元件 325 就发送一个逻辑 0。等待寄存器 WAIT_N_PF 321 捕获一个非等待信号（如 WAIT_N）的值。

第三逻辑 AND 元件 328 发送一个信号以指示在 ARM 流水线中传送的存储数据。数据保持寄存器 DATA_HOLD_NF 331 存储 ARM 流水线中等待进行处理的数据。非操作码读取寄存器 OPC_N_PF 327 存储用来指示 ARM 核心处理器是否正从内存中读取指令的非操作码读取信号的状态。译码寄存器 DECODE_NF 333 存储与 ARM 流水线译码阶段有关的

信息。多路复用器 MUX 332 选择一个信号发送到所述的译码寄存器，如数据保持寄存器中的信号或是数据信号。

ARM 指令流水线对在 WAIT_N_PF 321 中的信息、信号 OPC_N 和 MREQ_N 的逻辑状态进行逻辑检验以确定何时通过各种 ARM 核心寄存器锁存来自于 ARM 系统数据总线的指令。对前一个上升沿的 TBIT 值进行取样，并将其与正向译码和执行阶段传送的数据一起进行发送。这会使 ARM 协处理器能耗降低系统 300 能够正确地启动/停止协处理器时钟。

图4是ARM协处理器能耗降低真值表400的说明。ARM协处理器能耗降低真值表400是ARM协处理器能耗降低系统300的真值表。在本发明的一个实施例中，如果在时钟的上升沿WAIT_N_PF的输出为逻辑1，OPC_N信号为逻辑0，且MREQ_N信号为逻辑0的话，则ARM核心就正在读取指令。在接下来的时钟下降沿指令自身置于ARM核心数据总线上。如果WAIT_N_PF存储的值为逻辑0的话，指令就保留在ARM核心数据总线上，且在DATA_HOLD_NF 331、多路复用器MUX 332、译码寄存器DECODE_NF 333、或是执行寄存器EXECUTE_NF 334之间没有指令传送。如果在寄存器OPC_N_PF 327中存储的值为逻辑1，且OPC_N信号或MREQ_N信号为逻辑1，则DATA_HOLD_NF 331、多路复用器MUX 332、译码寄存器DECODE_NF 333、或是执行寄存器EXECUTE_NF 334之间就没有指令传送。如果在时钟的下降沿WAIT_N_PF 321中的值为逻辑1，且OPC_N信号为逻辑1或是MREQ_N信号为逻辑1，则ARM核心就不会将当前指令经过译码阶段和执行阶段。然而，如果当前有数据的话，它就会继续数据处理。如果OPC_N_PF中的信息为逻辑0，则ARM数据总线上的指令就放入DATA_HOLD_NF 331中，并处于“保持”状态。

在ARM协处理器能耗降低真值表400的剩余状态期间，指令经过流水线中的各个阶段进行传送。如果在时钟的下降沿WAIT_N_PF 321中的信息为逻辑1，OPC_N信号为逻辑0，且MREQ_N信号为逻辑0，则ARM核心会将当前指令传送到译码阶段。OPC_N_PF 327中信息的状态决定了哪个指令传送到译码阶段。如果OPC_N_PF 327中的信息为逻辑1，则将DATA_HOLD_NF 331中的指令传送到译码阶段，因为DATA_HOLD_NF 331中的指令还没有通过译码阶段。如果OPC_N_PF 327中的信息是逻辑1，则将ARM数据总线上的指令移入REGISTER DECODE_NF 333中进行

译码。如果在时钟的下降沿WAIT_N_PF 321中的值为逻辑1，信号OPC_N为逻辑0，且信号MREQ_N为逻辑0，则寄存器DECODE_NF 333中的内容会流向寄存器EXECUTE_NF 334中进行执行。

如果第一逻辑AND元件的输入，TBIT_PF 310中存储的值和EXECUTE_NF 343中存储的TBIT值均为1的话，第一逻辑AND元件发送逻辑1值；如果上述输入的任一值为逻辑0值，则它就发送逻辑0值。第一逻辑AND元件340发送的逻辑值暂时保存在STOPCLK_NF 345中，然后发送给协处理器时钟作为CLKSTOP信号。如果CLKSTOP为逻辑1，则协处理器时钟停止；如果CLKSTOP为逻辑0，则协处理器时钟启动。

图5是本发明一个实施例的ARM协处理器能耗降低方法500的流程图。ARM协处理器能耗降低方法500确立ARM系统是否正处于不使用ARM协处理器的活动中，并降低ARM协处理器的电能损耗。在一个实施例中，ARM协处理器能耗降低方法500检测来自于ARM核心外围的信号从而确定ARM核心是否正试图进入ARM状态操作或THUMB状态操作。如果ARM协处理器能耗降低方法500检测到ARM核心正试图进入THUMB状态操作，ARM协处理器能耗降低方法500就发送一个与关闭ARM协处理器时钟相关的时钟信号。例如，如果ARM协处理器能耗降低方法500确立在ARM流水线内的一系列指令都是THUMB状态操作，ARM协处理器能耗降低方法500会使协处理器时钟关闭。因为关闭了ARM协处理器时钟，在ARM协处理器内的寄存器就不再进行转换且消耗电能。

在步骤510中ARM协处理器能耗降低方法500确定ARM核心是否正读取一个THUMB状态指令。在一个实施例中，ARM协处理器能耗降低方法500检查ARM处理器是否正处于指令读取中。如果正在读取指令，ARM协处理器能耗降低方法500就捕获与正被读取指令有关的TBIT信号的逻辑值。例如，ARM协处理器能耗降低方法500扫描非内存请求信号(MREQ_N或nMREQ)、非操作码读取信号(OPC_N或nOPC)和非等待信号(WAIT_N或nWAIT)从而确定ARM核心是否正在读取指令。在一个例子中，逻辑0（低）的TBIT信号表示一个ARM状态指令，而逻辑1（高）的TBIT信号指示一个THUMB状态指令。在ARM协处理器能耗降低方法500确定ARM核心是否正读取THUMB状态指令之后，ARM协处理器能耗降低方法500就进入步骤520。

ARM协处理器能耗降低方法500在步骤520中继续进行正常的ARM核

心和协处理过程。在一个例子中，ARM协处理器能耗降低方法500通过将一条指令从读取阶段转移到解码阶段并再将该指令送入执行阶段而继续正常的ARM核心和协处理过程。

在步骤530中，ARM协处理器能耗降低方法500追踪按ARM流水线进行处理的后续指令的状态。在一个实施例中，ARM协处理器能耗降低方法500会存储TBIT寄存器（例如，TBIT_PF 210）中TBIT信号的逻辑值。在一个例子中，当一条指令从读取阶段移入流水线解码阶段时，就会存储TBIT值。

在步骤540中，ARM协处理器能耗降低方法500分析关闭协处理器时钟是否合适。在一个ARM协处理器能耗降低方法500的实施例中，如果ARM协处理器能耗降低方法500确立在ARM流水线中正处理的指令是THUMB状态指令或是和THUMB状态指令有关的数据，就认为关闭协处理器时钟是合适的。例如，如果THUMB状态指令或和THUMB状态指令有关的数据正占据ARM流水线的各个阶段，关闭协处理器时钟就是合适的。如果不适合关闭协处理器时钟，ARM协处理器能耗降低方法500转回到步骤510；如果适合关闭协处理器时钟，ARM协处理器能耗降低方法500就会前进到步骤550。

在步骤550中，ARM协处理器能耗降低方法500关闭协处理器时钟。在本发明的一个实施例中ARM协处理器能耗降低方法500发送一个信号以停止协处理器时钟。

在步骤560中，ARM协处理器能耗降低方法500检测打开协处理器时钟是否适合。在ARM协处理器能耗降低方法500的一个实施例中，如果ARM协处理器能耗降低方法500查明ARM流水线中的指令是ARM状态指令或是与ARM状态指令有关的数据，就认为打开协处理器时钟是适合的。例如，如果ARM状态指令或是与ARM状态指令有关的数据正占据着ARM流水线寄存器，就适合打开协处理器时钟。在一个实施例中，在协处理器时钟打开之后ARM协处理器能耗降低方法500继续监视与指令读取有关的TBIT信号。例如，ARM协处理器能耗降低方法500认为TBIT的逻辑0值表示相关的指令读取为ARM状态指令读取。如果后续读取是ARM状态指令，则它就适于打开协处理器时钟。如果不适合打开协处理器时钟，ARM协处理器能耗降低方法500就返回到步骤510。如果适合打开协处理器时钟，ARM协处理器能耗降低方法500就前进到步骤570。

在步骤570中，ARM协处理器能耗降低方法500打开协处理器时钟，并返回到步骤510。

如上所述，ARM协处理器能耗降低方法500在步骤540中确立ARM流水线中处理的指令是否为THUMB状态指令或是与THUMB状态指令有关的数据。在ARM协处理器能耗降低方法500的一个实施例中，如果一个存储的等待值（如WAIT_N_PF 321）为逻辑1，且OPC_N信号和MREQ_N信号均为逻辑0，则ARM协处理器能耗降低方法500就会将与流水线执行寄存器（如EXECUTE_NF 234）中指令有关的TBIT值和TBIT寄存器（如TBIT_PF 210）中存储的TBIT值进行比较。如果与流水线执行寄存器（如EXECUTE_NF 234）中指令有关的TBIT值和TBIT寄存器（如TBIT_PF 210）中存储的TBIT值都为逻辑1的话，ARM协处理器能耗降低方法500就会停止协处理器时钟。如果与流水线执行寄存器（如EXECUTE_NF 234）中指令有关的TBIT值或者TBIT寄存器（如TBIT_PF 210）中存储的TBIT值为逻辑0的话，ARM协处理器能耗降低方法500就不会停止协处理器时钟。

因此，本发明的系统和方法会减少ARM系统中协处理器的电能损耗。本系统和方法不会影响ARM系统的操作性能。利用本发明在THUMB状态操作期间减少协处理器寄存器的转换，而且本发明也有利于降低电源供应需求。

以上对本发明的具体实施例进行了描述和阐明。它们并未穷举，或是将本发明局限于所披露的实施例，显然根据以上的讲解可能会有很多的修改和变化。实施例的选择和描述是为了最好地说明本发明的原理及其实际应用，因此能够使本领域的其他技术人员更好地利用本发明和各种变化的实施例以适应于特定的使用要求。

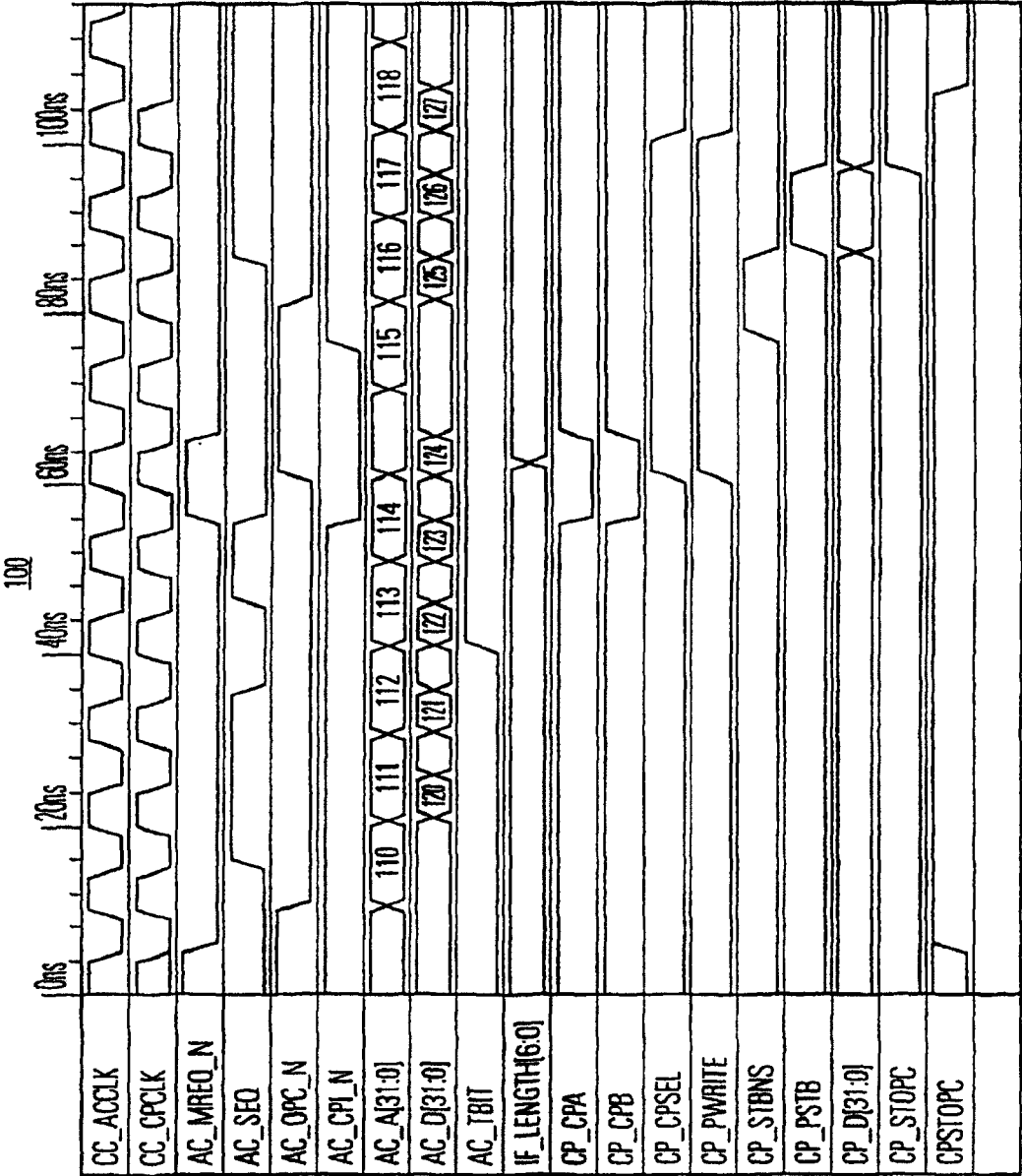


图 1

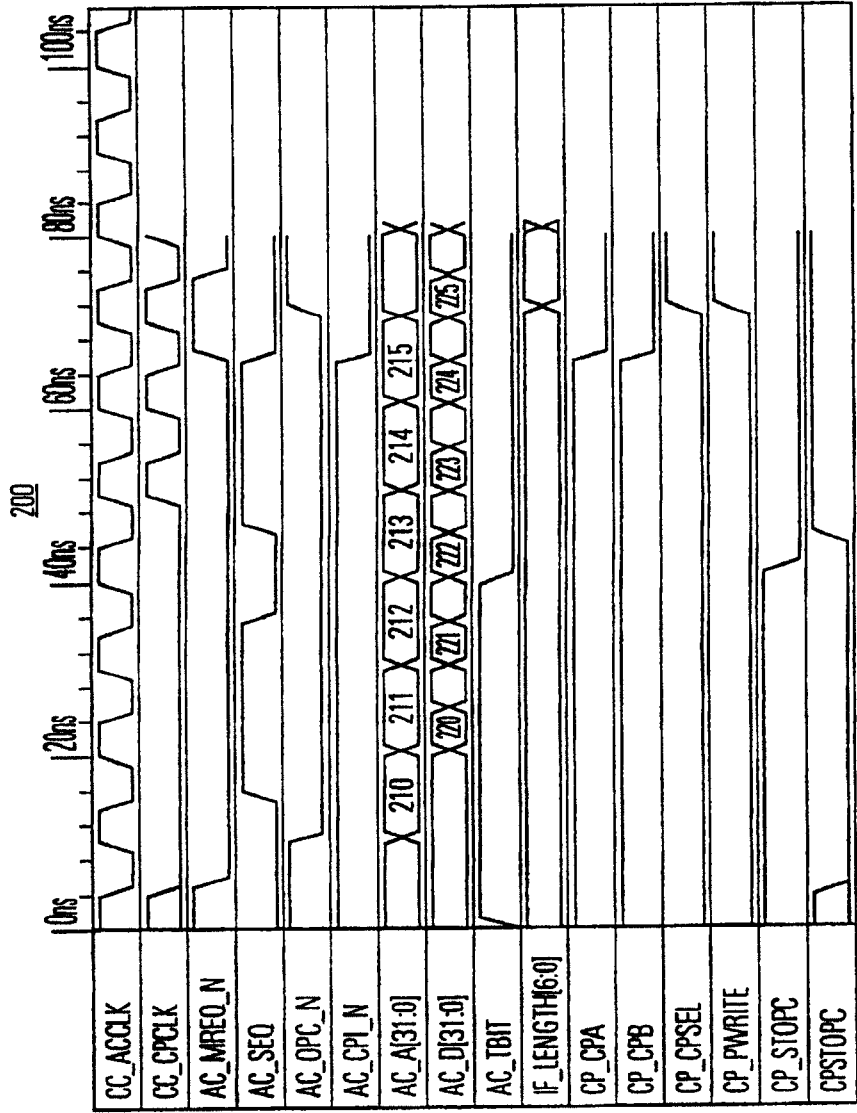


图 2

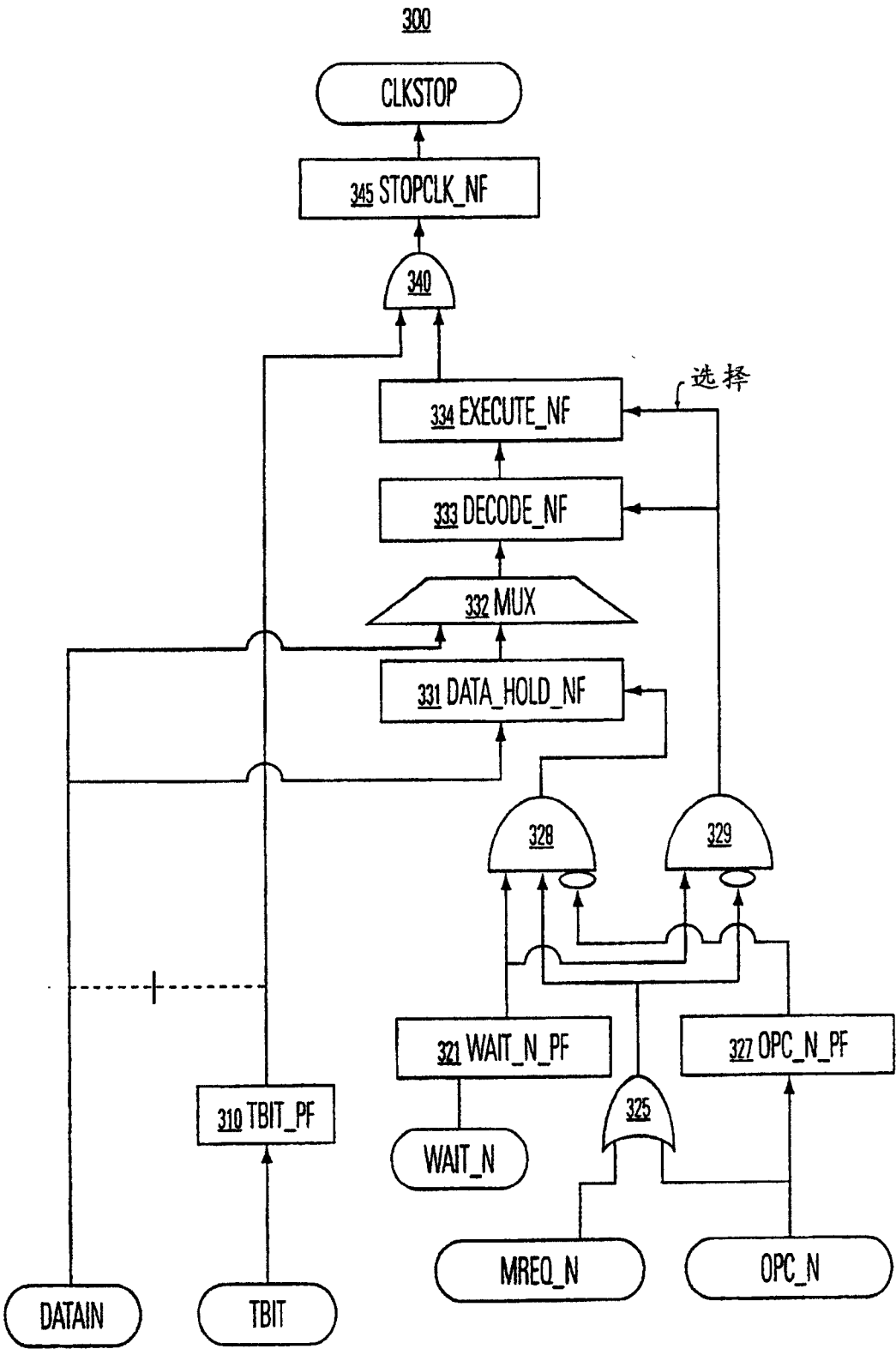


图 3

WAIT_N_PF	OPC_N_PF	OPC_N	MREQ_N	DHOLD	译码	执行
0	X	X	X	保持	保持	保持
X	1	1	X	保持	保持	保持
X	1	X	1	保持	保持	保持
1	0	0	0	保持	DIN	译码
1	0	1	X	DIN	保持	保持
1	1	0	0	保持	DHOLD	译码

图 4

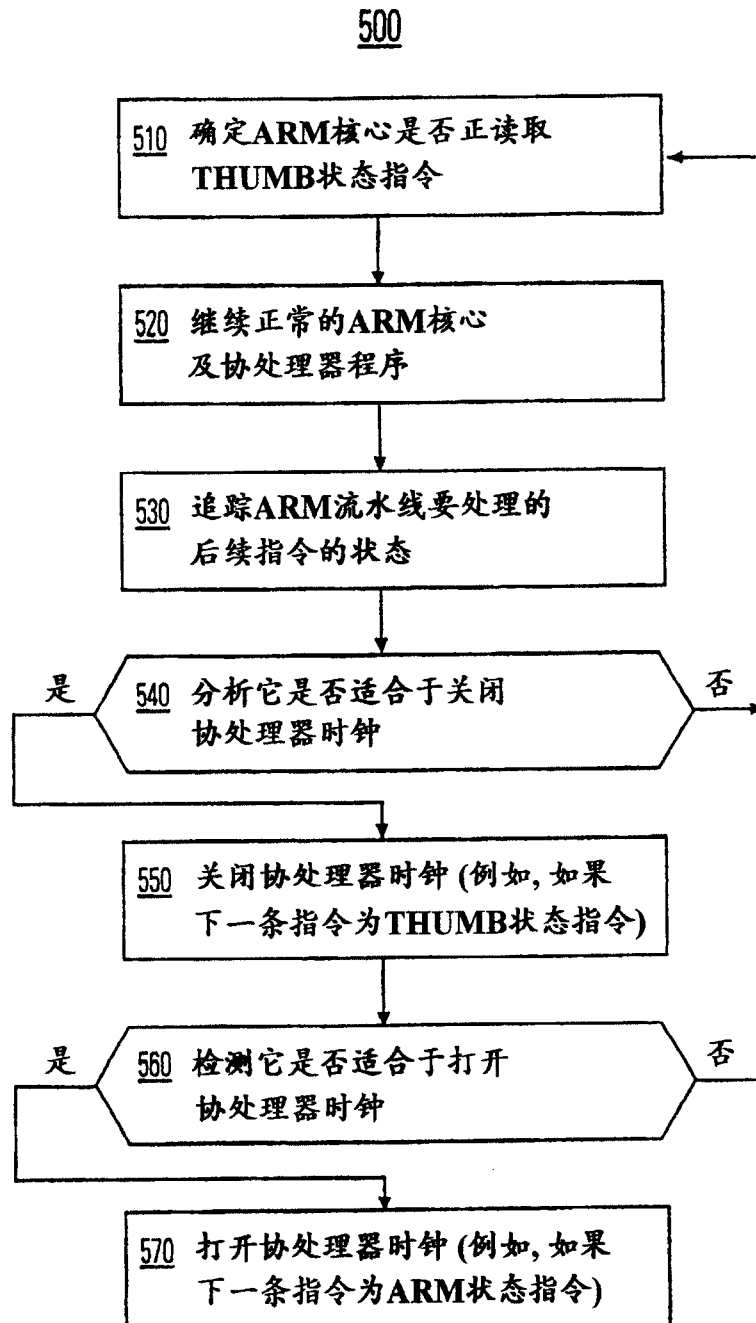


图 5