



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년09월05일
(11) 등록번호 10-1062029
(24) 등록일자 2011년08월29일

(51) Int. Cl.

H01L 21/336 (2006.01)

(21) 출원번호 10-2005-7008203

(22) 출원일자(국제출원일자) 2003년10월14일

심사청구일자 2008년10월14일

(85) 번역문제출일자 2005년05월07일

(65) 공개번호 10-2005-0062655

(43) 공개일자 2005년06월23일

(86) 국제출원번호 PCT/US2003/032655

(87) 국제공개번호 WO 2004/044973

국제공개일자 2004년05월27일

(30) 우선권주장

10/290,276 2002년11월08일 미국(US)

(56) 선행기술조사문헌

US06013570 A1*

US06396108 B1*

*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 8 항

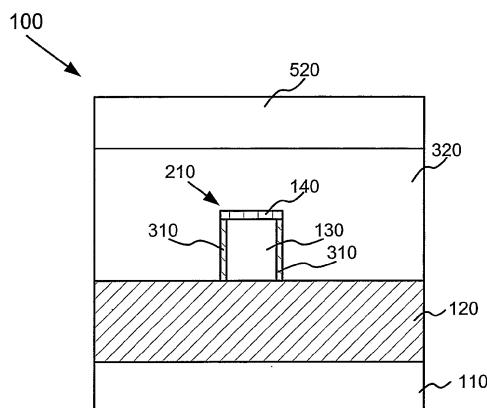
심사관 : 권순근

(54) 반도체 디바이스에서 게이트 임계 치수를 개선시키기 위한 게이트 물질 평탄화

(57) 요 약

반도체 디바이스(100)를 제조하는 방법은 절연체(120) 위에 핀 구조(210)를 형성하는 단계를 포함한다. 핀 구조(210)는 측면들 및 상부면을 포함할 수 있다. 상기 방법은 또한, 상기 핀 구조(210) 위에 게이트 물질(320)을 증착하는 단계와, 상기 증착된 게이트 물질(320)을 평탄화하는 단계를 포함한다. 상기 반사 방지 코팅(520)은 상기 평탄화된 게이트 물질(320) 위에 증착될 수 있고, 상기 게이트 구조(510)는 상기 반사 방지 코팅(520)을 사용하여 평탄화된 게이트 물질(320) 외부에 형성될 수 있다.

대 표 도 - 도5B



(72) 발명자
왕 하이홍
미국 캘리포니아 94555 프레몬트 도나휴 테라스
34170

유빈
미국 캘리포니아 95014 쿠퍼티노 포피 웨이 1373

특허청구의 범위

청구항 1

반도체 디바이스(100)를 제조하는 방법으로서,

절연체(120) 상에 펀 구조(210)를 형성하는 단계와, 여기서 상기 펀 구조(210)는 측면들 및 상부면을 포함하고;

상기 펀 구조(210) 위에 게이트 물질(320)을 증착하는 단계와;

상기 증착된 게이트 물질(320)을 평탄화하는 단계와;

상기 평탄화된 게이트 물질(320) 상에 반사 방지 코팅(520)을 증착하는 단계와; 그리고

상기 평탄화된 게이트 물질(320)로부터 게이트 구조(510)를 형성하는 단계를 포함하여 구성되며, 여기서 상기 게이트 구조(510)의 가장 작은 피쳐 사이즈는 50nm보다 작거나 50nm와 동일한 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 2

제1항에 있어서,

상기 평탄화하는 단계는, 화학적 기계적 공정에 의해 상기 증착된 게이트 물질(320)의 상부면을 연마하는 것을 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 3

제1항에 있어서,

상기 게이트 구조(510)를 형성하는 단계는,

상기 반사 방지 코팅(520) 위에 포토레지스트 층을 증착하는 것과,

상기 게이트 구조(510)를 정의하기 위해 상기 포토레지스트 층을 패터닝하는 것과, 그리고

상기 게이트 구조(510)를 형성하기 위하여 상기 포토레지스트 층 및 상기 게이트 물질(320)을 선택적으로 식각하는 것을 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 4

제1항에서 청구된 바와 같은 반도체 디바이스(100)를 제조하는 방법으로서,

상기 게이트 물질은 폴리실리콘이고,

상기 평탄화하는 단계는 연마하는 단계에 해당하며; 그리고

상기 게이트 구조(510)의 가장 작은 피쳐 사이즈는 20nm와 50nm 사이인 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 5

제4항에 있어서,

상기 연마는 상기 폴리실리콘(320)의 화학적 기계적 연마를 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 6

제4항에 있어서,

상기 게이트 구조(510)를 형성하는 단계는,

상기 반사 방지 코팅(520) 위에 포토레지스트 층을 증착하는 것과,

상기 게이트 구조(510)를 정의하기 위해 상기 포토레지스트 층을 패터닝하는 것과, 그리고

상기 정의된 게이트 구조(510) 주변으로부터 상기 폴리실리콘(320)을 제거하는 것을 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 7

제4항에 청구된 바와 같은 반도체 디바이스(100)를 제조하는 방법으로서,

상기 핀 구조는 300Å 내지 1500Å 범위의 두께를 가지고,

상기 반사 방지 코팅(520)은 상기 폴리실리콘(320) 상에서 100Å 내지 500Å 범위의 두께를 가지며,

상기 반사 방지 코팅(520) 위에 포토레지스트 층을 증착하는 단계와;

상기 게이트 구조(510)를 정의하기 위하여 상기 포토레지스트 층을 패터닝하는 단계와; 그리고

상기 정의된 게이트 구조(510) 주변으로부터 상기 폴리실리콘(320)을 식각하는 단계를 포함하여 구성되며,

상기 반사 방지 코팅(520)을 증착하는 단계 이전에, 평탄한 상부면을 획득하기 위해 상기 폴리실리콘(320)이 연마되는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 8

제7항에 있어서,

상기 정의된 게이트 구조(510)의 가장 작은 피쳐 사이즈는 20nm와 50nm 사이에 있는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 9

삭제

청구항 10

삭제

명세서

기술 분야

[0001]

본 발명은 반도체 디바이스들 및 반도체 디바이스들을 제조하는 방법들에 관한 것이다. 본 발명은 특히 더블-게이트 디바이스들에 적용가능하다.

배경 기술

[0002]

최대 규모 스케일 집적 반도체 디바이스들과 연관된 높은 밀도 및 성능을 위해 점자 증가하는 요구사항들은, 100나노미터(nm) 이하의 게이트 길이, 높은 신뢰도 및 증가된 제조 처리량과 같은 디자인 특성들을 요구한다. 100nm 이하의 디자인 피쳐들의 감소는 종래 방법론의 제한요소들을 해결한다.

[0003]

예를 들어, 종래 평탄한 금속 산화물 반도체 전계 효과 트랜지스터들(MOSFET들)의 게이트 길이는 100nm 이하로 스케일되고, 소스와 드레인 사이의 과도한 누설과 같은 짧은 채널 효과들과 연관된 문제점들은 점차 극복하기 어려워진다. 게다가, 이동도 감소 및 다수의 공정 문제들은 또한, 점차적으로 더 작은 디바이스 피쳐들을 포함하기 위해 종래 MOSFET들을 스케일하기 어렵게 한다. 따라서, 새로운 디바이스 구조들은 FET 성능을 향상시키기 위해 개발되고, 추가적인 디바이스 스케일링을 허용한다.

[0004]

더블-게이트 MOSFET들은, 기존의 평탄한 MOSFET들을 계승하기 위한 후보로서 고려되어 온 새로운 구조들을 나타낸다. 몇몇 양상들에서, 더블-게이트 MOSFET들은 종래 벌크 실리콘 MOSFET들보다 더 나은 특성들을 제공한다. 이러한 특성 향상들은, 종래 MOSFET들처럼 오직 채널 한 측에 게이트 전극이 있는 것과 달리, 더블-게이트 MOSFET이 채널 양측에 게이트 전극을 가짐으로 해서 이루어진다. 두 개의 게이트들이 존재할 때, 드레인에 의해 발생된 전계는 채널의 소스 종단으로부터 더 잘 차단(screen)된다. 또한, 두 게이트들은 단일 게이트에 비해 약 2배의 전류로 제어할 수 있고, 그에 따라 스위칭 신호가 더욱 강해진다.

[0005]

FinFET은 우수한 짧은 채널 동작을 나타내는 최근의 더블-게이트 구조이다. FinFET은 수직 핀(fin)에서 형성된

채널을 포함한다. FinFET 구조는, 종래 평탄한 MOSFET들에 사용되는 것과 유사한 레이아웃 및 공정 기술들을 사용하여 제조될 수 있다.

발명의 상세한 설명

- [0006] 본 발명에 따른 실시예들은, 게이트의 임계 치수(CD)를 개선시키는 FinFET 디바이스를 형성하는 방법을 제공한다. 상기 게이트 물질은 게이트 패터닝(patterning) 이전에 평탄화될 수 있다. 게다가, 반사 방지 코팅(antireflective coating)은 평탄화된 게이트 물질 위에 형성될 수 있다.
- [0007] 본 발명의 부가적인 이점들 및 다른 특징들은 후술하는 발명의 상세한 설명에서 부분적으로 언급될 것이고, 하기의 설명을 정독하는 본 기술분야의 통상의 지식을 가진 자에게 일부 명백할 것이며, 본 발명의 실시로부터 인식될 수 있다.
- [0008] 본 발명에 따르면, 상기 및 다른 이점들은 절연체 위에 핀 구조를 형성하는 단계를 포함하는 반도체 디바이스를 제조하는 방법에 의해 부분적으로 이루어질 수 있다. 핀 구조는 측면들 및 상부면을 포함할 수 있다. 상기 방법은 또한, 핀 구조 위에 게이트 물질을 증착하는 단계와, 증착된 게이트 물질을 평탄화하는 단계를 포함한다. 반사 방지 코팅은 상기 평탄화된 게이트 물질 위에 증착될 수 있고, 게이트 구조는 반사 방지 코팅을 사용하는 평탄화된 게이트 물질 외부에 형성될 수 있다.
- [0009] 본 발명의 다른 양상에 따르면, 반도체 디바이스를 제조하는 방법은 절연체 위에 핀 구조를 형성하는 단계와 핀 구조 위에 폴리실리콘을 증착하는 단계를 포함한다. 상기 방법은 또한, 평탄한 상부면을 얻기 위하여 폴리실리콘을 연마하는 단계와, 상기 폴리실리콘의 평탄한 상부면 위에 반사 방지 층을 증착하는 단계를 포함한다. 게이트 구조는 반사 방지 층을 사용하여 폴리실리콘으로부터 형성될 수 있다.
- [0010] 본 발명의 추가적인 양상에 따르면, 반도체 디바이스를 제조하는 방법은 절연체 위에 핀 구조를 형성하는 단계와 핀 구조 위에 폴리실리콘을 증착하는 단계를 포함한다. 상기 방법은 또한, 평탄한 상부면을 얻기 위해 폴리실리콘을 연마하는 단계와, 폴리실리콘의 평탄한 상부면 위에 반사 방지 코팅을 증착하는 단계를 포함한다. 상기 방법은 반사 방지 코팅 위에 포토레지스트 층을 증착하는 단계와, 게이트 구조를 정의하기 위해 포토레지스트 층을 패터닝하는 단계를 더 포함한다. 상기 폴리실리콘은 정의된 게이트 구조 주변으로부터 식각될 수 있다.
- [0011] 본 발명의 다른 이점들 및 특징들은 후술하는 상세한 설명들로부터 본 기술분야에서 통상의 지식을 가진 자에게 명백하게 될 것이다. 제시되고 설명된 실시예들은, 본 발명을 실시하기 위해 예상되는 최상의 모드의 실례를 제공한다. 본 발명은 본 발명으로부터 벗어남 없이 다양한 명백한 관점에서 수정될 수 있다. 따라서, 도면들은 본질적으로 예시적인 것일 뿐, 제한적인 것으로 간주되지 말아야 할 것이다.

실시예

- [0022] 본 발명을 실시하기 위한 최적 실시예
- [0023] 후술할 본 발명의 상세한 설명은 첨부된 도면들을 참조한다. 서로 다른 도면들에서의 동일한 도면 부호들은 동일한 또는 유사한 요소들로 간주될 수 있다. 또한, 후술할 상세한 설명은 본 발명을 제한하지 않는다. 대신, 본 발명의 범위는 첨부된 청구항들 및 그들의 균등물들에 의해 정의된다.
- [0024] 본 발명에 따른 실시예들은, 게이트에서 가장 작은 피쳐 사이즈를 개선시키는 FinFET 디바이스를 형성하는 방법을 제공한다. 가장 작은 피쳐 사이즈를 개선시키기 위하여, 게이트 물질은 게이트 패터닝 이전에 평탄화될 수 있다. 게다가, 반사 방지 코팅은 평탄화된 게이트 물질 위에 형성될 수 있다.
- [0025] 도 1은 본 발명의 실시예에 따라 형성된 반도체 디바이스(100)의 단면도를 도시한다. 도 1을 참조하면, 반도체 디바이스(100)는 실리콘 기판(110), 매립 산화물 층(120) 및 매립 산화물 층(120) 위에 형성된 실리콘 층(130)을 포함하는 실리콘 온 절연체(SOI)를 포함할 수 있다. 매립 산화물 층(120) 및 실리콘 층(130)은 종래 방식으로 기판(110) 위에 형성될 수 있다.
- [0026] 예시적인 구현으로, 매립 산화물 층(120)은 실리콘 산화물을 포함할 수 있고, 약 1000Å에서 약 3000Å까지의 범위 내에서 두께를 가질 수 있다. 실리콘 층(130)은 약 300Å에서 약 1500Å까지의 범위 내에서 두께를 가지는 단일결정 또는 다중결정 실리콘을 포함할 수 있다. 실리콘 층(130)은 이하에서 더 상세히 설명된 바와 같이, 더블 게이트 트랜지스터 디바이스에 대한 핀 구조를 형성하는데 사용된다.
- [0027] 본 발명에 따른 대안적인 실시예들로서, 기판(110) 및 층(130)은, 게르마늄과 같은 반도체 물질들을 포함할 수

있거나 또는 실리콘-게르마늄과 같은 다른 반도체 물질들의 결합을 포함할 수 있다. 매립 산화물 층(120)은 또한, 다른 유전 물질들을 포함할 수 있다.

[0028] 실리콘 나이트라이드 층 또는 실리콘 산화물 층(예컨대, SiO_2)과 같은 유전층(140)은, 후속적인 식각 공정 동안 보호 캡으로서 동작하도록 실리콘 층(130) 위에 형성될 수 있다. 예시적인 구현으로, 유전층(140)은 약 150Å에서 약 700Å까지의 범위 내의 두께로 증착될 수 있다. 이어서, 포토레지스트 물질은 후속 공정 동안에 포토레지스트 마스크(150)를 형성하기 위하여 증착되고 패터닝될 수 있다. 포토레지스트는 종래 방식으로 증착되고 패터닝될 수 있다.

[0029] 이어서, 반도체 디바이스(100)가 식각될 수 있고, 포토레지스트 마스크(150)가 제거될 수 있다. 예시적인 실시예로서, 실리콘 층(130)은 종래 방식으로 식각될 수 있으며, 핀을 형성하기 위해 매립 산화물 층(120) 위에서 식각이 종료된다. 핀 형성 후, 소스 및 드레인 영역들은 핀의 각 종단에 인접하게 형성될 수 있다. 예를 들어, 예시적인 실시예로서, 실리콘, 게르마늄, 또는 실리콘과 게르마늄의 혼합물 층은 소스 및 드레인 영역들을 형성하기 위해 종래 방식으로 증착되고, 패터닝되며, 식각될 수 있다.

[0030] 도 2A는 그러한 방식으로 형성된 반도체(100)의 핀 구조의 평면도를 개략적으로 도시한다. 본 발명의 예시적인 실시예에 따르면, 소스 영역(220) 및 드레인 영역(230)은 매립 산화물 층(120) 위의 핀(210)에 인접하게 및 핀의 종단에 근접하게 형성될 수 있다.

[0031] 도 2B는 본 발명의 예시적인 실시예에 따른 핀 구조(210)의 형성을 도시하는 도 2A에서의 라인 A-A'에 따른 단면도이다. 상기 설명된 바와 같이, 유전층(140) 및 실리콘 층(130)은 핀(210)을 형성하기 위해 식각될 수 있다. 핀(210)은 실리콘(130) 및 유전체 캡(140)을 포함할 수 있다.

[0032] 도 3은 본 발명의 예시적인 실시예에 따른 핀(210) 위에 게이트 유전층 및 게이트 물질의 형성을 도시하는 단면도이다. 유전층은 핀(210) 위에 형성될 수 있다. 예를 들어, 얇은 산화막(310)은 도 3에 도시된 바와 같이 핀(210) 위에 열적으로 성장될 수 있다. 산화막(310)은 약 10Å에서 약 50Å의 두께로 성장될 수 있고, 후속적으로 형성된 게이트 전극에 대한 유전층으로서 동작하도록 핀(210)에서 실리콘(130)의 노출된 측면들 위에 형성될 수 있다. 산화막(310)과 유사하게, 유전체 캡(140)은 핀(210)의 상부면에 전기 절연체를 제공할 수 있다.

[0033] 게이트 물질 층(320)은 산화막(310)의 형성 후 반도체 디바이스(100) 위에 증착될 수 있다. 게이트 물질 층(320)은 후속적으로 형성된 게이트 전극들을 위한 물질을 포함할 수 있다. 예시적인 구현으로, 게이트 물질 층(320)은 종래 화학 증기 증착(CVD) 또는 다른 잘 알려진 기술을 사용하여 증착된 폴리실리콘을 포함할 수 있다. 대안적으로, 게르마늄, 또는 실리콘과 게르마늄의 혼합물과 같은 다른 반도체 물질들 또는 다양한 금속들이 게이트 물질로서 사용될 수 있다.

[0034] 도 4는 본 발명의 예시적인 실시예에 따른 게이트 물질(320)의 평탄화를 도시하는 단면도이다. 게이트 물질(320)을 평탄화하는 것은, 도 3에서 핀(210) 위에 도시된 바와 같은 물질의 임의의 비평탄 돌출부들을 제거할 수 있다. 도 4로 돌아가면, 화학적-기계적 연마(CMP) 또는 다른 종래 기술은, 게이트 물질(320)의 상부면이 실질적으로 평탄화되도록 수행될 수 있다. 하나의 구현으로, 도 4에 도시된 바와 같이, 평탄한 게이트 물질(320)은 절연체 캡(140) 위로 확장될 수 있다. 평탄화 후 게이트 물질(320)의 두께는 약 700Å에서 약 2000Å까지의 범위를 가질 수 있다.

[0035] 본 발명의 원리와 일치하는 대안적인 구현으로 (도시되지 않음), 게이트 물질(320)은 절연체 캡(140)의 상부면 까지 아래로 평탄화될 수 있다. 게이트 물질(320)의 상부면은 결과적으로 핀(210)에서 절연체 캡(140)의 상부면에 의해 분리화될 수 있다. 그러한 구현으로, 게이트 물질(320)은 두 개의 물리적이고 전기적으로 분리된 게이트들로 패터닝될 수 있다.

[0036] 도 5A는 본 발명의 예시적인 실시예에 따르는 반도체 디바이스(100)의 평면도를 개략적으로 도시한다. 도시된 바와 같이, 게이트 구조(510)는 핀(210)의 채널 영역을 가로질러 확장되도록 패터닝될 수 있다. 게이트 구조(510)는 핀(210)의 측면들에 근접한 게이트 부분과, 핀(210)으로부터 일정 간격 떨어져 있는 더 큰 전극 부분을 포함할 수 있다. 게이트 구조(510)의 전극 부분은 바이어싱을 위하여 접근 가능한 전기적 컨택을 제공할 수 있거나, 그렇지 않으면 게이트 부분을 제어할 수 있다.

[0037] 도 5B는 본 발명의 예시적인 실시예에 따르는 도 5A의 반도체 디바이스(100)의 형성을 도시하는 단면도이다. 게이트 구조(510)는 리소그래피(lithography)(예컨대, 포토리소그래피)에 의해 게이트 물질 층(320)에서 정의될 수 있다. 바닥 반사 방지 코팅(BARC) 층(520)은 평탄한 게이트 물질 층(320) 위에 증착될 수 있다. 반도체 기술

분야에서 통상의 지식을 가진 자에 의해 인식될 수 있는 바와 같이, 포토레지스트는 BARC 층(520) 위에 증착될 수 있고, 게이트 구조(510)의 형태로 패터닝될 수 있다.

[0038] 이어서, 게이트 물질 층(320)은 디바이스(100)의 게이트 물질 층(320)로부터 게이트 구조(510)를 형성하기 위해 선택적으로 식각 수 있다. 평탄한 게이트 물질 층(320)은 BARC 층(520)에 적어도 평탄한 바닥면을 제공할 수 있고, BARC 층(520)의 상부면을 평탄하게 하고자 한다. BARC 층(520)은 약 100Å에서 약 500Å까지의 범위 내의 두께를 가질 수 있다. 평탄한 게이트 물질 층(320) 때문에, BARC 층(520) 위의 포토레지스트는 더 정교하게 패터닝될 수 있고, 게이트 구조(510)의 임계 치수(CD)(즉, 그것의 가장 작은 피쳐 사이즈)는 개선될 수 있다. 예를 들면, 약 20nm에서 약 50nm 범위의 게이트 CD들은 CMP로 게이트 물질(320)의 평탄화에 의해 수행될 수 있다. 따라서, 게이트 물질(320)의 평탄한 상부면은, 전형적인 FinFET 게이트를 정의하는 동안 매우 비평탄한 면과 대조적으로, 게이트 구조(510)의 CD를 개선시킬 수 있다.

[0039] 이어서, 소스/드레인 영역들(220 및 230)이 도핑될 수 있다. 예를 들어, n-타입 또는 p-타입 불순물들이 소스/드레인 영역(220 및 230)에 주입될 수 있다. 특정 주입 도스 및 에너지는 특정한 최종 디바이스 요구사항에 기초하여 선택될 수 있다. 본 기술분야에서 통상의 지식을 가진자는, 회로 요구사항에 기초하여 소스/드레인 주입 공정을 최적화할 수 있을 것이며, 그러한 동작들은 본 발명의 요지를 불필요하게 불명확하게 하지 않도록 이하에서 기술하지 않는다. 게다가, 측벽 스페이서들(도시하지 않음)은 특정한 회로 요구사항들에 기초하여 소스/드레인 접합들의 위치를 제어하기 위하여 소스/드레인 이온 주입 이전에 선택적으로 형성될 수 있다. 이어서, 활성 어닐링은 소스/드레인 영역들(220 및 230)을 활성화시키기 위하여 수행될 수 있다.

[0040] 따라서, 본 발명에 따르면, 더블-게이트 FinFET에서의 게이트 CD는 BARC 층(520)을 증착하고 게이트를 정의하기 이전에 게이트 물질(320)을 평탄화하여 개선된다. 바람직하게, 결과적인 구조는 우수한 짧은 채널 효과 동작을 나타낸다. 게다가, 본 발명은 향상된 유연성을 제공하며, 종래 공정에 쉽게 통합될 수 있다.

[0041] 다른 실시예들

[0042] 몇몇 구현들에서, FinFET의 핀에서 식각 프로파일을 향상시키는 것이 바람직할 것이다. 도 6A는 핀(600)의 전형적인 식각 프로파일을 도시하는 단면도이다. 정규적인 폴리 식각 공정을 사용하여, 핀(600)은 도 6A에 도시된 바와 같이 실리콘 온 절연체 위의 실리콘(SOI) 구조의 매립 산화물 층(605) 위에 형성될 수 있다. 핀(600)은 실리콘(Si) 부분(610), 실리콘 이산화물(SiO_2) 층(620), 실리콘 나이트라이드(SiN) 층(630), 및 포토레지스트 마스크 층(640)을 포함할 수 있다. 핀(600)을 형성하기 위해 전형적인 식각 공정을 사용하는 것은, 도 6A에 도시된 "빅 풋팅(big footing)"의 결과를 냉을 수 있고, 여기서 실리콘 부분(610)의 베이스는 핀의 베이스에서 그 폭이 증가된다. 그러한 풋팅은 결과적인 FinFET에서 동일하지 않은 채널 치수를 초래할 수 있다.

[0043] 도 6B는 핀(600)의 향상된 수직 식각 프로파일을 도시하는 단면도이다. T-게이트 또는 노치(notch) 게이트 식각 접근을 사용하여, 도 6B에 도시된 바와 같이 핀(600)은 향상된 프로파일로 실리콘 온 절연체(SOI)의 매립 산화물 층(605) 위에 형성될 수 있다. 먼저, 포토레지스트 층(640)은 적절한 형태로 잘려질 수 있다. SiO_2 층(620) 및 SiN 층(630)에 대한 개구는 포토레지스트 층을 제거하여 생성될 수 있다.

[0044] 나머지 Si 층(610)은 세 가지 단계들, 즉 메인 식각, 소프트 랜딩, 및 오버 식각으로 식각될 수 있다. 메인 식각 단계는 $CF_4/HBr/Cl_2/He-O_2$ 기체 혼합물을 사용할 수 있다. 소프트 랜딩 단계는 $HBr/He-O_2$ 기체 혼합물을 사용할 수 있다. 오버 식각 단계는 또한, $HBr/He-O_2$ 기체 혼합물을 사용할 수 있다. 대안적으로, 본 기술분야에서 통상의 지식을 가진 자에 의해 인정될 수 있는 바와 같이 다른 기체 혼합물이 사용될 수 있다. 소프트 랜딩 및 오버 식각의 기체 비율, 압력, 및 전력을 변화시킴으로써, 핀(600)의 전반적인 식각 프로파일이 수직 프로파일을 형성하기 위해 보상될 수 있다. 더 나은 등방식 식각을 위하여, 필요할 때 소프트 랜딩 및 오버 식각 단계에 Cl_2 가 추가될 수 있다. 이러한 방식으로, 도 6A에 도시된 핀(600)의 풋팅된 식각 프로파일은 도 6B에 도시된 수직 프로파일로 향상될 수 있다.

[0045] 다른 구현들로서, 수직적으로 균일하게 도핑된 접합 및 게이트를 가지는 FinFET이 바람직할 수 있다. 도 7A-7C는 본 발명의 다른 구현에 따른 소스-드레인 접합 및 게이트의 플라즈마 도핑을 도시하는 단면도 및 평면도이다. 게이트(720) 및 스페이서들(730)은 실리콘 층(710) 위에 형성될 수 있다. 실리콘 층(710)은 핀 구조로 형성될 수 있다. 도 7B는 소스 영역(740)과 드레인 영역(750) 사이에 위치된 핀(700)의 평면도를 도시한다.

[0046] 게이트(720)의 패터닝 이후에, 소스 영역(740) 및 드레인 영역(750)은 도 7A 및 도 7B에 도시된 바와 같이 플라즈마로 도핑될 수 있다. 하나의 구현으로, 플라즈마는 비소(As)를 포함할 수 있다. 도 7C는 수직적으로 도핑된

소스 및 드레인 영역(740 및 750)을 도시한다. 이러한 방식으로, 소스/드레인 접합은 수직 방향으로 균일하게 도핑될 수 있다.

[0047] 상기 설명들에서, 본 발명의 완전한 이해를 제공하기 위하여 특정 물질들, 구조들, 화학물들, 공정들 등과 같은 수많은 상세한 사항들이 언급된다. 그러나, 본 발명은 여기서 언급된 상세한 사항들에 의존함 없이 실시될 수 있다. 다른 예시들로, 본 발명의 요지를 불필요하게 불명확하게 하지 않도록 잘 알려진 공정 구조들은 상세히 설명되지 않았다.

[0048] 본 발명에 따르면, 반도체 디바이스를 제조하는데 사용되는 유전층 및 전도층들은 종래 증착 기술들에 의해 증착될 수 있다. 예를 들어, 저압 CVD(LPCVD) 및 강화된 CVD(ECVD)를 포함하는 CVD 공정들의 다양한 타입들과 같은 금속화 기술들이 사용될 수 있다.

[0049] 본 발명은 다양한 타입의 반도체 디바이스들 중 어느 하나를 형성하는데 적용할 수 있고, 그에 따라 본 발명의 요지를 불명확하게 하는 것을 피하기 위하여 상세한 사항들은 언급하지 않는다. 본 발명을 실시하는데 있어서, 종래 포토리소그래피 기술 및 식각 기술들이 사용되고, 그에 따라 그러한 기술들의 상세한 설명들이 여기서 상세히 설명되었다.

[0050] 단지 본 발명의 바람직한 실시예들 및 다양한 몇몇 예시들이 본 명세서에 제시되고 설명된다. 본 발명은 다양한 다른 조합들 및 환경들에서 사용될 수 있고, 여기서 표현된 바와 같이 진보적인 개념의 범위 내에서 수정될 수 있다는 것을 인정해야 한다.

[0051] 본 출원의 명세서에 사용된 그 어떠한 요소, 단계, 혹은 지시도 명시적으로 본 발명에 대해 필수적이거나 본질적이라고 설명되지 않은 이상, 본 발명에 대해 필수 또는 본질적이라고 해석되지 않는다. 또한, 본 명세서에서 사용하는 단수는 하나 이상의 아이템들을 나타내는 복수의 의미를 갖는 것으로 의도된다. 오직 하나의 아이템을 나타내는 경우에는 하나 또는 이와 유사한 용어가 사용된다. 본 발명의 범위는 청구항들 및 이들의 균등물에 의해 한정된다.

도면의 간단한 설명

[0012] 첨부된 도면들을 참조하며, 동일한 도면부호를 갖는 요소들은 전반에 걸쳐 동일한 요소들을 나타낸다.

[0013] 도 1은 본 발명의 예시적인 실시예에 따른 펀을 형성하는데 사용될 수 있는 예시적인 층들을 도시한 단면도이다.

[0014] 도 2A는 본 발명의 예시적인 실시예에 따른 펀 구조의 평면도를 개략적으로 도시한다.

[0015] 도 2B는 본 발명의 실시예에 따른 도 2A의 펀 구조의 형태를 도시하는 단면도이다.

[0016] 도 3은 본 발명의 예시적인 실시예에 따른 도 2B의 디바이스 위에 게이트 유전층 및 게이트 물질의 형성하는 것을 도시하는 단면도이다.

[0017] 도 4는 본 발명의 예시적인 실시예에 따른 도 3의 게이트 물질을 평탄화하는 것을 도시하는 단면도이다.

[0018] 도 5A는 본 발명의 예시적인 실시예에 따른 FinFET 구조의 평면도를 개략적으로 도시한다.

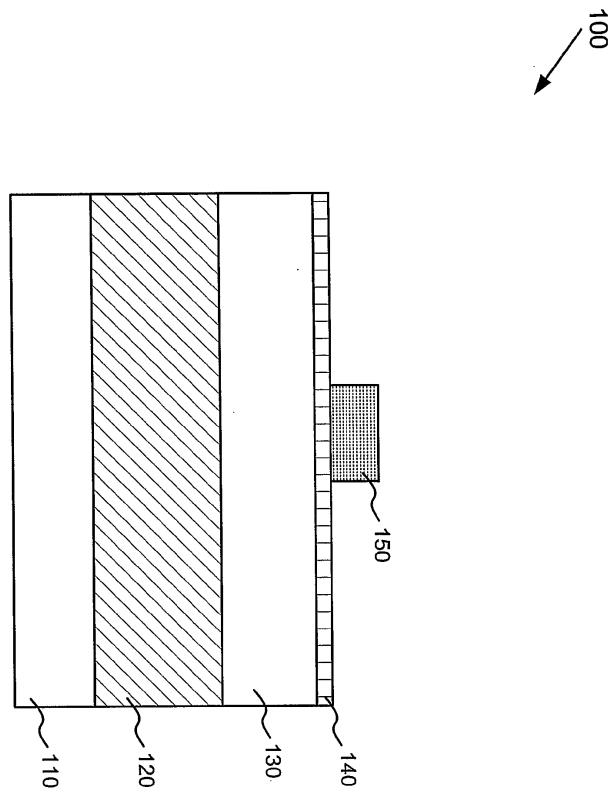
[0019] 도 5B는 본 발명의 예시적인 실시예에 따른 도 5A의 FinFET을 형성하는 것을 도시하는 단면도이다.

[0020] 도 6A 및 6B는 본 발명의 또 다른 구현에 따른 펀의 식각 프로파일을 향상시키는 것을 도시하는 단면도이다.

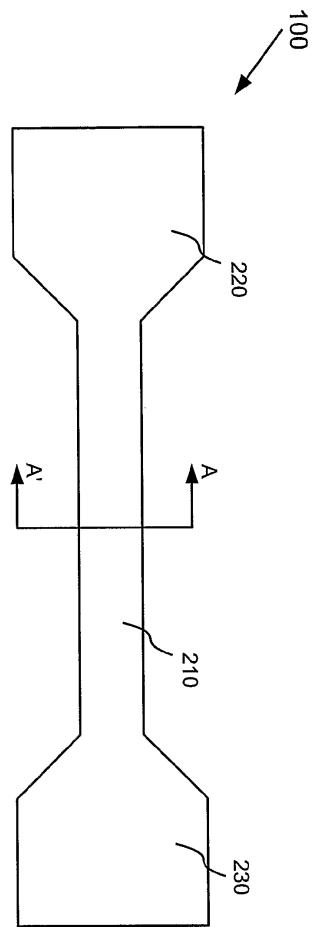
[0021] 도 7A-7C는 본 발명의 또 다른 구현에 따른 소스-드레인 접합 및 게이트의 수직적으로 균일한 도핑을 도시하는 단면도 및 평면도이다.

도면

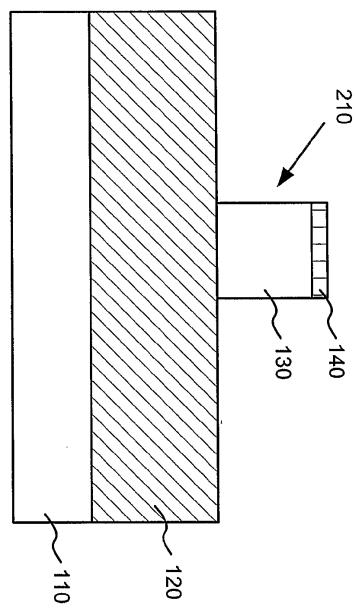
도면1



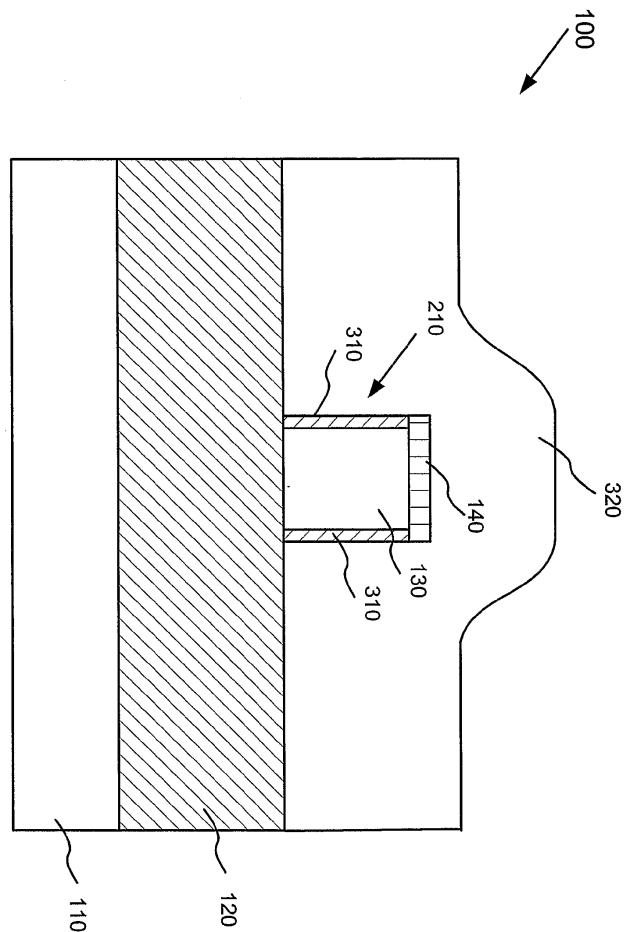
도면2A



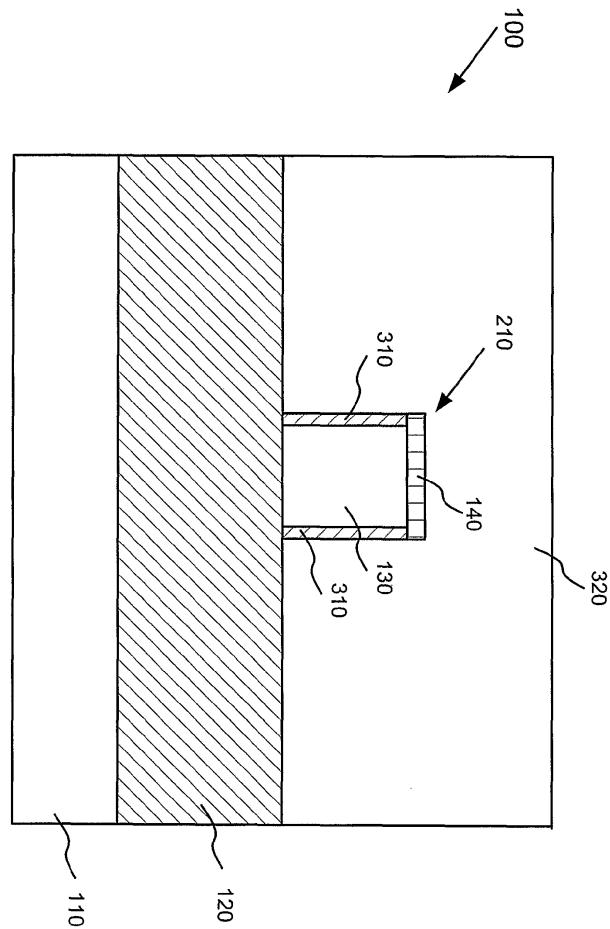
도면2B



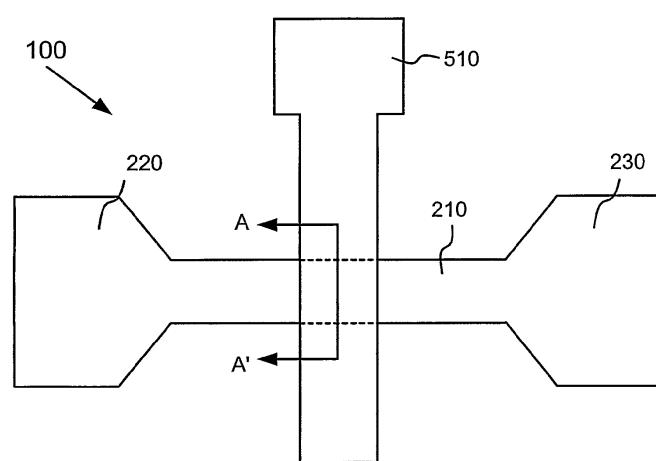
도면3



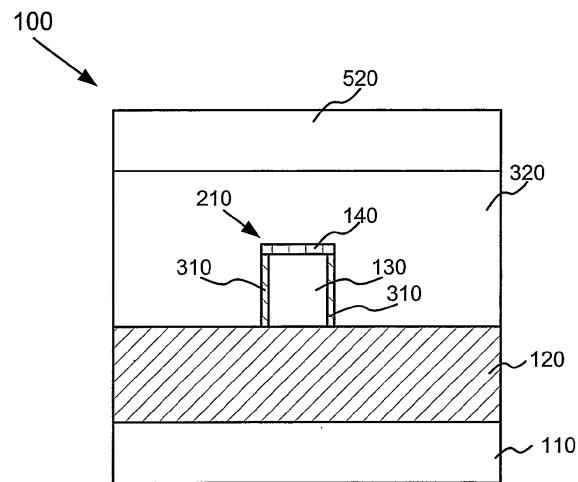
도면4



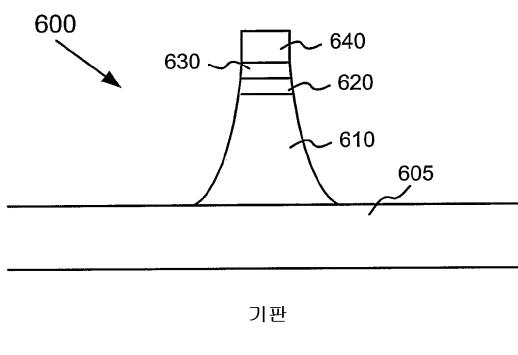
도면5A



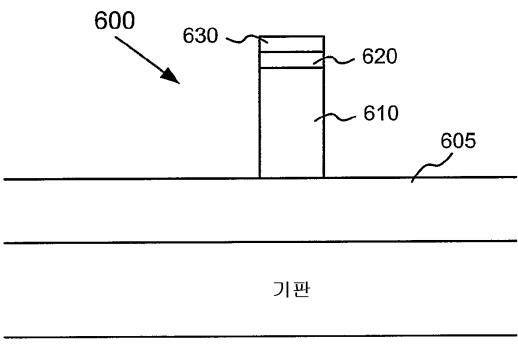
도면5B



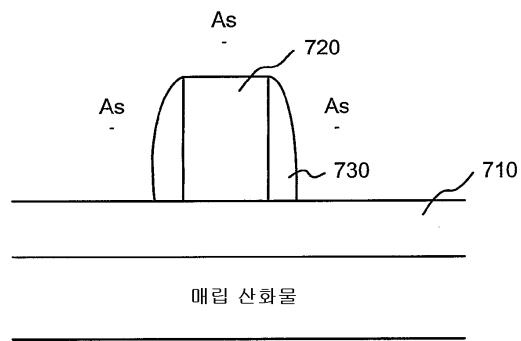
도면6A



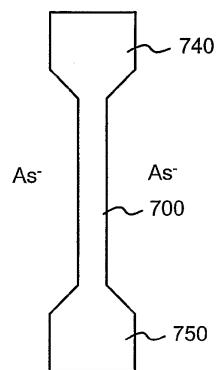
도면6B



도면7A



도면7B



도면7C

