



(12) 发明专利

(10) 授权公告号 CN 102166888 B

(45) 授权公告日 2015. 02. 25

(21) 申请号 201110023924. X

JP 2009220535 A, 2009. 10. 01, 全文.

(22) 申请日 2011. 01. 21

CN 1362914 A, 2002. 08. 07, 全文.

(30) 优先权数据

审查员 傅道鹏

2010-011594 2010. 01. 22 JP

(73) 专利权人 日本冲信息株式会社

地址 日本东京都

(72) 发明人 南云章

(74) 专利代理机构 中国专利代理(香港)有限公司
72001

代理人 李娜 李家麟

(51) Int. Cl.

B41J 2/45(2006. 01)

(56) 对比文件

US 2007057259 A1, 2007. 03. 15, 全文.

US 2009295901 A1, 2009. 12. 03, 全文.

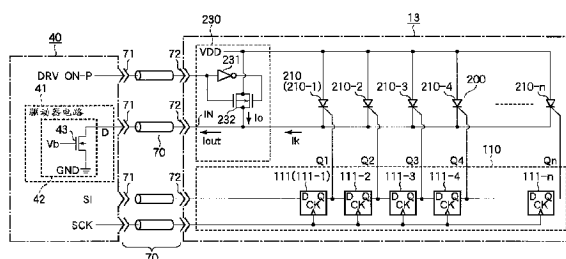
权利要求书1页 说明书16页 附图7页

(54) 发明名称

驱动器电路、驱动器设备和图像形成设备

(57) 摘要

本发明涉及驱动器电路、驱动器设备和图像形成设备。一种驱动器电路用于驱动连接在电源端子(VDD)和公共端子(IN)之间的多组开关元件。每个开关元件包括连接到电源端子(VDD)的阳极、阴极和栅极。阳极连接到电源且阴极连接到公共端子。栅极控制阳极和阴极之间的电导通。驱动器电路包括连接在电源端子和公共端子之间的开关电路以及驱动电流(I_{out})流入的驱动电路(41, 42, 43)。开关电路与开关元件并联,且开关电路响应于供应的控制信号(DRV-ON)在电源端子(VDD)和公共端子(IN)之间电连接或断开。传输线(70)具有特定特征阻抗,连接在公共端子(IN)和驱动器电路之间。



1. 一种驱动器电路,用于驱动连接在电源端子(VDD)和公共端子(IN)之间的多组开关元件,每个开关元件包括连接到电源端子(VDD)的第一端子(A)、连接到公共端子(IN)的第二端子(K)以及控制第一端子(A)和第二端子(K)之间的电导通的第三端子(G),该驱动器电路包含:

开关电路(232,233),连接到电源端子(VDD)和公共端子(IN)之间,该开关电路与该多组开关元件并联,且该开关电路响应于控制信号(DRV-ON)在电源端子(VDD)和公共端子(IN)之间电连接或断开;

驱动器电路(41,42,43),通过开关电路的电流(I_o)或通过开关元件的电流(I_k)流入该驱动器电路;以及

具有特定特征阻抗的传输线(70),连接在公共端子(IN)和驱动器电路之间。

2. 根据权利要求1所述的驱动器电路,其中当该开关电路闭合时,该开关元件的电导通失效,且当该开关电路断开时,该开关元件的电导通使能。

3. 根据权利要求1所述的驱动器电路,其中该驱动器电路允许恒定幅度的电流从其流过。

4. 根据权利要求1所述的驱动器电路,其中该开关元件是发光晶闸管,且该开关电路是响应于控制信号(DRV-ON)在ON状态和OFF状态之间可切换的传输门。

5. 根据权利要求1所述的驱动器电路,其中该开关元件是发光晶闸管,且该开关电路是响应于控制信号(DRV-ON)在ON状态和OFF状态之间切换的双极晶体管。

6. 一种驱动器设备,包含:

根据权利要求1所述的驱动器电路;以及

移位寄存器(110),配置成向该开关元件的第三端子输出触发信号,该触发信号促使该开关元件进入第一端子(A)和第二端子(K)之间的电导通。

7. 根据权利要求6所述的驱动器设备,其中该移位寄存器(110)配置成传送输入到其中的数据信号,该移位寄存器包括多个级联触发器(FF 111-1至FF 111-n),通过这些触发器,数据信号基于每个串行时钟脉冲移位,每个触发器向相应开关元件的第三端子提供触发信号以使能第一端子(A)和第二端子(K)之间的电导通。

8. 根据权利要求6所述的驱动器设备,其中该移位寄存器(110)包括由三端开关元件配置而成的自扫描电路,其中基于串行时钟,该自扫描电路向相应开关元件的第三端子提供触发信号。

9. 根据权利要求8所述的驱动器设备,其中该三端开关元件是晶闸管。

10. 结合在打印头中的根据权利要求6所述的驱动器设备。

11. 结合在图像形成设备中的根据权利要求10的驱动器设备。

驱动器电路、驱动器设备和图像形成设备

技术领域

[0001] 本发明涉及用于循环地选择性地驱动排列成行的多个元件的驱动器电路，该多个元件例如是作为用于电子照相打印机的光源或用于显示设备的显示元件的发光晶闸管，本发明还涉及采用该驱动器电路的驱动设备以及采用该驱动设备的图像形成设备。

背景技术

[0002] 诸如电子照相打印机的一些现有图像形成设备采用其中排列多个发光元件的曝光单元。发光元件例如是三端开关元件或具有阳极、阴极和栅极的发光晶闸管。单个驱动器电路选择性地驱动发光晶闸管的栅极，由此导致电流从阳极通过预定发光晶闸管流到阴极，以发射光。

[0003] 使用发光晶闸管的一种已知打印头是在日本专利申请公报 No. 2001-287393 中公开的自扫描发光打印头。该打印头具有经由线缆连接到打印机控制器的打印头。所连接的打印头具有发光晶闸管阵列且打印机控制器具有用于驱动所连接的打印头的驱动器电路。

[0004] 所连接的打印头包括发光阵列和自扫描电路。发光阵列包括多个发光晶闸管，该多个发光晶闸管具有连接到电源的阳极以及连接到接地端子的阴极。自扫描电路向相应发光晶闸管的栅极提供触发信号。驱动器电路由 CMOS 晶体管形成的 CMOS 反相器和连接到 CMOS 反相器的输出的限流电阻器组成。限流电阻器通过线缆连接到公共端子。

[0005] 上述自扫描打印头如下操作：通过到连接到发光晶闸管的阳极的公共端子的限流电阻器向发光晶闸管供应正电压。自扫描电路向相应发光晶闸管的栅极提供触发信号以发射光，由此导致发光晶闸管发射光。

[0006] 现有的自扫描打印头具有以下缺点。当驱动器电路通过线缆向所连接的打印头提供驱动电流时，驱动电流可以具有由于线缆中多次反射而扭曲的波形。这种类型的失真发生在驱动电流的上升沿和下降沿，导致驱动电流的有效脉冲宽度中的变化，且由此导致曝光能量中的变化。曝光能量中的变化导致不均匀打印密度。

[0007] 减轻信号反射的一种方式选择具有与限流电阻器的电阻匹配的特征阻抗的线缆。然而，市面上的线缆具有它们的预定特征阻抗且不能选择为满足各种电路设计。另一方面，限流电阻器的电阻根据 CMOS 反相器的电源电压和发光晶闸管的阳极-阴极电压以及驱动电流选择且约为 200 欧姆。因而，限流电阻器的电阻必然不同于线缆的特征阻抗，使得信号反射引起由于线缆和限流电阻器之间的阻抗失配导致的信号反射，导致对曝光能量量精确控制的问题。

发明内容

[0008] 本发明的目的是解决上述现有技术问题。

[0009] 一种驱动器电路用于驱动连接在电源端子(VDD)和公共端子(IN)之间的多组开关元件。每个开关元件包括连接到电源端子(VDD)的阳极、阴极和栅极。阳极连接到电源且

阴极连接到公共端子。栅极控制阳极和阴极之间的电导通。驱动器电路包括连接在电源端子和公共端子之间的开关电路以及驱动电流(I_{out})流入的驱动电路(41, 42, 43)。开关电路与开关元件并联,且开关电路响应于供应到其的控制信号(DRV-ON)在电源端子(VDD)和公共端子(IN)之间电连接或断开。具有特定特征阻抗的传输线(70)连接在公共端子(IN)和驱动器电路之间。

[0010] 本发明的应用性的其他方面将从此后给出的详细描述变得显现。然而,应当理解,尽管详细描述和特定示例指示本发明的优选实施例,它们仅是说明性的,因为本领域技术人员从详细描述显见本发明的范围内的各种变化和修改。

附图说明

[0011] 从下面给出的详细描述和仅说明性给出的附图将更加完整地理解本发明,附图并不旨在限制本发明,且其中:

[0012] 图 1 说明根据第一实施例的图像形成设备的略图;

[0013] 图 2 是图 1 中示出的光学打印头的剖面图;

[0014] 图 3 是图 2 中示出的电路板的透视图;

[0015] 图 4 是说明与图 1 中示出的图像形成设备一起使用的打印机控制器的配置的框图;

[0016] 图 5 说明图 4 中示出的打印控制器和打印头的电路配置;

[0017] 图 6A-6D 说明图 5 中示出的发光晶闸管;

[0018] 图 7 说明现有技术的打印头和打印机控制器的对比例;

[0019] 图 8A 是驱动器电路和发光晶闸管的等效电路;

[0020] 图 8B 说明电流波形;

[0021] 图 9 是说明打印控制器和打印头的操作细节的时序图;

[0022] 图 10 是说明根据第二实施例的打印控制器和打印头的电路的轮廓的框图;

[0023] 图 11A 示出具有集电极、发射极和基极的 NPN 双极晶体管的电路符号;

[0024] 图 11B 和 11C 是 NPN 双极晶体管的剖面图;以及

[0025] 图 12 是说明图 10 中示出的打印头和打印控制器的操作细节的时序图。

具体实施方式

[0026] 第一实施例

[0027] { 图像形成设备 }

[0028] 图 1 说明根据第一实施例的图像形成设备的略图。

[0029] 图像形成设备 1 是结合了打印头的串联电子照相彩色打印机,打印头例如是采用用于驱动发光元件(例如,三端子晶闸管)阵列的驱动器设备的光学打印头。图像形成设备 1 包括分别形成黑色(K)图像、黄色(Y)图像、洋红(M)图像和青色(C)图像的 4 个处理单元 10-1 至 10-4。4 个处理单元从例如纸张 20 的记录介质的传输路径的上游到下游排列。处理单元的每一个基本相同;为简单起见,将仅仅描述用于形成青色图像的处理单元 10-3 的操作,应当理解其他处理单元可以以类似的方式工作。

[0030] 处理单元 10-3 包括可以以箭头 A 示出的方向旋转的感光鼓 11。充电单元 12,例

如光学打印头的曝光单元 13、显影单元 14 以及清洁装置 15 依此顺序布置在感光鼓 11 周围。充电单元 12 对感光鼓 11 的表面充电。曝光单元 13 选择性地照射感光鼓 11 的充电表面以形成静电潜像。显影单元 14 向感光鼓 11 上形成的静电潜像沉积洋红调色剂以形成洋红调色剂图像。清洁装置 15 在将洋红调色剂图像转印到纸张 20 之后去除感光鼓 11 上剩余的调色剂。驱动源(未示出)经由齿轮传动链旋转地驱动感光鼓 11 和各式各样的辊子。

[0031] 其中保持一叠纸张 20 的纸盒 21 布置在图像形成设备 1 的下部。跳跃辊(hopping roller)22 布置在纸盒 21 上方,且逐页地将纸张 20 馈入传输路径。释放辊 25 与夹送辊 24 协作以保持纸张 20 处于夹置关系。套准调节辊(registry roller)26 与夹送辊 24 协作以校正纸张 20 的歪斜,且将纸张 20 传送到处理单元 10-1。释放辊 25 和套准调节辊 26 布置在跳跃辊 22 的下游。驱动源(未示出)经由齿轮传动链旋转地驱动跳跃辊 22、传送辊 25 和套准调节辊 26。

[0032] 转印单元例如由半导体橡胶材料形成且并行于处理单元 10-1 至 10-4 的感光鼓 11。当在感光鼓 11 上形成的调色剂图像转印到纸张 20 上时,转印单元 27 接收高电压,从而在每个转印单元 27 与相应感光鼓 11 的表面两端形成电势差。

[0033] 定影单元 28 位于处理单元 10-4 的下游,且包括其中结合加热器的加热辊以及压力辊。当纸张 20 经过压力辊和加热辊之间限定的定影点时,纸张 20 上的调色剂图像在热和压力下定影。释放辊 29 和 30、夹送辊 31 和 32 以及堆纸器 33 布置在定影单元 28 的下游。释放辊 29 和 30 分别与压力辊 31 和 32 协作以保持纸张 20 处于夹置关系,且将纸张 20 传送到堆纸器 33。加热辊、压力辊和释放辊 29 和 30 例如经由齿轮传动链通过从驱动源(未示出)发射的驱动功率旋转地驱动。

[0034] 图像形成设备 1 如下操作:

[0035] 跳跃辊 22 逐张地将纸张 20 从纸盒 21 馈入到传送路径。纸张 20 被传送辊 25、套准调节辊 26 和夹送辊 23 和 24 保持在夹置关系,且传送到处理单元 10-1 的感光鼓 11 和转印单元 27 之间限定的转印点。当感光鼓 11 旋转时,纸张 20 进一步传送通过转印点,使得感光鼓 11 上的调色剂图像转印到纸张 20 上。同样,纸张 20 传送通过剩余处理单元 10-2 至 10-4,使得相应颜色的调色剂图像被转印到套准的纸张 20 上。

[0036] 当纸张 20 通过定影单元 28 时,纸张 20 上携带的调色剂图像被定影。纸张 20 还通过释放辊 29 和 30 以及夹送辊 31 和 32 进一步传送到在图像形成设备 1 的外壁上限定的堆纸器 33。这完成了打印。

[0037] { 光学打印头的构造 }

[0038] 图 2 是图 1 中示出的光学打印头 13 的剖面图。图 3 是图 2 中示出的电路板 13b 的透视图。

[0039] 光学打印头 13 包括底座 13a 和在图 3 中示出安装在底座 13a 上的电路板 13b。电路板包括固定在底座 13a 上的印刷电路板 13b、结合集成移位寄存器且借助粘合剂结合到印刷电路板 13b 的多个集成电路(此后称为 IC)芯片、结合了一行发光元件(例如,借助粘合剂结合到 IC 芯片的发光晶闸管)的发光元件阵列。发光元件阵列 200 和相应 IC 芯片 100 借助薄膜布线(未示出)彼此电相连。IC 芯片 100 的多个端子和印刷电路板 13b 上的布线焊盘(未示出)借助于结合线 13g 电连接。

[0040] 透镜阵列 13c (例如棒透镜阵列)由多个柱状光学元件构成且布置在多个发光阵

列 200 上方。棒透镜阵列 13c 由支持器 13d 固定支撑。底座 13a、印刷电路板 13b 和支持器 13d 借助夹具 13e 和 13f 牢固地夹在一起。

[0041] { 打印机控制器 }

[0042] 图 4 是说明与图 1 中示出的图像形成设备一起使用的打印机控制器的配置的框图。

[0043] 打印控制器包括位于图像形成设备 1 的打印引擎中的打印控制器 40。打印控制器 40 主要包括微处理器、只读存储器 (ROM)、随机存取存储器 (RAM)、输入 / 输出端口和计时器。打印机控制器从图像处理部 (未示出) 接收控制信号 SG1 和视频信号 (位图数据) SG2 以执行图像形成设备 1 的整体操作的连续控制, 由此执行打印。打印控制器 40 连接到处理单元 10-1 至 10-4 的 4 个光学打印头 13、定影单元 28 的加热器 28a、驱动器 50 和 52、输入纸张传感器 54、输出纸张传感器 55、剩余纸张传感器 56、纸张大小传感器 57、定影单元温度传感器 58、高压充电电源 59 以及高压转印电源 60。驱动器 50 连接到显影 / 转印处理电机 (PM) 51。驱动器 52 连接到纸张传送电机 (PM) 53。高压充电电源 59 连接到显影单元 14。高压转印电源 60 连接到转印单元 27。

[0044] 打印控制器 40 如下操作:

[0045] 当从图像处理部接收命令打印的控制信号 SG1 时, 打印控制器 40 借助温度传感器 58 确定定影单元 28 中的加热辊是否处于可用的温度范围。如果温度低于可用的温度范围, 则打印控制器 40 向加热器 28a 提供电功率以使得加热辊加热到可用的温度。打印控制器 40 然后促使驱动器 50 旋转显影 / 转印处理电机 51 且输出充电信号 SGC 以开启高压充电电源 59, 由此对显影单元 14 充电。

[0046] 剩余纸张传感器 56 检测纸盒中是否存在纸张 20 且纸张大小传感器 57 检测纸张 20 的大小。合适大小的纸张 20 然后被馈入到传送路径。纸张传送电机 53 耦合到行星齿轮组件 (未示出) 且适于在正向和反向旋转。切换纸张传送电机 53 的旋转方向允许根据纸张 20 的大小切换传送辊 25 的旋转方向。当开始在纸张的一页上打印时, 纸张传送电机 53 首先反向旋转, 由此传送纸张 20 预定量, 直到输入纸张传感器 54 检测到纸张 20。纸张传送电机 53 然后正向旋转以将纸张 20 传送到图像形状设备 1 的打印引擎。

[0047] 当纸张 20 到达可以执行打印的位置时, 打印控制器 40 向图像处理部 (未示出) 提供包括主扫描同步信号和子扫描同步信号的时序信号 SG3, 且接收视频信号 SG2。视频信号 SG2 在图像处理部中被逐页地编辑且被打印控制器 40 接收。视频信号 SG2 被转印为供应到相应光学打印头 13 的打印数据信号 HD-DATA3 至 HD-DATA0。光学打印头 13 中每一个结合多个发光晶闸管, 每个晶闸管形成图像的点或像素。

[0048] 视频信号 SG2 被逐行地发射和接收。光学打印头 13 照射感光鼓 11 的负充电表面以形成由点形成的静电潜像。点由于暴露于光而具有增加的电势。调色剂在显影单元 14 中负充电且然后通过库仑力被吸引到感光鼓 11 上形成的点, 由此形成调色剂图像。

[0049] 感光鼓 11 上的调色剂图像然后被传送到在感光鼓 1 和转印单元 27 之间限定的转印点。转印信号 SG4 导致高压转印电源 60 开启, 由此在纸张 20 经过感光鼓 11 和转印单元 27 之间限定的转印点时将调色剂图像转印到纸张 20 上。纸张 20 上携带调色剂图像且通过定影单元 28 的加热辊和压力辊之间限定的定影点, 使得调色剂图像在热和压力下定影。纸张 20 然后进一步传送经过输出纸张传感器 46。

[0050] 响应于来自纸张大小传感器 48 和输入纸张传感器 54 的检测信号,打印控制器 40 导致高压转印电源 60 开启以在纸张 20 经过转印点时向转印单元 27 应用高压。在完成打印之后,当纸张 20 经过输出纸张传感器 55 时,打印控制器 40 导致高压充电电源 59 停止向显影部 14 应用高压,且显影/转印处理电机 51 停止旋转。针对每一页重复上述操作,直到所有打印数据都被打印。

[0051] { 打印控制器和打印头 }

[0052] 图 5 说明图 4 中示出的打印控制器 40 和打印头 13 的电路配置。

[0053] 打印控制器 40 和打印头 13 借助线缆 70 电相连。线缆 70 具有连接到打印控制器 40 的连接器 71 和连接到打印头 13 的连接器 72 并且可以是具有特定阻抗的任何类型的传输线,包括同轴线缆和双绞线。

[0054] 打印头 13 包括在 IC 芯片 100 中形成的移位寄存器 110、发光元件阵列 200 以及开关器件(例如,开关电路) 230。

[0055] 移位寄存器 110 包括多个触发器(此后称为 FF) FF 111-1 至 FF 111-n,且向发光元件阵列输出触发信号(例如,触发电流)以开启或关闭发光元件。每个 FF 111 具有通过其输入数据的输入端子 D、通过其输出输出的输出端子 Q 以及通过其输入串行时钟信号 SCK 的时钟端子 CK。串行数据 SI 被输入到第一级 FF 111-1 的输入端子 D 且 FF 111-1 的输出端子 Q 连接到第二级 F 111-2 的输入端子 D。同样,剩余的触发器级联。当打印控制器 40 经由线缆 70 和连接器 71 和 71 向寄存器 110 发送串行时钟 SCK 和串行数据 SI 时,移位寄存器 110 基于串行时钟 SCK 将所接收的数据从第一级 FF 111-1 移位到最后级 FF 111-n,由此从输出端子 Q1 输出输出至 Qn。

[0056] 移位寄存器 110 例如使用 CMOS 技术在硅晶片衬底上制造,但是也可以使用已知的薄膜晶体管(TFT)技术在玻璃衬底上制造。

[0057] 发光元件阵列 200 具有多个发光晶闸管 210-1 至 210-n,每个发光晶闸管具有连接到电源的第一端子或阳极、连接到公共端子 IN 的第二端子或阴极以及连接到移位寄存器 110 的相应输出端子(Q1-Qn)的第三端子或栅极。当电源电压 VDD 应用于发光晶闸管的阳极和阴极两端时,如果触发电流流入栅极,则晶闸管导通,使得阴极电流 I_k 从阳极流到阴极以发射光。如果以 600dpi 的分辨率在 A4 大小的纸张上执行打印,打印头 13 采用总共 4992 个发光晶闸管。

[0058] 开关电路 230 根据正逻辑 ON/OFF 命令信号 DEVON-P (“P”暗示正逻辑)在 VDD 端子和公共端子 IN 之间连接或断开。开关电路 230 指示反相器 231 和传输门 232。反相器 231 输出反转 ON/OFF 命令信号 DRVON-P。传输门 232 基于反相器 231 的输出信号在 VDD 端子和公共端子 IN 之间连接或断开。传输门 232 包括 PMOS 晶体管和 NMOS 晶体管。PMOS 晶体管根据应用于栅极的 ON/OFF 命令信号 DRVON-P 的状态变成 ON 或 OFF。NMOS 晶体管根据应用于栅极的反相器 231 的输出信号的状态变成 ON 或 OFF。PMOS 晶体管和 NMOS 晶体管并联在 VDD 端子和公共端子 IN 之间。当传输门 232 为 ON 时,电流 I_o 从其流过。

[0059] 打印控制器 40 包括向打印头 13 供应串行数据 SI 和串行时钟 SSK 的电路(未示出)、以时分方式驱动发光元件阵列 200 的多个驱动器电路 41、电源端子以及接地端子。在图 5 中仅示出了驱动器电路 41 之一。发光元件阵列 200 包括总共 4992 个发光晶闸管。4992 个发光晶闸管分成多个组,每个组由相应驱动器电路 41 同时驱动。

[0060] 下面是典型的设计。总共 26 个阵列芯片在印刷电路板 13b 上排列,每个阵列芯片具有 192 个发光晶闸管 21(210-1 至 210-192)。因而,打印头 13 具有总共 4992(=26×192) 个发光晶闸管。驱动器电路 41 具有连接到相应发光元件阵列 200 的 26 个输出端子。驱动器电路 41 位于如图 5 所示的打印机控制器 40 内。相反,驱动器电路 41 也可以在打印头 13 中,其中线缆 70 可以被消除。然而,打印头 13 具有对应于打印介质(例如, A4 大小的纸张或 A3 大小的纸张)的大小的特定长度,并且具有印刷电路板,其具有对应于打印介质的大小的长度。形成在印刷电路板上的信号路径也可以具有特定特征阻抗,并且如果在没有考虑其特征阻抗的情况下形成信号路径,则可能发生信号反射。

[0061] 驱动器电路 41 包括例如恒流电路 42 形式的驱动源。恒流电路 42 具有在其饱和区操作的 NMOS 晶体管 43。换句话说, NMOS 晶体管 43 具有对其应用偏置电压 V_b 的栅极、连接到数据端子 D 的漏极,且在其饱和区操作以向输出端子 D 供应驱动电流 I_{out} 。数据端子 D 通过连接器 71、线缆 70 和连接器 72 连接到打印头 13 的公共端子 IN。

[0062] { 晶闸管 }

[0063] 图 6A-6D 说明图 5 中示出的发光晶闸管 210。

[0064] 参考图 6A, 发光晶闸管 210 包括阳极 A、阴极 K 和栅极 G。

[0065] 图 6B 是发光晶闸管 210 的剖面图。通过已知的金属有机气相沉积(MO-CVD), 例如通过在 GaAs 晶片上外延生长预定晶体来制作发光晶闸管 210。

[0066] 首先, 在晶片衬底上外延生长预定牺牲层和缓冲层(未示出), 且然后制造三层结构。该三层结构包括按如下顺序层叠的含有 N 型杂质的 N 型层 211、含有 P 型杂质的 P 型层 212 以及含有 N 型杂质的 N 型层 213。通过光刻在最上方 N 型层内 213 中选择性地形成 P 型杂质区域 214。通过已知蚀刻技术在晶片中形成凹槽以限定各个装置。当执行蚀刻时, 作为发光晶闸管 210 的最下层的 N 型层 213 的一部分通过蚀刻露出。在露出区域上形成金属布线以形成用于阴极 K 的电极。还分别在 P 型杂质区域 214 和 N 型层 212 上形成用于阳极 A 和栅极 G 的电极。

[0067] 图 6C 说明通过已知 MO-CVD 在 GaAs 晶片上外延生长预定晶体来制作的发光晶闸管的另一示例。

[0068] 首先, 在晶片衬底上外延生长预定牺牲层和缓冲层(未示出)且然后制作 PNP 4 层结构。4 层结构包括依如下顺序层叠的含有 N 型杂质的 N 型层 211、含有 P 型杂质的 P 型层 212、含有 N 型杂质的 N 型层 213 以及含有 P 型杂质的 P 型层 215。通过已知蚀刻方法在结构中形成凹槽以限定各个装置。当执行蚀刻时, 作为发光晶闸管 210 的最下层的 N 型层 211 的一部分露出。同样, 作为最上层的 P 型层 215 的一部分露出。在 P 型层 215 上的露出区域上形成金属布线以形成阳极 A。与此同时, 在 N 型层 212 上形成栅极 G。

[0069] 从图 6D 可以清楚地看出, 发光晶闸管 210 由 PNP 晶体管 221 和 NPN 晶体管 222 构成。PNP 晶体管 221 的发射极对应于发光晶闸管 210 的阳极 A, 且 PNP 晶体管 222 的基极对应于栅极 G。栅电极还连接到 NPN 晶体管 222 的集电极。PNP 晶体管 221 的集电极连接到 NPN 晶体管 222 的基极。NPN 晶体管 222 的发射极对应于晶闸管 210 的阴极 K。

[0070] 图 6A-6D 中示出的发光晶闸管 210 具有在 GaAs 晶片上形成的 AlGaAs 层。晶闸管 210 不限于该配置。晶闸管 210 可以具有在 GaAs 晶片上形成的 GaP、GaAsP 或 AlGaInP 层或者在蓝宝石衬底上形成的 GaN、AlGaN 或 InGaN 层。

[0071] 使用外延膜结合,图 6B 和 6C 中示出的晶闸管 210 可以结合到晶片,该晶片上集成具有移位寄存器 110 的多个驱动器 IC 100。使用光刻,形成互连以连接移位寄存器 110 的端子和发光晶闸管 210 的端子区域。然后通过已知划片技术将晶片划片成各个驱动器 IC 芯片,由此获得包括 IC 芯片 100 和发光晶闸管阵列 200 的合成芯片。

[0072] { 打印头和打印控制器的对比例 }

[0073] 图 7 说明现有技术中打印头和打印机控制器的对比例。与图 5 中示出的相似的元件由相同的参考符号给出。

[0074] 将描述图 7 中示出的对比例的打印头 13A 和打印机控制器 40A 的配置和操作。

[0075] 打印控制器 40A 控制打印头 13A。和打印头 13 中一样,打印头 13A 具有移位寄存器 110 和发光元件阵列 200,但是不具有开关电路 230。打印控制器 40A 具有不同于第一实施例的驱动器电路 41 的驱动器电路 41A。

[0076] 驱动器电路 41A 由反相器 44 和限流电阻器 47 组成。反相器 44 包括 PMOS 晶体管 45 和 NMOS 晶体管 46。PMOS 晶体管 45 和 NMOS 晶体管 46 串联在 VDD 端子和接地 GND 之间。反相器 44 反转 ON/OFF 命令信号 DRVON-P,且具有经由电阻器 47 连接到数据端子 D 的输出。和第一实施例一样,数据端子 D 通过线缆 70 和连接器 72 连接到打印头 13 一侧上的公共端子 IN。

[0077] 例如,当 ON/OFF 命令信号 DRVON-P 位于低电平时,驱动器电路 41A 的 PMOS 晶体管 45 为 ON 且驱动器 41A 的 NMOS 晶体管 46 为 OFF,使得反相器 44 的输出为高电平。反相器 44 的输出经由电阻器 47 连接到数据端子 D。和第一实施例一样,数据端子 D 经由连接器 71、线缆 70 以及连接器 72 连接到打印头 13A 的公共端子 IN。数据端子 D 处的电势通过电阻器 47 上升到基本等于电源电压 VDD 的值。这导致打印头 13A 一侧的公共端子 IN 的电势经由连接器 71、线缆 70 和连接器 72 上升到基本等于电源 VDD 的值。因此,发光元件阵列 200 的发光晶闸管 210-1 和 210-n 的阳极 - 阴极电压将基本变为 0 伏,由此使得发光晶闸管 210-1 至 210-n 截止。此时,流经公共端子 IN 的电流也下降到零。因而,没有发光晶闸管 210-1 至 210-n 开启。

[0078] 当 ON/OFF 命令信号 DRVON-P 处于高电平时,PMOS 晶体管 45 为 OFF 且 NMOS 晶体管 46 为 ON,使得反相器 46 的输出为低电平。数据端子 D 处的电势通过电阻器 47 变得等于接地电势(即 0V),且打印头 13A 上的公共端子 IN 处的电势通过连接器 71、线缆 70 和连接器 72 变成 0 伏特。因此,发光晶闸管 210 的阳极 - 阴极电压变得基本等电源电压 VDD。此时,如果相应发光晶闸管开启,则移位寄存器 110 的输出端子(例如 Q1)变成高电平。因而,触发电流流过晶闸管 210-1 的栅极,由此导致发光晶闸管 210-1 开启。因此,驱动电流 I_{out} 通过公共端子 IN、连接器 72、线缆 70 和连接器 71 形成的电流路径从发光晶闸管 210-1 的阴极流到驱动器电路 41A 的数据端子 D。光输出由驱动电路 I_{out} 的幅度决定。

[0079] 驱动电流 I_{out} 可以如下计算:

$$[0080] \quad I_{out} = (VDD - V_f) / R \quad \cdots (1)$$

[0081] 其中 VDD 是电源电压、 V_f 是发光晶闸管(例如 210-1)开启时的阳极 - 阴极电压,且 R 是电阻器 47 的电阻。为简单起见,可以忽略 NMOS 晶体管 46 的 ON 电压 (V_{OL})。

[0082] 重写等式(1),可以获得如下关系。

$$[0083] \quad R = (VDD - V_f) / I_{out} \quad \cdots (1)$$

[0084] 例如,电阻 R 将为:

[0085] $R = (3.3 - 1.7) / 8 \times 10^{-3} = 200$ 欧姆

[0086] 其中, $V_{DD} = 3.3V$, $V_f = 1.7V$ 且 $I_{out} = 8mA$ 。

[0087] 电阻器 47 用于设置发光晶闸管的驱动电流且几乎由 V_{DD} 、 V_f 和 I_{out} 自动确定。

[0088] 同时,线缆 70 的特征阻抗是介质材料的介电常数、截面形状以及内部导体的外径与外部导体的内径之间的比例的函数,且依赖于材料具有诸如 50 欧姆、75 欧姆或 100 欧姆的特定值。因此,线缆 70 的特征阻抗不能独立于电阻器 47 设置。

[0089] 驱动器电路 41A 具有基本等于电阻器 47 的电阻 R (例如 200 欧姆) 的输出阻抗,而线缆 70 的特征阻抗例如为 50 欧姆。因而,在线缆 70 与驱动器电路 41A 的输出阻抗之间发生阻抗失配。将在下面描述由于阻抗失配而导致的信号反射的问题。

[0090] 图 8A 是驱动器电路 41A 和发光晶闸管 200 的等效电路图。图 8B 说明电流波形。

[0091] 参考图 8A,驱动器电路 41A 由对应于反相器 44 的驱动源 44A 以及对应于限流电阻器 47 的输出电阻器 47A 组成。电流 I_s 流过输出电阻器 47A。线缆 70 具有特征阻抗 Z_0 和延时 T_d 。发光晶闸管 210 具有阳极和阴极两端的结电容 C_j 。电流 I_d 流过发光晶闸管 210。图 8A 不同于图 5 和 7 之处在于阳极连接到线缆 70 且阴极连接到接地 GND。然而,只要考虑高频特性,图 7 中示出的电路等价于图 5 中示出的电路。

[0092] 图 8B 绘制时间 t 作为横坐标且电流 I_s 和 I_d 作为纵坐标。 T_{on} 表示驱动器电路 44A 的 ON 时间。 T_{off} 表示驱动器电路 44A 的 OFF 时间。

[0093] T_r 表示电流 I_d 的上升时间且 T_f 表示电流 I_d 的下降时间。

[0094] 参考图 8A,线缆 70 的延时 T_d 由下式给出:

$$[0095] \quad V_0 = \frac{C_0}{\sqrt{Er}} \quad (3)$$

$$[0096] \quad T_d = \frac{L}{C_0} \sqrt{Er} \quad (4)$$

[0097] 其中 L 是线缆 70 的长度, V_0 是传播速率, C_0 是真空中光速且约等于 $3 \times 10^8 m/s$, Er 是线缆 70 的绝缘材料的相对介电常数。

[0098] 假设绝缘材料具有为 4 的相对介电常数,线缆 70 具有 1m 的长度。 T_d 从如下等式 (4) 给出:

[0099]

$$T_d = \frac{1}{3 \times 10^8} \sqrt{4} = 6.7 ns$$

[0100] 参考图 8B,一旦从驱动器源 44A 输出的电流 I_s 上升,从线缆 70 输出的电流 I_d 在延时 T_d 之后到达发光晶闸管且开始上升。此时,发光晶闸管 210 用作电容器(结电容器 C_j),该电容器进而导致信号的反射,使得反射波通过线缆 70 朝驱动器源 44A 传播。反射波再次被驱动器源 44A 的内部阻抗反射,且再次通过线缆 70 回到发光阵列 200。

[0101] 当结电容器 C_j 反射的波到达驱动器电路 41A 时,由于线缆 70 的特征阻抗 Z_0 与输出电阻 47A 之间的阻抗失配,发生信号反射,失配导致信号的另一反射。

[0102] 因此, 电流 I_d 在其上升沿和下降沿失真, 使得波形不同于电流 I_s 。这导致电流 I_s 的脉冲宽度的变化(图 8A 和 8B), 进而导致应用于图 1 中示出的图像形成设备 1 的感光鼓 11 的曝光能量中的变化。曝光能量中的变化导致打印图像中的不均匀密度。

[0103] 信号的反射还可能在获得发光晶闸管的高速操作中产生问题。下面详细描述该问题。

[0104] 参考图 8B, 电流 I_d 在其上升沿具有 $2 \times T_d$ 周期的波纹。因此, 由于通过线缆 70 在驱动源 44A 和发光晶闸管 210 之间出现的多次反射, 电流 I_d 在上升时间 T_r 上升。换句话说, 即使电流 I_s 急剧上升, 电流 I_d 并不急剧上升。

[0105] 当反射波通过线缆 70 反复前向和后向传播时, 反射量逐渐减小。假设在反射波通过线缆 70 来回传播 10 次之后反射分量将完全衰减。电流 I_d 的上升时间 T_r 由下式给出:

[0106]

$$\begin{aligned} T_r &= 2 \times T_d \times 10 \\ &\approx 6.7 \times 20 \\ &= 134 \text{ ns} \end{aligned}$$

[0107] 对于电流的下降时间 T_f , 情况也是如此。

[0108] 电流 I_d 的上升时间 T_r 远大于电流 I_s 的上升时间。上升时间 T_r 主要由线缆 70 的延时 T_d 或线缆 70 的长度确定。为了改善打印头 13A 的切换速度, 线缆 70 必须很短。

[0109] 然而, 线缆 70 的长度 L 受到在图像形成设备 1 中组件布置的限制。例如, 用于黑色(K)、黄色(Y)、洋红(M)和青色(C)的 4 个处理单元 101-1 至 10-4 依次在串联电子照相彩色打印机中排列。因此, 连接 4 个处理单元 101-1 至 10-4 的打印控制器 40 和打印头 13 的线缆 70 具有不同长度。最长的线缆将长于 1m。因此, 电流 I_d 的上升时间 T_r 和下降时间 T_f 增加, 这对于打印头 13A 的高速操作是个障碍。

[0110] 信号的反射可以通过改善线缆 70 的特征阻抗与驱动源 44A 的输出电阻 47A 之间的阻抗匹配减轻。然而, 它们由不同因素确定且难以匹配。

[0111] 对比例的配置具有的一个问题是, 由于源于信号反射的不均匀曝光能量的量, 出现不均匀的打印密度, 且一个问题是, 由于电流 I_d 的上升和下降时间明显很长, 发光晶闸管的切换速度不能提高。因而, 需要针对上述问题的解决方法。本发明提供图 5 中示出的配置, 由此解决该问题。

[0112] { 打印控制器和打印头的操作的简要描述 }

[0113] 参考图 5, 当 ON/OFF 命令信号 $DRVON-P$ 处于低电平时, 反相器 231 的输出处于高电平, 导致传输门 232 的 PMOS 和 NMOS 晶体管变为 ON。

[0114] 这确立了由 VDD 端子——传输门 232——公共端子 IN——连接器 72——线缆 70——连接器 71——数据端子 D——恒流源电路 42 形成的电流路径。

[0115] 此时, 阴极电流 I_k 是零且流到驱动器电路 41 中的恒流源电路 42 中的驱动电流 I_{out} 等于流过传输门 230 的电流 I_o 。因为阴极电流 I_k 是零, 发光晶闸管不发光。

[0116] 当 ON/OFF 命令信号 $DRVON-P$ 处于高电平, 开关电路 230 中的反相器 231 的输出为低电平, 且传输门 232 的 PMOS 和 NMOS 晶体管截止。这中断了由 VDD 端子——传输门 232——公共端子 IN——连接器 72——线缆 70——连接器 71——数据端子 D——恒流源电路 42 形成的电流路径。

[0117] 移位寄存器 110 向相应发光晶闸管的栅极提供高电平的触发信号,且发光晶闸管开启。这确立了由 VDD 端子——阳极——阴极——公共端子 IN——连接器 72——线缆 70——连接器 71——数据端子 D——恒流源电路 42 形成的电流路径。因而,阴极电流 I_k 流过发光晶闸管且作为电流 I_{out} 进入驱动器电路 41。

[0118] { 打印控制器和打印头的详细操作 }

[0119] 图 9 是说明打印控制器和打印头的操作的细节的时序图。

[0120] 图 9 说明当图像形成设备 1 打印时当发光晶闸管 210-1 至 210-n (例如 $n=8$) 在单一扫描行中每次一个地交替开启时的波形图。

[0121] 图 5 中示出的移位寄存器 110 首先在图像形成设备 1 开机时复位。串行数据 SI 被设置为低电平,且移位寄存器 110 接收数目等于移位寄存器 110 的级数的串行时钟 SCK 的时钟脉冲。因而,移位寄存器 110 的全部输出端子 Q1 至 Qn 设置为低电平。

[0122] 在时间 t_1 , 在一行扫描之前, 串行数据 SI 设置为高电平。在时间 t_2 , 输入串行时钟脉冲 SCK 的第一脉冲 SCK1。在第一脉冲 SCK1 的上升沿, 串行数据 SI 被输入到移位寄存器 110 的第一 FF 111-1 且第一 FF 111-1 的输出端子 Q1 在短延时之后变高(高电平)。在时间 t_3 (其是预定时间), 在第一脉冲 SCK1 上升之后, 串行数据 SI 再次设置为 L 电平。

[0123] 第一 FF 111-1 的输出端子 Q1 的高电平导致发光晶闸管 210-1 的栅极电势增加。在时间 t_4 , ON/OFF 命令信号 DRVON-P 变高(高电平), 导致传输门 232 截止, 使得在发光晶闸管 210-1 的阳极和阴极之间出现电压。因而, 发光晶闸管 210-1 开启, 阴极电流 I_k 流动以发射光。

[0124] 在时间 t_5 , ON/OFF 命令信号 DRVON-P 设置为低电平, 由此导致发光晶闸管 210-1 截止。开关电路 230 中的反相器 231 的输出信号变高(高电平), 导致传输门 232 开启。因而, 发光晶闸管 210-1 的阳极 - 阴极电压变为约 0V, 且发光晶闸管截止。

[0125] 发光晶闸管 210-1 至 210-8 中每一个的光输出由从阳极流到阴极的阴极电流 I_k 决定。因而, 即使阳极 - 阴极电压在发光晶闸管开启时随各晶闸管而变化, 具有恒流电路 42 的驱动器电路 41 的使用使得驱动电流(例如, I_k) 维持在恒定值。

[0126] 如果发光晶闸管 210-1 不开启, 则 ON/OFF 命令信号 DRVON-P 可以保持为低。以这种方式, 发光晶闸管根据 ON/OFF 命令信号 DRVON-P 的逻辑状态开启或截止。

[0127] 时间 t_6 , 串行时钟 SCK 的第二脉冲 SCK2 上升。此时, 串行数据 SI 为低电平。第一 FF 111-1 的输出端子 Q1 在短延时之后变低(低电平), 而第二 FF 111-2 的输出端子 Q2 变高(高电平)。在时间 t_7 , ON/OFF 命令信号 DRVON-P 变高(高电平), 这进而导致开关电路 230 截止。因而, 发光晶闸管 210-2 的阳极 - 阴极电压增加且触发电流流过发光晶闸管 210-2 的栅极, 导致发光晶闸管 210-2 开启。

[0128] 在时间 t_8 , ON/OFF 命令信号 DRVON-P 设置为低电平以使得发光晶闸管 210-2 截止, 导致开关电路 230 开启以设置发光晶闸管 210-2 的阳极 - 阴极电压基本为 0V。

[0129] 以这种方式, 当 SCK1、SCK2、SCK3、SCK4、SCK5、SCK6、SCK7 和 SCK8 之一上升时, 移位寄存器 110 的输出 Q1、Q2、Q3、Q4、Q5、Q6、Q7 和 Q8 的相应一个变高(高电平) 且剩余的输出 Q1、Q2、Q3、Q4、Q5、Q6、Q7 和 Q8 之一保持为低(低电平)。因此, 对应于高电平的输出 Q 的晶闸管被选择性地开启以发射光。

[0130] 为了使发光晶闸管开启, 可以在晶闸管的栅极和阴极两端应用足以导致栅极电流

流动的电压。为了使发光晶闸管截止,可以在发光晶闸管的栅极和阴极两端应用不足以导致栅极电流流动的电压,可以在栅极和阴极两端不应用电压,或者可以在栅极和阴极两端应用反向电压。

[0131] 发光晶闸管 210-1 在驱动时间周期 T1 保持开启且发光晶闸管 210-2 在驱动时间周期 T2 保持开启。然而,时间周期 T1 和 T2 可以在长度方面变化,使得即使从各个发光晶闸管发射的光的量随各晶闸管而变化,可以通过相等量的曝光能量产生点。

[0132] 如上所述,电流 I_o 和阴极电流 I_k 根据 ON/OFF 命令信号 DRVON-P 流动或不流动。当电流 I_o 流动时,阴极电流 I_k 不流动,且反之亦然。电流 I_o 和阴极电流 I_k 可以主要由驱动电流 I_{out} 的幅度确定。换句话说,流过线缆 70 的电流总是可以被认为是直流的 I_{out} 。传输门在发光晶闸管的电导通失效时为 ON,且在发光晶闸管的电导通使能时为 OFF。图 5 中示出的打印头 13 不经历驱动电流信号的过渡问题,且因此不经历发光晶闸管的 ON 和 OFF 操作否则可以导致的信号的多次反射。

[0133] { 第一实施例的效果 }

[0134] 根据第一实施例的打印头 13 消除了通过线缆 70 连接的驱动器电路 41 和发光晶闸管 200 之间的信号反射的发生,这消除了驱动电流的波形中的变化,而驱动电流波形中的变化进而导致曝光能量中的变化,且因此导致不均匀打印密度。该操作解决了驱动电流 I_{out} 的增加的上升时间和下降时间的问题,由此实现发光晶闸管的高速切换。

[0135] 根据第一实施例的打印头 13 提供在空间效率和光输出效率方面极好的图像形成设备。尽管打印头 13 尤其适用于采用多个打印头的全色图像形成设备 1,打印头 13 也可以应用于单色图像形成设备和多色图像形成设备。

[0136] 第二实施例

[0137] { 打印头 }

[0138] 图 10 是说明根据第二实施例的打印控制器和打印头的电流的轮廓的框图。

[0139] 线缆 70 具有连接器 71 和 72,且电连接在打印控制器 40B 和打印头 13B 之间。

[0140] 打印头 13B 包括与第一实施例的移位寄存器 110 具有不同配置的自扫描移位寄存器 110B,发光元件的阵列类似于第一实施的那些,且开关器件(例如,双极 NPN 晶体管) 233 不同于第一实施例。

[0141] 打印头 13B 由自扫描晶闸管形成的多级 120 组成,且向阵列 200 供应触发电流以开启相应的发光晶闸管。自扫描移位寄存器 110B 例如包括 4992 个级,即 200-1 至 200-4992。每一级包括具有连接到 VDD 端子的阳极的自扫描晶闸管 121、具有连接到自扫描晶闸管 121 的栅极的阴极的二极管 122 以及连接在自扫描晶闸管 121 的栅极和接地 GND 两端的电阻器 123。奇数级 120-1、120-3、120-5...中每一个的自扫描晶闸管 121 具有连接到 VDD 端子的阳极、通过电阻器 124-1 连接到连接器 72 的阴极以及通过电阻器 123 连接到接地 GND 的栅极。第一级的自扫描晶闸管 121 的栅极连接到二极管 122 的阴极,该二极管 122 的阳极通过连接器 124-2 连接到连接器 72。相邻级的自扫描晶闸管 121 的栅极经由二极管 122 连接。每个偶数级 120-2、120-4、120-6...的自扫描晶闸管 121 具有连接到 VDD 端子的阳极、通过电阻器 124-2 连接到连接器 72 的阴极以及通过电阻器 123 连接到接地 GND 的栅极。每一级的自扫描晶闸管 121 的栅极连接到自扫描移位寄存器 110B 的输出 Q1、Q2、Q3、Q4、Q5、...Qn。

[0142] 每一级 120-1、120-2、120-3、... 120-n 的自扫描晶闸管 121 与发光元件阵列 200 的发光晶闸管 210 具有类似的层结构,且与发光元件阵列 200 以类似的方式操作。然而,自扫描晶闸管 121 不需要发光且因此从上面覆盖有金属膜以阻隔光。二极管 122 连接在相邻级中自扫描晶闸管的栅极之间且确定每次一个地相继开启发光晶闸管 210-1 至 210-n 的顺序(例如在图 10 中为向左)。

[0143] NPN 晶体管 233 操作为响应于 ON/OFF 命令信号 DRVON-N 开启发光元件阵列 200,其中 N 暗示着负逻辑。NPN 晶体管 233 具有连接到 VDD 端子的集电极、连接到公共端子 IN 的发射极。整个电路制作在 GaAs 晶片上,且因此不能制作第一实施例的开关电路 230 的 MOS 晶体管。因而,NPN 晶体管 233 位于 GaAs 配置中。

[0144] 打印控制器 40B 包括向打印头 13B 供应 ON/OFF 命令信号 DRVON-N 的电路(未示出)、多个驱动器电路 41、时钟驱动器电路 44 以及电源和接地端子(未示出)。ON/OFF 命令信号 DRVON-N 命令发光元件阵列的 ON 和 OFF。多个驱动器电路 41 类似于以时分方式驱动多个发光元件阵列的第一实施例。时钟驱动器电路 44 向自扫描移位寄存器 110B 供应时钟信号。为简单起见,图 10 仅示出了一个驱动器电路 41。多个阵列 200 总共具有例如 4992 个发光晶闸管 210-1 至 210-n (例如 $n=4992$),这些发光晶闸管分成预定数目的组。以时分方式驱动组,使得每一个组中要开启的任意发光晶闸管在剩余组中的那些发光晶闸管被驱动之前而被驱动。

[0145] 下面是典型设计。总共 26 个阵列 200 芯片在印刷电路板 13b 上排列,每个阵列具有 192 个发光晶闸管 210(即,210-1 至 210-192)。因而,打印头 13 具有总共 4992($=26 \times 192$)个发光晶闸管 210-1 至 210-n($n=4992$)。驱动器电路 41 具有连接到相应发光元件阵列 200 的 26 个输出端子。驱动器电路 41 能够并行地驱动阵列 200。驱动器电路 41 和时钟驱动器电路 44 位于如图 10 所示的打印器控制器 40B 内。

[0146] 时钟驱动器电路 44 具有输出时钟信号的多个输出端子 CK1R、CK1C、CK2R 和 CK2C。输出端子 CK1R、CK1C、CK2R 和 CK2C 连接到三态缓冲器(未示出)。三态缓冲器是具有 CMOS 输出驱动器的电路,除了基本低和高电平之外,该 CMOS 输出驱动器还允许无输出状态(即,高阻状态,此后称为 Hi-Z 状态),有效地从电路“去除”了输出。

[0147] 输出端子 CK1R、CK1C、CK2R 和 CK2C 分别连接到电阻器 45-1、电容器 46-1、电阻器 45-2 和电容器 46-2。电阻器 45-1 的一端和电容器 46-1 的一端分别连接到输出端子 CK1R 和 CK1C,且电阻器 45-1 的另一端和电容器 46-1 的另一端连接到时钟端子 CK1。时钟端子 CK1 通过连接器 71、线缆 70 和连接器 72 连接到打印头 13 一侧上的电阻器 124-1。电阻器 45-2 的一端和电容器 46-2 的一端分别连接到输出端子 CK2R 和 CK2C,且电阻器 45-2 的另一端和电容器 46-2 的另一端连接到时钟端子 CK2。时钟端子 CK2 通过连接器 71、线缆 70 和连接器 72 连接到打印头 13 一侧上的电阻器 124-2。

[0148] {NPN 晶体管}

[0149] 图 11A-11C 说明图 10 中示出的 NPN 晶体管 233。

[0150] 图 11A 示出具有集电极 C、发射极 E 和基极 B 的 NPN 晶体管的电路符号。

[0151] 图 11B 和 11C 是 NPN 晶体管 233 的剖面图。NPN 晶体管 233 包括依如下顺序排列的 N 型层 233a、P 型层 233b 和 N 型层 233c。

[0152] NPN 晶体管 233 制作如下:参考图 11B,在晶片上外延生长缓冲层和牺牲层(未示

出)。然后在晶片上形成三层结构。三层结构包括由掺杂以 N 型杂质的 AlGaAs 形成的 N 型层 233a、掺杂以 P 型杂质的 P 型层 233b 以及掺杂以 N 型杂质的 N 型层 233c。通过已知蚀刻方法在三层结构中形成凹槽以限定各个装置。每个装置经历进一步蚀刻以露出 N 型层 233a 的一部分,且然后在露出的区域上形成金属布线以用作发射极 E。与此同时,在 P 型层 233b 和 N 型层 233c 上形成基极电极和集电极电极。

[0153] { 打印控制器和打印头的简单描述 }

[0154] 参考图 10,当打印控制器 40B 输出高电平的 ON/OFF 命令信号 DRVON-N 时,ON/OFF 命令信号 DRVON-N 导致基极电流通过连接器 71、线缆 70 和连接器 72 流到 NPN 晶体管 233 的基极-发射极结,由此开启 NPN 晶体管 233。集电极电流 I_o 从集电极流到发射极,流过 NPN 晶体管 233,导致发光晶闸管 210 的阴极电压上升。当阴极电压上升时,发光晶闸管 210-1 的阳极-阴极电压减小且阴极电流 I_k 减小为 0。这导致所有的发光晶闸管 210-1 至 210-n 都截止。

[0155] 当打印控制器 40B 输出具有低电平的 ON/OFF 命令信号时,没有基极电流流过 NPN 晶体管 233 的基极-发射极结。电源电压 VDD 应用于发光晶闸管 210 的阳极。NMOS 晶体管 43 通过连接器 72、线缆 70、连接器 71 和数据端子 D 连接到发光晶闸管 210 的阴极。晶体管 43 基本处于其导通区,拉低阴极的电压,使得基本等于电源电压 VDD 的电压应用在发光晶闸管 210 的阳极和阴极两端。此时,如果发光晶闸管 210 的栅极接收高电平信号,则发光晶闸管 210 被触发开启。

[0156] 从发光晶闸管 210 的阳极流到阴极的阴极电流 I_k 在幅度上等于流到数据端子 D 的驱动电路 I_{out} 。因而,发光晶闸管 210 根据驱动电流 I_{out} 开启以发射光。

[0157] { 打印控制和打印头的详细描述 }

[0158] 图 12 是说明图 10 中示出的打印头 13B 和打印控制器 40B 的操作的细节的流程图。

[0159] 图 12 说明,在图 1 中示出的图像形成设备的打印操作期间,当图 10 中示出的发光晶闸管 210-1 至 210-8 每次相继开启一个时的信号波形。

[0160] 使用自扫描晶闸管 121 的自扫描移位寄存器 110B 通过从时钟驱动器电路 44 的时钟端子 CK1 和 CK2 供应的两相时钟计时。时钟驱动器电路 44 具有用于两相之一中的时钟的时钟端子 CK1C 和 CK1R 以及用于两相其中另一个中的时钟的时钟端子 CK2 和 CK2R。时钟端子 CK1R、CK1C、CK2R 和 CK2C 由包括 CMOS 输出驱动器的三态缓冲器驱动,除了基本的低电平和高电平,该 CMOS 输出驱动器还允许无输出状态(Hi-Z 状态),有效地从电路“去除”了输出。

[0161] 参考图 12,输出端子 CK1C、CK1R、CK2C 和 CK2R 初始处于高电平。

[0162] 输出端子 CK1R 和 CK1C 分别通过电阻器 45-1 和电容器 46-1 连接到时钟端子 CK1,且输出端子 CK2R 和 CK2C 分别通过电阻器 45-2 和电容器 46-2 连接到时钟端子 CK2。因而,时钟端子 CK1 和 CK2 在图 12 中初始处于高电平,且自扫描移位寄存器 11B 的奇数级的自扫描晶闸管 121 的阴极处于高电平,且偶数级的自扫描晶闸管 121 的阴极处于高电平。换句话说,所有自扫描晶闸管截止。

[0163] 此时,ON/OFF 命令信号 DRVON-N 处于高电平,且 NPN 晶体管 233 为 ON,使得电流 I_o 基本等于驱动电路 I_{out} ,且发光晶闸管 210-1 至 210-8 截止,减小阴极电流 I_k 。

[0164] 将给出奇数级自扫描晶闸管 121 如何开启的描述。

[0165] 移位寄存器的第一级

[0166] 参考图 12, 在时间 t_1 , 时钟驱动器电路 44 的输出端子 CK1R 设置为低电平。电流通过电容器 46-1 和电阻器 45-1 从输出端子 CK1C 流到输出端子 CK1R, 对电容器 46-1 充电以导致电容器 46-1 两端的电压增加。相应地, 如 “a” 所示, 时钟端子 CK1 处的电势向接地 GND 减小。

[0167] 在时间 t_2 , 输出端子 CK1C 被设置为低电平, 使得输出端子 CK1R 进入如点线所示的 Hi-Z 状态, 且位于高电平和低电平之间的中电势。因为 CMOS 输出驱动器 CMOS 在时间 t_2 进入 Hi-Z 状态, 在时钟端子 CK1 出现具有下冲的波形, 如图 12 中的 “b” 所示。这种下冲由对电容器 46-1 充电的电压导致。

[0168] 如图 10 所示的时钟驱动器电路 44 中的三态输出缓冲器 (未示出) 具有寄生二极管。下冲波形导致电流流过寄生二极管, 使得 “b” 处的负电压被钳位。这使得 “b” 处的下冲波形的负峰值维持在约 $-0.6V$ 。电容器 46-1 然后逐渐放电, 使得电容器 46-1 两端的电压逐渐下降。因而, 在 “b” 处示出的下冲波形将随时间衰减。

[0169] 在时钟端子 CK1 上出现的 “b” 处的下冲波形在第一级 120-1 的晶闸管 121 的阳极和阴极两端应用较高电压。此时, 时钟端子 CK2 处于高电平, 使得触发电流通过第一级 120-1 的二极管 122 流到晶闸管 21 的栅极。因而, 晶闸管 121 开启, 且保持开启, 直到时钟端子 CK1 处的阴极电压变高 (高电平)。

[0170] 在时间 t_3 , 输出端子 CK1C 设置为 Hi-Z 状态, 且因此时钟端子 CK1 变低 (低电平), 到达基本等于接地 GND 的电势。

[0171] 在时间 t_4 , ON/OFF 命令信号 DRVON-N 设置为低电平, 且 NPN 晶体管 233 截止。因为 NMOS 晶体管 43 在其饱和区, 数据端子 D 保持为低。第一级 120-1 的晶闸管 121 为 ON 状态, 晶闸管 121 的阴极和栅极两端的电压几乎等于正向电压。晶闸管 121 的栅极电势高于阴极电势。

[0172] 第一级 120-1 的晶闸管 121 和发光晶闸管 210-1 的栅极连接在一起, 且因此触发电流流过晶闸管 210-1 的栅极以开启发光晶闸管 210-1。发光晶闸管 210-1 保持开启, 直到 ON/OFF 命令信号 DRVON-N 变高 (高电平) 以开启 NPN 晶体管 233。

[0173] 移位寄存器的第二级

[0174] 在时间 t_5 , 输出端子 CK2R 设置为低电平。电流通过电容器 46-2 和电阻器 45-2 从输出端子 CK2C 流到输出端子 CK2R, 对电容器 46-2 充电以促使电容器 46-2 两端的电压增加。因此, 如 “c” 所示意, 时钟端子 CK2 处的电势朝接地 GND 减小。

[0175] 在时间 t_7 , 输出端子 CK2C 被设置为低电平, 使得输出端子 CK2R 进入如点线所示的 Hi-Z 状态, 且处于高电平和低电平之间的中电势。因为 CMOS 输出驱动器 CMOS 在时间 t_7 进入 Hi-Z 状态, 如图 12 中 “d” 所示意, 在时钟端子 CK2 上出现具有下冲的波形。这种下冲由对电容器 46-2 充电的电压导致。图 10 中示出的时钟驱动器电路 44 中的三态输出缓冲器 (未示出) 具有寄生二极管。下冲波形导致电流流过寄生二极管, 使得 “d” 处的负电压被钳位。这使得 “d” 处的下冲波形的负峰值保持在约 $-0.6V$ 。电容器 46-2 然后逐渐放电, 使得电容器 46-2 两端的电压逐渐下降。因而, 在 “d” 示出的下冲波形将随时间衰减。

[0176] 在时钟端子 CK2 上出现的 “d” 处的下冲波形在第二级 120-2 的晶闸管 121 的阳极和阴极两端应用较高电压。此时, 时钟端子 CK2 处于高电平, 同时第一级晶闸管 121 保持为

ON,使得第一级的晶闸管 121 的栅极电势保持为高。因而,触发电流通过第二级 120-2 的二极管 122 流入到第二级的晶闸管 121 的栅极。因而,第二级的晶闸管 121 开启,且保持开启,直到时钟端子 CK2 的阴极电压变高(高电平)。

[0177] 在时间 t8,输出端子 CK2C 设置为 Hi-Z 状态,且时钟端子 CK2R 变低(低电平),到达基本等于接地 GND 的电势。输出端子 CK1C 和 CK1R 都处于高电平,且时钟端子 CK1 变高(高电平)。因此,第一级 120-1 的晶闸管 121 截止。

[0178] 在时间 t9,用于晶闸管 210-2 的 ON/OFF 命令信号 DRVON-N 设置为低电平,且 NPN 晶体管 233 截止。因为 NMOS 晶体管 43 在其饱和区,数据端子 D 保持为低。第二级 120-2 的晶闸管 121 处于 ON 状态,晶闸管 121 的阴极-栅极电压几乎等于正向电压。因而,晶闸管 121 的栅极电势高于阴极电势。

[0179] 第二级 120-2 的晶闸管 121 和发光晶闸管 210-2 的栅极连接在一起,且因此触发电流流过发光晶闸管 210-2 的栅极以开启发光晶闸管 210-2。发光晶闸管 210-2 保持开启,直到 ON/OFF 命令信号 DRVON-N 变高(高电平)以开启 NPN 晶体管 233。

[0180] 移位寄存器的第三级

[0181] 在时间 t10,输出端子 CK1R 设置为低电平。电流通过电容器 46-1 和电阻器 45-1 从输出端子 CK1C 流到输出端子 CK1R,对电容器 46-1 充电以促使电容器 46-1 两端的电压增加。因此,如“e”所示意,时钟端子 CK1 的电势朝接地 GND 减小。

[0182] 在时间 t12,输出端子 CK1C 被设置为低电平,使得输出端子 CK1R 进入如点线所示的 Hi-Z 状态,且处于高电平和低电平之间的中电势。因为在时间 t17,输出端子 CK1R 进入 Hi-Z 状态,如图 12 中“f”所示意,在时钟端子 CK1 上出现具有下冲波形的波形。这种下冲波形由对电容器 46-1 充电的电压导致。

[0183] 图 10 中示出的时钟驱动器电路 44 中的三态输出缓冲器(未示出)具有寄生二极管。下冲波形导致电流流过寄生二极管,使得“f”处的负电压被钳位。这使得“f”处的下冲波形的负峰值保持在约 -0.6V。电容器 46-1 然后逐渐放电,使得电容器 46-1 两端的电压逐渐下降。因而,在“f”示出的下冲波形将随时间衰减。

[0184] 在时钟端子 CK1 上出现的“f”处示意的下冲波形在第三级 120-3 的晶闸管 121 的阳极和阴极两端应用较高电压。此时,时钟端子 CK1 处于高电平,同时第二级晶闸管 121 保持 ON,使得第二级的晶闸管 121 的栅极电势保持为高。因而,触发电流通过第三级 120-3 的二极管 122 流入到第三级的晶闸管 121 的栅极。因而,第三级的晶闸管 121 开启,且保持开启,直到时钟端子 CK1 的阴极电压变高(高电平)。

[0185] 在时间 t13,输出端子 CK1C 设置为 Hi-Z 状态,且时钟端子 CK1R 变低(低电平)。因此,时钟端子 CK1 到达基本等于接地 GND 的电势。与此同时,输出端子 CK2C 和 CK2R 都处于高电平,且时钟端子 CK2 变高(高电平)。因此,第二级 120-1 的晶闸管 121 截止。

[0186] 如上所述,从时钟端子 CK1 和 CK2 输出的两个时钟信号在波形方面相同但是在相位方面不同。从时钟端子 CK1 输出的奇数时钟信号被顺序地供应到奇数级 120-1、120-3、120-5 和 120-7 的晶闸管 121,且从时钟端子 CK2 输出的偶数时钟信号被顺序地供应到偶数级 120-2、120-4、120-6 以及 120-8 的晶闸管 121,使得晶闸管 121 每次按顺序开启一个。

[0187] 保持开启的晶闸管 121 的栅极约为高电平,且保持截止的晶闸管 121 的栅极约为低电平,几乎是接地电平 GND。晶闸管 121 的栅极电势从移位寄存器 110B 的输出端子 Q1-Q8

供应。因而,发光晶闸管 210-1 至 210-8 可以根据来自移位寄存器 110B 的命令信号按顺序一次一个地开启。

[0188] 从图 12 可以清楚地看出,电流 I_o 和 I_k 具有彼此互补的波形,使得当电流 I_o 流动时,电流 I_k 约为零,且反之亦然。电流 I_o 和 I_k 的和等于电流 I_{out} 。因此,不随时间变化的电流流过驱动器电路 44 的数据端子 D 且与发光晶闸管 210-1 至 210-8 的 ON/OFF 状态无关。该电路操作消除了流过线缆 70 的过渡信号的机会;因此,可以最小化电流波形的失真和发光晶闸管的延长的过渡时间。

[0189] 图 7 中示出的对比例存在的一个问题在于,当发光晶闸管 210-1 至 210-8 开启或截止时,电流间歇地流过线缆 70,使得在驱动器电路 44A 和打印头 13A 之间发生信号的多次反射,且因此导致电流波形的失真和发光晶闸管的延长的过渡时间。

[0190] { 第二实施例的效果 }

[0191] 第二实施例提供如下效果。

[0192] 根据第二实施例的打印头 13B 包括在电路板上彼此独立实现的驱动器电路 41 和发光元件阵列 200。线缆 70 电连接驱动器电路 41 和发光晶闸管阵列 200。这消除了驱动器电路 41 和发光元件阵列 200 之间的信号的多次反射导致驱动电流波形的变化以及因此曝光能量的变化以导致不均匀打印密度的缺点。第二实施例还解决了驱动电流 I_{out} 的增加的上升时间和下降时间的问题,由此实现发光晶闸管 210 的高速切换操作。

[0193] 另外,能够获得空间效率和光输出效率极好的图像形成设备 1。

[0194] { 修改例 }

[0195] 本发明不限于上述第一和第二实施例,而是可以以各种方式修改,包括下述修改。

[0196] 尽管在结合发光晶闸管 210 的曝光单元方面描述了第一和第二实施例,本发明可应用于可控地向诸如与晶闸管串联的电致发光(EL)元件、热发生电阻器和显示元件供应电源电压的装置。例如,本发明可应用于采用使用有机 EL 元件阵列实现的有机 EL 打印头的打印机,采用热产生电阻器的热打印机以及包括显示元件的显示设备。

[0197] 本发明还可应用于用于驱动显示元件(例如,以行或矩阵布置的显示元件)的开关元件的晶闸管。

[0198] 本发明不仅还可以用于三端晶闸管,而且还可应用于四端晶闸管或者硅半导体受控开关(SCS)。

[0199] 因而,描述了本发明,很明显,本发明可以以很多方式改变。这种变更并不被认为偏离了本发明的范围,且对于本领域技术人员而言,很明显,所有这种修改都被包括在本申请的权利要求的范围内。

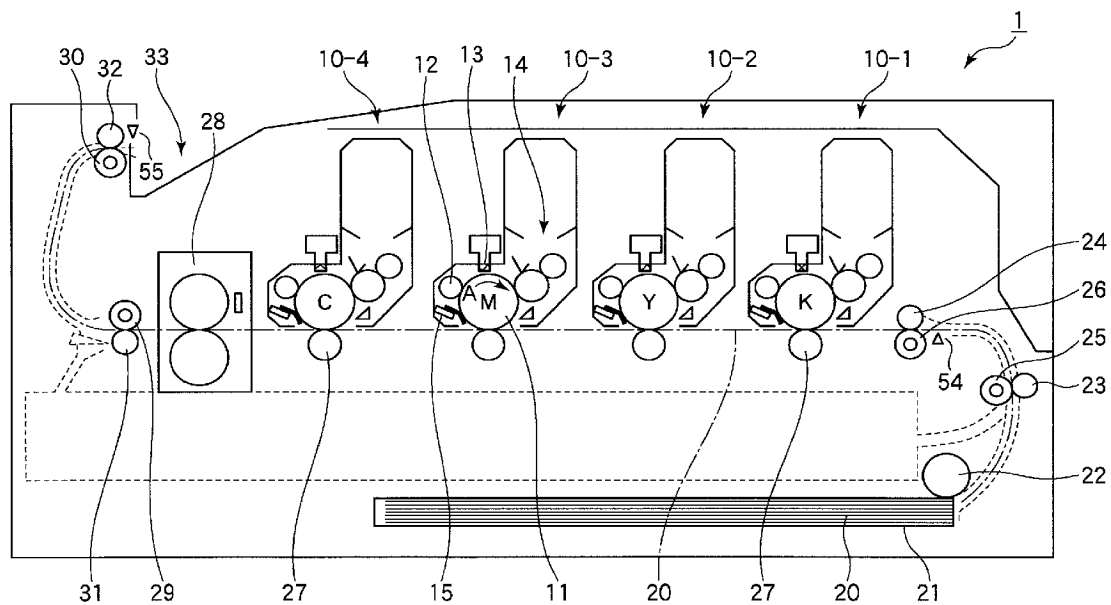


图 1

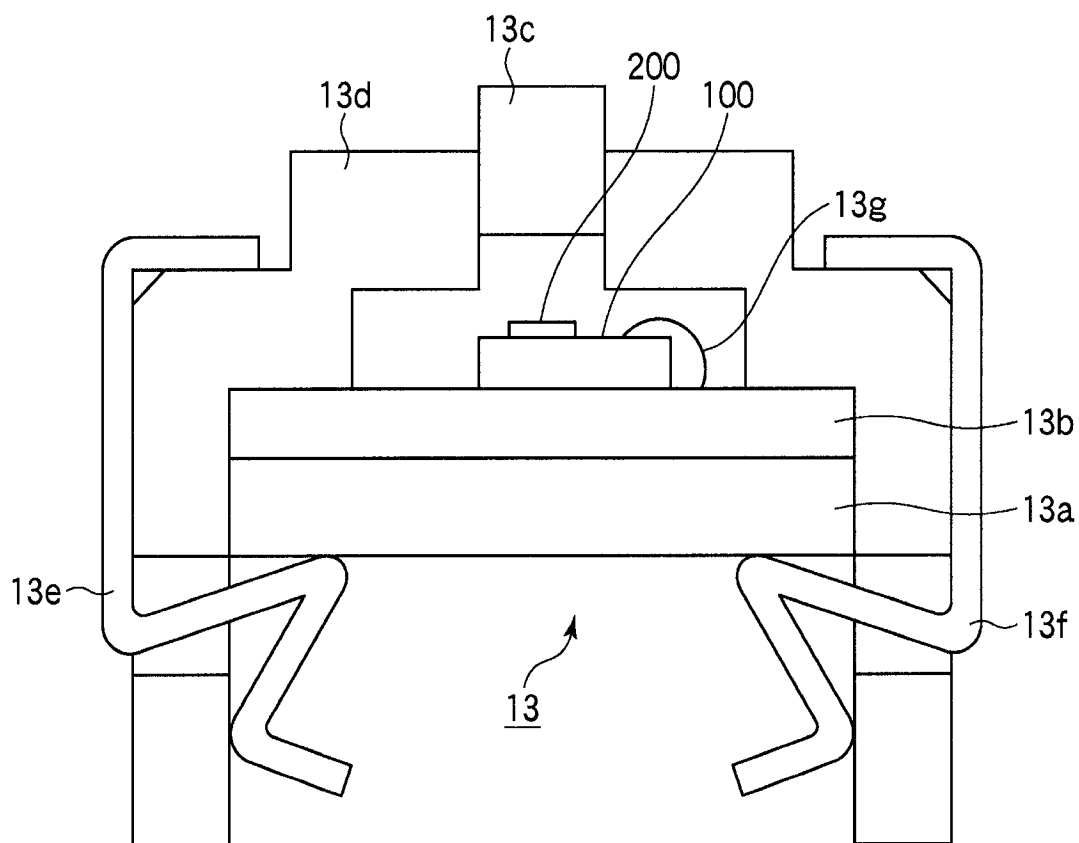


图 2

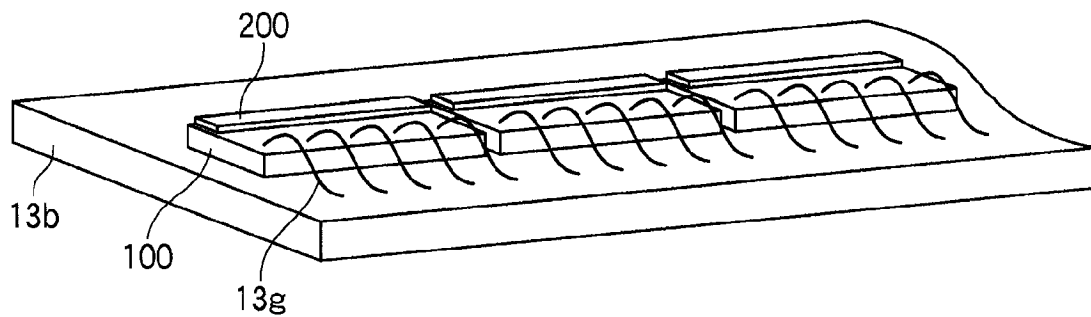


图 3

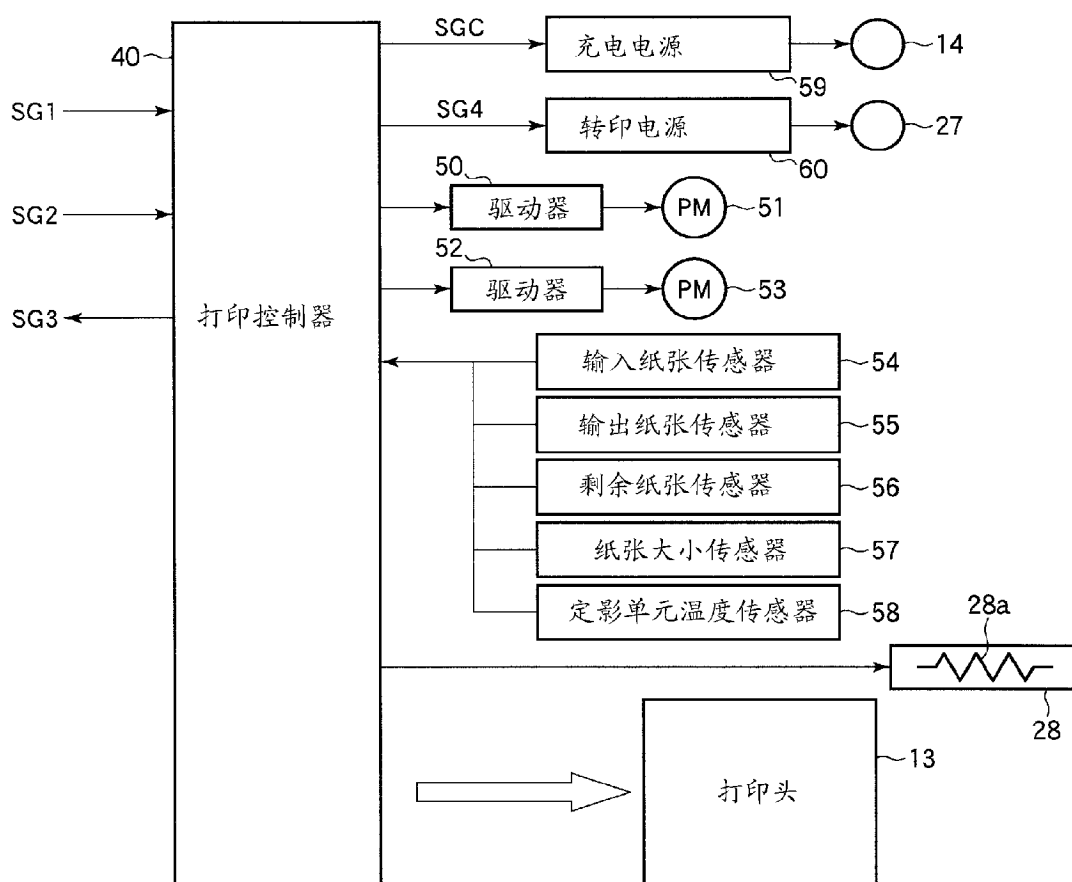


图 4

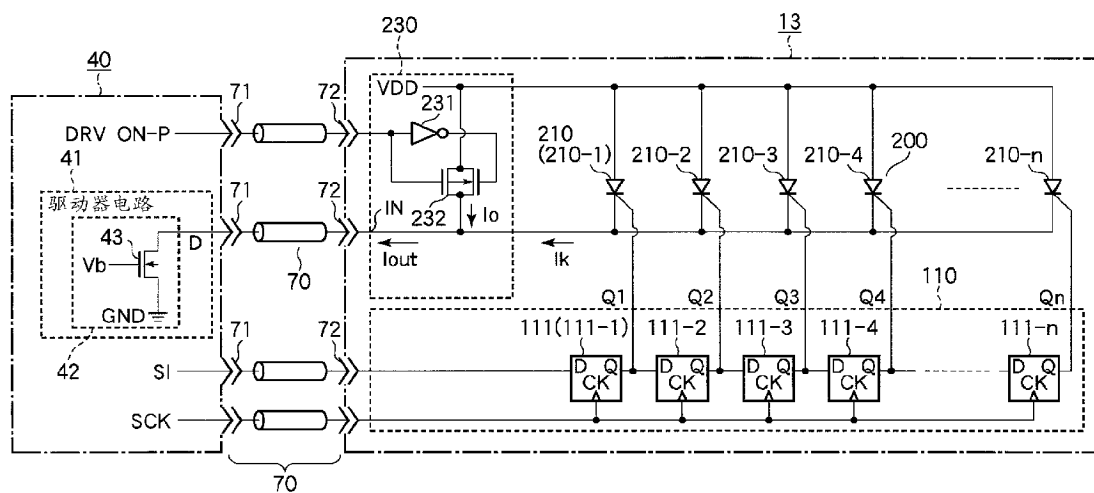


图 5

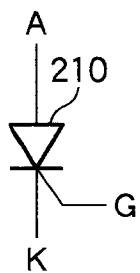


图 6A

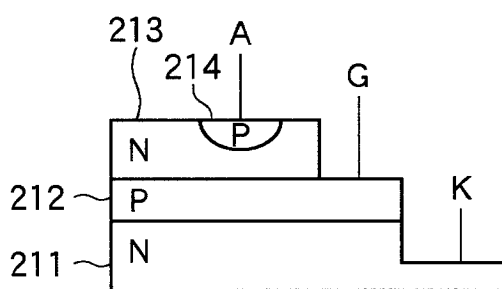


图 6B

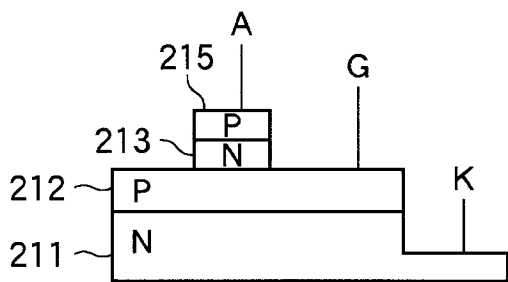


图 6C

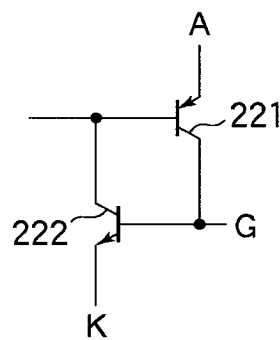


图 6D

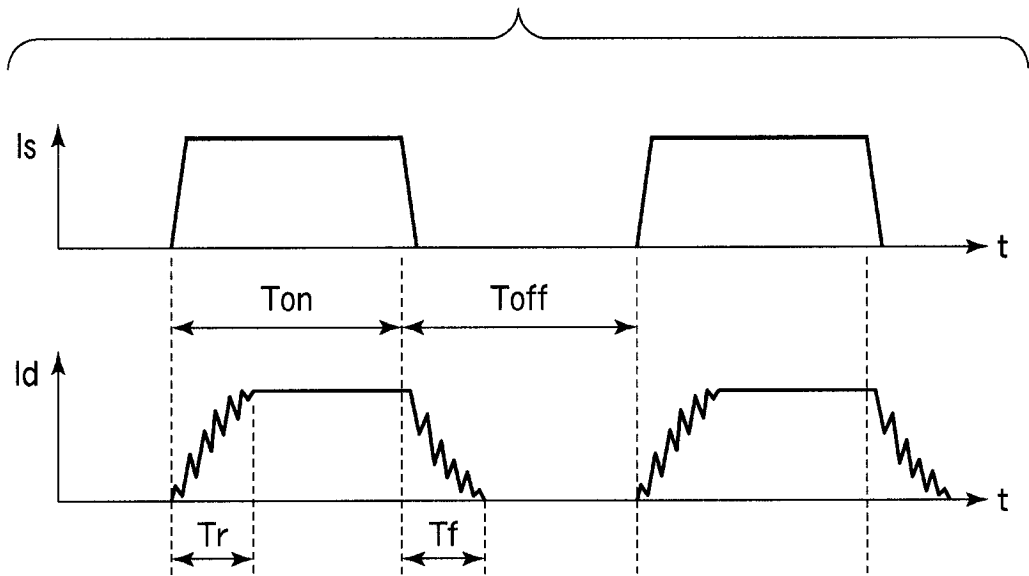


图 8B

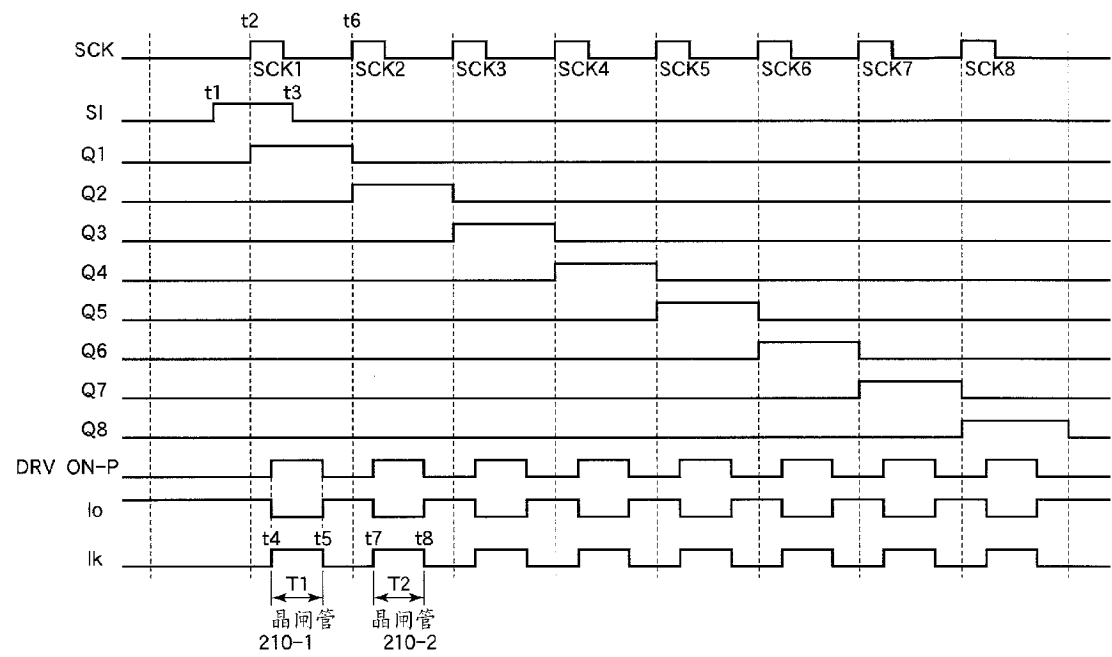


图 9

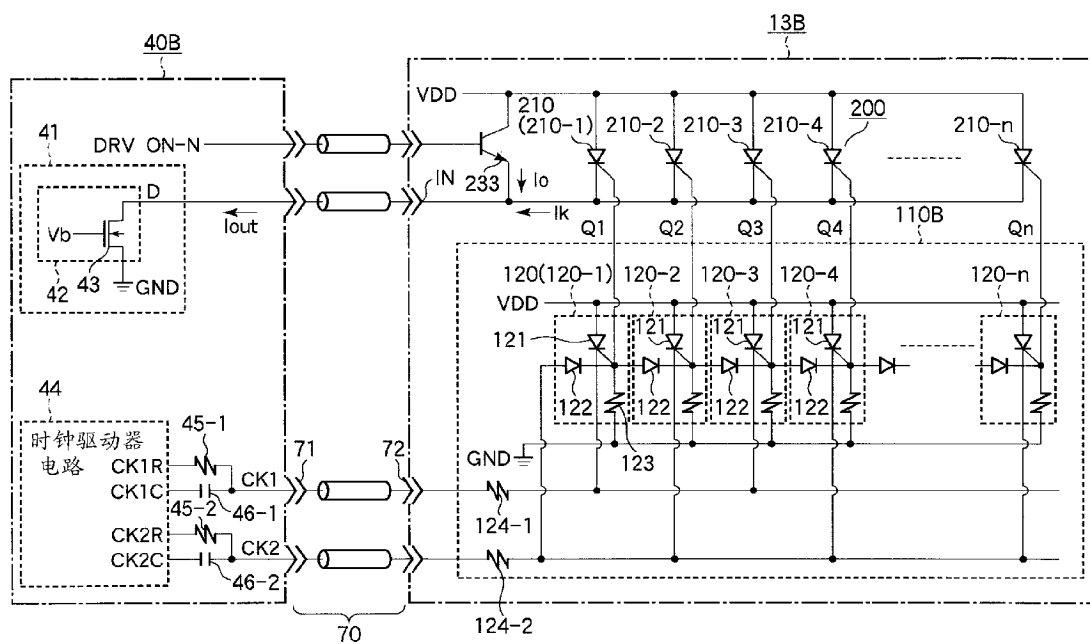


图 10

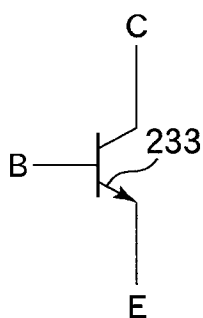


图 11A

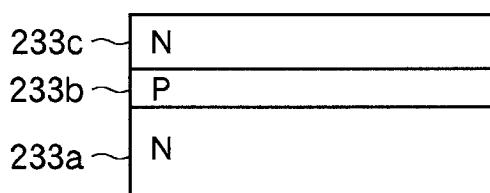


图 11B

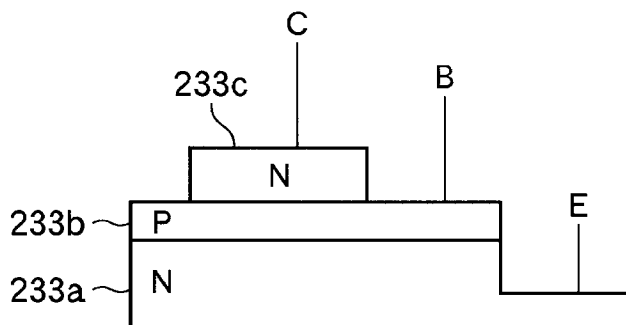


图 11C

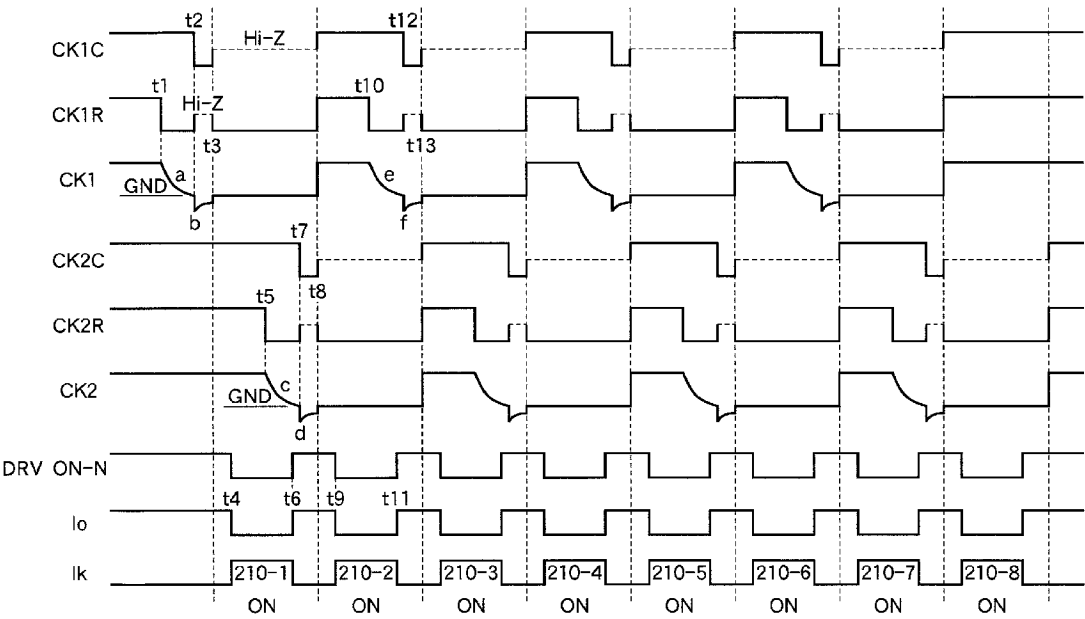


图 12