

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-241358

(P2014-241358A)

(43) 公開日 平成26年12月25日(2014.12.25)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 7 1	5 F 0 8 3
HO 1 L 29/788 (2006.01)	HO 1 L 27/10 4 3 4	5 F 1 0 1
HO 1 L 29/792 (2006.01)		
HO 1 L 21/8247 (2006.01)		
HO 1 L 27/115 (2006.01)		

審査請求 未請求 請求項の数 7 O L (全 15 頁)

(21) 出願番号 特願2013-123580 (P2013-123580)
 (22) 出願日 平成25年6月12日 (2013.6.12)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100108062
 弁理士 日向寺 雅彦
 (72) 発明者 泉田 貴士
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 (72) 発明者 中居 司
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 (72) 発明者 近藤 正樹
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内

最終頁に続く

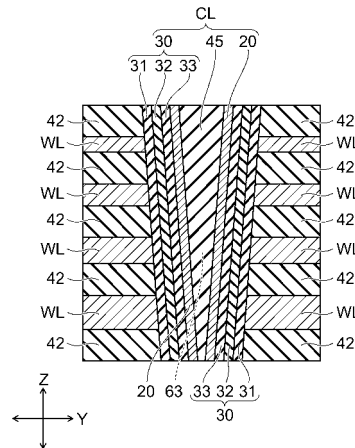
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】複数層の電極層の積層方向で均一な特性が得られる半導体記憶装置を提供する。

【解決手段】実施形態によれば、半導体記憶装置は、基板と、積層体と、電荷蓄積膜を含むメモリ膜と、チャンネルボディと、を備えている。積層体は、基板上にそれぞれ交互に積層された複数層の電極層と複数層の絶縁層とを有する。メモリ膜は、最上層の電極層から基板側に向けて積層体を貫通したホールの内壁に設けられている。チャンネルボディは、メモリ膜の内壁に設けられている。ホールは、大径部と、大径部よりも穴径が小さい小径部とを有する。小径部に隣接する電極層の厚さは、大径部に隣接する電極層の厚さよりも厚い。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

基板と、

前記基板上にそれぞれ交互に積層された複数層の電極層と複数層の絶縁層とを有する積層体と、

最上層の前記電極層から前記基板側に向けて前記積層体を貫通したホールの内壁に設けられ、電荷蓄積膜を含むメモリ膜と、

前記メモリ膜の内壁に設けられたチャンネルボディと、
を備え、

前記ホールは、大径部と、前記大径部よりも穴径が小さい小径部とを有し、

前記小径部に隣接する前記電極層の厚さは、前記大径部に隣接する前記電極層の厚さよりも厚い半導体記憶装置。

10

【請求項 2】

前記ホールの下部は上部よりも穴径が小さく、

下層側の電極層は上層側の電極層よりも厚い請求項 1 記載の半導体記憶装置。

【請求項 3】

前記ホールの上部は下部よりも穴径が小さく、

上層側の電極層は下層側の電極層よりも厚い請求項 1 記載の半導体記憶装置。

【請求項 4】

前記ホールの上部及び下部の穴径は、前記上部と前記下部との間の中央部の穴径よりも小さく、

上層側の電極層及び下層側の電極層は、前記中央部に隣接する電極層よりも厚い請求項 1 記載の半導体記憶装置。

20

【請求項 5】

前記ホールの上部及び下部の穴径は、前記上部と前記下部との間の中央部の穴径よりも大きく、

上層側の電極層及び下層側の電極層は、前記中央部に隣接する電極層よりも薄い請求項 1 記載の半導体記憶装置。

【請求項 6】

複数層の前記電極層の厚さが段階的に変化している請求項 1 ~ 5 のいずれか 1 つに記載の半導体記憶装置。

30

【請求項 7】

前記積層体の積層方向に沿った断面において、前記ホールの側壁は曲率をもつ請求項 1 ~ 6 のいずれか 1 つに記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体記憶装置に関する。

【背景技術】

【0002】

メモリセルにおけるコントロールゲートとして機能する電極層と、電極層間絶縁層とが交互に複数層積層された積層体にメモリホールが形成され、そのメモリホールの側壁に電荷蓄積膜を介してチャンネルとなるシリコンボディが設けられた 3 次元構造のメモリデバイスが提案されている。

40

【0003】

ホールは例えば R I E (Reactive Ion Etching) などの異方性エッチングで形成されるが、そのときホールの穴径が深さ方向でばらつくことがある。特に、電極層の層数が増え、ホールのアスペクト比が高くなると、均一な穴径でホールを形成することが難しくなる。ホールの穴径の深さ方向でのばらつきは、メモリセルトランジスタの特性のばらつきにつながり得る。

50

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2010-34112号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の実施形態は、複数層の電極層の積層方向で均一な特性が得られる半導体記憶装置を提供する。

【課題を解決するための手段】

10

【0006】

実施形態によれば、半導体記憶装置は、基板と、積層体と、電荷蓄積膜を含むメモリ膜と、チャネルボディと、を備えている。前記積層体は、前記基板上にそれぞれ交互に積層された複数層の電極層と複数層の絶縁層とを有する。前記メモリ膜は、最上層の前記電極層から前記基板側に向けて前記積層体を貫通したホールの内壁に設けられている。前記チャネルボディは、前記メモリ膜の内壁に設けられている。前記ホールは、大径部と、前記大径部よりも穴径が小さい小径部とを有する。前記小径部に隣接する前記電極層の厚さは、前記大径部に隣接する前記電極層の厚さよりも厚い。

【図面の簡単な説明】

【0007】

20

【図1】実施形態の半導体記憶装置の模式斜視図。

【図2】実施形態の半導体記憶装置の模式断面図。

【図3】実施形態の半導体記憶装置のメモリセルの模式断面図。

【図4】実施形態の半導体記憶装置の製造方法を示す模式断面図。

【図5】実施形態の半導体記憶装置の製造方法を示す模式断面図。

【図6】実施形態の半導体記憶装置の製造方法を示す模式断面図。

【図7】実施形態の半導体記憶装置の製造方法を示す模式断面図。

【図8】実施形態の半導体記憶装置のメモリセルの模式図。

【図9】実施形態の半導体記憶装置のメモリセルの模式図。

【図10】実施形態の半導体記憶装置のメモリセルの模式図。

30

【図11】実施形態の半導体記憶装置におけるホールの穴径の変化と、電極層の厚さの変化との関係の一例を示す模式図。

【図12】閾値電圧とホールの穴径との関係を示すグラフ。

【発明を実施するための形態】

【0008】

以下、図面を参照し、実施形態について説明する。なお、各図面中、同じ要素には同じ符号を付している。

【0009】

図1は、実施形態の半導体記憶装置のメモリセルアレイ1の模式斜視図である。なお、図1においては、図を見易くするために、電極層WL間の絶縁層などの図示については省略している。

40

【0010】

また、基板10の主面に対して平行な方向であって相互に直交する2方向をY方向（第1の方向）及びX方向（第2の方向）とし、これらY方向及びX方向の双方に対して直交する方向をZ方向（第3の方向または積層方向）とする。

【0011】

図2は、実施形態のメモリセルアレイ1の模式断面図である。図2は、図1におけるYZ面に平行な断面を表す。

図3は、実施形態のメモリセルの模式拡大断面図である。

【0012】

50

実施形態のメモリセルアレイ 1 は、電極層 W L と絶縁層 4 2 とがそれぞれ 1 層ずつ交互に複数層積層された積層体を有する。この積層体は、下部ゲート層としてのバックゲート B G 上に設けられている。なお、図に示す電極層 W L の層数は一例であって、電極層 W L の層数は任意である。

【 0 0 1 3 】

バックゲート B G は、基板 1 0 上に絶縁層 4 0 を介して設けられている。バックゲート B G 及び電極層 W L は、導電層であり、例えば不純物が添加されたシリコン層である。

【 0 0 1 4 】

メモリセルアレイ 1 は複数のメモリストリング M S を有する。1 つのメモリストリング M S は、Z 方向に延びる一对の柱状部 C L と、一对の柱状部 C L のそれぞれの下端を連結する連結部 J P とを有する U 字状に形成されている。柱状部 C L は、例えば円柱状に形成されている。

10

【 0 0 1 5 】

U 字状のメモリストリング M S における一对の柱状部 C L の一方の上端部にはドレイン側選択ゲート S G D が設けられ、他方の上端部にはソース側選択ゲート S G S が設けられている。上部選択ゲートとしてのドレイン側選択ゲート S G D 及びソース側選択ゲート S G S は、最上層の電極層 W L 上に絶縁層 4 2 を介して設けられている。

【 0 0 1 6 】

ドレイン側選択ゲート S G D 及びソース側選択ゲート S G S は、例えば、不純物が添加されたシリコン層である。

20

【 0 0 1 7 】

ドレイン側選択ゲート S G D とソース側選択ゲート S G S とは、絶縁分離膜 6 2 によって、Y 方向に分離されている。ドレイン側選択ゲート S G D の下の積層体と、ソース側選択ゲート S G S の下の積層体も、絶縁分離膜 6 2 によって Y 方向に分離されている。すなわち、メモリストリング M S の一对の柱状部 C L 間の積層体は、絶縁分離膜 6 2 によって Y 方向に分離されている。

【 0 0 1 8 】

ソース側選択ゲート S G S 上には、絶縁層を介して、ソース線（例えば金属膜）S L が設けられている。ドレイン側選択ゲート S G D 上及びソース線 S L 上には、絶縁層を介して、複数本のビット線（例えば金属膜）B L が設けられている。各ビット線 B L は Y 方向に延在している。

30

【 0 0 1 9 】

メモリストリング M S は、バックゲート B G、複数層の電極層 W L および複数層の絶縁層 4 2 を含む積層体に形成された U 字状のメモリホール M H（図 7（a）に示す）内に設けられたチャンネルボディ 2 0 を有する。チャンネルボディ 2 0 は、例えばシリコン膜である。チャンネルボディ 2 0 の不純物濃度は、電極層 W L の不純物濃度よりも低い。

【 0 0 2 0 】

チャンネルボディ 2 0 は、U 字状のメモリホール M H 内に、メモリ膜 3 0 を介して設けられている。メモリ膜 3 0 は、メモリホール M H の内壁とチャンネルボディ 2 0 との間に設けられている。

40

【 0 0 2 1 】

図 3 に示すように、チャンネルボディ 2 0 は筒状に設けられ、そのチャンネルボディ 2 0 の外周面を囲むように筒状のメモリ膜 3 0 が設けられている。電極層 W L はメモリ膜 3 0 を介してチャンネルボディ 2 0 の周囲を囲んでいる。また、チャンネルボディ 2 0 の内側には、コア絶縁膜 4 5 が設けられている。コア絶縁膜 4 5 は、例えばシリコン窒化膜である。

【 0 0 2 2 】

メモリ膜 3 0 は、ブロック膜 3 1 と電荷蓄積膜 3 2 とトンネル膜 3 3 とを有する。電極層 W L とチャンネルボディ 2 0 との間に、電極層 W L 側から順にブロック膜 3 1、電荷蓄積膜 3 2、およびトンネル膜 3 3 が設けられている。ブロック膜 3 1 は電極層 W L に接し、トンネル膜 3 3 はチャンネルボディ 2 0 に接し、ブロック膜 3 1 とトンネル膜 3 3 との間に

50

電荷蓄積膜 32 が設けられている。

【0023】

チャンネルボディ 20 はメモリセルトランジスタ（以下、単にメモリセルという）におけるチャンネルとして機能し、電極層 WL はメモリセルのコントロールゲートとして機能し、電荷蓄積膜 32 はチャンネルボディ 20 から注入される電荷を蓄積するデータ記憶層として機能する。すなわち、チャンネルボディ 20 と各電極層 WL との交差部分に、チャンネルの周囲をコントロールゲートが囲んだ構造のメモリセルが形成されている。

【0024】

実施形態の半導体記憶装置は、データの消去・書き込みを電氣的に自由に行うことができ、電源を切っても記憶内容を保持することができる不揮発性半導体記憶装置である。

10

【0025】

メモリセルは、例えばチャージトラップ型のメモリセルである。電荷蓄積膜 32 は、電荷を捕獲するトラップサイトを多数有し、例えば、シリコン窒化膜、ハフニウム酸化膜（ HfO_2 膜）である。

【0026】

トンネル膜 33 は、例えば、シリコン酸化膜、シリコン窒化膜、それらの積層膜であり、電荷蓄積膜 32 にチャンネルボディ 20 から電荷が注入される際、または電荷蓄積膜 32 に蓄積された電荷がチャンネルボディ 20 へ拡散する際に電位障壁となる。

【0027】

ブロック膜 31 は、例えば、シリコン酸化膜、シリコン窒化膜、アルミニウム酸化膜（ Al_2O_3 膜）、ハフニウム酸化膜（ HfO_2 膜）、それらの少なくとも 1 つを含む積層膜であり、電荷蓄積膜 32 に蓄積された電荷が、電極層 WL へ拡散するのを防止する。

20

【0028】

図 1 に示すように、一对の柱状部 CL の一方の上端部にはドレイン側選択トランジスタ STD が設けられ、他方の上端部にはソース側選択トランジスタ STS が設けられている。ドレイン側選択トランジスタ STD 及びソース側選択トランジスタ STS は、メモリセルと同様、縦型トランジスタである。

【0029】

ドレイン側選択ゲート SGD は、ドレイン側選択トランジスタ STD のゲート電極として機能する。ドレイン側選択ゲート SGD とチャンネルボディ 20 との間には、ドレイン側選択トランジスタ STD のゲート絶縁膜として機能する絶縁膜（図示せず）が設けられている。ドレイン側選択トランジスタ STD のチャンネルボディは、ドレイン側選択ゲート SGD の上方で、ビット線 BL と接続されている。

30

【0030】

ソース側選択ゲート SGS は、ソース側選択トランジスタ STS のゲート電極として機能する。ソース側選択ゲート SGS とチャンネルボディ 20 との間には、ソース側選択トランジスタ STS のゲート絶縁膜として機能する絶縁膜（図示せず）が設けられている。ソース側選択トランジスタ STS のチャンネルボディは、ソース側選択ゲート SGS の上方で、ソース線 SL と接続されている。

【0031】

メモリストリング MS の連結部 JP には、バックゲートトランジスタ BGT が設けられている。バックゲート BG は、バックゲートトランジスタ BGT のゲート電極として機能する。バックゲート BG 内に設けられたメモリ膜 30 は、バックゲートトランジスタ BGT のゲート絶縁膜として機能する。

40

【0032】

ドレイン側選択トランジスタ STD とバックゲートトランジスタ BGT との間には、各層の電極層 WL をコントロールゲートとする複数のメモリセルが設けられている。同様に、バックゲートトランジスタ BGT とソース側選択トランジスタ STS の間にも、各層の電極層 WL をコントロールゲートとする複数のメモリセルが設けられている。

【0033】

50

それら複数のメモリセル、ドレイン側選択トランジスタSTD、バックゲートトランジスタBGTおよびソース側選択トランジスタSTSは、チャンネルボディ20を通じて直列接続され、U字状の1つのメモリストリングMSを構成する。このメモリストリングMSがX方向及びY方向に複数配列されていることにより、複数のメモリセルがX方向、Y方向及びZ方向に3次元的に設けられている。

【0034】

電極層WLは、第1の方向(Y方向)に複数に分離されている。第1の方向(Y方向)に分離された各電極層WLは、第2の方向(X方向)に延びている。第2の方向(X方向)は、基板10の主面に対して平行な面内で第1の方向(Y方向)に対して交差(例えば直交)する方向である。

10

【0035】

X方向に延びる1つの電極層WLを共有して、異なるメモリストリングMSの複数の柱状部CLがX方向に配列されている。

【0036】

メモリ膜30、チャンネルボディ20およびコア絶縁膜45を含む柱状部CLは、後述するように、図6(b)に示すホール63内に形成される。そのホール63の穴径は、深さ方向で均一ではない。すなわち、ホール63は、大径部と、大径部よりも穴径が小さい小径部とを有する。

【0037】

図6(b)に示す実施形態によれば、ホール63の穴径は、開口端側の上部から、基板側の下部に向かって徐々に小さくなっている。すなわち、ホール63の下部は上部よりも穴径が小さい。

20

【0038】

したがって、ホール63内に埋め込まれた柱状部CLは、図2、3に示すように、上部から下部に向かって徐々に細くなっている。すなわち、柱状部CLの下部は上部よりも細い。

【0039】

なお、ホール63の穴径は、上部から下部に向かって段階的に小さくなっていてもよい。また、柱状部CLは、上部から下部に向かって段階的に細くなっていてもよい。

【0040】

そして、実施形態によれば、ホール63(柱状部CL)の小径部に隣接する電極層WLの厚さは、ホール63(柱状部CL)の大径部に隣接する電極層WLの厚さよりも厚い。すなわち、下層側の電極層WLは上層側の電極層WLよりも厚い。少なくとも、最下層の電極層WLは最上層の電極層WLよりも厚い。

30

【0041】

また、下層側の電極層WLのゲート長は、上層側の電極層WLのゲート長よりも長い。ここで、ゲート長は、電極層WLにおけるメモリ膜30に接する面のチャンネル長方向の長さを表す。少なくとも、最下層の電極層WLのゲート長は、最上層の電極層WLのゲート長よりも長い。

【0042】

現状のプロセス上、特にアスペクト比が高くなると、深さ方向で均一な穴径のホールの加工は難しい。図6(b)に示すホール63は、RIE(Reactive Ion Etching)などの異方性エッチングにより形成される。

40

【0043】

RIEでは、エッチングガスが導入されたチャンバー内にプラズマを生起させ、基板に電位を与えて基板側にエッチングイオンを加速させ、そのイオンの衝突により異方性エッチングが行われる。また、RIEでは、反応生成物が、エッチングされたホールの側面を保護することで、径方向へのエッチングが抑制される。この反応生成物の側面保護により、エッチングが深さ方向に進むにしたがって穴径が小さくなっていくことがある。

【0044】

50

ホールの穴径が深さ方向で異なると、ホールを囲む電極層WLをコントロールゲートとするメモリセルトランジスタ（単にメモリセルともいう）の閾値電圧が上下のメモリセル間で異なってくる。

【0045】

図12は、メモリセルの閾値電圧の、ホールの穴径依存特性を表す。横軸がホールの穴径を、縦軸がメモリセルの閾値電圧を表す。ここでの閾値電圧は、中性閾値電圧を表す。

【0046】

図12に示すように、ホールの穴径が小さくなるとメモリセルの閾値電圧が低下する。すなわち、図1～3に示す例では、下層側のメモリセルほど閾値電圧が低くなる。中性閾値電圧のばらつきは、書き込み/消去後の閾値電圧のばらつきにつながり、書き込み/消去速度のばらつきをまねく。

10

【0047】

そこで、実施形態によれば、ホール63の穴径（柱状部CLの太さ）の違いに応じて、電極層WLの厚さを変えている。

【0048】

ホール63の穴径が小さい部分（柱状部CLが細い部分）に隣接する電極層WLの厚さを、ホール63の穴径が大きい部分（柱状部CLが太い部分）に隣接する電極層WLの厚さよりも厚くしている。

【0049】

すなわち、閾値電圧が低い部分であるホール63の穴径が小さい部分（柱状部CLが細い部分）のゲート長が長くなり、閾値電圧の低下を抑制できる。したがって、ホール63の深さ方向（メモリセルの積層方向）での、メモリセルの中性閾値電圧のばらつきを抑えることができる。

20

【0050】

この結果、Z方向に積層されたメモリセル間での、書き込み/消去後の閾値電圧のばらつきと、書き込み/消去速度のばらつきを抑制することが可能となる。

【0051】

図11(a)及び(b)は、ホール63の穴径の変化（実線）と、電極層WLの厚さの変化（破線）との関係の一例を表す模式図である。

【0052】

横軸は、ホール上端からの距離（ホール63の深さ方向）を表す。左側の縦軸は、ホール63の穴径を表す。右側の縦軸は、電極層WLの厚さ（ゲート長）を表す。

30

【0053】

図11(a)によれば、ホール63の穴径の変化にしたがって、複数層の電極層WLは1層ずつ厚さが変化している。

【0054】

あるいは、図11(b)によれば、ホール63の穴径の変化にしたがって、複数層の電極層WLごとに厚さが段階的に変化している。

【0055】

次に、図4(a)～図7(b)を参照して、実施形態のメモリセルアレイ1の形成方法について説明する。

40

【0056】

図4(a)に示すように、基板10上には、絶縁層40を介してバックゲートBGが形成される。なお、図4(b)以降の図では、基板10及び絶縁層40の図示を省略している。

【0057】

バックゲートBGには、図示しないマスクを用いたエッチングにより、図4(b)に示すように、複数の凹部11が形成される。

【0058】

その凹部11内には、図4(c)に示すように、犠牲膜12が埋め込まれる。犠牲膜1

50

2 は、例えばシリコン窒化膜である。

【0059】

凹部11と凹部11との間のバックゲートBGの凸部上面は露出される。バックゲートBGの凸部上面と犠牲膜12の上面とは平坦化され、その平坦面上には、図5(a)に示すように、絶縁層42と電極層WLとがそれぞれ交互に複数積層される。

【0060】

このとき、下層側の電極層WLを、上層側の電極層WLよりも厚く形成する。少なくとも、最下層の電極層WLを、最上層の電極層WLよりも厚くする。

【0061】

最上層の電極層WL上には、絶縁層42を介して、ドレイン側選択ゲートSGDまたはソース側選択ゲートSGSとなる上部選択ゲートSGが形成され、その上部選択ゲートSG上には絶縁層43が形成される。

10

【0062】

バックゲートBG、絶縁層42、電極層WL、上部選択ゲートSGおよび絶縁層43を含む積層体は、例えばCVD(chemical vapor deposition)法で形成される。

【0063】

バックゲートBG、電極層WLおよび上部選択ゲートSGは、不純物として例えばボロンが添加されたシリコン層である。絶縁層42、43は、例えばシリコン酸化層である。

【0064】

図5(a)に示す積層体を形成した後、フォトリソグラフィとエッチングにより、図5(b)に示すように、積層体に、最下層の絶縁層42に達する複数のスリット61を形成する。スリット61は、犠牲膜12の上に形成され、積層体をY方向に分離する。

20

【0065】

スリット61内には、図6(a)に示すように、絶縁分離膜62が埋め込まれる。絶縁分離膜62は、例えばシリコン窒化膜である。

【0066】

絶縁分離膜62を形成した後、図6(b)に示すように、上記積層体に、複数のホール63を形成する。ホール63は、図示しないマスクを用いた例えばRIE(reactive ion etching)法で形成される。

【0067】

ホール63の側壁は、基板主面に対して垂直ではなく傾斜したテーパ面となり、ホール63の穴径は上部に比べて下部で小さくなる。

30

【0068】

ホール63のボトムは犠牲膜12に達し、ホール63のボトムに犠牲膜12が露出する。1つの犠牲膜12上には、一对のホール63が形成される。

【0069】

ホール63を形成した後、ホール63を通じたエッチングにより、犠牲膜12を除去する。犠牲膜12は、例えばウェットエッチングにより除去される。

【0070】

犠牲膜12の除去により、図7(a)に示すように、バックゲートBGに形成された凹部11が現れる。1つの凹部11に対して、一对のホール63がつながっている。すなわち、一对のホール63のそれぞれの下端が1つの共通の凹部11とつながり、1つのU字状のメモリホールMHが形成される。

40

【0071】

メモリホールMHの内壁には、図7(b)に示すようにメモリ膜30が形成される。さらに、メモリホールMH内におけるメモリ膜30の内壁に、チャネルボディ20が形成される。さらに、メモリホールMH内におけるチャネルボディ20の内側に、図3に示すように、コア絶縁膜45が形成される。

【0072】

Y方向で隣り合うメモリストリングMS間の上部選択ゲートSGは、図2に示すように

50

、絶縁分離膜 66 によって Y 方向に分離される。

【0073】

その後、絶縁層 43 上に、図 1 に示すソース線 S L、ビット線 B L などが形成される。

【0074】

次に、図 8 は、他の実施形態のメモリセルの模式拡大断面図である。

【0075】

エッチング条件によっては、図 8 に示すように、ホール 71 の穴径は、上部から下部に向かって徐々に大きくなることもある。すなわち、ホール 71 の下部は上部よりも穴径が大きい。

【0076】

したがって、ホール 71 内に埋め込まれた柱状部 C L は、上部から下部に向かって徐々に太くなっている。すなわち、柱状部 C L の下部は上部よりも太い。

【0077】

なお、ホール 71 の穴径は、上部から下部に向かって段階的に大きくなっていてもよい。また、柱状部 C L は、上部から下部に向かって段階的に太くなっていてもよい。

【0078】

そして、図 8 に示す実施形態によれば、ホール 71 (柱状部 C L) の小径部に隣接する電極層 W L の厚さは、ホール 71 (柱状部 C L) の大径部に隣接する電極層 W L の厚さよりも厚い。すなわち、上層側の電極層 W L は下層側の電極層 W L よりも厚い。少なくとも、最上層の電極層 W L は最下層の電極層 W L よりも厚い。

【0079】

また、上層側の電極層 W L のゲート長は、下層側の電極層 W L のゲート長よりも長い。少なくとも、最上層の電極層 W L のゲート長は、最下層の電極層 W L のゲート長よりも長い。

【0080】

本実施形態によれば、ホール 71 の穴径が小さい部分 (柱状部 C L が細い部分) に隣接する電極層 W L の厚さを、ホール 71 の穴径が大きい部分 (柱状部 C L が太い部分) に隣接する電極層 W L の厚さよりも厚くしている。

【0081】

すなわち、閾値電圧が低い部分であるホール 71 の穴径が小さい部分 (柱状部 C L が細い部分) のゲート長が長くなり、閾値電圧の低下を抑制できる。したがって、ホール 71 の深さ方向 (メモリセルの積層方向) での、メモリセルの中性閾値電圧のばらつきを抑えることができる。

【0082】

この結果、Z 方向に積層されたメモリセル間での、書き込み / 消去後の閾値電圧のばらつきと、書き込み / 消去速度のばらつきを抑制することが可能となる。

【0083】

ホール 71 の穴径の変化にしたがって、複数層の電極層 W L は 1 層ずつ厚さが変化してもよいし、複数層の電極層 W L ごとに厚さが段階的に変化してもよい。

【0084】

次に、図 9 (a) は、さらに他の実施形態のメモリセルの模式拡大断面図である。

【0085】

図 9 (b) は、図 9 (a) におけるホール 72 の中心軸より右側の領域のチャネルボディ 20、および電極層 W L のメモリ膜 30 に接する部分を示す模式図である。

【0086】

エッチング条件によっては、図 9 (a) に示すように、ホール 72 の上部及び下部の穴径が、それら上部と下部との間の中央部の穴径よりも小さくなる場合がある。したがって、ホール 72 内に埋め込まれた柱状部 C L は樽型に形成され、その柱状部 C L の上部及び下部は、上部と下部との間の中央部よりも細くなる。

【0087】

10

20

30

40

50

そして、図9(a)に示す実施形態によれば、ホール72(柱状部CL)の小径部(上部及び下部)に隣接する電極層WLの厚さは、ホール72(柱状部CL)の大径部(中央部)に隣接する電極層WLの厚さよりも厚い。

【0088】

また、上層側と下層側の電極層WLのゲート長は、中央部の電極層WLのゲート長よりも長い。

【0089】

本実施形態によれば、ホール72の穴径が小さい部分(柱状部CLが細い部分)に隣接する電極層WLの厚さを、ホール72の穴径が大きい部分(柱状部CLが太い部分)に隣接する電極層WLの厚さよりも厚くしている。

10

【0090】

すなわち、閾値電圧が低い部分であるホール72の穴径が小さい部分(柱状部CLが細い部分)のゲート長が長くなり、閾値電圧の低下を抑制できる。したがって、ホール72の深さ方向(メモリセルの積層方向)での、メモリセルの中性閾値電圧のばらつきを抑えることができる。

【0091】

この結果、Z方向に積層されたメモリセル間での、書き込み/消去後の閾値電圧のばらつきと、書き込み/消去速度のばらつきを抑制することが可能となる。

【0092】

ホール72の穴径の変化にしたがって、複数層の電極層WLは1層ずつ厚さが変化してもよいし、複数層の電極層WLごとに厚さが段階的に変化してもよい。

20

【0093】

また、積層体の積層方向(Z方向)に沿った図9(a)に示す断面において、ホール72の側壁及び柱状部CLの側壁は、直線ではなく、曲率をもつ。また、その断面において、図9(b)に示すように、電極層WLのメモリ膜30との界面、およびチャネルボディ20は曲率をもつ。

【0094】

データの書き込み時、チャネルボディ20の電位に対して電極層WLの電位が高くされる。その書き込み時の電気力線を図9(b)において矢印で模式的に表す。

【0095】

チャネル長方向(ゲート長方向)が、Z方向に平行ではなく、湾曲しているため、チャネルボディ20に電界が集中し、書き込み効率の向上(書き込み電圧の低減)が可能となる。

30

【0096】

次に、図10(a)は、さらに他の実施形態のメモリセルの模式拡大断面図である。

【0097】

図10(b)は、図10(a)におけるホール73の中心軸より右側の領域のチャネルボディ20および電荷蓄積膜32を示す模式図である。

【0098】

エッチング条件によっては、図10(a)に示すように、ホール73の上部及び下部の穴径が、それら上部と下部との間の中央部の穴径よりも大きくなる場合がある。したがって、ホール73内に埋め込まれた柱状部CLの上部及び下部は、上部と下部との間の中央部よりも太くなる。

40

【0099】

そして、図10(a)に示す実施形態によれば、ホール73(柱状部CL)の大径部(上部及び下部)に隣接する電極層WLの厚さは、ホール73(柱状部CL)の小径部(中央部)に隣接する電極層WLの厚さよりも薄い。

【0100】

また、中央部の電極層WLのゲート長は、上層側と下層側の電極層WLのゲート長よりも長い。

50

【 0 1 0 1 】

本実施形態によれば、ホール 7 3 の穴径が小さい部分（柱状部 C L が細い部分）に隣接する電極層 W L の厚さを、ホール 7 3 の穴径が大きい部分（柱状部 C L が太い部分）に隣接する電極層 W L の厚さよりも厚くしている。

【 0 1 0 2 】

すなわち、閾値電圧が低い部分であるホール 7 3 の穴径が小さい部分（柱状部 C L が細い部分）のゲート長が長くなり、閾値電圧の低下を抑制できる。したがって、ホール 7 3 の深さ方向（メモリセルの積層方向）での、メモリセルの中性閾値電圧のばらつきを抑えることができる。

【 0 1 0 3 】

この結果、Z 方向に積層されたメモリセル間での、書き込み / 消去後の閾値電圧のばらつきと、書き込み / 消去速度のばらつきを抑制することが可能となる。

【 0 1 0 4 】

ホール 7 3 の穴径の変化にしたがって、複数層の電極層 W L は 1 層ずつ厚さが変化してもよいし、複数層の電極層 W L ごとに厚さが段階的に変化してもよい。

【 0 1 0 5 】

また、積層体の積層方向（Z 方向）に沿った図 1 0（a）に示す断面において、ホール 7 3 の側壁及び柱状部 C L の側壁は、直線ではなく、曲率をもつ。また、その断面において、図 1 0（b）に示すように、チャンネルボディ 2 0 および電荷蓄積膜 3 2 は曲率をもつ。

【 0 1 0 6 】

データの消去時、電極層 W L の電位に対してチャンネルボディ 2 0 の電位が高くされる。その消去時の電気力線を図 1 0（b）において矢印で模式的に表す。

【 0 1 0 7 】

チャンネル長方向（ゲート長方向）が、Z 方向に平行ではなく、湾曲しているため、電荷蓄積膜 3 2 に電界が集中し、消去効率の向上（消去電圧の低減）が可能となる。

【 0 1 0 8 】

以上説明した実施形態では、下部ゲート層であるバックゲート B G 内で一对の柱状部 C L の下端がつながった U 字状のメモリストリング M S について説明した。しかしながら、メモリストリングは、下部ゲート層（下部選択ゲート）、その上に積層された複数層の電極層を含む積層体、およびその積層体上に設けられた上部ゲート層（上部選択ゲート）を貫通する I 字形状のストレート構造であってもよい。

【 0 1 0 9 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【 符号の説明 】

【 0 1 1 0 】

1 ... メモリセルアレイ、2 0 ... チャンネルボディ、3 0 ... メモリ膜、3 2 ... 電荷蓄積膜、4 2 ... 絶縁層、W L ... 電極層、M S ... メモリストリング、C L ... 柱状部、J P ... 連結部

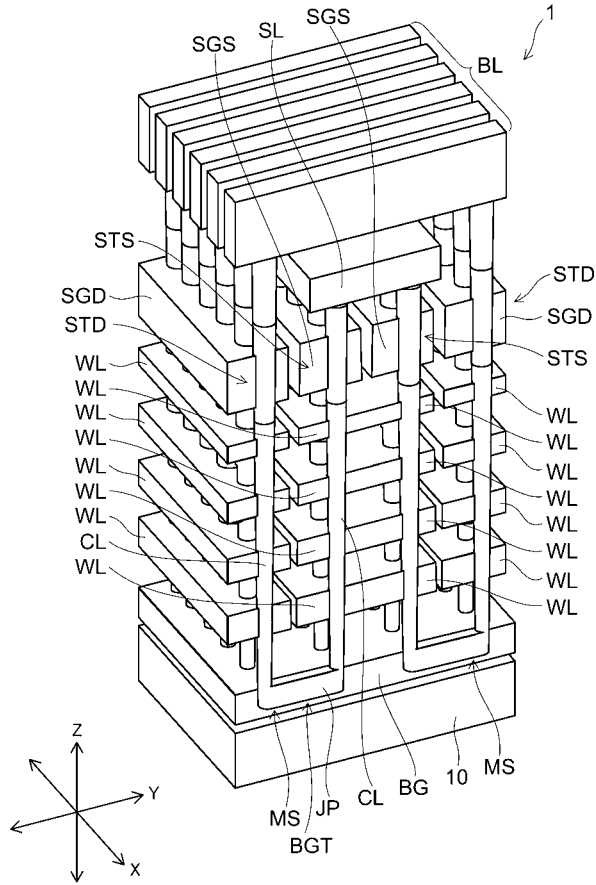
10

20

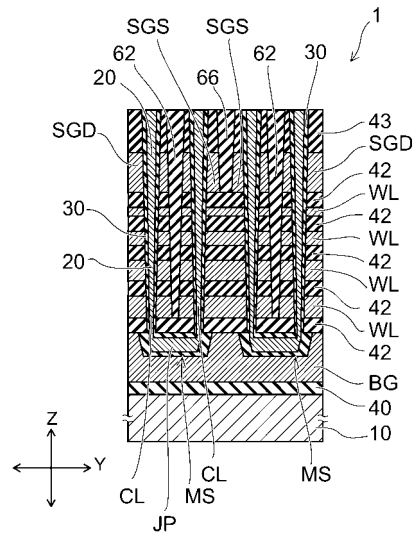
30

40

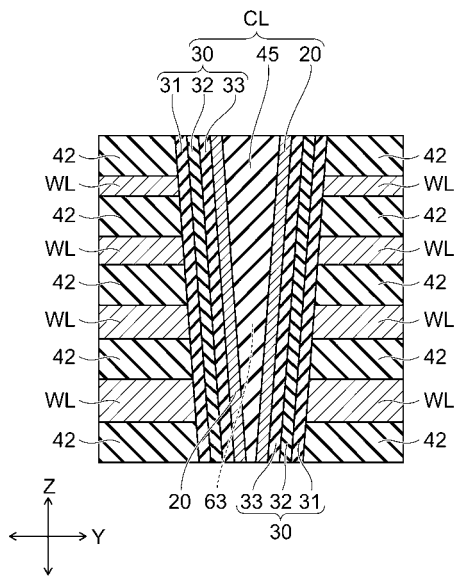
【 図 1 】



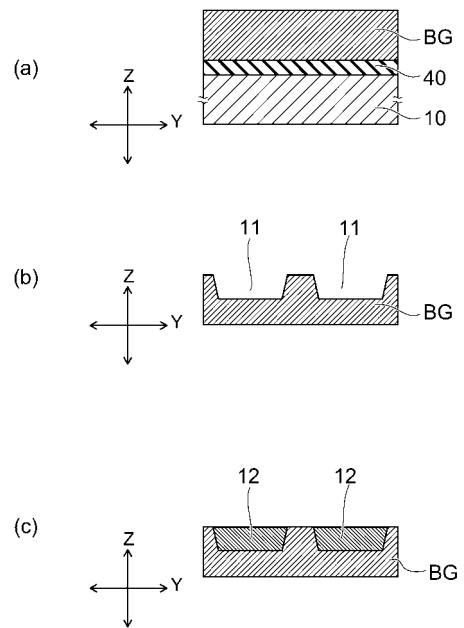
【 図 2 】



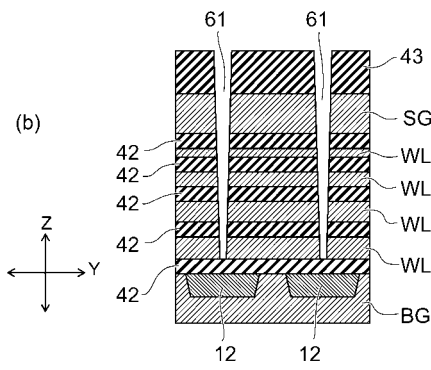
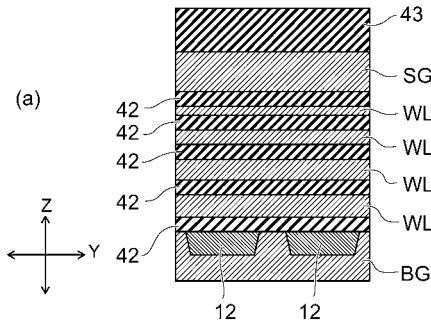
【 図 3 】



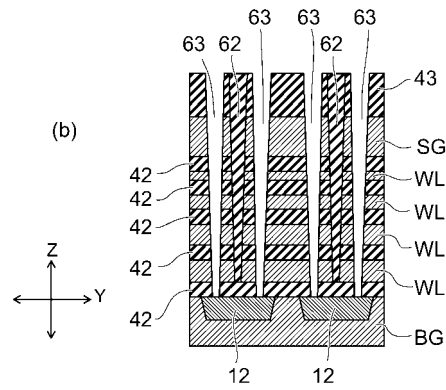
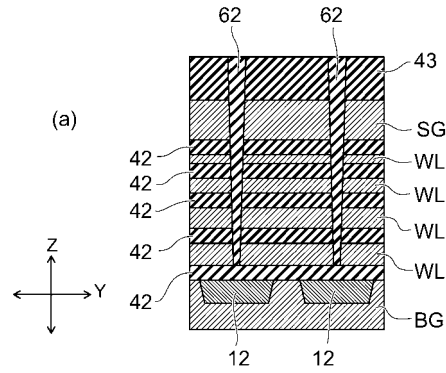
【 図 4 】



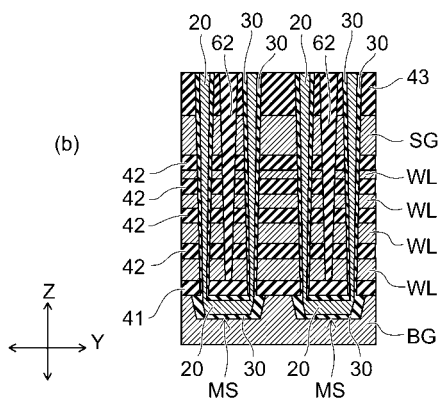
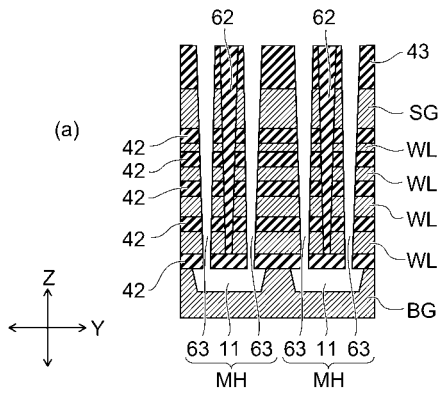
【 図 5 】



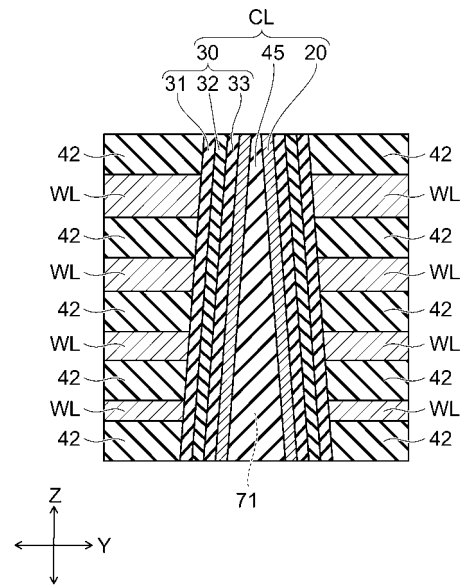
【 図 6 】



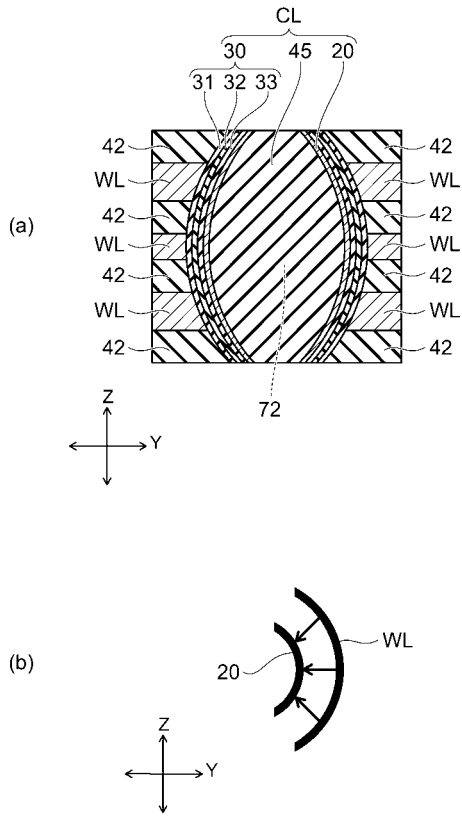
【 図 7 】



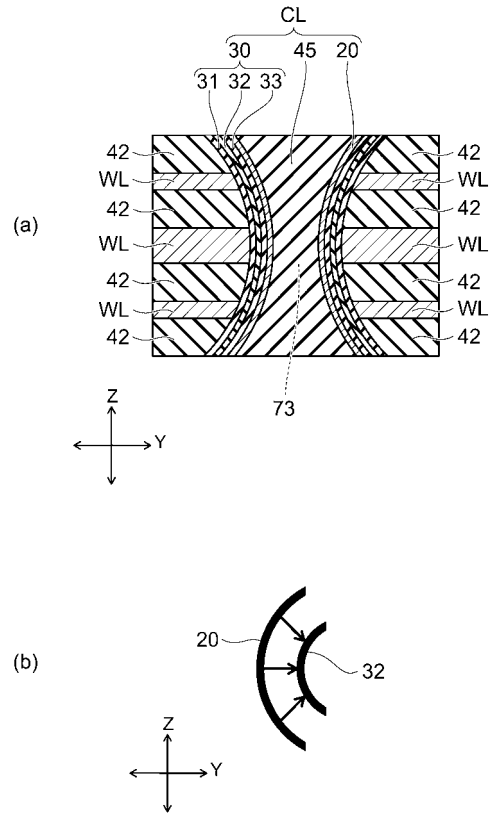
【 図 8 】



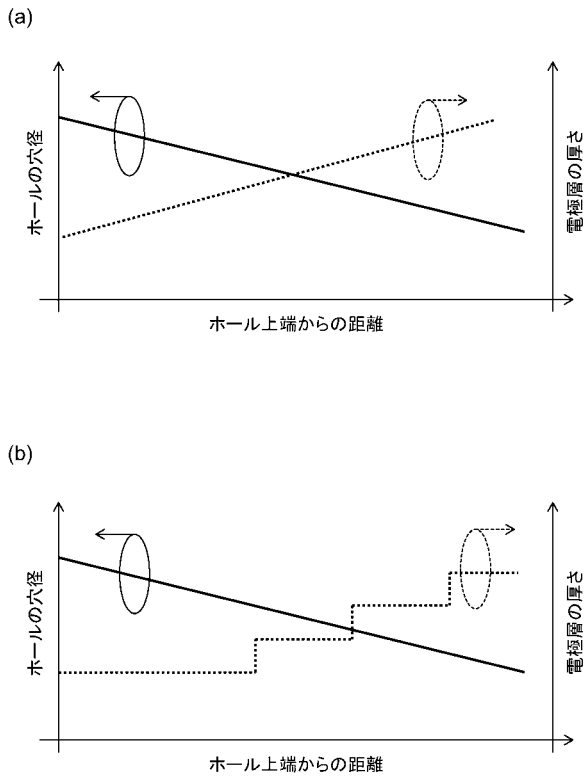
【 図 9 】



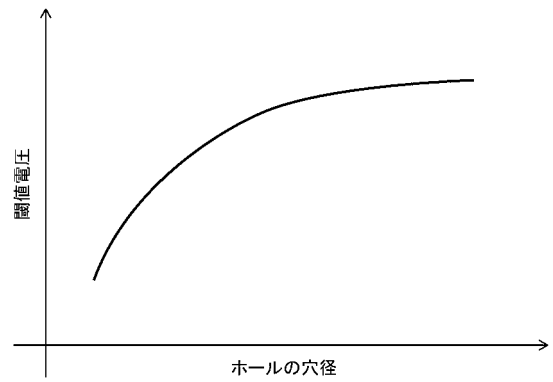
【 図 1 0 】



【 図 1 1 】



【 図 1 2 】



フロントページの続き

Fターム(参考) 5F083 EP18 EP23 EP33 EP34 EP48 EP49 EP76 GA10 GA11 GA27
JA03 JA04
5F101 BA45 BB05 BD16 BD22 BD30 BD34