



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I394114B1

(45) 公告日：中華民國 102 (2013) 年 04 月 21 日

(21) 申請案號：096103138

(22) 申請日：中華民國 96 (2007) 年 01 月 29 日

(51) Int. Cl. : G09G3/00 (2006.01)

(71) 申請人：鴻海精密工業股份有限公司 (中華民國) HON HAI PRECISION INDUSTRY CO., LTD. (TW)

新北市土城區自由街 2 號

(72) 發明人：趙國勝 CHAO, KUO SHENG (TW) ; 謝明志 HSIEH, MING CHIH (TW)

(56) 參考文獻：

TW 575843

TW 200607233A

US 5566300

US 6480974B1

審查人員：唐之凱

申請專利範圍項數：5 項 圖式數：2 共 11 頁

(54) 名稱

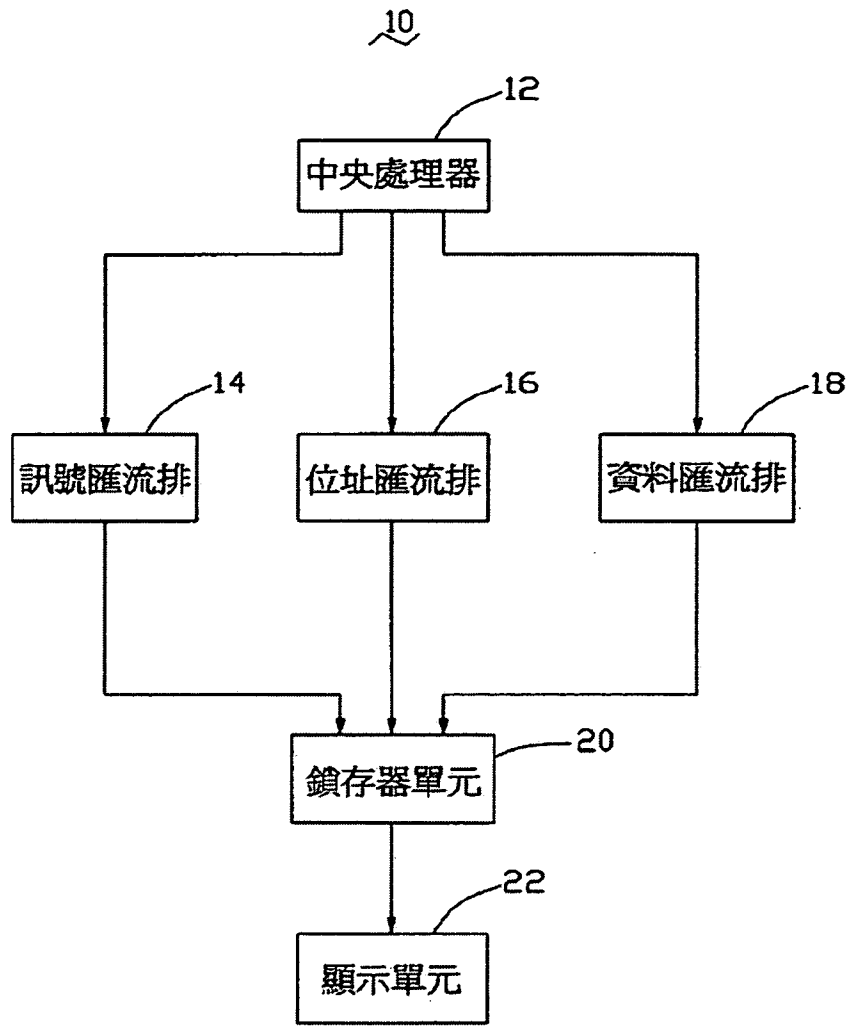
顯示控制電路

VIDEO SIGNAL CONTROL CIRCUIT

(57) 摘要

一種顯示控制電路，其包括一中央處理器、一訊號匯流排、一位址匯流排、一資料匯流排、一鎖存器單元及一顯示單元，該中央處理器分別透過該訊號匯流排及位址匯流排與該鎖存器單元連接，控制該鎖存器單元是否選定有效及是否接收資料，該中央處理器還透過該資料匯流排依次與該鎖存器單元和該顯示單元連接。上述顯示控制電路之訊號匯流排和位址匯流排控制該鎖存器單元是否被選定有效，並在該鎖存器單元被選定有效且接收資料時將資料匯流排之傳輸資料傳輸到該顯示單元，不受通用輸入輸出埠引腳數量之限制。

A video signal control circuit includes a central processing unit, a signal bus, an address bus, a data bus, a latch unit, and a display unit. The central processing unit is coupled with a latch-enable terminal of the latch unit via the signal bus for controlling the latch unit. The central processing unit is coupled with an input-enable terminal of the latch unit via the address bus for controlling the latch unit. The central processing unit transmits video signal to the display unit via the data bus and the latch unit when the latch unit is latch enable and input enable. The video signal control circuit transmits the video signal to the display unit via the data bus instead of the general port I/O, and does not be restricted by the quantity of the general port I/O.



- 10 . . . 顯示控制電路
- 12 . . . 中央處理器
- 14 . . . 訊號匯流排
- 16 . . . 位址匯流排
- 18 . . . 數據匯流排
- 20 . . . 鎖存器單元
- 22 . . . 顯示單元

圖 1



發明專利說明書

※記號部分請勿填寫

※申請案號: 96103138

※IPC分類: G09G 3/00 (2006.01)

※申請日: 96.1.29

一、發明名稱:

顯示控制電路

VIDEO SIGNAL CONTROL CIRCUIT

二、中文發明摘要:

一種顯示控制電路，其包括一中央處理器、一訊號匯流排、一位址匯流排、一資料匯流排、一鎖存器單元及一顯示單元，該中央處理器分別透過該訊號匯流排及位址匯流排與該鎖存器單元連接，控制該鎖存器單元是否選定有效及是否接收資料，該中央處理器還透過該資料匯流排依次與該鎖存器單元和該顯示單元連接。上述顯示控制電路之訊號匯流排和位址匯流排控制該鎖存器單元是否被選定有效，並在該鎖存器單元被選定有效且接收資料時將資料匯流排之傳輸資料傳輸到該顯示單元，不受通用輸入輸出埠引腳數量之限制。

三、英文發明摘要:

A video signal control circuit includes a central processing unit, a signal bus, an address bus, a data bus, a latch unit, and a display unit. The central processing unit is coupled with a latch-enable terminal of the latch unit via the signal bus for controlling the latch unit. The central processing unit is coupled with an input-enable terminal of the latch unit via the address bus for controlling the latch unit. The central processing unit transmits video signal to the display unit via the data bus and the latch unit when the latch unit is latch enable and input enable. The video signal control circuit transmits the video signal to the display unit via the data bus instead of the general port I/O, and does not be restricted by the quantity of the general port I/O.

四、指定代表圖：

(一)本案指定代表圖為：圖(1)

(二)本代表圖之元件符號簡單說明：

顯示控制電路：10

中央處理器：12

訊號匯流排：14

位址匯流排：16

數據匯流排：18

鎖存器單元：20

顯示單元：22

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

[0001] 本發明係關於顯示控制電路。

【先前技術】

[0002] 在小型中央處理器 (Central Processing Unit, CPU) 產品設計過程中，例如8086、ARM及MIPS等小型中央處理器，通常利用電腦中央處理器之通用輸入輸出埠 (General Purpose I/O, GPIO) 來控制一顯示裝置，例如液晶顯示器 (Liquid Crystal Display, LCD) 及七段發光二極體 (Light Emitting Diode, LED) 等，將中央處理器傳輸之資料顯示。

[0003] 但是中央處理器之通用輸入輸出埠引腳有限，而通常一個七段發光二極體就需要佔用九個引腳，當需要連接之七段發光二極體數量較多時，該中央處理器之通用輸入輸出埠就難以滿足需要。

【發明內容】

[0004] 鑒於以上內容，有必要提供一種顯示控制電路，利用中央處理器之匯流排來控制顯示器，避免使用通用輸入輸出埠進行資料傳輸。

[0005] 一種顯示控制電路，其包括一中央處理器、一訊號匯流排、一位址匯流排、一資料匯流排、一鎖存器單元及一顯示單元，該中央處理器透過該訊號匯流排與該鎖存器單元連接，控制該鎖存器單元是否選定有效，並且透過該位址匯流排與該鎖存器單元連接，控制該鎖存器單元是否接收資料，該中央處理器還透過該資料匯流排依次

和該鎖存器單元與該顯示單元連接，在該鎖存器被選定有效且接收資料時向該顯示單元傳輸資料。

[0006] 上述顯示控制電路之訊號匯流排和位址匯流排控制該鎖存器單元是否選定有效，並在該鎖存器單元被選定有效時將資料匯流排之傳輸資料傳輸到該顯示單元，不受通用輸入輸出埠引腳數量之限制。

【實施方式】

[0007] 參考圖1，一種顯示控制電路10，其包括一中央處理器12、一訊號匯流排14、一位址匯流排16、一資料匯流排18、一鎖存器單元20及一顯示單元22，該中央處理器12透過該訊號匯流排14與該鎖存器單元20連接，控制該鎖存器單元20是否選定有效，該中央處理器12透過該位址匯流排16與該鎖存器單元20連接，控制該鎖存器單元20是否接收資料，該中央處理器12還依次透過該資料匯流排18和該鎖存器單元20與該顯示單元22連接，在該鎖存器單元20選定有效且接收資料時向該顯示單元22傳輸資料。

[0008] 繼續參考圖2，該訊號匯流排14包括一寫入訊號線Write及一晶片選擇訊號線PCS，該鎖存器單元20包括一第一鎖存器Latch1、一第二鎖存器Latch2、一第三鎖存器Latch3及一第四鎖存器Latch4，該顯示單元22包括一第一七段發光二極體L1、一第二七段發光二極體L2、一第三七段發光二極體L3及一第四七段發光二極體L4，該顯示控制電路10還包括四個匯流排開關ENB1~ENB4。

[0009] 該寫入訊號線Write及晶片選擇訊號線PCS分別透過一反

閘U1、U2與一反及閘U3之一輸入引腳連接，該反及閘U3之輸出引腳分別與該第一至第四鎖存器Latch1~Latch4之鎖存使能端LE連接；該位址匯流排16透過匯流排開關ENB1與該第一鎖存器Latch1之輸入使能端IE連接，該晶片選擇訊號線PCS控制該匯流排開關ENB1之導通；該資料匯流排18透過該鎖存器Latch1與該第一七段發光二極體L1完成資料傳輸。

[0010] 同樣，該位址匯流排16還分別透過該匯流排開關ENB2~ENB4與該第二至第四鎖存器Latch2~Latch4之輸入使能端IE連接，該晶片選擇訊號線PCS還分別控制該匯流排開關ENB2~ENB4之導通；該資料匯流排18還分別透過該第二至第四鎖存器Latch2~Latch4對應與該第二至第四七段發光二極體L2~L4連接。

[0011] 該位址匯流排16包括4位元位址位A1~A4，該位址位A1~A4分別透過該匯流排開關ENB1~ENB4與該第一至第四鎖存器Latch1~Latch4對應，用來選定該第一至第四鎖存器Latch1~Latch4接收資料，該第一至第四鎖存器Latch1~Latch4之輸入使能端IE為低電位有效，該位址位A1~A4中任一位為低電位時，對應之鎖存器即被選定接收資料，例如位址位A1~A4中1110、1101、1011及0111分別對應第一至第四鎖存器Latch1~Latch4被選定有效，而1100則表示該第一和第二鎖存器Latch1和Latch2同時被選定接收資料。

[0012] 中央處理器12開始工作後，當寫入訊號線Write及晶片選擇訊號線PCS上均為低電位訊號時，該第一至第四鎖存器

Latch1~Latch4被選定，此時該匯流排開關ENB1~ENB4均導通，該第一至第四鎖存器Latch1~Latch4中之一個或幾個被位址匯流排16選定接收資料，該資料匯流排18中之資料透過被選定接收資料之鎖存器傳輸到對應之七段發光二極體。

[0013] 因此，該顯示控制電路10可透過訊號匯流排14和位址匯流排16在該第一至第四鎖存器Latch1~Latch4進行選擇，並將該資料匯流排18中之資料傳輸到對應之七段發光二極體。

[0014] 綜上所述，本發明符合發明專利要件，爰依法提出專利申請。惟，以上所述者僅為本發明之較佳實施例，舉凡熟悉本案技藝之人士，在爰依本發明精神所作之等效修飾或變化，皆應涵蓋於以下之申請專利範圍內。

【圖式簡單說明】

[0015] 圖1係本發明顯示控制電路較佳實施方式之框圖。

[0016] 圖2係本發明顯示控制電路較佳實施方式之電路圖。

【主要元件符號說明】

[0017] 顯示控制電路：10

[0018] 中央處理器：12

[0019] 訊號匯流排：14

[0020] 位址匯流排：16

[0021] 數據匯流排：18

[0022] 鎖存器單元：20

[0023] 顯示單元：22

七、申請專利範圍：

- 1 . 一種顯示控制電路，包括一中央處理器、一訊號匯流排、一位址匯流排、一資料匯流排、一鎖存器單元、至少一匯流排開關及一顯示單元，該中央處理器透過該訊號匯流排與該鎖存器單元連接，控制該鎖存器單元是否選定有效，並且透過該位址匯流排與該鎖存器單元連接，控制該鎖存器單元是否接收資料，該中央處理器還透過該資料匯流排依次和該鎖存器單元與該顯示單元連接，在該鎖存器單元被選定有效且接收資料時向該顯示單元傳輸資料，該鎖存器單元包括對應於該至少一匯流排開關之至少一鎖存器，該訊號匯流排包括一晶片選擇訊號線，該晶片選擇訊號線與每一匯流排開關之控制端連接，且在傳輸訊號為低電位時使每一匯流排開關導通，該位址匯流排透過每一匯流排開關與每一對應之鎖存器之輸入使能端連接，並透過其位址位元對該至少一鎖存器進行選擇。
- 2 . 如申請專利範圍第1項所述之顯示控制電路，其中該顯示單元包括對應於該至少一鎖存器之至少一七段發光二極體，該資料匯流排透過每一鎖存器與每一對應之七段發光二極體連接。
- 3 . 如申請專利範圍第2項所述之顯示控制電路，其中該鎖存器及七段發光二極體均為四個。
- 4 . 如申請專利範圍第3項所述之顯示控制電路，其中該訊號匯流排還包括一寫入訊號線，該寫入訊號線和晶片選擇訊號線分別透過一反開與一反及開之一輸入引腳連接，該反及開之輸出引腳與該四個鎖存器之鎖存使能端連接，該寫

入訊號線和晶片選擇訊號線傳輸訊號均為低電位時，該四個鎖存器被選定有效。

5. 如申請專利範圍第4項所述之顯示控制電路，其中該匯流排開關之數目為四個。

八、圖式：

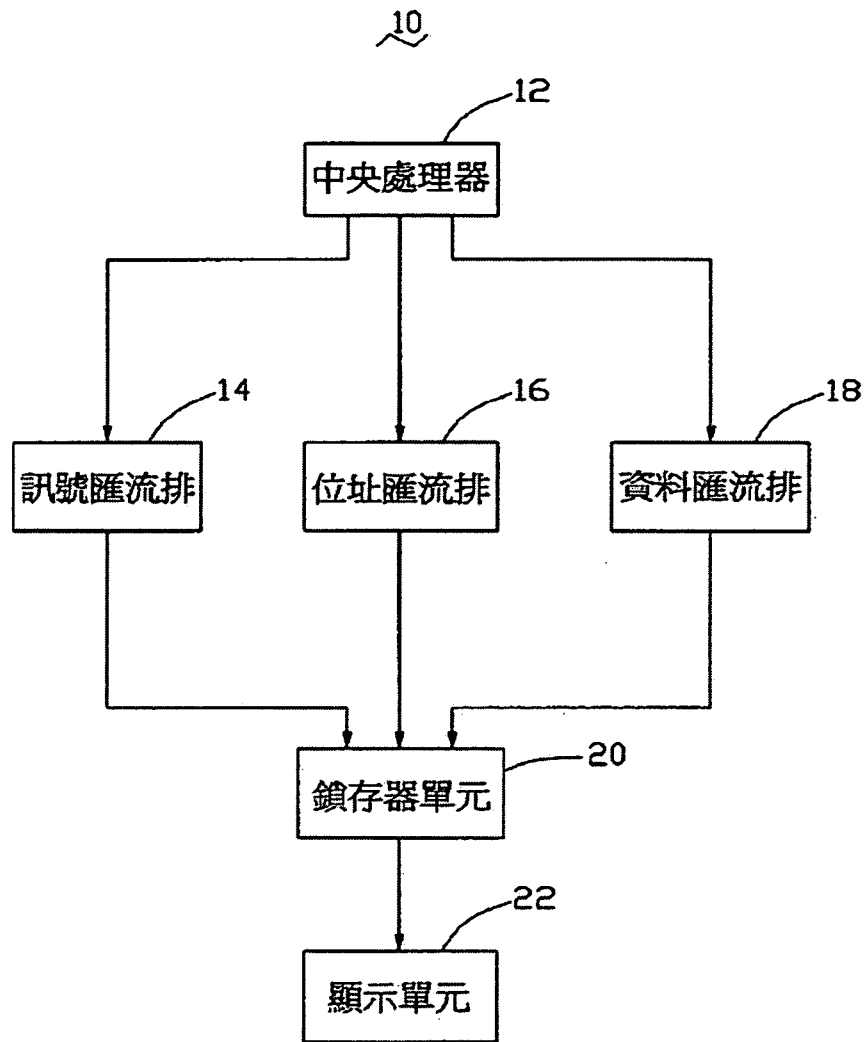


圖 1

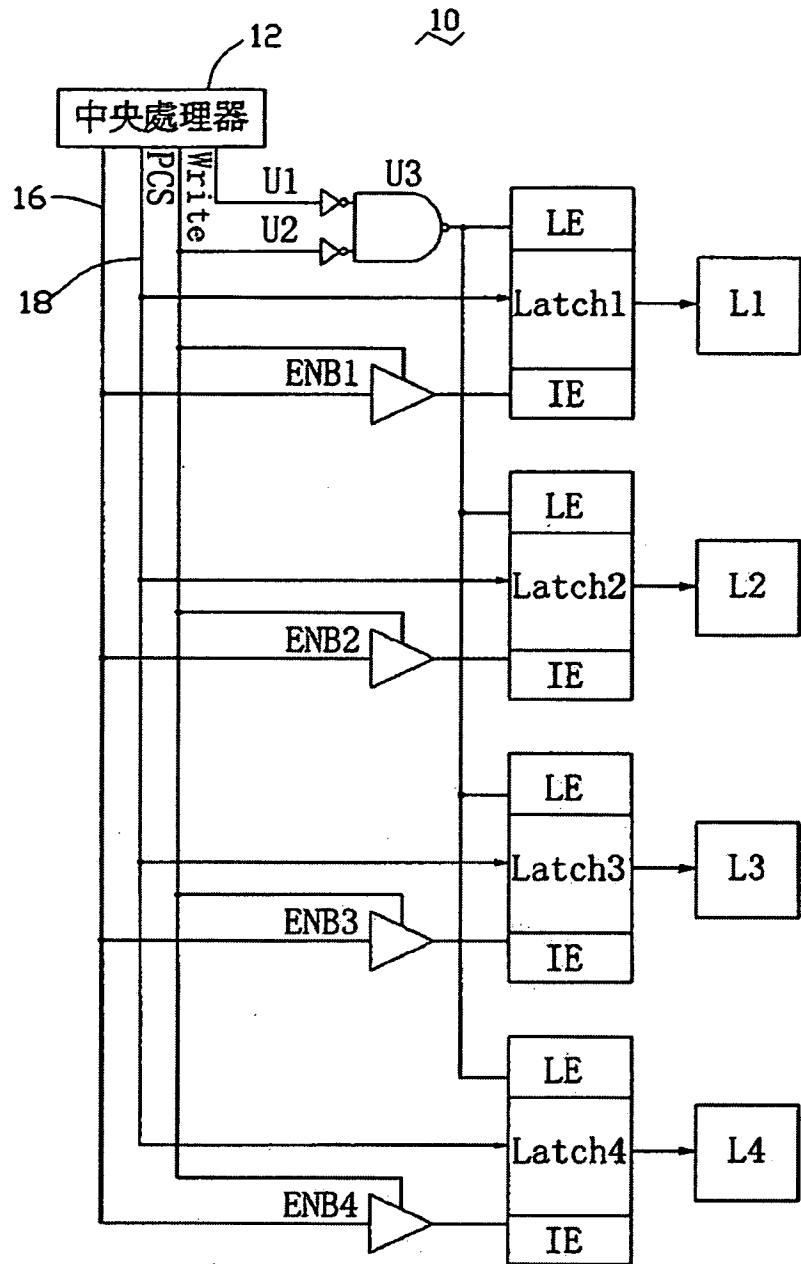


圖 2