

Patent dodatkowy
do patentu

Zgłoszono: 05.II.1969 (P 131 564)

Pierwszeństwo:

Opublikowano: 20.I.1971

Kl. 42 m³, 7/385

MKP G 06 f, 7/385

CZYTELNIA

UKD 681.325.55;
Urząd Patentowy
Polskiej Rzeczypospolitej Ludowej

Twórca wynalazku: Stanisław Majerski

Właściciel patentu: Instytut Maszyn Matematycznych, Warszawa (Polska)

Sposób zwiększania szybkości działania elektronicznych równoległych
układów cyfrowych, zwłaszcza sumatorów

1

Przedmiotem wynalazku jest sposób zwiększania szybkości działania elektronicznych równoległych układów cyfrowych, takich jak na przykład równoległe sumatory, układy odejmujące i układy porównujące, polegający na zmniejszeniu czasu propagacji sygnałów elektrycznych przez te układy, a zatem i skróceniu w nich procesów ustalania się stanu elektrycznego, przez odpowiednie rozwiązanie ich struktury logicznej. W odniesieniu do elektronicznych sumatorów równoległych sposób ten umożliwia zmniejszenie czasu propagacji przeniesień w układzie przeniesień sumatora.

Elektroniczny równoległy układ cyfrowy jest to układ przetwarzający informacje cyfrowe, przedstawione w systemie pozycyjnym, np. binarnym, złożony z mniejszych układów, odpowiadających poszczególnym pozycjom cyfrowym, nazywanych dalej pozycjami układu równoległego lub krócej pozycjami. Układ równoległy i jego pozycje posiadają wejścia i wyjścia cyfrowe, w których odpowiednim sygnałom elektrycznym, w ustabilizowanym stanie elektrycznym układu równoległego, przyporządkowane są odpowiednie cyfry w ten sposób, że każdej kombinacji cyfr wejściowych układu odpowiada jednoznacznie określona kombinacja jego cyfr wyjściowych. Zwiększenie szybkości działania takiego układu równoległego polega na skróceniu czasu ustalania się sygnałów elektrycznych na wszystkich jego wyjściach cyfrowych w stosunku do momentu ustabilizowania się sygnałów elektrycznych na jego wejściach cyfrowych.

Szybkość działania elektronicznych układów cyfro-

2

wych jest jednym z głównych czynników decydujących o efektywności elektronicznych maszyn cyfrowych. Zwiększenie tej szybkości uzyskuje się nie tylko przez stosowanie szybszych elektronicznych elementów cyfrowych, lecz również przez odpowiednią strukturę logiczną układów cyfrowych. Dobór odpowiedniej struktury logicznej ma przy tym duże znaczenie zwłaszcza dla bardziej złożonych równoległych układów cyfrowych takich jak na przykład równoległe sumatory, równoległe układy odejmujące i porównujące, itp. Wśród tych układów specjalną rolę odgrywają sumatory równoległe. O czasie ich działania decyduje zwykle w dużym stopniu ich czas propagacji przeniesień. Stosowane obecnie metody zmniejszania tego czasu przez odpowiednią strukturę logiczną układu przeniesień sumatorów mogą być zwykle z powodzeniem użyte do zwiększania szybkości wielu innych typów równoległych układów cyfrowych, w których cyfry wyjściowe określonych pozycji układu równoległego zależą między innymi od cyfr wejściowych wielu innych pozycji tego układu.

Jedną z najbardziej skutecznych i często stosowanych metod zmniejszania czasu propagacji przeniesień w elektronicznych sumatorach równoległych jest stosowanie w ich układach przeniesień układów przyspieszających propagację nazywanych układami przeskoków przeniesień.

Układ przeniesień równoległego sumatora binarnego złożony z tak zwanej linii przeniesień i dołączonych do niej układów przeskoków przeniesień może być zbudowany na przykład z bramek AND i OR (bramek iloczynów i sum logicznych). Bramką AND (bramką ilo-

czynu logicznego) nazywamy układ elektroniczny o wielu wejściach i jednym wyjściu, które, w ustabilizowanym stanie elektrycznym układu, przyjmuje stan odpowiadający wartości 1 tylko w tym przypadku, gdy wszystkie jego wejścia przyjmują stany odpowiadające wartości 1; w przypadku gdy przynajmniej jedno wejście przyjmuje stan 0 wyjście bramki AND (bramki iloczynu logicznego) przyjmuje również stan 0.

Bramką OR (bramką sumy logicznej) nazywamy układ elektroniczny o wielu wejściach i jednym wyjściu, które, w ustalonym stanie elektrycznym układu przyjmuje stan 1, gdy stan przynajmniej jednego wejścia jest równy 1; w przypadku gdy wszystkie wejścia przyjmują stan 0 wyjście bramki OR (bramki sumy logicznej) przyjmuje również stan 0. Iloczyn logiczny AND oznaczany będzie identycznie jak iloczyn algebraiczny, a dla sumy logicznej OR przyjęto znak V.

W równoległym n-pozycyjnym sumatorze binarnym, o pozycjach ponumerowanych od 1 do n poczynając od najmniej znaczącej, przeniesienie c_i z pozycji o numerze i na pozycję o numerze $i + 1$ wyrazić można wzorem

$$c_i = x_i \vee c_{i-1} y_i \quad (i = 1, 2, \dots, n) \quad (1)$$

gdzie

$$x_i = a_i b_i \quad y_i = a_i \vee b_i \quad (2)$$

a symbole a_i , b_i oznaczają cyfry binarne i-tej pozycji dodawanych liczb.

Struktura logiczna n-pozycyjnej linii przeniesień o wejściach $c_0, x_1, x_2, \dots, x_n, y_1, y_2, \dots, y_n$ i wyjściach $c_1, c_2, \dots, c_n$, złożonej z bramek AND i OR wynika wprost z (1), a realizacja tej linii przeniesień wymaga szeregowego łączenia naprzemian bramek AND i OR. Jeśli przyjąć czas propagacji sygnału elektrycznego przez szeregowo połączone bramki AND i OR za jedną jednostkę, to maksymalny czas propagacji przeniesienia przez n-pozycyjną linię przeniesień wyniesie n jednostek. Przypadek taki ma miejsce, gdy przy ustalonym stanie wejść $x_1 = x_2 = \dots = x_n = 0$, $y_1 = y_2 = \dots = y_n = 1$ następuje zmiana stanu wejścia c_0 ze stanu 0 w stan 1.

Zmniejszenie ilości bramek AND i OR, przez które może szeregowo propagować sygnał przeniesienia można uzyskać dołączając do linii przeniesień układy przeskoków przeniesień. Układ przeskoku przeniesień obejmujący k pozycji od pozycji o numerze $i - k + 1$ do pozycji o numerze i zrealizować można na jednej bramce AND zgodnie z wzorem

$$c^{(k)} = y_i y_{i-1} y_{i-2} \dots y_{i-k+1} c_{i-k} \quad (3)$$

Pięć pozycji linii przeniesień D z dołączonym jednym układem przeskoku przeniesień E obejmującym te pięć pozycji ($k = 5$) przedstawiono na fig. 1. Pokazane na fig. 1 półkola puste A oznaczają bramki AND (bramki iloczynów logicznych), a półkola przekreślone B oznaczają bramki OR (bramki sumy logicznej). Działanie układu przeskoku przeniesień pokazanego na fig. 1 ale bez połączenia oznaczonego tam cyfrą 2 wyjaśnia się dla przypadku, gdy przy ustalonym stanie

$$y_{i-4} = y_{i-3} = y_{i-2} = y_{i-1} = y_i = 1 \quad (4)$$

$$x_{i-4} = x_{i-3} = x_{i-2} = x_{i-1} = x_i = 0 \quad (5)$$

następuje zmiana stanu $c_{i-5} = 0$ w stan $c_{i-5} = 1$. W przypadku takim zmiana stanu $c_i = 0$ w stan $c_i = 1$ następuje po jednej jednostce czasu od zmiany stanu c_{i-5} , podczas gdy bez układu przeskoku przeniesień zmiana stanu c_i nastąpiłaby po pięciu jednostkach czasu.

Istnieje wiele znanych z literatury, rozwiązań układów przeniesień sumatorów równoległych wykorzystujących zasadę działania układów przeskoku przeniesień. Przez odpowiedni dobór ilości i rozmieszczenia układów przeskoku przeniesień można przy tym używać bardzo duże lub niewielkie zwiększenie szybkości działania sumatora w zależności od postawionych wymagań, stosując w nim odpowiednio więcej lub mniej rozbudowane układy przeniesień. Struktura logiczna i realizacja techniczna samej linii przeniesień jak i układów przeskoku przeniesień może przy tym również ulegać znacznym zmianom. Dla określonych elektronicznych elementów cyfrowych sumatora i dla określonego rozwiązania linii przeniesień i układów przeskoku, łączna liczba użytych elementów i koszt całego układu przeniesień sumatora o danej liczbie pozycji jest zależny od wymaganej szybkości działania i wzrasta z tą szybkością. Konieczność stosowania rozwiązań bardziej kosztownych dla uzyskania większej szybkości działania jest zresztą zasadą bardziej ogólną obowiązującą również w innych rozwiązaniach sumatorów równoległych i innych równoległych układach cyfrowych.

Celem niniejszego wynalazku jest umożliwienie stosowania bardziej ekonomicznych rozwiązań niektórych typów równoległych układów cyfrowych, zwłaszcza sumatorów, od znanych dotychczas, przez odpowiednie rozwiązanie struktury logicznej tych układów, przy czym jako rozwiązania bardziej ekonomiczne uważa się rozwiązania szybsze przy tym samym koszcie układów, rozwiązania mniej kosztowne przy tej samej szybkości działania układów i rozwiązania bardziej standardowe oparte na powtarzalnych częściach składowych jak np. rozwiązanie układów równoległych o jednakowej strukturze pozycji.

Sposób zwiększania szybkości działania elektronicznych równoległych układów cyfrowych według wynalazku odnosi się do takich układów, w których można wyróżnić mniejsze układy zwane pozycjami, dające się uporządkować i ponumerować w ten sposób, aby w ustabilizowanym stanie elektrycznym układu równoległego cyfry wyjściowe odpowiadające sygnałom elektrycznym na wyjściach pozycji o określonym numerze zależały od cyfr odpowiadających sygnałom elektrycznym na wejściach pozycji o numerach nie większych od tego numeru i nie zależały od cyfr odpowiadających sygnałom elektrycznym na wejściach pozycji o numerach większych od tego numeru.

Przykładem takiego układu równoległego może być elektroniczny sumator równoległy bez przeniesień cyklicznych, którego kolejno ponumerowane pozycje odpowiadają kolejnym cyfrom składników dodawania poczynając od cyfr najmniej znaczących. Jako dalsze przykłady takich układów równoległych można wymienić równoległe układy odejmujące, równoległe układy porównujące itp.

Sposób według wynalazku polega na tym, że zwiększenie szybkości działania wspomnianych układów równoległych uzyskuje się przez uzależnienie przebiegu procesu ustalania się stanu elektrycznego wybranych

pozycji o numerach mniejszych, dodatkowo od cyfr wejściowych i odpowiadających im sygnałów elektrycznych na wejściach pozycji o numerach większych.

W odniesieniu do sumatorów równoległych bez przeniesień cyklicznych sposób ten polega na uzależnieniu przebiegu procesu ustalania się stanu elektrycznego określonych pozycji mniej znaczących, a w szczególności przebiegu ustalania się przeniesień wyjściowych tych pozycji, dodatkowo od cyfr wejściowych i odpowiadających im sygnałów elektrycznych na wejściach niektórych pozycji bardziej znaczących.

Sposób zwiększania szybkości działania elektronicznych równoległych układów cyfrowych według wynalazku odnosi się również do takich układów, w których można ponumerować pozycje w sposób wyżej opisany jedynie w pewnej wyodrębnionej części układu równoległego, jeżeli tę część traktuje się jako niezależny równoległy układ cyfrowy.

Przykładem takiego układu może być elektroniczny sumator równoległy z przeniesieniami cyklicznymi, który jest układem cyklicznie zamkniętym. W sumatorze takim cyfry wyjściowe każdej pozycji zależą od cyfr wejściowych wszystkich pozycji. Łatwo jednak wyodrębnić w tym sumatorze jako niezależny układ dowolną taką jego część, która jest sumatorem bez przeniesień cyklicznych i w której w ustabilizowanym stanie elektrycznym cyfry wejściowe pozycji bardziej znaczących nie mają wpływu na cyfry wyjściowe pozycji mniej znaczących. W odniesieniu do tak wyodrębnionych części układów równoległych, w których to częściach można odpowiednio uporządkować i ponumerować ich pozycje składowe, sposób zastrzeżony patentem stosuje się identycznie jak to opisano poprzednio dla całych układów równoległych.

Uzależnienie przebiegu procesu ustalania się stanu elektrycznego pozycji o numerach mniejszych, od cyfr wejściowych odpowiadających sygnałom elektrycznym na wejściach pozycji o numerach większych, według wynalazku można w omawianych układach równoległych uzyskać przez dołączenie w nich odpowiednich układów przyspieszających w taki sposób, aby sygnały elektryczne z wyjścia danego układu przyspieszającego podawane były do określonej liczby pozycji układu równoległego, w tym między innymi również do pozycji o numerach mniejszych niż największy numer pozycji, której cyfry wejściowe mają wpływ na postać tych sygnałów elektrycznych.

W odniesieniu do sumatorów równoległych bez przeniesień cyklicznych takimi układami przyspieszającymi mogą być np. układy przeskoków przeniesień, a sposób zwiększania szybkości działania sumatora zastrzeżony patentem polegać może na takim ich dołączeniu, aby sygnały elektryczne z wyjścia danego układu przeskoku przeniesień podawane były również do pozycji mniej znaczących niż najbardziej znacząca pozycja objęta tym układem przeskoku przeniesień. Sposób takiego dołączenia jednego układu przeskoku przeniesień pokazano na fig. 1 gdzie przez zastosowanie połączenia 2 uzyskano wpływ sygnału wejściowego y_i z pozycji o numerze i (z pozycji bardziej znaczącej) na przebieg ustalania się przeniesienia c_{i-1} na pozycji o numerze $i-1$ (na pozycji mniej znaczącej).

Uzależnienie przebiegu procesu ustalania się stanu elektrycznego pozycji o numerach mniejszych od cyfr wejściowych odpowiadających sygnałom elektrycznym

na wejściach pozycji o numerach większych według wynalazku uzyskać można przez odpowiednie dołączenie w układzie równoległym pewnej liczby jednakowych układów przyspieszających lub jednakowych grup układów przyspieszających rozmieszczonych równomiernie w stosunku do pozycji lub w stosunku do jednakowych grup pozycji wchodzących w skład układu równoległego lub pewnej jego części.

W odniesieniu do sumatora równoległego bez przeniesień cyklicznych uzależnienie przebiegu procesu ustalania się stanu elektrycznego pozycji mniej znaczących od cyfr wejściowych odpowiadających sygnałom elektrycznym na wejściach pozycji bardziej znaczących według wynalazku uzyskać można przez odpowiednie dołączenie jednakowych układów przeskoków przeniesień rozmieszczonych równomiernie wzdłuż sumatora.

Jako równomierne rozmieszczenie układów przeskoków przeniesień wzdłuż sumatora rozumie się przy tym, albo odpowiednie dołączenie do sumatora po jednym jednakowym układzie przeskoku przeniesień na każdą jego pozycję w taki sposób, aby zachować jednakową strukturę logiczną pozycji, albo odpowiednie dołączenie po kilka różnych układów przeskoków przeniesień na każdą pozycję sumatora w taki sposób, aby zachować jednakową strukturę logiczną jego pozycji, albo odpowiednie dołączenie układów przeskoków przeniesień do grup pozycji sumatora o jednakowej liczbie pozycji w grupie w taki sposób, aby zachować jednakową strukturę logiczną tych grup pozycji.

Istota i zalety niniejszego wynalazku pokazane zostaną na dwóch przykładach zmniejszania czasu propagacji przeniesień w układzie przeniesień sumatora binarnego, zbudowanym z bramek AND i OR i złożonym z opisanej poprzednio linii przeniesień i układów przeskoków przeniesień dołączonych do linii przeniesień w taki sposób, by zachowana była jednakowa struktura logiczna wszystkich pozycji układu przeniesień.

Przykładem pierwszym jest n -pozycyjny układ przeniesień, zbudowany z bramek AND i OR, złożony z linii przeniesień o strukturze logicznej opisanej przez wzór (1) i z układów przeskoków przeniesień, o strukturze logicznej opisanej przez wzór (3), obejmujących po pięć pozycji sumatora i dołączonych do każdej pozycji tej linii przeniesień w sposób pokazany na fig. 1. Strukturę jednej pozycji takiego układu przeniesień pokazano na fig. 2. Oznaczone cyframi 2 i 3 na fig. 2 tak zwane dodatkowe połączenia specjalne zapewniają według wynalazku wpływ cyfr wejściowych i odpowiadających im sygnałów elektrycznych na wejściach pozycji bardziej znaczących na przebieg procesu ustalania się przeniesień na pozycjach mniej znaczących.

Dla sumatora bez przeniesień cyklicznych przyjmuje się $c_{i-5} = 0$ dla $i < 5$, a dla sumatora z przeniesieniami cyklicznymi $c_{i-5} = c_{n+i-5}$, $y_{i-5} = y_{n+i-5}$ dla $i \leq 5$. Przy tych założeniach podaje się następujący przebieg propagacji przeniesień przyjmując, że przeniesienie powstaje tylko na pozycji 1-szej ($x_1 = 1$; oraz $x_i = 0$ dla $i > 1$) i propaguje przez pewną liczbę kolejnych pozycji dalszych (dla których $x_i = 0$ i $y_i = 1$).

Zakłada się przy tym, że w chwili 0 ustala się przeniesienie $c_1 = 1$ i że stany pozostałych wejść x_i , y_i ($i = 1, 2, \dots, n$) rozpatrywanego układu przeniesień są wtedy ustalone. Propagacja przeniesień rozpoczynającej się od innej pozycji nie będzie rozpatrywana z uwagi na

jednakową strukturę wszystkich pozycji układu przeniesień. Czasy ustalania się stanów wyjść $c_1, c_2, \dots, c_n$ oznaczone będą odpowiednio przez $t_1, t_2, \dots, t_n$, a czas propagacji przeniesień przez T_n , gdzie

$$T_n = \max(t_1, t_2, \dots, t_n) \quad (6)$$

Przebieg propagacji przeniesień w omawianym układzie przeniesień o strukturze pozycji pokazanej na fig. 2, ale bez dodatkowych połączeń specjalnych według wynalazku oznaczonych na fig. 2 cyframi 2 i 3 można opisać przy pomocy wzorów

$$t_i = i-1 \text{ dla } i = 1, 2, \dots, 5 \quad (7)$$

$$t_i = t_{i-5} + 1 \text{ dla } i = 6, 7, \dots, n \quad (8)$$

względnie przedstawić w postaci ciągu czasów t_i ($i = 1, 2, 3, \dots$):

$$0, 1, 2, 3, 4, 1, 2, 3, 4, 5, 2, 3, 4, 5, 6, 3, 4, 5, 6, 7, 4, \dots \quad (9)$$

W ciągu tym wyróżniono wyraz pierwszy odpowiadający pozycji sumatora na której powstaje przeniesienie, a dalsze wyrazy, odpowiadające pozycjom przez które propaguje przeniesienie, rozdzielono na grupy pięciopozycyjne, tak aby ilość wyrazów w grupach odpowiadała ilości pozycji objętych układami przeskoków.

Uwzględniając teraz fakt, że omawiany układ przeniesień posiada zastrzeżone patentem dodatkowe połączenia specjalne oznaczone na fig. 2 cyframi 2 i 3 otrzymuje się w miejsce ciągu (9) ciąg:

$$\begin{array}{ccc} 1 & 2 & 3 \\ 0, & 1, 2, 3, 4, 1, & 2, 3, 4, 2, 2, & 3, 4, 3, 3, 3, & 4, 4, 4, 4, 4, \dots \end{array} \quad (10)$$

W ciągu (10) podkreślono wyrazy różniące się od odpowiednich wyrazów ciągu (9). Wyjaśnienie różnic w wyrazach obu ciągów oraz objaśnienie liczb występujących nad niektórymi wyrazami ciągu (10) wymaga omówienia kilku przypadków propagacji przeniesień obejmującej różne liczby pozycji omawianego układu przeniesień (w każdym przypadku przy założeniu, że przeniesienie powstaje na pozycji pierwszej i propaguje przez pozycje dalsze).

W przypadku gdy propagacja przeniesień nie przekracza pozycji 5-tej otrzymujemy $t_i = i-1$ dla $i = 1, 2, \dots, 5$, zgodnie z pierwszymi pięcioma wyrazami ciągu (10); w szczególności otrzymuje się wtedy $t_5 = 4$.

W przypadku, gdy propagacja przeniesień osiąga co najmniej pozycję 6-tą otrzymuje się, ze względu na działanie układu przeskoku obejmującego pozycje od 2 do 6, nie tylko $t_6 = 1$, ale również $t_5 = 1$ co uzyskano dzięki dodatkowemu połączeniu specjalnemu. Z tego względu nad piątym wyrazem ciągu (10) podano liczbę 1.

Uzyskanie wartości $t_5 = 1$ (warunkowe) posiada duże znaczenie z tego względu, że wynikiem jego jest otrzymanie wartości $t_{10} = 2$, $t_{15} = 3$, $t_{20} = 4 \dots$ (bezw warunkowe) zamiast wartości $t_{10} = 5$, $t_{15} = 6$, $t_{20} = 7$, ... (patrz ciąg (9)).

Analogicznie jak dla pozycji 5-tej otrzymano dla pozycji 9-tej warunkowo $t_9 = 4$ lub $t_9 = 2$, w zależności od tego czy propagacja przeniesień kończy się na pozycji 9-tej, czy obejmuje pozycje dalsze. Z tego względu nad 9-tym wyrazem ciągu (10) podano liczbę 2.

Wynikiem warunkowego uzyskania $t_9 = 2$ jest bezwarunkowe uzyskanie $t_{14} = 3$, $t_{19} = 4$, $t_{24} = 5$, ... zamiast wartości $t_{14} = 5$, $t_{19} = 6$, $t_{24} = 7$, ... jak w ciągu (9).

Analogicznie można wyjaśnić wszystkie dalsze różnice występujące między wyrazami ciągów (9) a (10).

Na podstawie wzoru (6) i ciągu (10) otrzymuje się dla omawianego układu przeniesień, w którym zastosowano sposób zwiększania szybkości działania według wynalazku, czas propagacji przeniesień $T_n = 4$ dla $6 \leq n \leq 21$. Dla $n > 21$ czas T_n jest większy i wzrasta o jedną jednostkę co pięć pozycji sumatora (przy obliczaniu czasu propagacji przeniesień T_n należy brać pod uwagę zawsze większe z warunkowych wyrazów t_i). Dla porównania, w analogicznym układzie przeniesień, ale bez dodatkowych połączeń specjalnych według wynalazku otrzymuje się czas $T_n = 4$ dla $6 \leq n \leq 9$, jak to wynika z wzoru (6) i ciągu (9). Dla $n > 9$ czas T_n jest większy i wzrasta również o jedną jednostkę co pięć pozycji sumatora.

Przykładem drugim jest układ przeniesień różniący się tym od omawianego poprzednio w przykładzie 1, że do każdej pozycji linii przeniesień dołączone są w nim dwa układy przeskoku przeniesień obejmujące odpowiednio cztery i trzynaście pozycji tej linii, przy czym każdy z układów przeskoku obejmujących po cztery pozycje posiada jedno dodatkowe połączenie specjalne według wynalazku łączące jego wyjście z pozycją poprzedzającą najbardziej znaczącą pozycję objętą tym przeskakiem o jedną pozycję, a każdy z układów przeskoku przeniesień obejmujących po trzynaście pozycji posiada trzy zastrzeżone patentem dodatkowe połączenia specjalne łączące jego wyjście z pozycjami poprzedzającymi najbardziej znaczącą pozycję objętą tym przeskakiem odpowiednio o jedną, trzy, cztery pozycje. Dla sumatora bez przeniesień cyklicznych przyjmijmy w tym układzie przeniesień $c_{i-13} = 0$ dla $i < 13$, a dla sumatora z przeniesieniami cyklicznymi $c_{i-13} = c_{n+i-13}$, $y_{i-13} = y_{n+i-13}$ dla $i \leq 13$. Przy tych założeniach omawia się przebieg propagacji przeniesień pomijając najpierw, analogicznie jak do poprzednio omówionego układu przeniesień, wszystkie dodatkowe połączenia specjalne według wynalazku. W miejsce ciągu (9) otrzymuje się następujący ciąg czasów t_i ($i = 1, 2, 3, \dots$):

$$\begin{array}{ccccccc} 0, & 1, 2, 3, 1, & 2, 3, 4, 2, & 3, 4, 5, 3, & 1, \\ & & 2, 3, 4, 2, & 3, 4, 5, 3, & 4, 5, 6, 4, & 2, \\ & & & 3, 4, 5, 3, & 4, 5, 6, 4, & 5, 6, 7, 5, & 3, \dots \end{array} \quad (11)$$

Uwzględniając teraz w omawianym układzie przeniesień występowanie dodatkowych połączeń specjalnych według wynalazku związanych tylko z krótszymi przeskokami obejmującymi po cztery pozycje linii przeniesień otrzymuje się w miejsce (11) ciąg:

$$\begin{array}{ccccccc} 1 & 2 \\ 0, & 1, 2, 3, 1, & 2, 3, 2, 2, & 3, 3, 3, 3, & 1, \\ & & 2, 3, 2, 2, & 3, 3, 3, 3, & 4, 4, 4, 4, & 2, \\ & & & 3, 4, 3, 3, & 4, 4, 4, 4, & 5, 5, 5, 5, & 3, \dots \end{array} \quad (12)$$

W ciągu (12) podkreślono wyrazy różniące się od wyrazów ciągu (11). Znaczenie liczb występujących nad niektórymi wyrazami ciągu (12) jest identyczne jak w ciągu (10).

Uwzględniając następnie w omawianym układzie przeniesień występowanie wszystkich wymienionych poprzednio dodatkowych połączeń specjalnych, według wynalazku, związanych również z przeskokami dłuższymi

mi obejmującymi po trzynaście pozycji linii przeniesień, otrzymuje się w miejsce ciągów (11) i (12) ciąg:

$$\begin{array}{ccccccc} & 1 & & 2 & & 1 & 1 & 1 \\ 0, & 1, 2, 3, 1, & 2, 3, 2, 2, & 3, 3, 3, 3, & 1, & & & \\ & 2 & & 2 & 2 & 2 & & 2 \\ 2, 3, 2, 2, & 3, 3, 3, 3, & 2, 2, 3, 2, & 2, & & & & \\ 3, 3, 3, 3, & 3, 3, 3, 3, & 3, 3, 3, 3, & 3, \dots & & & & \end{array} \quad (13)$$

W ciągu (13) podkreślono wyrazy różniące się od wyrazów ciągu (11). Nie podkreślone i podkreślone liczby występujące nad niektórymi wyrazami ciągu (13) przedstawiają warunkowe czasy t_i które są wynikiem działania dodatkowych połączeń specjalnych związanych z przeskokami obejmującymi odpowiednio po cztery i po trzynaście pozycji.

Na podstawie wzoru (6) i ciągu (13) otrzymuje się dla omawianego układu przeniesień, w którym zastosowano sposób zwiększania szybkości działania według wynalazku, czas propagacji przeniesień $T_n = 3$ dla $14 \leq n \leq 40$. Dla $n > 40$ czas T_n jest większy i wzrasta o jedną jednostkę co 13 pozycji sumatora. Dla porównania, w analogicznym układzie przeniesień, ale bez dodatkowych połączeń specjalnych według wynalazku, jak wynika z wzoru (6) i ciągu (11), otrzymuje się czas $T_n = 5$ dla $14 \leq n \leq 24$. Dla $n > 24$ czas T_n jest większy i wzrasta o jedną jednostkę co trzynaście pozycji sumatora.

Zastrzeżenia patentowe

1. Sposób zwiększania szybkości działania elektronicznych równoległych układów cyfrowych, zwłaszcza sumatorów, układów odejmujących i układów porównujących, złożonych z mniejszych układów cyfrowych zwanych pozycjami, w których, sygnałom elektrycznym na wejściach i wyjściach pozycji znajdujących się w ustabilizowanym stanie elektrycznym przyporządkować można jednoznacznie odpowiednie cyfry, na przykład odpowiednie cyfry binarne, w taki sposób, że każdej kombinacji cyfr wejściowych układu równoległego odpowiada jednoznacznie określona kombinacja cyfr wyjściowych tego układu, przy czym wymienione pozycje charakteryzują się tym, że można je tak uporządkować i ponumerować, aby w ustabilizowanym stanie elektrycznym układu równoległego cyfry wyjściowe odpowiadające sygnałom elektrycznym na wyjściach pozycji o dowolnie wybranym numerze zależały od cyfr wejściowych odpowiadających sygnałom elektrycznym na wejściach pozycji o numerach nie większych od tego nu-

meru i nie zależały od cyfr wejściowych odpowiadających sygnałom elektrycznym na wejściach pozycji o numerach większych od tego numeru, **znamienny tym**, że przebieg procesu ustalania się stanu elektrycznego wybranych pozycji o numerach mniejszych uzależnia się dodatkowo od cyfr wejściowych odpowiadających sygnałom elektrycznym na wejściach niektórych pozycji o numerach większych.

2. Sposób według zastrz. 1, **znamienny tym**, że uzależnienie przebiegu procesu ustalania się stanu elektrycznego wybranych pozycji o numerach mniejszych od cyfr wejściowych odpowiadających sygnałom elektrycznym na wejściach niektórych pozycji o numerach większych odnosi się do równoległego układu cyfrowego, w którym, jedynie w odpowiednio wyodrębnionej jego części, porządkuje się i numeruje się pozycje w taki sposób, że w ustabilizowanym stanie elektrycznym cyfry wyjściowe odpowiadające sygnałom elektrycznym na wyjściach pozycji o numerach mniejszych nie zależą od cyfr wejściowych odpowiadających sygnałom elektrycznym na wejściach pozycji o numerach większych, mimo że zależność taka istnieje w całym układzie równoległym, jak to ma miejsce w sumatorze bez przeniesień cyklicznych traktowanym jako wyodrębniona niezależna część sumatora z przeniesieniami cyklicznymi.

3. Sposób według zastrz. 1 i 2 **znamienny tym**, że w celu uzależnienia przebiegu procesu ustalania się stanu elektrycznego pozycji o numerach mniejszych, od cyfr wejściowych odpowiadających sygnałom elektrycznym na wejściach pozycji o numerach większych, dołącza się w układzie równoległym odpowiednie układy przyspieszające, takie jak układy przeskoków przeniesień w sumatorach, w taki sposób, aby sygnały elektryczne z wyjść danego układu przyspieszającego podawane były do określonej liczby pozycji układu równoległego, w tym między innymi również do pozycji o numerach mniejszych niż największy numer pozycji, której cyfry wejściowe mają wpływ na postać tych sygnałów elektrycznych.

4. Sposób według zastrz. 1—3, **znamienny tym**, że w celu uzależnienia procesu ustalania się stanu elektrycznego pozycji o numerach mniejszych od cyfr wejściowych odpowiadających sygnałom elektrycznym na wejściach pozycji o numerach większych dołącza się w układzie równoległym pewną liczbę jednakowych układów przyspieszających, lub jednakowych grup układów przyspieszających, rozmieszczonych równomiernie w stosunku do pozycji lub w stosunku do jednakowych grup pozycji układu równoległego lub pewnej jego części.

Dokonano dwóch poprawek



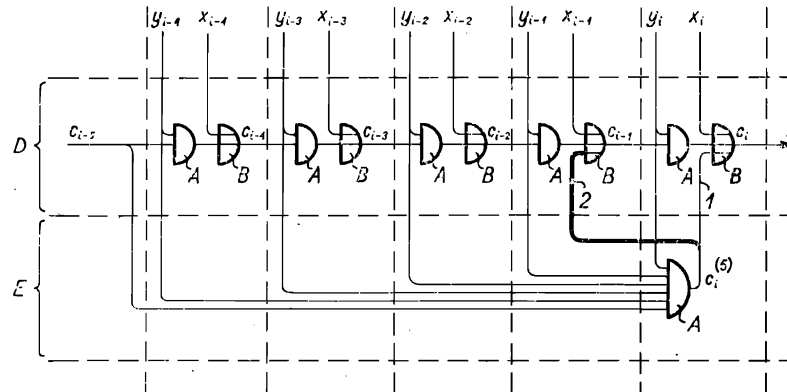


Fig. 1

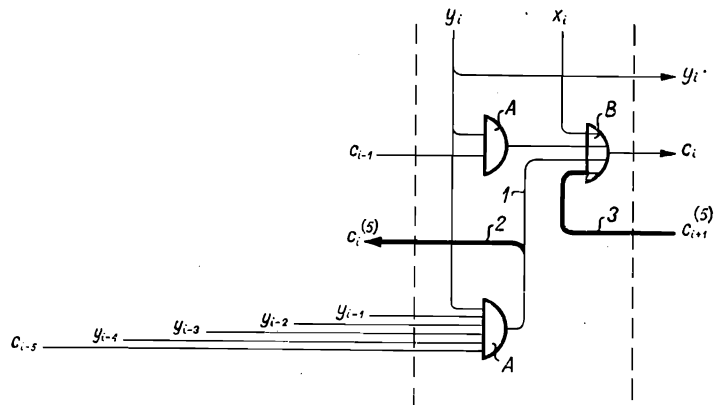


Fig. 2