

ČESKOSLOVENSKÁ
SOCIALISTICKÁ
REPUBLIKA
(19)



FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

264 059

(11)

(13) B1

(51) Int. Cl.⁴
G 11 C 29/00

(21) PV 801-87.R
(22) Přihlášeno 06 02 87

(40) Zveřejněno 17 10 88
(45) Vydáno 15 01 91

(75)
Autor vynálezu

EXNER KAREL ing.,
HLADÍK PETR ing.,
PĚCHOUČEK MIROSLAV ing. CSc., PRAHA

Adaptér pro testování dynamických paměťových obvodů typu RAM

(54)

(57) Adaptér řeší problém přizpůsobení obecného charakteru testovací jednotky testovanému obvodu DRAM a přizpůsobení vyhodnocování testu potřebám testovací jednotky. Slouží rovněž k realizaci speciálních funkcí nutných pro testování obvodů RAM, pokud tyto funkce nejsou zajištěny testovací jednotkou. Zapojení automaticky zajišťuje provozní podmínky pro testované dynamické paměťové obvody. Periodicky obnovuje obsah těchto paměťových obvodů, a to i při přerušení testu, umožňuje jejich testování maximální frekvencí a řídí režimy stránkování a modifikovaného čtení - zápisu. Všechny dynamické parametry umožňují testovat s přesností odpovídající přesnosti časovací jednotky testovaného systému. Adaptér může nalézt uplatnění v oboru elektrotechniky a výpočetní a měřicí techniky, zejména v aplikacích pro testování dynamických paměťových obvodů.

264 059

Vynález se týká adaptéru pro testování dynamických paměťových obvodů typu RAM, pokud tyto funkce nejsou zajištěny testovací jednotkou.

Až dosud jsou známy adaptéry pro testování obvodů DRAM, které neumožňují předat testovacímu systému adresu výskytu chyby a neumožňují po zpracování příznaku chyby pokračovat v testu od této chybové adresy. Jejich další nevýhoda spočívá v tom, že neumožňují měnit počet obnovovacích cyklů podle potřeb testovaného obvodu DRAM a neověřují funkci v pracovním režimu typu modifikované čtení - zápis. Tyto adaptéry také neumožňují testovat obvod DRAM maximálním pracovním kmitočtem, neboť testovací perioda se prodlužuje o dobu nutnou k vyhodnocení stavu vysoké impedance.

Uvedené nevýhody odstraňuje adaptér pro testování dynamických paměťových obvodů typu RAM podle vynálezu, jehož podstata spočívá v tom, že první výstup neznázorněného generátoru časovacích impulsů je připojen k prvnímu vstupu vstupního obvodu, jehož druhý výstup je připojen k desátému vstupu budicího obvodu, k desátému vstupu řadiče a k prvnímu vstupu prvního čítače, jehož druhý výstup je připojen k devátému vstupu řadiče a k prvnímu vstupu druhého čítače, jehož **výstup** je připojen k prvnímu vstupu klopného obvodu, jehož druhý výstup je připojen k osmému vstupu řadiče, jehož třetí výstup je připojen k dvanáctému vstupu budicího obvodu, jehož třetí výstup je připojen k třetímu vstupu testovací patice, jejíž výstup je připojen k pátému vstupu vyhodnocovací-

ho obvodu, jehož třetí vstup je připojen k pátému výstupu řadiče, jehož druhý výstup je připojen k třináctému vstupu budicího obvodu, jehož první výstup je připojen k pátému vstupu testovací patice, přičemž druhý výstup neznázorněného generátoru časovacích impulsů je připojen k druhému vstupu vstupního obvodu, jehož první výstup je připojen k dvanáctému vstupu řadiče, jehož čtvrtý výstup je připojen k jedenáctému vstupu budicího obvodu a ke čtvrtému vstupu vyhodnocovacího obvodu, jehož první vstup je připojen ke čtvrtému výstupu neznázorněného bloku nastavovacích signálů, přičemž první výstup neznázorněného generátoru testovacích vzorků je připojen k pátému vstupu vstupního obvodu, k jedenáctému vstupu řadiče, k třetímu vstupu prvního čítače a k druhému vstupu klopného obvodu, jehož první výstup je připojen k druhému vstupu druhého čítače a k druhému vstupu prvního čítače, přičemž třetí vstup klopného obvodu je připojen k sedmému výstupu řadiče, přičemž čtvrtý vstup vstupního obvodu je připojen k výstupu oscilátoru, jehož vstup je připojen k osmému výstupu řadiče, jehož první vstup je připojen k prvnímu výstupu neznázorněného bloku nastavovacích signálů, přičemž svorka kontroly indikace je připojena k druhému vstupu řadiče, jehož třetí vstup je připojen k druhému výstupu neznázorněného generátoru testovacích vzorků, přičemž třetí výstup neznázorněného generátoru časovacích impulsů je připojen ke čtvrtému vstupu řadiče, jehož pátý vstup je připojen k třetímu výstupu neznázorněného generátoru testovacích vzorků, přičemž druhý výstup neznázorněného bloku nastavovacích signálů je připojen k šestému vstupu řadiče, přičemž zastavovací svorka je připojena k prvnímu výstupu řadiče, k čtrnáctému vstupu budicího obvodu a k třetímu vstupu vstupního obvodu, přičemž chybová svorka je připojena k sedmému vstupu řadiče a k prvnímu výstupu vyhodnocovacího obvodu, jehož šestý vstup je připojen ke svorce blokování chyby, přičemž třetí výstup neznázorněného bloku nastavovacích signálů je připojen k prvnímu vstupu budicího obvodu, jehož druhý vstup je připojen ke čtvrtému výstupu neznázorněného generátoru časovacích impulsů, jehož pátý výstup je připojen k třetímu

vstupu budicího obvodu, jehož čtvrtý vstup je připojen k šestému výstupu neznázorněného generátoru časovacích impulsů, jehož sedmý výstup je připojen k pátému vstupu budicího obvodu, jehož šestý vstup je připojen k osmému výstupu neznázorněného generátoru časovacích impulsů, jehož devátý výstup je připojen k sedmému vstupu budicího obvodu, jehož osmý vstup je připojen k čtvrtému výstupu neznázorněného generátoru testovacích vzorků, přičemž druhý výstup vyhodnocovacího obvodu je připojen ke svorce indikace výskytu chyby, přičemž čtvrtý vstup klopného obvodu je připojen k pátému výstupu neznázorněného bloku nastavovacích signálů, jehož šestý výstup je připojen ke třetímu vstupu druhého čítače, přičemž čtvrtý vstup prvního čítače je připojen k sedmému výstupu neznázorněného bloku nastavovacích signálů, jehož osmý výstup je připojen k pátému vstupu prvního čítače, jehož první výstup je připojen k devátému vstupu budicího obvodu, jehož čtvrtý výstup je připojen k druhému vstupu testovací patice, jejíž první vstup je připojen k pátému výstupu budicího obvodu, přičemž šestý výstup řadiče je připojen k druhému vstupu vyhodnocovacího obvodu, přičemž druhý výstup budicího obvodu je připojen ke čtvrtému vstupu testovací patice.

Výhoda adaptéru podle vynálezu spočívá v tom, že tento adaptér umožňuje přizpůsobovat obecný charakter testovací jednotky testovanému obvodu DRAM a přizpůsobovat vyhodnocování testu potřebám testovací jednotky. Dále adaptér slouží k realizaci speciálních funkcí nutných pro testování obvodů RAM, pokud tyto funkce nejsou zajištěny testovací jednotkou.

Na připojeném výkresu je znázorněno schéma adaptéru podle vynálezu. První výstup 101 neznázorněného generátoru časovacích impulsů je připojen k prvnímu vstupu 11 vstupního obvodu 1, jehož druhý výstup 17 je připojen k desátému vstupu 610 budicího obvodu 6, k desátému vstupu 310 řadiče 3 a k prvnímu vstupu 41 prvního čítače 4, jehož druhý výstup 47 je připojen k devátému vstupu 39 řadiče 3 a k prvnímu vstupu 51 druhého čítače 5, jehož výstup 54 je připojen k prvnímu vstupu 91 klopného obvodu 9, jehož druhý výstup 96 je připojen k osmému vstupu 38 řadiče 3, jehož třetí výstup 315 je připojen k

dvanáctému vstupu 612 budicího obvodu 6, jehož třetí výstup 617 je připojen k třetímu vstupu 73 testovací patice 7, jejíž výstup 76 je připojen k pátému vstupu 85 vyhodnocovacího obvodu 8, jehož třetí vstup 83 je připojen k pátému výstupu 317 řadiče 3, jehož druhý výstup 314 je připojen k třináctému vstupu 613 budicího obvodu 6, jehož první výstup 615 je připojen k pátému vstupu 75 testovací patice 7, přičemž druhý výstup 102 neznázorněného generátoru časovacích impulsů je připojen k druhému vstupu 12 vstupního obvodu 1, jehož první výstup 16 je připojen k dvanáctému vstupu 312 řadiče 3, jehož čtvrtý výstup 316 je připojen k jedenáctému vstupu 611 budicího obvodu 6 a ke čtvrtému vstupu 84 vyhodnocovacího obvodu 8, jehož první vstup 81 je připojen ke čtvrtému výstupu 304 neznázorněného bloku nastavovacích signálů, přičemž první výstup 201 neznázorněného generátoru testovacích vzorků je připojen k pátému vstupu 15 vstupního obvodu 1, k jedenáctému vstupu 311 řadiče 3, k třetímu vstupu 43 prvního čítače 4 a k druhému vstupu 92 klopného obvodu 9, jehož první výstup 95 je připojen k druhému vstupu 52 druhého čítače 5 a k druhému vstupu 42 prvního čítače 4, přičemž třetí vstup 93 klopného obvodu 9 je připojen k sedmému výstupu 319 řadiče 3, přičemž čtvrtý vstup 14 vstupního obvodu 1 je připojen k výstupu 22 oscilátoru 2, jehož vstup 21 je připojen k osmému výstupu 320 řadiče 3, jehož první vstup 31 je připojen k prvnímu výstupu 301 neznázorněného bloku nastavovacích signálů, přičemž svorka 401 kontroly indikace je připojena k druhému vstupu 32 řadiče 3, jehož třetí vstup 33 je připojen k druhému výstupu 202 neznázorněného generátoru testovacích vzorků, přičemž třetí výstup 103 neznázorněného generátoru časovacích impulsů je připojen ke čtvrtému vstupu 34 řadiče 3, jehož pátý vstup 35 je připojen k třetímu výstupu 203 neznázorněného generátoru testovacích vzorků, přičemž druhý výstup 302 neznázorněného bloku nastavovacích signálů je připojen k šestému vstupu 36 řadiče 3, přičemž zastavovací svorka 601 je připojena k prvnímu výstupu 313 řadiče 3, k čtrnáctému vstupu 614 budicího obvodu 6 a k třetímu vstupu 13 vstupního obvodu 1, přičemž chybová svorka 701 je připojena k sedmému vstupu 37 řadiče 3 a k prvnímu vý-

stupu 87 vyhodnocovacího obvodu 8, jehož šestý vstup 86 je připojen ke svorce 501 blokování chyby, přičemž třetí výstup 303 neznázorněného bloku nastavovacích signálů je připojen k prvnímu vstupu 61 budícího obvodu 6, jehož druhý vstup 62 je připojen ke čtvrtému výstupu 104 neznázorněného generátoru časovacích impulsů, jehož pátý výstup 105 je připojen k třetímu vstupu 63 budícího obvodu 6, jehož čtvrtý vstup 64 je připojen k šestému výstupu 106 neznázorněného generátoru časovacích impulsů, jehož sedmý výstup 107 je připojen k pátému vstupu 65 budícího obvodu 6, jehož šestý vstup 66 je připojen k osmému výstupu 108 neznázorněného generátoru časovacích impulsů, jehož devátý výstup 109 je připojen k sedmému vstupu 67 budícího obvodu 6, jehož osmý vstup 68 je připojen k čtvrtému výstupu 204 neznázorněného generátoru testovacích vzorků, přičemž druhý výstup 88 vyhodnocovacího obvodu 8 je připojen ke svorce 801 indikace výskytu chyb, přičemž čtvrtý vstup 94 klopného obvodu 2 je připojen k pátému výstupu 305 neznázorněného bloku nastavovacích signálů, jehož šestý výstup 306 je připojen ke třetímu vstupu 53 druhého čítače 2, přičemž čtvrtý vstup 44 prvního čítače 4 je připojen k sedmému výstupu 307 neznázorněného bloku nastavovacích signálů, jehož osmý výstup 308 je připojen k pátému vstupu 45 prvního čítače 4, jehož první výstup 46 je připojen k devátému vstupu 69 budícího obvodu 6, jehož čtvrtý výstup 618 je připojen k druhému vstupu 72 testovací patice 7, jejíž první vstup 71 je připojen k pátému výstupu 619 budícího obvodu 6, přičemž šestý výstup 318 radiče 3 je připojen k druhému vstupu 82 vyhodnocovacího obvodu 8, přičemž druhý výstup 616 budícího obvodu 6 je připojen ke čtvrtému vstupu 74 testovací patice 7.

Funkce adaptéru podle vynálezu je následující:

Neznázorněná testovací jednotka nastavuje před zahájením testu signály, které určují režim testování. Jsou to signály z druhého výstupu 302 neznázorněného bloku nastavovacích signálů, udávající druh testovacího režimu, signály z šestého výstupu 306 neznázorněného bloku nastavovacích signálů, udávající v závislosti na testovací periodě T_P dobu T_{REF} mezi dvěma obnovovacími cykly, signály ze sedmého výstupu 307 nezná-

zorněného bloku nastavovacích signálů, které udávají počet přednabíjecích impulsů na čtvrtém výstupu 618 budicího obvodu 6, signál na pátém vstupu 45 prvního čítače 4, který určuje počet obnovovacích cyklů, signál na čtvrtém výstupu 304 neznázorněného bloku nastavovacích signálů, který zařazuje vyhodnocování stavu vysoké impedance, a signál na prvním výstupu 301 neznázorněného bloku nastavovacích signálů; tímto signálem testovací systém udává způsob vyhodnocení chybového signálu na chybové svorce 701.

Adaptér může testovat současně 1 až p dynamických paměťových obvodů stejného typu. Příznak chyby od každého testovaného prvku může být blokován odpovídajícím blokovacím signálem ze svorky 501 blokování chyby. Po příchodu nastavovacího impulsu na svorku 401 kontroly indikace vytvoří řadič 3 na svém pátém výstupu 317 impuls, který nuluje chybové registry vyhodnocovacího obvodu 8; po dobu trvání tohoto impulsu jsou sepnuty indikační výstupy na svorce 801 indikace výskytu chyby. Tím je umožněno provést kontrolu neznázorněných indikačních prvků.

Neznázorněná testovací jednotka zahajuje testování vysláním nulovacího impulsu do prvního výstupu 201 neznázorněného generátoru testovacích vzorků. Tím se do prvního čítače 4 nahraje hodnota "m", sejmutá ze sedmého výstupu 307 neznázorněného bloku nastavovacích signálů a nastaví se signál na prvním výstupu 95 klopného obvodu 9. V důsledku toho se do druhého čítače 5 nahraje hodnota "n", sejmutá ze šestého výstupu 306 neznázorněného bloku nastavovacích signálů a nastaví se řadič 3, který pomocí signálu na svém osmém výstupu 320 spustí oscilátor 2 a vyšle na zastavovací svorku 601 stopovací signál, kterým se pozastaví činnost neznázorněné testovací jednotky. Potom řadič 3 nastaví vstupní obvod 1 do výchozího stavu. Adaptér nyní pracuje v autonomním režimu. Oscilátor 2 generuje na svém výstupu 22 sérii impulsů. Vstupní obvod 1 z nich na svém druhém výstupu 17 vytváří vnitřní hodinové impulsy. Tyto impulsy jsou přivedeny do desátého vstupu 610 budicího obvodu 6 a řídí generování signálu řádkového výběru na jeho čtvrtém výstupu 618. Hodinový signál na druhém výstupu 17 vstupního obvodu 1 se současně čítá v prvním čítači 4. Při načítání

přednastaveného počtu "m" impulsů vyšle první čítač 4 na svůj druhý výstup 47 signál, který tuto skutečnost oznámí. Potom řadič 3 zastaví pomocí řídicích signálů na svém osmém výstupu 320 oscilátor 2 a ukončí zastavovací signál na zastavovací svorce 601. Tím zahájí neznázorněná testovací jednotka svou činnost.

Výše popsaná činnost je společná pro všechny režimy testování. Dále se činnost adaptéru liší podle druhu testu, který je požadován.

Při testování funkce dynamických paměťových obvodů bez vřazení obnovovacích cyklů je funkce adaptéru následující:

Testovací jednotka vysílá na začátku každého testovacího kroku testovací vzorek, jehož adresová část je vysílána na čtvrtý výstup 204 neznázorněného generátoru testovacích vzorků. Datová část testovacího vzorku je vysílána na sedmý výstup 107 neznázorněného generátoru časovacích impulsů a jeho povelová část je vysílána na třetí výstup 203 neznázorněného generátoru testovacích vzorků. Testovací vzorek je nahrán do testované paměti, potom je obsah této paměti čten a srovnáván s původním vzorkem; srovnávání probíhá ve vyhodnocovacím obvodu 8. Z neznázorněného generátoru časovacích impulsů jsou dále do jednotlivých vstupů adaptéru vysílány kladné nebo záporné impulsy s naprogramovanou polohou hran tak, aby budicí obvod 6 a řadič 3 vytvořily z časovacího impulsu na osmém výstupu 108 neznázorněného generátoru časovacích impulsů řádkový výběrový impuls na čtvrtém výstupu 618 budicího obvodu 6 a z časovacího impulsu na devátém výstupu 109 neznázorněného generátoru časovacích impulsů sloupcový výběrový impuls na pátém výstupu 619 budicího obvodu 6. Z časovacího impulsu na čtvrtém výstupu 104, respektive pátém výstupu 105 neznázorněného generátoru časovacích impulsů, vytvoří budicí obvod 6 v součinnosti s řadičem 3 v závislosti na přivedených adresách kladné a záporné impulsy řádkové, respektive sloupcové adresy. Z časovacího impulsu na sedmém výstupu 107 neznázorněného generátoru časovacích impulsů vytvoří budicí obvod 6 v součinnosti s řadičem 3 v závislosti na stavu zápisového signálu na třetím výstupu 203 nezná-

zorněného generátoru testovacích vzorků zapisovací impuls na třetím výstupu 617 budicího obvodu 6. Z časovacího impulsu na šestém výstupu 106 neznázorněného generátoru časovacích impulsů vytvoří budicí obvod 6 a řadič 3 v závislosti na stavu datového signálu na jedenáctém vstupu 611 budicího obvodu 6 kladný nebo záporný impuls na druhém výstupu 616 budicího obvodu 6. Z časovacího impulsu na třetím výstupu 103 neznázorněného generátoru časovacích impulsů vytvoří budicí obvod 6 a řadič 3 vzorkovací impulsy na druhém vstupu 82 vyhodnocovacího obvodu 8.

Všechny impulsy, generované neznázorněným generátorem časovacích impulsů, jsou naprogramovány tak, aby testovací signály a vzorkovací impulsy měly požadované časové parametry. Napětíovou úroveň testovacích signálů v logické nule a v logické jedničce definují referenční napětí, přiváděná na třetí výstup 303 neznázorněného bloku nastavovacích signálů.

Neznázorněná testovací jednotka dále vysílá při příchodu prvního platného testovacího vzorku záporný impuls na druhý výstup 102 neznázorněného generátoru časovacích impulsů. Tím se nastaví vstupní obvod 1 do pracovního stavu tak, že začíná na svém druhém výstupu 17 generovat hodinové impulsy v závislosti na časovacích impulsech, přicházejících z prvního výstupu 101 neznázorněného generátoru časovacích impulsů. Současně se vytvoří impulsy na prvním výstupu 16 vstupního obvodu 1. Tyto impulsy povolují generování vzorkovacích impulsů na šestém výstupu 318 řadiče 3.

Kontrolu funkce testovacího prvku provádí adaptér tak, že nejdříve zapíše určitý zvolený vzorek do testovaných pamětí a potom při zpětném čtení z těchto pamětí kontroluje, zda je tento vzorek v testované paměti skutečně nahrán. Kontrolu provádí vyhodnocovací obvod 8, který porovnává referenční testovací vzorek se vzorkem čteným z testovací patice 7. Vyhodnocuje se jak logická totožnost obou vzorků, tak i napěťové a časové parametry signálu na výstupu 76 testovací patice 7.

Adaptér může mít i několik testovacích patic 7; tím je umožněno testovat několik dynamických paměťových prvků současně. Pokud na i-té testovací patici není testovaný prvek, je nutné zamaskovat pomocí signálu z šestého vstupu 86 vyhodnocovacího obvodu 8 i-tý chybový registr. Tím se zabrání vytvoření signálu příznaku chyby z této patice.

Vyskytne-li se v průběhu testování porucha funkce nebo některého z parametrů i-tého testovaného prvku, který není maskován, vytvoří se na prvním výstupu 87 vyhodnocovacího obvodu 8 signál příznaku chyby. Ten je veden do sedmého vstupu 37 řadiče 3 a na chybovou svorku 701.

Je-li na prvním výstupu 301 neznázorněného bloku nastavovacích signálů kladná logická úroveň, test se při výskytu chyby nepřerušuje. Pokud je na něm nulová logická úroveň, reaguje řadič 3 na příznak chyby na prvním výstupu 87 vyhodnocovacího obvodu 8 vysláním stopovacího signálu na zastavovací svorku 601. Tím se zastaví činnost testovací jednotky. Řadič 3 nyní může analyzovat příčinu poruchy. Vysláním impulsu na svorku 401 kontroly indikace ukončí testovací jednotka stopovací signál na zastavovací svorce 601 a zastaví provádění obnovovacích cyklů; vynulují se chybové registry ve vyhodnocovacím obvodu 8, a tím se ukončí chybový signál na chybové svorce 701. Testovací jednotka nyní opět pokračuje v testování, a to právě od té adresy, v níž došlo k chybě.

Vzorkovací impulsy na šestém výstupu 322 řadiče 3 musí být přivedeny tak, aby se signál příznaku chyby na chybové svorce 701 vytvořil s dostatečným předstihem před koncem testovací periody. Tento předstih je nutný k tomu, aby se činnost testovací jednotky zastavila ještě v kroku výskytu chyby. Signál na čtvrtém výstupu 304 neznázorněného bloku nastavovacích signálů umožňuje vynechat testování stavu vysoké impedance. Tím je umožněno testování dynamické paměti maximální testovací frekvencí.

Hodinové impulsy, které během testu generuje vstupní obvod 1 na svém druhém výstupu 17, jsou čítány prvním čítačem 4, který nyní pracuje jako n-bitový dělič. Impulsy z druhého výstupu 47 prvního čítače 4 jsou čítány druhým čítačem 5. Druhý čítač 5 je na počátku testu nastaven na hodnotu "m" a po dočítání do nulového stavu vyšle ze svého výstupu 54 nulovací signál. Ten je zpracován klopným obvodem 9, jehož první výstup 95 nyní blokuje příchod dalších hodinových impulsů do prvního čítače 4 a nahrává do druhého čítače 5 ze šestého výstupu 306 neznázorněného bloku nastavovacích signálů opět hodnotu "m". Signál z druhého výstupu 96 klopného obvodu 9 je veden do osmého vstupu 38 řadiče 3. Tam je následným hodinovým signálem, přivedeným do desátého vstupu 310 řadiče 3, synchronizován. Řadič 3 ze svého prvního výstupu 313 vyšle stopovací signál na zastavovací svorku 601, čímž zastaví činnost testovací jednotky a nastaví vstupní obvod 1 do počátečního stavu. Signálem z osmého výstupu 320 řadiče 3 je spuštěn oscilátor 2. Signály z třetího výstupu 315 řadiče rekonfigurují budicí obvod 6 tak, že řádkový výběrový signál na jeho čtvrtém výstupu 618 je odvozován od hodinového signálu na jeho desátém vstupu 610 a adresové signály na jeho prvním výstupu 615 jsou odvozovány od vnitřního stavu prvního čítače 4, který je udáván hodnotou signálů, vystupujících z prvního výstupu 46 prvního čítače 4 do devátého vstupu 69 budicího obvodu 6. Potom řadič 3 ukončí signálem ze svého sedmého výstupu 319 vyslaným do třetího vstupu 93 klopného obvodu 9 nastavení klopného obvodu 9, a tím ukončí i nahrávání do druhého čítače 5 a blokování druhého vstupu 42 prvního čítače 4.

Oscilátor 2 generuje na svém výstupu 22 sérii impulsů, z nichž jsou generovány hodinové signály na druhém výstupu 17 vstupního obvodu 1. Pomocí těchto signálů vysílá budicí obvod 6 ze svého čtvrtého výstupu 618 řádkový výběrový impuls do druhého vstupu 72 testovací patice 7. Perioda oscilátoru 2 T_0 je volena tak, aby vyhovovala všem známým dynamickým pamětem. Hodinové impulsy z druhého výstupu 17 vstupního obvodu 17 jsou současně čítány v prvním čítači 4. Počet načíta-

ných impulsů, daný v binární formě na prvním výstupu 46 prvního čítače 4, určuje hodnotu obnovovacích adresových signálů na prvním výstupu 615 budicího obvodu 6. Množství adresových kombinací může být voleno podle konkrétního požadavku signálem na osmém výstupu 308 neznázorněného bloku nastavovacích signálů. Po načítání zvoleného počtu impulsů vyšle první čítač 4 ze svého druhého výstupu 47 nulový signál. Řadič 3 tento nulový signál zesynchronizuje hodinovou hranou na svém desátém vstupu 310. Tím se ukončí stopovací signál na zastavovací svorce 601 a testovací jednotka se opět uvede do činnosti. Oscilátor 2 se zastaví a budicí obvod 6 se pomocí signálů, přicházejících do jeho dvanáctého vstupu 612 z třetího výstupu 315 řadiče 3 opět rekonfiguruje do původního stavu.

Hodinový signál na druhém výstupu 17 vstupního obvodu 1, nyní odvozovaný od časovacího signálu z prvního výstupu 101 neznázorněného generátoru časovacích impulsů, je opět čítán kaskádou prvního čítače 4 a druhého čítače 2 a celý děj se opakuje. Doba T_{REF} mezi dvěma obnovovacími cykly je určena vztahem

$$T_{REF} = T_P \cdot n \cdot m + T_O \cdot p ,$$

kde T_P je testovací perioda,
 n je modul, v němž čítá první čítač 4,
 m je přednastavená hodnota druhého čítače 2,
 T_O je perioda oscilátoru,
 p je počet potřebných obnovovacích cyklů.

Jestliže je zapotřebí vyloučit obnovovací cykly z testování, je možné pomocí signálu z pátého výstupu 305 neznázorněného bloku nastavovacích signálů trvale nulovat klopný obvod 9; tím se zabrání generování signálu na druhém výstupu 96 klopného obvodu 9.

Další funkcí zapojení adaptéru podle vynálezu je testování paměťových obvodů v pracovním režimu typu modifikované čtení - zápis. Tento způsob testování je zvolen výběrovými signály z druhého výstupu 302 neznázorněného bloku nastavova-

cích signálů. Při testování se adresový rozsah rozšiřuje na dvojnásobek kapacity testované paměti. Tím se docílí dvojího zápisu a dvojího čtení testované paměti totožným vzorkem. Řadič 3 ovládá řízenou datovou inverzí datový testovací vzorek na svém třetím výstupu 315 tak, že při prvním naplnění adresové matice je vyhodnocování dat blokováno a je zapisován negativní vzorek. Při druhém naplnění je čten pozitivní vzorek a zapisován negativní vzorek. Při třetím naplnění je čten negativní vzorek a zapisován vzorek pozitivní. Při čtvrtém naplnění je čten vzorek negativní a ten se již nekontroluje.

Adaptér slouží též k testování funkce strankového režimu dynamických pamětí. Tento režim je zvolen výběrovými signály z druhého výstupu 302 neznázorněného bloku nastavovacích signálů. Řadič 3 pomocí signálů ze svého druhého výstupu 314 nastaví budicí obvod 6 tak, aby při příchodu prvního platného signálu na osmý výstup 108 neznázorněného generátoru časovacích impulsů byl signál na čtvrtém výstupu 618 budicího obvodu 6 udržován na nulové úrovni po dobu "n" testovacích cyklů. První čítač 4 nyní čítá hodinové impulsy na svém prvním vstupu 41 a po dočítání do hodnoty "n" vyšle na svůj druhý výstup 47 signál. Z tohoto signálu vytváří řadič 3 stopovací impuls na svém prvním výstupu 313. Tímto stopovacím impulsem se vstupní obvod 1 nastaví do výchozího stavu a z jeho prvního výstupu 16 vystoupí signál, který je řadičem 3 zpracován na signály, vysílané z jeho druhého výstupu 314. Tím se budicí obvod 6 nastaví tak, že signál řádkového výběru na jeho čtvrtém výstupu 618 je opět ovládán časovacím signálem z osmého výstupu 108 neznázorněného generátoru časovacích impulsů a vrací se na úroveň hodnoty logické jedničky. V této fázi je činnost testované jednotky až do ukončení stopovacího impulsu pozastavena. Po ukončení stopovacího impulsu vyšle testovací jednotka ze svých výstupů testovací posloupnost a časovací impulsy. Příchod prvního platného vzorku je indikován impulsem na druhém výstupu 102 neznázorněného generátoru časovacích impulsů. Vstupní obvod 1 přejde do pracovního stavu a na svém prvním výstu-

pu 16 nastaví signál, jehož pomocí nastaví řadič 3 signály na svém druhém výstupu 314; tyto signály umožní při příchodu impulsu z osmého výstupu 108 neznázorněného generátoru časovacích impulsů udržet signál výběru řádkové adresy na čtvrtém výstupu 618 budicího obvodu 6 na nulové úrovni po dobu "n" cyklů výše popsáním způsobem.

Zapojení podle vynálezu automaticky zajišťuje provozní podmínky pro testované dynamické paměťové obvody. Periodicky obnovuje obsah těchto paměťových obvodů, a to i při přerušení testu, umožňuje jejich testování maximální frekvencí a řídí režimy strankování a modifikovaného čtení - zápisu. Všechny dynamické parametry umožňují testovat s přesností odpovídající přesnosti časovací jednotky testovaného systému.

Vynález může nalézt uplatnění v oboru elektrotechniky a výpočetní a měřicí techniky, zejména v aplikacích pro testování dynamických paměťových obvodů.

P Ř E D M Ě T V Y N Á L E Z U

264 059

Adaptér pro testování dynamických paměťových obvodů typu RAM, v y z n a č e n ý t í m, ž e první výstup (101) generátoru časovacích impulsů je připojen k prvnímu vstupu (11) vstupního obvodu (1), jehož druhý výstup (17) je připojen k desátému vstupu (610) budicího obvodu (6), k desátému vstupu (310) řadiče (3) a k prvnímu vstupu (41) prvního čítače (4), jehož druhý výstup (47) je připojen k devátému vstupu (39) řadiče (3) a k prvnímu vstupu (51) druhého čítače (5), jehož výstup (54) je připojen k prvnímu vstupu (91) klopného obvodu (9), jehož druhý výstup (96) je připojen k osmému vstupu (38) řadiče (3), jehož třetí výstup (315) je připojen k dvanáctému vstupu (612) budicího obvodu (6), jehož třetí výstup (617) je připojen k třetímu vstupu (73) testovací patice (7), jejíž výstup (76) je připojen k pátému vstupu (85) vyhodnocovacího obvodu (8), jehož třetí vstup (83) je připojen k pátému výstupu (317) řadiče (3), jehož druhý výstup (314) je připojen k třináctému vstupu (613) budicího obvodu (6), jehož první výstup (615) je připojen k pátému vstupu (75) testovací patice (7), přičemž druhý výstup (102) generátoru časovacích impulsů je připojen k druhému vstupu (12) vstupního obvodu (1), jehož první výstup (16) je připojen k dvanáctému vstupu (312) řadiče (3), jehož čtvrtý výstup (316) je připojen k jedenáctému vstupu (611) budicího obvodu (6) a ke čtvrtému vstupu (84) vyhodnocovacího obvodu (8), jehož první vstup (81) je připojen ke čtvrtému výstupu (304) neznázorněného bloku nastavovacích signálů, přičemž první výstup (201) neznázorněného generátoru testovacích vzorků je připojen k pátému vstupu (15) vstupního obvodu (1), k jedenáctému vstupu (311) řadiče (3), k třetímu vstupu (43) prvního čítače (4) a k druhému vstupu (92) klopného obvodu (9), jehož první výstup (95) je připojen k druhému vstupu (52) druhého čítače (5) a k druhému vstupu (42) prvního čítače (4), přičemž třetí

vstup (93) klopného obvodu (9) je připojen k sedmému výstupu (319) řadiče (3), přičemž čtvrtý vstup (14) vstupního obvodu (1) je připojen k výstupu (22) oscilátoru (2), jehož vstup (21) je připojen k osmému výstupu (320) řadiče (3), jehož první vstup (31) je připojen k prvnímu výstupu (301) neznázorněného bloku nastavovacích signálů, přičemž svorka (401) kontroly indikace je připojena k druhému vstupu (32) řadiče (3), jehož třetí vstup (33) je připojen k druhému výstupu (202) neznázorněného generátoru testovacích vzorků, přičemž třetí výstup (103) neznázorněného generátoru časovacích impulsů je připojen ke čtvrtému vstupu (34) řadiče (3), jehož pátý vstup (35) je připojen k třetímu výstupu (203) neznázorněného generátoru testovacích vzorků, přičemž druhý výstup (302) neznázorněného bloku nastavovacích signálů je připojen k šestému vstupu (36) řadiče (3), přičemž zastavovací svorka (601) je připojena k prvnímu výstupu (313) řadiče (3), k čtrnáctému vstupu (614) budicího obvodu (6) a k třetímu vstupu (13) vstupního obvodu (1), přičemž chybová svorka (701) je připojena k sedmému vstupu (37) řadiče (3) a k prvnímu výstupu (87) vyhodnocovacího obvodu (8), jehož šestý vstup (86) je připojen ke svorce (501) blokování chyby, přičemž třetí výstup (303) neznázorněného bloku nastavovacích signálů je připojen k prvnímu vstupu (61) budicího obvodu (6), jehož druhý vstup (62) je připojen ke čtvrtému výstupu (104) neznázorněného generátoru časovacích impulsů, jehož pátý výstup (105) je připojen k třetímu vstupu (63) budicího obvodu (6), jehož čtvrtý vstup (64) je připojen k šestému výstupu (106) neznázorněného generátoru časovacích impulsů, jehož sedmý výstup (107) je připojen k pátému vstupu (65) budicího obvodu (6), jehož šestý vstup (66) je připojen k osmému výstupu (108) neznázorněného generátoru časovacích impulsů, jehož devátý výstup (109) je připojen k sedmému vstupu (67) budicího obvodu (6), jehož osmý vstup (68) je připojen k čtvrtému výstupu (204) neznázorněného generátoru testovacích vzorků, přičemž druhý výstup (88) vyhodnocovacího obvodu (8) je připojen ke svorce (801) indikace výskytu chyby, přičemž čtvrtý vstup (94) klopného obvodu (9) je připojen k pátému

výstupu (305) neznázorněného bloku nastavovacích signálů, jehož šestý výstup (306) je připojen ke třetímu vstupu (53) druhého čítače (5), přičemž čtvrtý vstup (44) prvního čítače (4) je připojen k sedmému výstupu (307) neznázorněného bloku nastavovacích signálů, jehož osmý výstup (308) je připojen k pátému vstupu (45) prvního čítače (4), jehož první výstup (46) je připojen k devátému vstupu (69) budicího obvodu (6), jehož čtvrtý výstup (618) je připojen k druhému vstupu (72) testovací patice (7), jejíž první vstup (71) je připojen k pátému výstupu (619) budicího obvodu (6), přičemž šestý výstup (618) radiče (3) je připojen k druhému vstupu (82) vyhodnocovacího obvodu (8), přičemž druhý výstup (616) budicího obvodu (6) je připojen ke čtvrtému vstupu (74) testovací patice (7).

1 výkres

MS 1541

