

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年7月10日(10.07.2014)



(10) 国際公開番号
WO 2014/106925 A1

- (51) 国際特許分類:
H01L 23/13 (2006.01) C22C 9/00 (2006.01)
B22F 3/26 (2006.01) C22C 27/04 (2006.01)
B22F 7/06 (2006.01) H05K 1/09 (2006.01)
C22C 5/02 (2006.01) H05K 3/40 (2006.01)
C22C 5/06 (2006.01)
- (21) 国際出願番号: PCT/JP2013/083760
- (22) 国際出願日: 2013年12月17日(17.12.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-000431 2013年1月7日(07.01.2013) JP
- (71) 出願人: 株式会社アライドマテリアル(A.L.M.T. CORP.) [JP/JP]; 〒1050014 東京都港区芝一丁目1番11号 Tokyo (JP).
- (72) 発明者: 広瀬 義幸(HIROSE, Yoshiyuki); 〒6640016 兵庫県伊丹市昆陽北1丁目1番1号 株式会社アライドテック内 Hyogo (JP). 杉谷 幸愛(SUGITANI, Sachie); 〒6640016 兵庫県伊丹市昆陽北1丁目1番1号 株式会社アライドテック内 Hyogo (JP). 胡間 紀人(GOMA, Norihito); 〒6640016 兵庫県伊丹市昆陽北1丁目1番1号 株式会社アライドテック内 Hyogo (JP). 豊嶋 剛

平(TOYOSHIMA, Gouhei); 〒9980114 山形県酒田市十里塚字村東山398番16 株式会社アライドテック内 Yamagata (JP). 上西 昇(UENISHI, Noboru); 〒6640016 兵庫県伊丹市昆陽北1丁目1番1号 株式会社アライドテック内 Hyogo (JP).

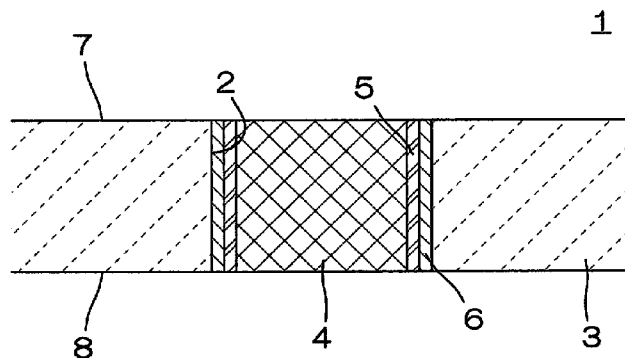
- (74) 代理人: 稲岡 耕作, 外(INAOKA, Kosaku et al.); 〒5410054 大阪府大阪市中央区南本町2丁目6番12号 サンマリオンNBFタワー21階 あい特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,

[続葉有]

(54) Title: CERAMIC WIRING SUBSTRATE, SEMICONDUCTOR DEVICE, AND METHOD FOR MANUFACTURING CERAMIC WIRING SUBSTRATE

(54) 発明の名称: セラミック配線基板、半導体装置、およびセラミック配線基板の製造方法

図1



(57) Abstract: Provided is a ceramic wiring substrate comprising a vertical conducting body which is formed by forming a vertical conducting hole in a substrate after the substrate is formed in a plate shape by sintering a ceramic precursor, forming a porous structure made of a metal with a high melting point in the vertical conducting hole, and infiltrating a low-resistance metal into the hole. The vertical conducting body has a normal composite structure with no abnormal grain growth, voids, cracks, or the like, and has no possibility of sloughing from the substrate. Also provided are a method for manufacturing the ceramic wiring substrate, and a semiconductor device configured using the ceramic wiring substrate. On the inner surface of the vertical conducting hole (2) of the substrate (3) before the vertical conducting body (4) having the composite structure is formed, an intermediate layer (5) comprising at least one from among the group consisting of Mo, W, Co, Fe, Zr, Re, Os, Ta, Nb, Ir, Ru, and Hf is formed.

(57) 要約:

[続葉有]



WO 2014/106925 A1



GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, 添付公開書類:

NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,

MR, NE, SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

セラミックの前駆体を焼結させて板状に形成された基板に後から形成した上下導通孔内に、高融点金属からなる多孔質構造体を形成したのち低抵抗金属を溶浸させてなり、異常成長粒やボイド、クラック等がなく正常な複合構造を有する上、基板から脱落するおそれのない上下導通体を有するセラミック配線基板とその製造方法、ならびに当該セラミック配線基板を用いて構成される半導体装置を提供する。基板 3 の、複合構造を有する上下導通体 4 を形成する前の上下導通孔 2 の内面に Mo、W、Co、Fe、Zr、Re、Os、Ta、Nb、Ir、Ru、および Hf からなる群より選ばれた少なくとも 1 種からなる中間層 5 を形成する。

明 細 書

発明の名称：

セラミック配線基板、半導体装置、およびセラミック配線基板の製造方法 技術分野

[0001] 本発明は、少なくとも Al または Si を含むセラミックによって板状に形成された基板と、かかる基板の厚み方向に貫通する上下導通体を備えたセラミック配線基板、ならびに当該セラミック配線基板を用いた半導体装置に関するものである。

背景技術

[0002] 例えば AlN、 Al_2O_3 、SiC等のセラミックによって板状に形成された基板の所定の位置に厚み方向に貫通する上下導通孔を形成して上下導通体（ビア）を充填したセラミック配線基板が、半導体素子の搭載用等として用いられる。

[0003] かかるセラミック配線基板は上下導通孔の位置精度を向上するため、まずセラミックのもとになる前駆体の板体（セラミックグリーンシート）を焼結させて基板を形成し、次いでこの基板の所定の位置に当該基板の厚み方向に貫通する上下導通孔を形成したのち、上下導通孔に導電材料からなる上下導通体を充填して形成するのが一般的である。

[0004] ところが上下導通体の全体を導電材料としての Cu、Ag、Au等の低抵抗金属で形成すると、当該低抵抗金属とセラミックの熱膨張率が大きく異なるため、例えば基板上に半導体素子を搭載する際の接合工程で基板が高温に晒された際に、上下導通体の膨張収縮に伴って、当該上下導通体の、通常は基板表面と面一とされる先端面が基板の表面より外方へ突出したのち冷却によって元に戻るという挙動をする。

[0005] そして上下導通体の先端面を含む基板の表面に形成される、半導体素子との接合等に用いるメタライズ層や半田層に、上記の挙動によって局所的な応力が加わってこれらの層にクラックを生じやすくなり、クラックを生じると

半導体素子搭載の信頼性が著しく低下するという問題がある。また基板自体や搭載した半導体素子に大きな熱応力が加わるおそれもある。

[0006] そこで上下導通体を、W、Mo等の高融点金属からなる多孔質構造体中にCu、Ag、Au等の低抵抗金属を充填した複合構造として、その熱膨張率をセラミックからなる基板に近づけることが検討されている。

[0007] 例えば特許文献1では、上下導通孔内にW、Mo等の高融点金属の粉末を含むペーストを充填し、当該粉末を焼結させて高融点金属からなる多孔質構造体を形成したのち、この多孔質構造体中にCu、Ag、Au等の低抵抗金属を溶浸させることにより、上記の複合構造を有する上下導通体を形成している。

[0008] しかしかかる構造では、高融点金属からなる多孔質構造体とセラミックからなる基板とが密着しないため上下導通体が基板から脱落しやすいという問題がある。

[0009] 高融点金属にガラス分を含ませると、多孔質構造体と基板との密着性は向上するものの、その後の低抵抗金属を溶浸させる工程で当該低抵抗金属と多孔質構造体中のガラスや基板を形成するセラミックが密着しないため、上下導通体の内部や基板との界面でボイドを生じやすいという問題がある。

[0010] また発明者の検討によると、高融点金属を焼結させて多孔質構造体を形成する工程や多孔質構造体中に低抵抗金属を溶浸させる工程は、酸化防止のためにH₂等の還元性ガス雰囲気中やあるいは真空中で実施されるが、その際の加熱によって900℃以上、特に1000℃程度まで温度上昇すると、その熱によって基板を構成するAlやSiが形成途中の上下導通体へ拡散する。

[0011] そして

拡散したAlやSiが900℃以上の高温で反応してMoやWを部分的に異常成長させて異常成長粒を生成させたり、

多孔質構造体中への低抵抗金属の溶浸が異常成長粒によって阻害されて、当該多孔質構造体中に均一に回り込めずにボイドやクラックを生じたり、

AlやSiが低抵抗金属と反応してガスを発生してボイドを生じさせたり

して、

正常な複合構造を有する良好な上下導通体を形成できないという問題も生じる。

[0012] 特許文献2には、焼結前のセラミックグリーンシートに上下導通孔を形成し、そこへW、Mo等の高融点金属の粉末を含むペーストを充填したのち全体を焼結させて、セラミック製の基板と当該基板の上下導通孔内に充填された多孔質構造体とを一体に形成した後、当該多孔質構造体内に溶融させたCu等の低抵抗金属を荷重板の重みによって浸透させて上下導通体を形成することが記載されている。

[0013] この方法によれば、基板と多孔質構造体との密着性は向上できる。しかし低抵抗金属とセラミックは依然として密着しないため、上下導通体と基板との界面でボイドを生じやすい問題は解消されない。

[0014] また基板のもとになるセラミックグリーンシートにあらかじめ上下導通孔を形成したのち焼結させているため、当該セラミックグリーンシートの焼結時の不均等な収縮によって、上下導通孔の位置精度が低下するという問題もある。

[0015] 特許文献3には、やはり焼結前のセラミックグリーンシートに上下導通孔を形成し、そこへW、Mo等の高融点金属の粉末とCu等の低抵抗金属の粉末とを含むペーストを充填したのち全体を焼結させて、セラミック製の基板と、その上下導通孔内に充填された高融点金属および低抵抗金属の複合構造を有する上下導通体とを一体に形成することが記載されている。

[0016] この方法によれば、基板と上下導通体との密着性を向上してボイドの発生を防止することが期待される。しかしこの方法では焼結温度が1500℃以上とさらに高く、実際には先に説明したように焼結中に基板を構成するAlやSiが上下導通体へ拡散するためボイドの発生を避けることができない。また、やはり基板のもとになるセラミックグリーンシートにあらかじめ上下導通孔を形成したのち焼結させているため、当該セラミックグリーンシートの焼結時の不均等な収縮によって、上下導通孔の位置精度が低下するという

問題は解消されない。

先行技術文献

特許文献

[0017] 特許文献1：特公平7－101724号公報

特許文献2：特開平5－267849号公報

特許文献3：特開2000－22338号公報

発明の概要

発明が解決しようとする課題

[0018] 本発明の目的は、位置精度を向上するためセラミックの前駆体を焼結させて板状に形成された基板に後から形成した上下導通孔内に、まず高融点金属からなる多孔質構造体を形成したのち低抵抗金属を溶浸させてなり、しかも異常成長粒やボイド、クラック等がなく正常な複合構造を有する上、基板から脱落するおそれのない上下導通体を有するセラミック配線基板とその製造方法を提供することにある。

[0019] また本発明は、かかるセラミック配線基板に半導体素子を搭載してなり、高い信頼性を有する半導体装置を提供することにある。

課題を解決するための手段

[0020] 本発明は、

A l、およびS i からなる群より選ばれた少なくとも1種を含むセラミックの前駆体を焼結させて板状に形成された基板、

前記基板の焼結後に、当該基板の厚み方向を貫通させて形成された上下導通孔、

前記上下導通孔に充填された、C u、A g、およびA u からなる群より選ばれた少なくとも1種の低抵抗金属と、W、およびM o からなる群より選ばれた少なくとも1種の高融点金属とを含む複合材料からなる上下導通体、および

前記上下導通体と基板との間に、前記両者間を隔てて配設された、M o、

W、Co、Fe、Zr、Re、Os、Ta、Nb、Ir、Ru、およびHfからなる群より選ばれた少なくとも1種からなる中間層、を含むセラミック配線基板である。

[0021] また本発明は、

前記基板を形成するセラミックのもとになる前駆体の板体を焼結させて当該基板を形成する工程、

前記基板の厚み方向に貫通させて上下導通孔を形成する工程、

前記上下導通孔の内面に、前記Mo、W、Co、Fe、Zr、Re、Os、Ta、Nb、Ir、Ru、およびHfからなる群より選ばれた少なくとも1種からなる前記中間層を形成する工程、

前記上下導通孔内に、前記W、およびMoからなる群より選ばれた少なくとも1種の高融点金属の粉末を含むペーストを充填し、当該粉末を焼結させて、前記高融点金属からなる多孔質構造体を形成する工程、および

前記多孔質構造体中に、前記Cu、Ag、およびAuからなる群より選ばれた少なくとも1種の低抵抗金属を溶浸させて前記上下導通体を形成する工程、

を含む前記本発明のセラミック配線基板の製造方法である。

[0022] 本発明によれば、高融点金属を焼結させて多孔質構造体を形成する際や、当該多孔質構造体中に低抵抗金属を溶浸させて上下導通体を形成する際の熱によって、基板を構成するAlやSiが上下導通体へ拡散したり、あるいは逆に上下導通体の低抵抗金属が基板へ拡散したりするのを、基板の上下導通孔の内面に形成されたMo、W、Co、Fe、Zr、Re、Os、Ta、Nb、Ir、Ru、およびHfからなる群より選ばれた少なくとも1種からなる中間層によって防止できる。

[0023] そのため本発明によれば、基板を構成するAlやSiが上下導通体へ拡散したり、逆に上下導通体の低抵抗金属が基板へ拡散したりして発生する異常成長粒やボイド、クラック等のない正常な複合構造を有する良好な上下導通体を形成できる。

[0024] また上記の各種元素からなる中間層は基板に対する良好な密着性を有する上、低抵抗金属、および高融点金属の複合体である上下導通体とも良好に反応する。また上下導通体が上下導通孔の内面の凹凸に追従できずに生じる隙間をなくすることもできる。

[0025] そのため、かかる中間層を介在させることによって基板と上下導通体との密着性を向上して、当該上下導通体が基板から脱落するのを防止することもできる。

[0026] 中間層の厚みは、 $0.01\mu\text{m}$ 以上であるのが好ましい。

[0027] 厚みがこの範囲未満では、上下導通孔の内面の表面粗さにもよるが、厚みが薄すぎてAlやSiの拡散を十分に防止できない部分や中間層が形成されていない部分を生じてしまい、当該中間層による、基板を構成するAlやSiが上下導通体へ拡散したり、逆に上下導通体の低抵抗金属が基板へ拡散したりするのを防止する機能が不十分になって、異常成長粒やボイド、クラック等のない正常な複合構造を有する上下導通体を形成できないおそれがある。また中間層による、基板と上下導通体との密着性を向上する効果が不十分になって上下導通体が基板から脱落しやすくなるおそれがある。

[0028] これに対し中間層の厚みを $0.01\mu\text{m}$ 以上とすることにより、当該中間層による先に説明した機能を十分に発現させて、異常成長粒やボイド、クラック等の発生がさらに有効に防止された、正常な複合構造を有する上下導通体を形成できるとともに、当該上下導通体が基板から脱落するのをより一層確実に防止できる。

[0029] 前記基板は少なくとも一方の平面上に半田層を備え、
前記半田層の厚みは $8\mu\text{m}$ 以下であり、
前記上下導通体における前記低抵抗金属の割合は50%以下であるのが好ましい。

[0030] 半田層の厚みが $8\mu\text{m}$ 以下と薄い上、低抵抗金属の割合が50%を超える高濃度である場合、上下導通体の膨張収縮によって半田層に加わる局所的な応力が比較的大きくなるため、当該半田層にクラックを生じるおそれが高く

なる。これに対し、半田層の厚みが $8\mu\text{m}$ 以下の場合に、低抵抗金属の割合を50%以下とすると、上下導通体の膨張収縮を抑えて、半田層にクラックが生じるのをより確実に防止できる。

[0031] 本発明は、前記本発明のセラミック配線基板に半導体素子を搭載したことを特徴とする半導体装置である。

[0032] 本発明によれば、上記本発明のセラミック配線基板上に、半導体装置を、メタライズ層や半田層を介して、しかもこれらの層にクラックを生じたり上下導通体に脱落やボイド等の問題を生じたりすることなしに、高い信頼性をもって搭載できる。

発明の効果

[0033] 本発明によれば、位置精度を向上するためセラミックの前駆体を焼結させて板状に形成された基板に後から形成した上下導通孔内に、まず高融点金属からなる多孔質構造体を形成したのち低抵抗金属を溶浸させてなり、しかも異常成長粒やボイド、クラック等がなく正常な複合構造を有する上、基板から脱落するおそれのない上下導通体を有するセラミック配線基板とその製造方法を提供できる。

[0034] また本発明によれば、かかるセラミック配線基板に半導体素子を搭載してなり、高い信頼性を有する半導体装置を提供できる。

図面の簡単な説明

[0035] [図1]本発明のセラミック配線基板の、実施の形態の一例の一部を拡大して示す断面図である。

[図2]図1の例のセラミック配線基板に半導体素子を搭載した半導体装置の一部を拡大して示す断面図である。

発明を実施するための形態

[0036] 図1は、本発明のセラミック配線基板の、実施の形態の一例の一部を拡大して示す断面図である。

[0037] 図1を参照して、この例のセラミック配線基板1は、セラミックの前駆体を焼結させて板状に形成された基板3、焼結後に当該基板3の厚み方向を貫

通させて形成された上下導通孔 2、当該上下導通孔 2 に充填された、低抵抗金属と高融点金属とを含む複合材料からなる上下導通体 4、およびこの上下導通体 4 と基板 3 との間に当該両者間を隔てるように形成された中間層 5 を備えている。

[0038] 中間層 5 は、先に説明したように Mo、W、Co、Fe、Zr、Re、Os、Ta、Nb、Ir、Ru、および Hf からなる群より選ばれた少なくとも 1 種からなる。

[0039] なお図中符号 6 は、後述するように中間層 5 と基板 3 の内面との間に介在させてもよい密着層である。

[0040] 中間層 5 は、Al、および Si からなる群より選ばれた少なくとも 1 種を含むセラミックからなる基板 3 に対する密着性に優れるため、密着層 6 はなくてもよい。しかし密着層 6 を介在させることで、基板 3 への中間層 5 の密着性をより一層向上できる。

[0041] 上記各部を備えたセラミック配線基板 1 は、
焼結によって基板 3 を形成する工程、
形成した基板 3 の所定の位置に、厚み方向に貫通させて上下導通孔 2 を形成する工程、
上下導通孔 2 の内面に密着層 6、中間層 5 を順に形成する工程、
上下導通孔 2 内に高融点金属の粉末を含むペーストを充填し、焼結させて高融点金属からなる多孔質構造体を形成する工程、および
形成した多孔質構造体中に低抵抗金属を溶浸させて上下導通体 4 を形成する工程、
を経て製造できる。

[0042] 〈基板 3〉

基板 3 を形成するセラミックとしては Al、および Si からなる群より選ばれた少なくとも 1 種を含み、半導体素子の高出力化に対応可能な高い放熱性を有する種々のセラミックが使用可能である。

[0043] かかるセラミックとしては、例えば AlN、Al₂O₃、Si₃N₄、SiC 等

が挙げられる。

[0044] これらのセラミックからなる基板3は、例えばそのもとなる前駆体の板体（セラミックグリーンシート）を焼結させ、さらに必要に応じてその表面を研磨して形成される。焼結の条件や温度、研磨方法等は従来同様とすることができる。

[0045] 研磨後の表面粗さ（粗さ曲線の算術平均粗さ、JIS B0601:2001）Raは0.01 μm 以上、特に0.02 μm 以上であるのが好ましく、1 μm 以下、特に0.5 μm 以下であるのが好ましい。

[0046] 表面粗さRaがこの範囲未満では、アンカー効果によってメタライズ層の密着性を向上する効果が不十分になるおそれがあり、範囲を超える場合には均一な厚みのメタライズ層を形成するのが困難になるおそれがある。

[0047] また基板3の厚みは、強度と半導体装置の容積減少との兼ね合いを考慮すると0.1 mm以上、特に0.15 mm以上であるのが好ましく、1 mm以下、特に0.5 mm以下であるのが好ましい。

[0048] 〈上下導通孔2〉

上下導通孔2の孔径は ϕ 0.1 mm以上であるのが好ましく ϕ 0.3 mm以下が好ましいが、特に限定されるものではない。

[0049] 孔径がこの範囲未満では、形成した上下導通孔2内に多孔質構造体のもとなるペーストを充填するのが困難になるおそれがある。一方、範囲を超える場合にはペーストを充填し、焼結させて形成した多孔質構造体や、当該孔質構造体中に低抵抗金属を溶浸させて形成した上下導通体4が、その後の工程において基板3から脱落しやすくなるおそれがある。

[0050] ただしペーストの粘度等を工夫する必要があるが、例えば基板内の配線取り回し等の関係次第では孔径を ϕ 0.1 mmより小さくしてもよいし、例えば電気的な特性や熱特性等を向上するためには孔径を ϕ 0.3 mmより大きくしてもよい。

[0051] 上下導通孔2は、例えばレーザを用いる方法、マイクロドリルを用いる方法、マイクロブラストを用いる方法等の種々の方法で形成できる。

[0052] このうちレーザやマイクロドリルを用いる方法では上下導通孔 2 の形成位置を加工機にプログラムすることで、自動的に所定の形成位置に上下導通孔 2 を形成できる。

[0053] またマイクロブラストを用いる方法では、例えばウレタン系樹脂等からなるブラスト用のフォトレジスト剤を用いて、フォトリソグラフ法により所望のパターンを有するレジストパターンを形成し、その上からブラストを吹き付けてレジストで覆われていない部分に選択的に孔開けをしたのちレジストを剥離し、除去することで所定の形成位置に上下導通孔 2 を形成できる。

[0054] 上下導通孔 2 は、先に説明したようにあらかじめ焼結させて板状に形成した基板 3 に後から形成するため、焼結前に孔あけ加工する方法に比べて位置精度を向上できる。具体的には、位置精度をおよそ $\pm 50 \mu\text{m}$ 以下とすることができる。

[0055] 〈中間層 5〉

従来の、上下導通孔 2 の内面に湿式めっき法等によって上下導通のための Cu 膜等を形成する方法では、加熱は 100°C 以下の範囲でしか必要ではない。またガラス成分を加えた Cu や Ag のペーストを充填し、焼結させて上下導通体を形成する方法でも、その温度は 900°C 未満で充分である。

[0056] しかし先に説明したように高融点金属を焼結させて多孔質構造体を形成する工程や、多孔質構造体中に低抵抗金属を溶浸させて上下導通体 4 を形成する工程では、いずれも 900°C 以上の加熱が必要であり、このような高温では基板 3 を構成する Al や Si が形成途中の上下導通体 4 へ拡散する。

[0057] そして

- ・ 拡散した Al や Si が 900°C 以上の高温で反応して、Mo や W を部分的に異常成長させて異常成長粒を生成させたり、
- ・ 多孔質構造体中に溶浸してきた低抵抗金属が異常成長粒によって阻害されて多孔質構造体中に均一に回り込めずにボイドやクラックを発生したり、
- ・ Al や Si が低抵抗金属と反応してガスを発生してボイドを生じたりする。

[0058] また逆に上下導通体4の低抵抗金属が基板3へ拡散し、当該基板3を構成するAlやSiと反応してガスを発生してボイドを生じたりする場合もある。そのため正常な複合構造を有する良好な上下導通体4を形成できないという問題を生じる。

[0059] これに対し本発明によれば、先に説明したように上下導通孔2の内面にMo、W、Co、Fe、Zr、Re、Os、Ta、Nb、Ir、Ru、およびHfからなる群より選ばれた少なくとも1種からなる中間層5を設けることによって、基板3を構成するAlやSiが上下導通体4へ拡散するのを防止したり、逆に上下導通体4の低抵抗金属が基板3へ拡散するのを防止したりできる。そのため異常成長粒やボイド、クラック等のない正常な複合構造を有する良好な上下導通体4を形成できる。

[0060] また上記の各種元素からなる中間層5は基板3に対する良好な密着性を有する上、低抵抗金属、および高融点金属の複合体である上下導通体4とも良好に反応する。そのため、かかる中間層5を介在させることによって基板3と上下導通体4との密着性を向上して、上下導通体4が基板3から脱落するのを防止できる。

[0061] なお中間層5は、上述した各種元素の中でも特に拡散防止効果に優れたMo、および／またはWによって形成するのが好ましい。

[0062] 中間層5はスパッタ法、真空蒸着法等の物理蒸着法や、あるいは湿式めっき法、コールドスプレー法等の一般的な膜形成方法によって形成できる。

[0063] 例えば上下導通孔2を形成した基板3の両側の表面7、8に、これらの膜形成方法によって膜形成をすると、両表面7、8だけでなく上下導通孔2の内面まで膜形成材料が回り込んで当該内面にも膜が形成される。このあと上下導通孔2の内面を除く基板3の表面7、8に形成された膜を研磨等によって除去すると、当該上下導通孔2の内面にのみ選択的に中間層5が形成される。

[0064] なお基板3の厚みや上下導通孔2の孔径等によっては基板3の片側のみから膜形成をしても、上下導通孔2の内面の略全面に膜を形成することが可能

である場合があり、その場合は片側からの膜形成だけでもよい。

[0065] 中間層5の厚みは、0.01 μm 以上であるのが好ましい。

[0066] 上下導通孔2の内面は、その形成方法等によって異なるものの表面粗さ R_a が1 μm 以上と粗い場合がある。

[0067] その場合、中間層5の厚みが0.01 μm 未満では、当該中間層5の少なくとも一部の厚みが極端に小さくなってAlやSiの拡散を十分に防止できなくなったり、中間層5が全く形成されていない部分を生じたりするおそれがある。

[0068] そしてこれらの部分を生じると、中間層5を設けることによる、基板3を構成するAlやSiが上下導通体4へ拡散するのを防止したり、上下導通体4の低抵抗金属が基板3へ拡散するのを防止したりする機能が不十分になって、次工程で、異常成長粒やボイド、クラック等のない正常な複合構造を有する上下導通体4を形成できないおそれがある。

[0069] また中間層5による、基板3と上下導通体4との密着性を向上する効果が不十分になって、上下導通体4が基板3から脱落しやすくなるおそれもある。

[0070] これに対し中間層5の厚みを0.01 μm 以上とすることにより、厚みの薄い部分や中間層5が形成されてない部分が生じるのをできるだけ抑制し、当該中間層5の機能を十分に発現させることができる。そして次工程において、異常成長粒やボイド、クラック等の発生がさらに有効に防止された、正常な複合構造を有する上下導通体4を形成できるとともに、当該上下導通体4が基板3から脱落するのをより一層確実に防止できる。

[0071] かかる効果をさらに向上することを考慮すると、中間層5の厚みは、上記の範囲でも0.1 μm 以上、特に0.5 μm 以上であるのが好ましい。

[0072] なお基板3を構成するAlやSiが上下導通体4へ拡散するのを防止したり、逆に上下導通体4の低抵抗金属が基板3へ拡散するのを防止したりする効果を考慮すると、上下導通孔2の内面の全面が中間層5で覆われているのが理想的であるが、上述した上下導通孔2の内面の表面粗さ等の関係で、一

部に中間層 5 が形成されていない領域が存在する場合もある。

[0073] しかし中間層 5 を設けることによる効果が失われない範囲において、すなわち後述する方法によって求められるボイド（クラックを含む）の発生比率が 10%以下に収まる範囲において、中間層 5 が形成されていない領域が存在しても構わない。

[0074] また中間層 5 の粒界に関しては、溶浸等の際の加熱によって、上下導通体 4 を構成する低抵抗金属が、当該粒界を通じて下地としての基板 3 へ拡散する場合がある。

[0075] この場合に断面観察をすると、中間層 5 の粒界が基板 3 を覆わない構造のように観察される。また粒界の直下では、かかる粒界を通じて拡散した低抵抗金属と、基板 3 を構成する Al や Si とが反応する場合もある。しかし粒界以外では、中間層 5 が介在することによって拡散、および反応を防止できていることから、実用上問題がないことが判っている。

[0076] 中間層 5 の厚みの上限は特に限定されない。

[0077] 基板 3 を構成する Al や Si が上下導通体 4 へ拡散するのを防止したり、逆に上下導通体 4 の低抵抗金属が基板 3 へ拡散するのを防止したりする効果を考慮すると、中間層 5 は厚みが大きいほど好ましい。

[0078] しかし、例えば前述したスパッタ法、真空蒸着法等の物理蒸着法や湿式めっき法では、中間層 5 の厚みは 10 μm 以下であるのが好ましい。厚みがこの範囲を超える場合には膜形成の効率が著しく低下するため実用的でない。

[0079] 一方、コールドスプレー法等では 50 μm 程度まで中間層 5 の厚みを大きくできる。ただし中間層 5 の厚みがこの範囲を超える場合には、特に上下導通孔 2 の孔径が小さいとき、上下導通体 4 を形成できる孔径が小さくなるため、先に説明した工程による上下導通体 4 の形成が困難になったり、導電性が低下したりするおそれがある。

[0080] そのため中間層 5 の厚みは、膜形成方法の違いや上下導通孔 2 の孔径等に応じて適宜設定すればよい。

[0081] 〈密着層 6〉

密着層 6 は、先に説明したように中間層 5 の、Al、およびSiからなる群より選ばれた少なくとも 1 種を含むセラミックからなる基板 3 に対する密着性を向上する機能を有する種々の材料によって形成できる。

[0082] かかる機能を有する、密着層 6 のもとになる材料としては、例えばTi、Cr、NiCr、Ta、Ta₂N₅、TiW等が挙げられる。

[0083] これらの材料からなる密着層 6 は中間層 5 と同様にして形成できる。密着層 6 と中間層 5 とを、いずれもスパッタ法、真空蒸着法等の物理蒸着法によって形成する場合は、同じ膜形成装置内で、当該装置の内部を大気開放することなく連続的に膜形成するのが好ましい。ただし膜形成装置内で密着層 6 を形成後に一旦大気中に取り出したのち、再び同じまたは異なる膜形成装置内で中間層 5 を形成してもよい。

[0084] 密着層 6 の厚みは特に限定されないが0.01 μ m以上であるのが好ましい。厚みがこの範囲未満では、密着層 6 を設けることによる、中間層 5 の基板に対する密着性を向上する効果が十分に得られないおそれがある。

[0085] なお密着層 6 の厚みの上限は、やはり膜形成方法の違いや上下導通孔 2 の孔径等に応じて適宜設定すればよい。

[0086] すなわちスパッタ法、真空蒸着法等の物理蒸着法や湿式めっき法では、密着層 6 の厚みは10 μ m以下であるのが好ましい。厚みがこの範囲を超える場合には膜形成の効率が著しく低下するため実用的でない。また、例えば密着層 6 としてTi等の脆い材料を使用した場合には、厚みが範囲を超えると密着層 6 内で破壊をおこしやすくなるおそれもある。

[0087] またコールドスプレー法等では50 μ m程度まで密着層 6 の厚みを大きくすることが可能である。

[0088] しかし厚みがこの範囲を超える場合には、特に上下導通孔 2 の孔径が小さいとき上下導通体 4 を形成できる孔径が小さくなるため、先に説明した工程による上下導通体 4 の形成が困難になったり、導電性が低下したりするおそれがある。

[0089] 〈上下導通体 4〉

上下導通体4は、先に説明したようにまずW、およびMoからなる群より選ばれた少なくとも1種の高融点金属からなる多孔質構造体を形成し、次いで形成した多孔質構造体中にCu、Ag、およびAuからなる群より選ばれた少なくとも1種の低抵抗金属を溶浸させることによって形成される。また多孔質構造体は、さらにCを含んでいてもよい。

[0090] (多孔質構造体)

多孔質構造体を形成するには、高融点金属の粉末、樹脂結合剤、および溶剤等を含むペーストを上下導通孔2に充填し、必要に応じて脱バイнда処理(脱脂処理)したのちさらに焼結するのが好ましい。

[0091] ペーストの充填方法としてはスクリーン印刷やディスペンサ、刷毛塗り、スピンローラー塗り等の周知の塗布方法が採用できる。

[0092] 高融点金属の粉末の平均粒径は1 μm 以上であるのが好ましく、10 μm 以下であるのが好ましい。

[0093] 上記のようにペーストを充填後、必要に応じて脱バイнда処理したのち焼結する場合、高融点金属の粉末の粒径が上記の範囲未満では焼結性が高くなりすぎるため、焼結時に粒成長に伴う収縮量が大きくなって、形成された多孔質構造体が基板から脱落しやすくなるおそれがある。

[0094] また粉末の嵩密度が低くなることに起因してペースト中の粉末の充填密度が低くなり、結果として上下導通孔2に充填後の粉末密度が低くなることも、収縮量が大きくなって多孔質構造体が基板から脱落しやすくなることのうちの要因となる。

[0095] 一方、平均粒径が上記の範囲を超える場合には焼結時に粉末同士のネックグロースが生じず、焼結が十分に進行しないため、同様に多孔質構造体が基板から脱落しやすくなるおそれがある。

[0096] なお高融点金属の粉末は、粒径の異なるものを数種類併用してもよい。

[0097] 樹脂結合剤としては、例えばアクリルバイнда、エチルセルロース、ニトロセルロース、ワックス等の1種または2種以上が挙げられる。

[0098] また溶剤としては、樹脂結合剤を良好に溶解または分散させるとともに高

融点金属の粉末を良好に分散させてペーストを形成しうる種々の溶剤が使用可能である。

[0099] かかる溶剤としては、例えばブチルカルビトール、テルピネオール等の少なくとも1種が挙げられる。

[0100] 樹脂結合剤、および溶剤の配合割合は通常、高融点金属の粉末100質量部あたり樹脂結合剤が1質量部以上、3質量部以下、溶剤が3質量部以上、15質量部以下であるのが好ましいが、上下導通孔2へのペーストの充填性や脱バインダ処理後の残炭量等を考慮して、両成分の配合割合をこの範囲以外とすることも可能である。

[0101] 次の脱バインダ処理では、上下導通孔2に充填したペースト中の樹脂結合材や溶剤を十分に除去するために、例えば窒素、水素、真空等の非酸化性雰囲気中でおおよそ300℃以上、1000℃以下の温度に加熱するのが好ましい。

[0102] 脱バインダ処理後、焼結前の残炭量は300ppm以下であるのが好ましい。

[0103] 残炭量がこの範囲を超える場合には、高融点金属を焼結したのち低抵抗金属を溶浸して上下導通体を形成する際に、異常成長粒やボイド、クラック等を生じるおそれがある。

[0104] 上下導通孔2に充填したペーストは空気との接触面積が小さいため、脱バインダ処理の際に樹脂結合材や溶剤を除去しにくい傾向があるが、当該ペーストに使用する樹脂結合材や溶剤の種類、配合割合、あるいは脱バインダ処理の条件等を最適化することにより、残炭量を上記の範囲とすることが可能である。

[0105] 次に脱バインダ処理によって上下導通孔2内に残った高融点金属を窒素、水素、真空等の非酸化性雰囲気中で焼結させる。一般に焼結温度は600℃以上、1300℃以下であるのが好ましく、焼結時間は0.5時間以上、20時間以下であるのが好ましい。

[0106] この焼結により、高融点金属の粉末同士がネックグロースすると同時に

、粉末と中間層 5 との間でもネックグロースが生じる。

[0107] 中間層 5 が無い場合、高融点金属と、基板 3 の上下導通孔 2 の内面を構成するセラミックとはネックグロースしないため、先に説明したように上下導通体 4 の脱落が生じていたが、中間層 5 を形成することにより、上記のように当該中間層 5 と高融点金属との間でもネックグロースを生じて脱落を防止することができる。

[0108] 高融点金属の粉末を焼結すると、先に脱バインダ処理で樹脂結合材や溶剤が除去された上、さらに焼結によって収縮が生じるため、焼結された粉末間に無数の隙間が生じて多孔質構造体が形成される。

[0109] なお隙間の分布に偏りがあると、当該隙間に溶浸される低抵抗金属の分布にも偏りが生じる。そのため粉末の粒径や、樹脂結合剤、溶剤の種類と配合、さらにはペーストの充填方法等を選択して、多孔質構造体中の隙間ができるだけ均一になるようにするのが好ましい。

[0110] また焼結後の状態として、多孔質構造体は上下導通孔 2 の全体に亘って均一にネックグロースした状態とするのが好ましく、そのためにはやはり粉末の粒径や、樹脂結合剤、溶剤の種類と配合、さらにはペーストの充填方法等を選択するのが好ましい。

[0111] 熱膨張率がセラミックに近い W、および Mo からなる群より選ばれた少なくとも 1 種の高融点金属によって上下導通体 4 の骨格となる多孔質構造体を形成することにより、次の工程で多孔質構造体の隙間を埋める熱膨張率の高い低抵抗金属の影響をなくして、上下導通体 4 の熱膨張率を、セラミックからなる基板 3 のそれに近づけることができる。

[0112] そのため基板 3 の表面 7、8 に形成されるメタライズ層や半田層に局所的な応力が加わってクラックを生じたり、あるいは基板自体や搭載した半導体素子に大きな熱応力が加わったりするのを防止して、半導体素子搭載の信頼性を大幅に改善できる。

[0113] (低抵抗金属の溶浸)

例えば上下導通孔 2 内に多孔質構造体を形成した基板 3 の上下を、溶浸す

る低抵抗金属からなる板で挟むか、あるいは基板 3 の片面にのみかかる板を重ねた状態で、窒素、水素、真空等の非酸化性雰囲気中で低抵抗金属の溶融温度以上に加熱する。

[0114] そうすると溶融した低抵抗金属が多孔質構造体内の無数の隙間を毛細管現象によって濡れ広がることで、当該多孔質構造体中に低抵抗金属が溶浸されて上下導通体 4 が形成される。

[0115] 一般に溶浸温度は 900℃以上、1500℃以下であるのが好ましく、溶浸時間は 0.5 時間以上、10 時間以下であるのが好ましい。

[0116] かかる溶浸工程において、従来の中間層 5 を設けない系では基板 3 中から Al や Si が拡散したり、逆に上下導通体 4 の低抵抗金属が基板へ拡散したりして先に説明したような種々の問題を生じるが、本発明によれば、中間層 5 を設けることによってこれらの問題が生じるのを防止できる。

[0117] また、これも先に説明したように基板 3 の表面 7、8 に形成されるメタライズ層や半田層に局所的な応力が加わってクラックを生じたり、あるいは基板自体や搭載した半導体素子に大きな熱応力が加わったりするのを防止して、半導体素子搭載の信頼性を大幅に改善するためには、高融点金属からなる多孔質構造体中に低抵抗金属を溶浸させて形成される上下導通体 4 の熱膨張率を、セラミックからなる基板 3 のそれにできるだけ近づけるのが好ましい。

[0118] 上下導通体 4 の熱膨張率は、多孔質構造体を形成する高融点金属と、当該多孔質構造体中に溶浸される低抵抗金属の存在比率で決まる。

[0119] 以下では上下導通体 4 中の低抵抗金属の存在比率を、下記の方法で求めた全断面積中に占める低抵抗金属の断面積のパーセンテージでもって表すこととする。

[0120] すなわち形成した上下導通体 4 を Ar プラズマでドライエッチングするクロスセクションポリッシュ (CP) 加工によって断面加工をし、その断面を走査型電子顕微鏡 (SEM) によって倍率 250 倍、 $350\mu\text{m} \times 500\mu\text{m}$ の視野で上下導通体 4 を全て観察可能な視野数にて断面観察し、断面積を

計測する。そして全断面積中に占める低抵抗金属の断面積のパーセンテージを求めて低抵抗金属の存在比率とする。

[0121] 当該低抵抗金属の存在比率は3%以上であるのが好ましく、88%以下であるのが好ましい。

[0122] 低抵抗金属の存在比率がこの範囲未満では、多孔質構造体中に形成された隙間を低抵抗金属によって完全に埋めることができずボイドが残ってしまうおそれがある。また範囲を超える場合には上下導通体4の熱膨張率が $15 \times 10^{-6}/K$ より大きくなり、セラミックからなる基板3との熱膨張差が大きくなって前述の不具合を生じやすくなるおそれがある。

[0123] これに対し低抵抗金属の存在比率を上記の範囲でも多くするほど上下導通体4を低抵抗にでき、逆に少なくするほど、その熱膨張率をセラミックからなる基板3に近づけることができる。

[0124] なお低抵抗金属の存在比率は上記の範囲でも10%以上であるのがさらに好ましく、70%以下であるのがさらに好ましい。

[0125] 上下導通体4には熱伝導率が高いことが求められる場合がある。その場合、熱伝導率が $180 W/mK$ 以上であることが求められる場合が多く、それを実現するためには低抵抗金属の存在比率は上記の範囲以上であることが好ましい。

[0126] また通常、上下導通体4の径は大きくても直径0.3mm程度であるが、上記のように熱伝導率が要求される用途の場合、放熱経路を確保するために直径0.5mm以上とする場合がある。その場合は上下導通体4の熱膨張率を、さらにセラミックからなる基板3に近づける必要がある。

[0127] ところが低抵抗金属の存在比率が先の範囲より多いと、熱膨張率が $12 \times 10^{-6}/K$ よりも大きくなって前述の不具合が発生する確率が高くなるおそれがある。

[0128] 中間層5がなかったり適切な条件で成膜できていなかったりすると、先に説明したように高融点金属と、基板3から拡散したAlやSiとが反応して、当該高融点金属の異常成長により異常成長粒が生じる。

- [0129] 異常成長粒の粒径が $40\mu\text{m}$ 以上の場合、多孔質構造体中に溶浸してきた低抵抗金属が異常成長粒によって阻害されて多孔質構造体中に均一に回り込めずにボイドやクラックを発生するおそれがある。
- [0130] ボイド（クラックを含む）の発生比率を、以下では低抵抗金属の存在比率と同様にして求めた全断面積中に占めるボイドの断面積のパーセンテージをもって表すこととする。
- [0131] すなわち形成した上下導通体4をArプラズマでドライエッチングするクロスセクションポリッシュ（CP）加工によって断面加工をし、その断面を走査型電子顕微鏡（SEM）によって倍率250倍、 $350\mu\text{m}\times 500\mu\text{m}$ の視野で上下導通体4を全て観察可能な視野数にて断面観察し、断面積を計測する。そして全断面積中に占めるボイドの断面積のパーセンテージを求めてボイドの発生比率とする。
- [0132] 当該ボイドの発生比率は10%以下であるのが好ましい。ボイドの発生比率がこの範囲を超える場合には、溶浸させた低抵抗金属が十分に多孔質構造体中に回り込んでおらず、上下導通体4にボイドやクラックが生じていることになる。そして、例えば後述するように上下導通体4を含む基板3の表面7、8上にメタライズ層を形成した際に、ボイドやクラックからのガス発生によってメタライズ層の密着強度が弱くなって剥がれてしまったり、剥がれないまでもメタライズ層やその上の半田層等にクラックが生じたりするといった問題を生じるおそれがある。
- [0133] なお、ボイドの発生比率は、上記の範囲でも5%以下であるのが好ましい。ボイドの発生率がこの範囲を超える場合には、メタライズ層の厚みが例えば $0.5\mu\text{m}$ より小さい場合に前述したボイドやクラックの影響を強く受けて、上下導通体4の直上のメタライズ層やその上の半田層等にクラックを生じるおそれがある。
- [0134] なおボイドは上下導通体4内に生じる場合もあるし、上下導通体4と基板3との界面で生じる場合もある。ここでは界面に生じるボイド（隙間）の面積比率も、ボイドの発生比率に含めることとする。

[0135] ボイドの発生比率の下限は、いうまでもなく 0%である。全くボイドのないのが理想的である。

[0136] 先の低抵抗金属の存在比率は、先に説明した多孔質構造体のもとになるペーストの粘度や樹脂結合剤の量等を調整することで上記の範囲とすることができる。

[0137] すなわちペーストの粘度を下げたり樹脂結合剤の量を多くしたりしてペースト中に含まれる高融点金属の比率を下げると、当該ペーストを用いて先に説明した工程を経て形成される上下導通体 4 中に含まれる低抵抗金属の存在比率を増加させることができる。

[0138] 〈半導体装置〉

図 2 は、図 1 の例のセラミック配線基板に半導体素子を搭載した半導体装置の一部を拡大して示す断面図である。

[0139] 図 2 を参照して、この例の半導体装置 9 は、セラミック配線基板 1 の図において基板 3 の上下両側の、上下導通体 4 を含む表面 7、8 にそれぞれメタライズ層 10、11 を形成するとともに、上側のメタライズ層 10 上にさらに半田層 12 を介して半導体素子 13 を搭載して構成されている。

[0140] (メタライズ層 10、11)

メタライズ層 10、11 は、先に説明したように上下導通体 4 を形成し、さらに必要に応じて前述した所定の表面粗さ R_a となるように研磨した基板 3 の表面 7、8 に形成される。

[0141] メタライズ層 10、11 は、以下に説明する導電層のみの単層構造に形成してもよいが、通常は基板 3 に対する密着性を確保するための密着層と外部接続用の電極層の少なくとも 2 層構造に形成するのが好ましい。またこの両層間に拡散防止層を介在させてもよい。

[0142] 密着層は、例えば Ti、Cr、NiCr、Ta、TiW、およびこれらの化合物等により、厚みおよそ $0.05\ \mu\text{m}$ 以上、 $1.0\ \mu\text{m}$ 以下に形成される。形成方法は、例えばスパッタ法、真空蒸着法等の物理蒸着法が挙げられる。

- [0143] また拡散防止層は、例えばPt、Pd、Cu、Ni、Mo、NiCr等によって形成される。
- [0144] さらに導電層は、例えばAg、Al、Au等によって厚みおよそ0.1 μm 以上、10 μm 以下に形成される。形成方法は、例えばスパッタ法、真空蒸着法等の物理蒸着法や湿式めっき法が挙げられる。
- [0145] 単層、積層のいずれのメタライズ層10、11も、フォトリソグラフ法によって微細パターン形成することができる。
- [0146] またメタライズ層10、11は、厚膜法（Au、Cu等）によって形成することもできる。また厚膜法で形成したパターンを、必要に応じて研磨や化学エッチングをすることによってさらにパターン形成したり、パターン上に、NiやNi/Auめっきによって成膜したりすることもできる。
- [0147] 上記の各方法で形成するメタライズ層10、11の上やその近傍には、必要に応じてNiCrやTa₂N等の抵抗膜を形成してもよい。
- [0148] なおメタライズ層10、11は、半導体装置9の構造等によっては、以上で説明したパターン形成をせずにベタ面としてもよい。
- [0149] また図の例の場合は上側のメタライズ層10の所定の位置に、AuSn等の半田層12をパターン形成する。
- [0150] 通常、1枚の基板3上には半導体装置9となる領域が複数設定されており、メタライズ層10、11まで形成したのちダイシングやレーザ等の周知の方法で個々の領域ごとに切り分けた後、それぞれの所定の位置にAuSn半田等のPbフリー半田を介して半導体素子13が搭載される。具体的には厚み10 μm 以上、100 μm 以下の半田箔を半導体素子13とメタライズ層10の間に介挿して半田接合するのが一般的である。
- [0151] しかし厚み1 μm 以上、20 μm 以下の半田層12を、真空蒸着法等の物理蒸着法や湿式めっき法によって、切り分ける前の基板3のメタライズ層10の上に、あらかじめ位置精度よくパターン形成しておくこともできる。
- [0152] かかる半田層12の厚みが8 μm 以下であるとき、上下導通体4における低抵抗金属の割合は50%以下であるのが好ましい。

[0153] 半田層 1 2 の厚みが $8\ \mu\text{m}$ 以下と薄い上、低抵抗金属の割合が 50% を超える高濃度である場合、上下導通体 4 の膨張収縮によって半田層 1 2 に加わる局所的な応力が比較的大きくなるため、当該半田層 1 2 にクラックを生じるおそれが高くなる。これに対し、半田層 1 2 の厚みが $8\ \mu\text{m}$ 以下の場合に、低抵抗金属の割合を 50% 以下とすると、上下導通体 4 の膨張収縮を抑えて、半田層 1 2 にクラックが生じるのをより確実に防止できる。

[0154] なお基板 3 は、半導体素子 1 3 の搭載後に領域ごとに切り分けてもよい。

[0155] (半導体素子 1 3)

半導体素子 1 3 は特に限定されるものではなく、Si、GaAs、InP、GaN、SiC 等からなる種々の半導体素子が搭載可能である。半導体素子のサイズも特に限定されない。

実施例

[0156] 〈実施例 1〉

(上下導通孔 2 の形成)

表面粗さ Ra が $0.5\ \mu\text{m}$ になるように研磨した $100 \times 100 \times 0.5\ \text{mm}$ の AlN 製の基板 3 に、YAG レーザを用いて $\phi 0.5\ \text{mm}$ の上下導通孔 2 を 3000 個形成した。形成した上下導通孔 2 の位置精度を、工具顕微鏡を用いて測定したところ $\pm 20\ \mu\text{m}$ であった。

[0157] (密着層 6、および中間層 5 の形成)

上下導通孔 2 を形成した基板 3 をイソプロパノール (IPA) によって超音波洗浄し、エアブローして IPA を飛散させた後、オーブン炉で $100^\circ\text{C} \times 10$ 分間の加熱をして乾燥させた。

[0158] 次いで基板 3 の両側の表面 7、8、および上下導通孔 2 の内面に、スパッタ法によって、密着層 6 としての厚み $0.1\ \mu\text{m}$ の Ti 膜、次いで中間層 5 としての厚み $1.0\ \mu\text{m}$ の W 膜をこの順に膜形成した。

[0159] 膜形成は、スパッタ装置内で到達真空度 $1 \times 10^{-4}\ \text{Pa}$ の雰囲気下、ハロゲンヒータで基板 3 を $200^\circ\text{C} \times 5$ 分間加熱し、さらに Ar プラズマによるドライ洗浄をしたのち常法にしたがって実施した。

[0160] 次いで膜形成後の基板 3 の、上下導通孔 2 の内面を除く表面 7、8 に形成された膜を研磨等によって除去して、上下導通孔 2 の内面にのみ選択的に密着層 6 と中間層 5 が形成された状態とした。

[0161] (上下導通体 4 の形成)

次いで上下導通孔 2 内に、高融点金属としての W の粉末を含み多孔質構造体のもとになるペーストを充填した。

[0162] ペーストとしては、平均粒径 $5\ \mu\text{m}$ の W 粉末 100 質量部に樹脂結合剤としてのアクリルバイнда 2 質量部、および溶剤としてのブチルカルビトール 5 重量部を配合し分散させて作製したものを用いた。このペーストをスクリーン印刷機を用いて上下導通孔 2 に充填した。

[0163] 次に窒素雰囲気中で $600^\circ\text{C} \times 3$ 時間の加熱によって脱バイнда処理をし、次いで水素雰囲気中で $1000^\circ\text{C} \times 1$ 時間の加熱によって W の粉末を焼結させて多孔質構造体を形成した。

[0164] 次に AIN 基板の上下を溶浸に必要な量の 2 枚の Cu 板で挟んだ状態として、水素雰囲気中で $1200^\circ\text{C} \times 0.5$ 時間の加熱によって上下導通孔 2 内の多孔質構造体中に低抵抗金属としての Cu を溶浸させて、Cu と W の複合構造を有する上下導通体 4 を形成した。

[0165] 次いで基板 3 の両表面 7、8 を表面粗さ Ra が $0.5\ \mu\text{m}$ になるように研磨してセラミック配線基板 1 を完成させた。

[0166] (メタライズ層 10、11 の形成、およびパターン形成)

セラミック配線基板 1 の基板 3 の両表面 7、8 に、下記の方法で、回路パターンを構成するメタライズ層 10、11 を形成した。

[0167] まず基板 3 をイソプロパノール (IPA) によって超音波洗浄し、エアブローして IPA を飛散させた後、オープン炉で $100^\circ\text{C} \times 10$ 分間の加熱をして乾燥させた。

[0168] 次に基板 3 の両表面 7、8 に、スパッタ法によって、密着層としての Ti 膜を $0.05\ \mu\text{m}$ 、次いで拡散防止層としての Pt 膜を $0.2\ \mu\text{m}$ 、さらに導電層としての Au 膜を $0.2\ \mu\text{m}$ 、この順に膜形成して、3 層構造のメタ

ライズ層 10、11 を形成した。

[0169] 膜形成は、スパッタ装置内で到達真空度 1×10^{-4} Pa の雰囲気下、ハロゲンヒータで基板 3 を $200^{\circ}\text{C} \times 5$ 分間加熱し、さらに Ar プラズマによるドライ洗浄をしたのち常法にしたがって実施した。

[0170] 次いでメタライズ層 10、11 の上に、片面ずつスピンコート法によってフォトリソを塗布した。それぞれの面のレジスト厚は $5 \mu\text{m}$ 程度とした。

[0171] 次にフォトリソに形成したパターンを露光機を用いてレジストへ露光、転写したのち 30°C に保温した現像液に 5 分間浸漬し、次いでリンス液中に 5 分間、さらに純水中に 10 分間浸漬して現像してレジストにパターンを焼き付けた。

[0172] そしてドライエッチング装置を用いて、レジストでカバーされた部分以外のメタライズ層 10、11 を Ar プラズマによって除去した後、 80°C に保温したレジスト剥離液に 3 分間浸漬し、その後リンス液中に 5 分間、純水中に 10 分間浸漬してレジストを取り去ってメタライズ層 10、11 をパターン形成した。

[0173] (断面観察 1)

作製したセラミック配線基板 1 の上下導通体 4 と、その直上のメタライズ層 10、11 を Ar プラズマでドライエッチングするクロスセクションポリッシュ (CP) 加工によって断面加工をし、そのうち上下導通体 4 の断面を、走査型電子顕微鏡 (SEM) によって倍率 250 倍、 $350 \mu\text{m} \times 500 \mu\text{m}$ の視野で、1 つの上下導通体 4 ごとに 2 視野ずつ 10 個の上下導通体 4 について断面観察したところ、クラックや、Cu や W の偏析 (W の異常成長粒による) 等は認められなかった。また上下導通体 4 と基板 3 との界面に隙間は認められなかった。また全断面積中に占めるボイドの発生比率は 1 %、Cu の存在比率は 30 % であった。

[0174] Cu と W の複合構造を有し、Cu の存在比率が 30 % である上下導通体 4 の熱膨張率はおよそ $7 \sim 8 \times 10^{-6} / \text{K}$ であり、基板材料である AlN の熱膨

張率 ($4.5 \times 10^{-6}/K$) に近いこと、上下導通体4としてCu単体 (熱膨張率 $17 \times 10^{-6}/K$) を用いた場合と異なり、半導体素子の接合工程等で高温に晒されてもメタライズ層10、11や半田層12にクラックを生じにくいことが確認された。

[0175] これについて、実際にメタライズ層10上に $\square 1\text{mm} \times t 0.3\text{mm}$ のSi素子を、厚み $30\mu\text{m}$ のAuSn半田箔を介して $300^\circ\text{C} \times 10$ 分間の加熱によって接合したのち、当該半田箔によって形成されたAuSn半田層12を同様にして断面加工し、その断面を走査型電子顕微鏡 (SEM) によって倍率1000倍、 $90\mu\text{m} \times 130\mu\text{m}$ の視野で8視野に亘って断面観察してクラックの有無を評価した。評価基準は下記のとおりとした。

[0176] ◎：半田層12に、上述した測定方法ではクラックは全く認められなかった。極めて良好。

[0177] ○：クラックは認められたものの、個々のクラック長がいずれも $3\mu\text{m}$ 以下、合計のクラック長が 0.1mm 以下で、接合特性や電気・熱特性に影響を及ぼさないと考えられた。良好。

[0178] △：最長のクラック長が $3\mu\text{m}$ を超え、かつ $5\mu\text{m}$ 以下であるとともに、合計のクラック長が 0.1mm 以下であって、接合特性や電気・熱特性には殆ど影響を及ぼさないと考えられた。通常レベル。

[0179] ×：最長のクラック長が $5\mu\text{m}$ を超えるか、または合計のクラック長が 0.1mm を超えており、接合特性や電気・熱特性に影響を及ぼすおそれがあると考えられた。不良。

[0180] 実施例1は極めて良好「◎」であった。

[0181] ところでAuSn半田層12のクラックは上下導通体4と基板3の熱膨張率差が原因で発生するだけでなく、先に説明したように上下導通体4内のボイドや、あるいは上下導通体4の基板3との界面の隙間が原因でも発生する。ボイド発生率が10%より大きい場合、溶浸する低抵抗金属が多孔質構造体中に十分に回り込んでいないことを示し、上下導通体4だけでなくその上下に形成されるメタライズ層10、11や、メタライズ層10上のAuSn

半田層 1 2 にもクラックを生じるおそれがある。

[0182] (断面観察 2)

そこで断面観察 1 で断面加工したメタライズ層 1 0、1 1 の断面を、走査型電子顕微鏡 (SEM) によって倍率 5 0 0 0 倍、 $18\mu\text{m} \times 25\mu\text{m}$ の視野で、1 つの上下導通体 4 につき 1 視野、1 0 0 個の上下導通体 4 について合計 1 0 0 視野に亘って断面観察してメタライズ層 1 0、1 1 のクラックの有無を評価した。評価基準は下記のとおりとした。

[0183] ◎：メタライズ層 1 0、1 1 に、上記の測定方法ではクラックは全く認められなかった。極めて良好。

[0184] ○：クラックは認められたものの、クラック長が $0.1\mu\text{m}$ 以下で、接合特性や電気・熱特性に影響を及ぼさないと考えられた。良好。

[0185] △：クラック長が $0.1\mu\text{m}$ を超え、かつ $0.2\mu\text{m}$ 以下であって、接合特性や電気・熱特性には殆ど影響を及ぼさないと考えられた。通常レベル。

[0186] ×：クラック長が $0.2\mu\text{m}$ を超えており、接合特性や電気・熱特性に影響を及ぼすおそれがあると考えられた。不良。

[0187] 実施例 1 は極めて良好「◎」であった。

[0188] 〈比較例 1〉

基板 3 の上下導通孔 2 の内面に密着層 6、および中間層 5 をいずれも形成しなかったこと以外は実施例 1 と同様にしてセラミック配線基板 1 を完成させ、メタライズ層 1 0、1 1 を形成するとともに当該メタライズ層 1 0、1 1 をパターン形成した。

[0189] そして先の断面観察 1、2 を実施したところ、ボイドの発生比率は 3 5 %、Cu の存在比率は 3 0 % であった。また素子搭載による Au Sn 半田層 1 2 のクラック評価は不良「×」、メタライズ層 1 0、1 1 のクラック評価は不良「×」であり、特にメタライズ層 1 0、1 1 にはクラックだけでなく剥がれも発生しているのが確認された。

[0190] 〈実施例 2〉

中間層 5 としての W 膜の厚みを $0.01\mu\text{m}$ (実施例 2-1)、 $0.1\mu\text{m}$

m（実施例2-2）、0.3 μm （実施例2-3）、0.5 μm （実施例2-4）、3.0 μm （実施例2-5）、および10.0 μm （実施例2-6）としたこと以外は実施例1と同様にしてセラミック配線基板1を完成させ、メタライズ層10、11を形成するとともに当該メタライズ層10、11をパターン形成して断面観察1、2を実施した。結果を実施例1、比較例1の結果と併せて表1に示す。

[0191] [表1]

表1

	密着層6		中間層5		ボイド 発生比率 (%)	上下導通体4		クラック	
	種類	厚み (μm)	種類	厚み (μm)		系	Cu (%)	AuSn 半田層	メライズ 層
実施例2-1	Ti	0.1	W	0.01	10	Cu-W	30	○	○
実施例2-2	Ti	0.1	W	0.1	5	Cu-W	30	◎	◎
実施例2-3	Ti	0.1	W	0.3	4	Cu-W	30	◎	◎
実施例2-4	Ti	0.1	W	0.5	1	Cu-W	30	◎	◎
実施例1	Ti	0.1	W	1.0	1	Cu-W	30	◎	◎
実施例2-5	Ti	0.1	W	3.0	1	Cu-W	30	◎	◎
実施例2-6	Ti	0.1	W	10.0	1	Cu-W	30	◎	◎
比較例1	—	—	—	—	35	Cu-W	30	×	×

[0192] 表1の実施例1、実施例2-1～2-6、および比較例1の結果より、上下導通孔2の内面に中間層5としてW膜を形成することによって、セラミック製の基板3からのAlの拡散とそれによる上下導通体4におけるボイドの発生比率を10%以下に抑制して、基板3の表面7、8に形成したメタライズ層10、11や当該メタライズ層10上に形成したAuSn半田層12等にクラックが生じるのを抑制できることが判った。

[0193] また実施例1、実施例2-1～2-6の結果より、かかる効果を向上することを考慮すると、中間層5としてのW膜の厚みは0.01 μm 以上、中でも0.1 μm 以上であるのが好ましいこと、さらには0.5 μm 以上とすることでボイドの発生を抑制できることが判った。

[0194] 〈実施例3〉

中間層5として、厚み0.01 μm （実施例3-1）、0.1 μm （実施

例 3-2)、 $0.3\ \mu\text{m}$ (実施例 3-3)、 $0.5\ \mu\text{m}$ (実施例 3-4)、 $1.0\ \mu\text{m}$ (実施例 3-5)、 $3.0\ \mu\text{m}$ (実施例 3-6)、または $10.0\ \mu\text{m}$ (実施例 3-7) の Mo 膜を形成したこと以外は実施例 1 と同様にしてセラミック配線基板 1 を完成させ、メタライズ層 10、11 を形成するとともに当該メタライズ層 10、11 をパターン形成して断面観察 1、2 を実施した。結果を、比較例 1 の結果と併せて表 2 に示す。

[0195] [表2]

表2

	密着層 6		中間層 5		ボイド 発生比率 (%)	上下導通体 4		クラック	
	種類	厚み (μm)	種類	厚み (μm)		系	Cu (%)	AuSn 半田層	メタライズ 層
実施例 3-1	Ti	0.1	Mo	0.01	9	Cu-W	30	○	○
実施例 3-2	Ti	0.1	Mo	0.1	4	Cu-W	30	◎	◎
実施例 3-3	Ti	0.1	Mo	0.3	3	Cu-W	30	◎	◎
実施例 3-4	Ti	0.1	Mo	0.5	1	Cu-W	30	◎	◎
実施例 3-5	Ti	0.1	Mo	1.0	1	Cu-W	30	◎	◎
実施例 3-6	Ti	0.1	Mo	3.0	1	Cu-W	30	◎	◎
実施例 3-7	Ti	0.1	Mo	10.0	1	Cu-W	30	◎	◎
比較例 1	—	—	—	—	35	Cu-W	30	×	×

[0196] 表 2 の実施例 3-1 ～ 3-7、および比較例 1 の結果より、中間層 5 として Mo 膜を形成した場合にも、実施例 1、2 の W 膜と同様の効果が得られることが判った。

[0197] すなわち上下導通孔 2 の内面に中間層 5 として Mo 膜を形成することによって、セラミック製の基板 3 からの Al の拡散とそれによる上下導通体 4 におけるボイドの発生比率を 10% 以下に抑制して、基板 3 の表面 7、8 に形成したメタライズ層 10、11 や当該メタライズ層 10 上に形成した AuSn 半田層 12 等にクラックが生じるのを抑制できることが判った。

[0198] またかかる効果を向上することを考慮すると、中間層 5 としての Mo 膜の厚みは $0.01\ \mu\text{m}$ 以上、中でも $0.1\ \mu\text{m}$ 以上であるのが好ましいこと、さらには $0.5\ \mu\text{m}$ 以上とすることでボイドの発生を抑制できることが判った。

[0199] 〈実施例４－１〉

密着層６を形成せず、上下導通孔２の内面に直接に、中間層５としてのＷ膜を形成したこと以外は実施例１と同様にしてセラミック配線基板１を完成させ、メタライズ層１０、１１を形成するとともに、前記メタライズ層１０、１１をパターン形成して断面観察１、２を実施した。

〈実施例４－２～４－５〉

密着層６としてのＴｉ膜の厚みを０．０１μｍ（実施例４－２）、０．０５μｍ（実施例４－３）、１．０μｍ（実施例４－４）、または１０．０μｍ（実施例４－５）としたこと以外は実施例１と同様にしてセラミック配線基板１を完成させ、メタライズ層１０、１１を形成するとともに当該メタライズ層１０、１１をパターン形成して断面観察１、２を実施した。結果を、実施例１の結果と併せて表３に示す。

[0200] [表３]

表３

	密着層６		中間層５		ポイド発生比率 (%)	上下導通体４		クラック	
	種類	厚み (μm)	種類	厚み (μm)		系	Cu (%)	AuSn 半田層	メタライズ層
実施例４-1	Ti	—	W	1.0	10	Cu-W	30	○	○
実施例４-2	Ti	0.01	W	1.0	5	Cu-W	30	○	○
実施例４-3	Ti	0.05	W	1.0	3	Cu-W	30	◎	◎
実施例１	Ti	0.1	W	1.0	1	Cu-W	30	◎	◎
実施例４-4	Ti	1.0	W	1.0	1	Cu-W	30	◎	◎
実施例４-5	Ti	10.0	W	1.0	1	Cu-W	30	◎	◎

[0201] 表３の実施例１、実施例４－１の結果より、中間層５の下に密着層６としてのＴｉ膜を形成するのが、ポイドの発生を確実に抑制して基板３の表面７、８に形成したメタライズ層１０、１１や当該メタライズ層１０上に形成したＡｕＳｎ半田層１２等にクラックが生じるのを抑制する効果を向上する上で好ましいことが判った。

[0202] また実施例１、実施例４－２～４－５の結果より、かかる効果を向上することを考慮すると、密着層６としてのＴｉ膜の厚みは０．０１μｍ以上、特

に0.05 μm 以上であるのが好ましいことが判った。

[0203] 〈実施例5〉

密着層6として、それぞれ厚み0.1 μm のCr膜（実施例5-1）、およびNiCr膜（実施例5-2）を形成したこと以外は実施例1と同様にしてセラミック配線基板1を完成させ、メタライズ層10、11を形成するとともに当該メタライズ層10、11をパターン形成して断面観察1、2を実施した。結果を、実施例1の結果と併せて表4に示す。

[0204] [表4]

表4

	密着層6		中間層5		ポイド 発生比率 (%)	上下導通体4		クラック	
	種類	厚み (μm)	種類	厚み (μm)		系	Cu (%)	AuSn 半田層	メライズ 層
実施例1	Ti	0.1	W	1.0	1	Cu-W	30	◎	◎
実施例5-1	Cr	0.1	W	1.0	1	Cu-W	30	◎	◎
実施例5-2	NiCr	0.1	W	1.0	1	Cu-W	30	◎	◎

[0205] 表4の結果より、密着層6としては、TiだけでなくCrやNiCrも同等に機能できることが判った。

[0206] 〈実施例6〉

多孔質構造体のもとなるW粉末を含むペーストの粘度や樹脂結合剤の量を調整したこと以外は実施例1と同様にしてCuの存在比率が3%（実施例6-1）、10%（実施例6-2）、20%（実施例6-3）、70%（実施例6-4）、および88%（実施例6-5）である、CuとWの複合構造を有する上下導通体4を備えたセラミック配線基板1を完成させ、メタライズ層10、11を形成するとともに当該メタライズ層10、11をパターン形成して断面観察1、2を実施した。

[0207] 〈比較例3〉

密着層6、および中間層5を順に形成した上下導通孔2内に、湿式めっきによってCuを充填してCu単体の上下導通体4を形成したこと以外は実施例1と同様にしてセラミック配線基板1を完成させ、メタライズ層10、1

1を形成するとともに当該メタライズ層10、11をパターン形成して断面観察1、2を実施した。

[0208] 以上の結果を、実施例1の結果と併せて表5に示す。

[0209] [表5]

表5

	密着層6		中間層5		ボイド発生比率 (%)	上下導通体4		クラック	
	種類	厚み (μm)	種類	厚み (μm)		系	Cu (%)	AuSn 半田層	メタライズ層
実施例6-1	Ti	0.1	W	1.0	4	Cu-W	3	◎	◎
実施例6-2	Ti	0.1	W	1.0	1	Cu-W	10	◎	◎
実施例6-3	Ti	0.1	W	1.0	1	Cu-W	20	◎	◎
実施例1	Ti	0.1	W	1.0	1	Cu-W	30	◎	◎
実施例6-4	Ti	0.1	W	1.0	1	Cu-W	70	◎	◎
実施例6-5	Ti	0.1	W	1.0	1	Cu-W	88	○	○
比較例3	Ti	0.1	W	1.0	0	Cu	100	×	×

[0210] 表5の実施例1、比較例3の結果より、上下導通体4をCuとWの複合構造としてその熱膨張率を基板3のそれに近づけことにより、基板3の表面7、8に形成したメタライズ層10、11や当該メタライズ層10上に形成したAuSn半田層12等にクラックを生じるのを抑制できることが判った。

[0211] また実施例1、実施例6-1～6-5の結果より、ボイドの発生を抑えながら上記の効果をさらに向上することを考慮すると、CuとWの複合構造を有する上下導通体4におけるCuの存在比率を3%以上、特に10%以上に設定するのが好ましく、88%以下、特に70%以下に設定するのが好ましいことが判った。

[0212] 〈実施例7〉

多孔質構造体をMoで形成するとともに当該Moの粉末を含むペーストの粘度や樹脂結合剤の量等を調整したこと以外は実施例1と同様にしてCuの存在比率が3%（実施例7-1）、10%（実施例7-2）、20%（実施例7-3）、30%（実施例7-4）、70%（実施例7-5）、および88%（実施例7-6）である、CuとMoの複合構造を有する上下導通体4を備えたセラミック配線基板1を完成させ、メタライズ層10、11を形成

するとともに当該メタライズ層 10、11 をパターン形成して断面観察 1、2 を実施した。結果を表 6 に示す。

[0213] [表6]

表6

	密着層6		中間層5		ポイド 発生比率 (%)	上下導通体4		クラック	
	種類	厚み (μm)	種類	厚み (μm)		系	Cu (%)	AuSn 半田層	メライズ 層
実施例 7-1	Ti	0.1	W	1.0	3	Cu-Mo	3	◎	◎
実施例 7-2	Ti	0.1	W	1.0	1	Cu-Mo	10	◎	◎
実施例 7-3	Ti	0.1	W	1.0	1	Cu-Mo	20	◎	◎
実施例 7-4	Ti	0.1	W	1.0	1	Cu-Mo	30	◎	◎
実施例 7-5	Ti	0.1	W	1.0	1	Cu-Mo	70	◎	◎
実施例 7-6	Ti	0.1	W	1.0	1	Cu-Mo	88	○	○

[0214] 表 6 の実施例 7-1 ～ 7-6 の結果より、上下導通体 4 を Cu と Mo の複合構造とした場合にも、実施例 1、6-1 ～ 6-5 と同様の効果が得られることが判った。

[0215] すなわちポイドの発生を抑えながら、基板 3 の表面 7、8 に形成したメタライズ層 10、11 や当該メタライズ層 10 上に形成した AuSn 半田層 12 等にクラックを生じるのを抑制する効果をさらに向上することを考慮すると、Cu と Mo の複合構造とした上下導通体 4 における Cu の存在比率を 3% 以上、特に 10% 以上に設定するのが好ましく、88% 以下、特に 70% 以下に設定するのが好ましいことが判った。

[0216] 〈実施例 8〉

W からなる多孔質構造体中に Ag を溶浸させて上下導通体を Ag と W の複合構造とするとともに、当該 W の粉末を含むペーストの粘度や樹脂結合剤の量等を調整したこと以外は実施例 1 と同様にして Ag の存在比率が 3% (実施例 8-1)、10% (実施例 8-2)、20% (実施例 8-3)、30% (実施例 8-4)、70% (実施例 8-5)、および 88% (実施例 8-6) である、Ag と W の複合構造を有する上下導通体 4 を備えたセラミック配線基板 1 を完成させ、メタライズ層 10、11 を形成するとともに当該メタ

ライズ層 10、11 をパターン形成して断面観察 1、2 を実施した。結果を表 7 に示す。

[0217] [表7]

表7

	密着層6		中間層5		ポイド発生比率 (%)	上下導通体4		クラック	
	種類	厚み (μm)	種類	厚み (μm)		系	Ag (%)	AuSn 半田層	メタライズ層
実施例 8-1	Ti	0.1	W	1.0	3	Ag-W	3	◎	◎
実施例 8-2	Ti	0.1	W	1.0	1	Ag-W	10	◎	◎
実施例 8-3	Ti	0.1	W	1.0	1	Ag-W	20	◎	◎
実施例 8-4	Ti	0.1	W	1.0	1	Ag-W	30	◎	◎
実施例 8-5	Ti	0.1	W	1.0	1	Ag-W	70	◎	◎
実施例 8-6	Ti	0.1	W	1.0	1	Ag-W	88	○	○

[0218] 表 7 の実施例 8-1 ～ 8-6 の結果より、上下導通体 4 を Ag と W の複合構造とした場合にも、実施例 1、6-1 ～ 6-5 と同様の効果が得られることが判った。

[0219] すなわちポイドの発生を抑えながら、基板 3 の表面 7、8 に形成したメタライズ層 10、11 や当該メタライズ層 10 上に形成した AuSn 半田層 12 等にクラックを生じるのを抑制する効果をさらに向上することを考慮すると、Ag と W の複合構造とした上下導通体 4 における Ag の存在比率を 3% 以上、特に 10% 以上に設定するのが好ましく、88% 以下、特に 70% 以下に設定するのが好ましいことが判った。

[0220] 〈実施例 9〉

Mo からなる多孔質構造体中に Ag を溶浸させて上下導通体を Ag と Mo の複合構造とするとともに、当該 Mo の粉末を含むペーストの粘度や樹脂結合剤の量等を調整したこと以外は実施例 1 と同様にして Ag の存在比率が 3% (実施例 9-1)、10% (実施例 9-2)、20% (実施例 9-3)、30% (実施例 9-4)、70% (実施例 9-5)、および 88% (実施例 9-6) である、Ag と Mo の複合構造を有する上下導通体 4 を備えたセラミック配線基板 1 を完成させ、メタライズ層 10、11 を形成するとともに

、前記メタライズ層 10、11 をパターン形成して、断面観察 1、2 を実施した。結果を表 8 に示す。

[0221] [表8]

表8

	密着層6		中間層5		ポイド発生比率 (%)	上下導通体4		クラック	
	種類	厚み (μm)	種類	厚み (μm)		系	Ag (%)	AuSn 半田層	メタライズ層
実施例 9-1	Ti	0.1	W	1.0	4	Ag-Mo	3	◎	◎
実施例 9-2	Ti	0.1	W	1.0	1	Ag-Mo	10	◎	◎
実施例 9-3	Ti	0.1	W	1.0	1	Ag-Mo	20	◎	◎
実施例 9-4	Ti	0.1	W	1.0	1	Ag-Mo	30	◎	◎
実施例 9-5	Ti	0.1	W	1.0	1	Ag-Mo	70	◎	◎
実施例 9-6	Ti	0.1	W	1.0	1	Ag-Mo	88	○	○

[0222] 表 8 の実施例 9-1 ～ 9-6 の結果より、上下導通体 4 を Ag と Mo の複合構造とした場合にも、実施例 1、6-1 ～ 6-5 と同様の効果が得られることが判った。

[0223] すなわちポイドの発生を抑えながら、基板 3 の表面 7、8 に形成したメタライズ層 10、11 や当該メタライズ層 10 上に形成した AuSn 半田層 12 等にクラックを生じるのを抑制する効果をさらに向上することを考慮すると、Ag と Mo の複合構造とした上下導通体 4 における Ag の存在比率を 3 % 以上、特に 10 % 以上に設定するのが好ましく、88 % 以下、特に 70 % 以下に設定するのが好ましいことが判った。

[0224] 〈実施例 10〉

W からなる多孔質構造体中に Au を溶浸させて上下導通体を Au と W の複合構造とするとともに、当該 W の粉末を含むペーストの粘度や樹脂結合剤の量等を調整したこと以外は実施例 1 と同様にして Au の存在比率が 3 % (実施例 10-1)、10 % (実施例 10-2)、20 % (実施例 10-3)、30 % (実施例 10-4)、70 % (実施例 10-5)、および 88 % (実施例 10-6) である、Au と W の複合構造を有する上下導通体 4 を備えたセラミック配線基板 1 を完成させ、メタライズ層 10、11 を形成するとと

もに当該メタライズ層 10、11 をパターン形成して断面観察 1、2 を実施した。結果を表 9 に示す。

[0225] [表9]

表9

	密着層6		中間層5		ボイド 発生比率 (%)	上下導通体 4		クラック	
	種類	厚み (μm)	種類	厚み (μm)		系	Au (%)	AuSn 半田層	メタライズ 層
実施例 10-1	Ti	0.1	W	1.0	4	Au-W	3	◎	◎
実施例 10-2	Ti	0.1	W	1.0	1	Au-W	10	◎	◎
実施例 10-3	Ti	0.1	W	1.0	1	Au-W	20	◎	◎
実施例 10-4	Ti	0.1	W	1.0	1	Au-W	30	◎	◎
実施例 10-5	Ti	0.1	W	1.0	1	Au-W	70	◎	◎
実施例 10-6	Ti	0.1	W	1.0	1	Au-W	88	○	○

[0226] 表 9 の実施例 10-1 ～ 10-6 の結果より、上下導通体 4 を Au と W の複合構造とした場合にも、実施例 1、6-1 ～ 6-5 と同様の効果が得られることが判った。

[0227] すなわちボイドの発生を抑えながら、基板 3 の表面 7、8 に形成したメタライズ層 10、11 や当該メタライズ層 10 上に形成した AuSn 半田層 12 等にクラックを生じるのを抑制する効果をさらに向上することを考慮すると、Au と W の複合構造とした上下導通体 4 における Au の存在比率を 3% 以上、特に 10% 以上に設定するのが好ましく、88% 以下、特に 70% 以下に設定するのが好ましいことが判った。

[0228] 〈実施例 11〉

Mo からなる多孔質構造体中に Au を溶浸させて上下導通体を Au と Mo の複合構造とするとともに、当該 Mo の粉末を含むペーストの粘度や樹脂結合剤の量等を調整したこと以外は実施例 1 と同様にして Au の存在比率が 3% (実施例 11-1)、10% (実施例 11-2)、20% (実施例 11-3)、30% (実施例 11-4)、70% (実施例 11-5)、および 88% (実施例 11-6) である、Au と Mo の複合構造を有する上下導通体 4 を備えたセラミック配線基板 1 を完成させ、メタライズ層 10、11 を形成

するとともに、前記メタライズ層 10、11 をパターン形成して、断面観察 1、2 を実施した。結果を表 10 に示す。

[0229] [表10]

表10

	密着層6		中間層5		ボイド 発生比率 (%)	上下導通体4		クラック	
	種類	厚み (μm)	種類	厚み (μm)		系	Au (%)	AuSn 半田層	メタライズ 層
実施例 11-1	Ti	0.1	W	1.0	4	Au-Mo	3	◎	◎
実施例 11-2	Ti	0.1	W	1.0	1	Au-Mo	10	◎	◎
実施例 11-3	Ti	0.1	W	1.0	1	Au-Mo	20	◎	◎
実施例 11-4	Ti	0.1	W	1.0	1	Au-Mo	30	◎	◎
実施例 11-5	Ti	0.1	W	1.0	1	Au-Mo	70	◎	◎
実施例 11-6	Ti	0.1	W	1.0	1	Au-Mo	88	○	○

[0230] 表 8 の実施例 11-1 ～ 11-6 の結果より、上下導通体 4 を Au と Mo の複合構造とした場合にも、実施例 1、6-1 ～ 6-5 と同様の効果が得られることが判った。

[0231] すなわちボイドの発生を抑えながら、基板 3 の表面 7、8 に形成したメタライズ層 10、11 や当該メタライズ層 10 上に形成した AuSn 半田層 12 等にクラックを生じるのを抑制する効果をさらに向上することを考慮すると、Au と Mo の複合構造とした上下導通体 4 における Au の存在比率を 3 % 以上、特に 10 % 以上に設定するのが好ましく、88 % 以下、特に 70 % 以下に設定するのが好ましいことが判った。

[0232] 〈実施例 12〉

中間層 5 として、それぞれ厚み 0.1 μm の Co 膜 (実施例 12-1)、Fe 膜 (実施例 12-2)、Zr 膜 (実施例 12-3)、Ta 膜 (実施例 12-4)、Nb 膜 (実施例 12-5)、Hf 膜 (実施例 12-6) を形成したこと以外は実施例 1 と同様にしてセラミック配線基板 1 を完成させ、メタライズ層 10、11 を形成するとともに当該メタライズ層 10、11 をパターン形成して断面観察 1、2 を実施した。結果を、実施例 1 の結果と併せて表 11 に示す。

[0233] [表11]

表11

	密着層6		中間層5		ポイド 発生比率 (%)	上下導通体4		クラック	
	種類	厚み (μm)	種類	厚み (μm)		系	Cu (%)	AuSn 半田層	メタライズ 層
実施例1	Ti	0.1	W	1.0	1	Cu-W	30	◎	◎
実施例12-1	Ti	0.1	Co	1.0	1	Cu-W	30	◎	◎
実施例12-2	Ti	0.1	Fe	1.0	1	Cu-W	30	◎	◎
実施例12-3	Ti	0.1	Zr	1.0	1	Cu-W	30	◎	◎
実施例12-4	Ti	0.1	Ta	1.0	1	Cu-W	30	◎	◎
実施例12-5	Ti	0.1	Nb	1.0	1	Cu-W	30	◎	◎
実施例12-6	Ti	0.1	Hf	1.0	1	Cu-W	30	◎	◎

[0234] 表11の結果より、中間層5としては、WだけでなくCo、Fe、Zr、Ta、Nb、およびHfも同等に機能できることが判った。

[0235] 〈実施例13〉

中間層5として、それぞれ厚み0.1 μm のRe膜（実施例13-1）、Os膜（実施例13-2）、Ir膜（実施例13-3）、およびRu膜（実施例13-4）を形成したこと、ならびに密着層6と中間層5の成膜方法を真空蒸着法としたこと以外は実施例1と同様にしてセラミック配線基板1を完成させ、メタライズ層10、11を形成するとともに当該メタライズ層10、11をパターン形成して断面観察1、2を実施した。結果を、実施例1の結果と併せて表12に示す。

[0236] なお真空蒸着法による膜形成は、蒸発源としてそれぞれの元素の粉末、もしくはワイヤーを用い、到達真空度 $1 \times 10^{-5} \text{Pa}$ で、電子ビームによりルツボ内の蒸発源を加熱、溶解させて実施した。

[0237]

[表12]

表12

	密着層6		中間層5		ポイド 発生比率 (%)	上下導通体4		クラック	
	種類	厚み (μm)	種類	厚み (μm)		系	Cu (%)	AuSn 半田層	メタライズ 層
実施例1	Ti	0.1	W	1.0	1	Cu-W	30	◎	◎
実施例13-1	Ti	0.1	Re	1.0	1	Cu-W	30	◎	◎
実施例13-2	Ti	0.1	Os	1.0	1	Cu-W	30	◎	◎
実施例13-3	Ti	0.1	Ir	1.0	1	Cu-W	30	◎	◎
実施例13-4	Ti	0.1	Ru	1.0	1	Cu-W	30	◎	◎

[0238] 表12の結果より、中間層5としては、Re、Os、Ir、およびRuも同等に機能できることが判った。

[0239] 〈実施例14〉

メタライズ層10上に、AuSn半田箔に代えて、真空蒸着法による厚み5 μm のAuSn半田層12を形成したこと以外は実施例1と同様にして断面観察1、2を実施した（実施例14-4）。

[0240] また多孔質構造体のもとなるW粉末を含むペーストの粘度や樹脂結合剤の量等を調整して、CuとWの複合構造を有する上下導通体4におけるCuの存在比率を3%（実施例14-1）、10%（実施例14-2）、20%（実施例14-3）、50%（実施例14-5）、70%（実施例14-6）、および88%（実施例14-7）としたこと以外は実施例14-4と同様にして断面観察1、2を実施した。

[0241] 結果を表13に示す。

[0242]

[表13]

表13

	密着層6		中間層5		ボイド 発生比率 (%)	上下導通体4		クラック	
	種類	厚み (μm)	種類	厚み (μm)		系	Cu (%)	AuSn 半田層	メタライズ 層
実施例 14-1	Ti	0.1	W	1.0	4	Cu-W	3	◎	◎
実施例 14-2	Ti	0.1	W	1.0	1	Cu-W	10	◎	◎
実施例 14-3	Ti	0.1	W	1.0	1	Cu-W	20	◎	◎
実施例 14-4	Ti	0.1	W	1.0	1	Cu-W	30	◎	◎
実施例 14-5	Ti	0.1	W	1.0	1	Cu-W	50	◎	◎
実施例 14-6	Ti	0.1	W	1.0	1	Cu-W	70	○	◎
実施例 14-7	Ti	0.1	W	1.0	1	Cu-W	88	○	○

[0243] 表14の結果より、AuSn半田層12の厚みが8 μm 以下であるとき、上下導通体4におけるCuの存在比率は50%以下とすると、当該AuSn層やメタライズ層10にクラックが生じるのをより確実に防止できることが判った。

符号の説明

- [0244] 1 セラミック配線基板
 2 上下導通孔
 3 基板
 4 上下導通体
 5 中間層
 6 密着層
 7、8 表面
 9 半導体装置
 10、11 メタライズ層
 12 半田層
 13 半導体素子

請求の範囲

- [請求項1] A l、および S i からなる群より選ばれた少なくとも 1 種を含むセラミックの前駆体を焼結させて板状に形成された基板、
前記基板の焼結後に、当該基板の厚み方向を貫通させて形成された上下導通孔、
前記上下導通孔に充填された、C u、A g、および A u からなる群より選ばれた少なくとも 1 種の低抵抗金属と、W、および M o からなる群より選ばれた少なくとも 1 種の高融点金属とを含む複合材料からなる上下導通体、および
前記上下導通体と基板との間に、前記両者間を隔てて配設された、M o、W、C o、F e、Z r、R e、O s、T a、N b、I r、R u、および H f からなる群より選ばれた少なくとも 1 種からなる中間層、
を含むセラミック配線基板。
- [請求項2] 前記中間層の厚みは 0.1 μ m 以上である請求項 1 に記載のセラミック配線基板。
- [請求項3] 前記基板は少なくとも一方の平面上に半田層を備え、
前記半田層の厚みは 8 μ m 以下であり、
前記上下導通体における前記低抵抗金属の割合は 50% 以下である、
請求項 1 または 2 に記載のセラミック配線基板。
- [請求項4] 前記請求項 1 ないし 3 のいずれか 1 項に記載のセラミック配線基板に半導体素子を搭載したことを特徴とする半導体装置。
- [請求項5] 前記基板を形成するセラミックのもとになる前駆体の板体を焼結させて当該基板を形成する工程、
前記基板の厚み方向に貫通させて上下導通孔を形成する工程、
前記上下導通孔の内面に、前記 M o、W、C o、F e、Z r、R e、O s、T a、N b、I r、R u、および H f からなる群より選ばれ

た少なくとも 1 種からなる前記中間層を形成する工程、

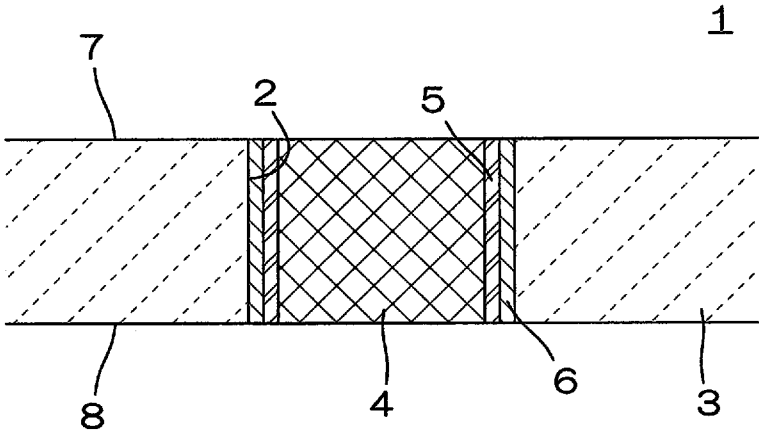
前記上下導通孔内に、前記 W、および Mo からなる群より選ばれた少なくとも 1 種の高融点金属の粉末を含むペーストを充填し、当該粉末を焼結させて、前記高融点金属からなる多孔質構造体を形成する工程、および

前記多孔質構造体中に、前記 Cu、Ag、および Au からなる群より選ばれた少なくとも 1 種の低抵抗金属を溶浸させて前記上下導通体を形成する工程、

を含む請求項 1 ないし 3 のいずれか 1 項に記載のセラミック配線基板の製造方法。

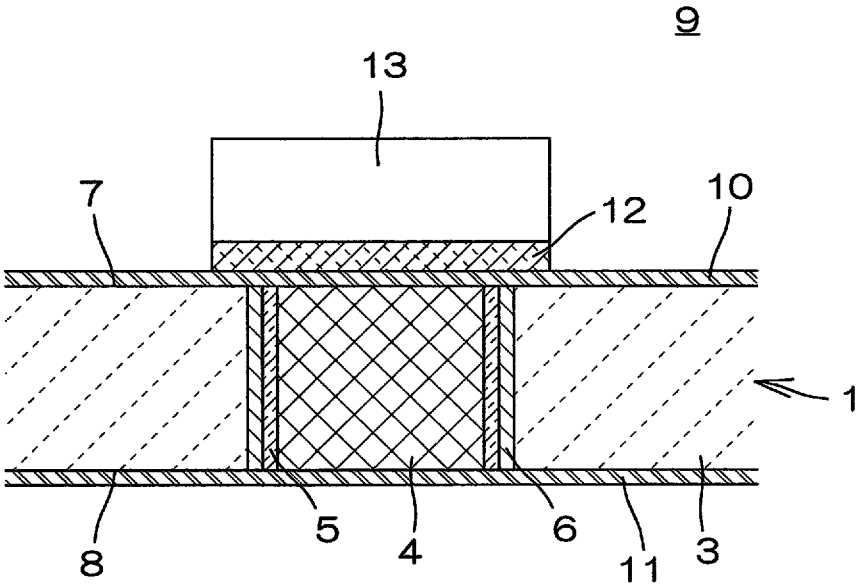
[図1]

図1



[図2]

図2



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/083760

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/13(2006.01)i, B22F3/26(2006.01)i, B22F7/06(2006.01)i, C22C5/02(2006.01)i, C22C5/06(2006.01)i, C22C9/00(2006.01)i, C22C27/04(2006.01)i, H05K1/09(2006.01)i, H05K3/40(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/13, B22F3/26, B22F7/06, C22C5/02, C22C5/06, C22C9/00, C22C27/04, H05K1/09, H05K3/40

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 07-086741 A (Fujitsu Ltd.), 31 March 1995 (31.03.1995), paragraphs [0013] to [0019]; fig. 1 to 3 (Family: none)	1-2, 4 3 5
Y	JP 06-013494 A (Sumitomo Electric Industries, Ltd.), 21 January 1994 (21.01.1994), paragraphs [0009] to [0028] (Family: none)	3
A	JP 2012-156314 A (Kyocera Corp.), 16 August 2012 (16.08.2012), paragraphs [0011] to [0022]; fig. 2 (Family: none)	1-5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
31 January, 2014 (31.01.14)

Date of mailing of the international search report
11 March, 2014 (11.03.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L23/13(2006.01)i, B22F3/26(2006.01)i, B22F7/06(2006.01)i, C22C5/02(2006.01)i, C22C5/06(2006.01)i, C22C9/00(2006.01)i, C22C27/04(2006.01)i, H05K1/09(2006.01)i, H05K3/40(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L23/13, B22F3/26, B22F7/06, C22C5/02, C22C5/06, C22C9/00, C22C27/04, H05K1/09, H05K3/40

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 07-086741 A（富士通株式会社）	1-2, 4
Y	1995.03.31, 段落【0013】－【0019】，【図1】－【図3】	3
A	（ファミリーなし）	5
Y	JP 06-013494 A（住友電気工業株式会社）	3
	1994.01.21, 段落【0009】－【0028】	
	（ファミリーなし）	

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

3 1 . 0 1 . 2 0 1 4

国際調査報告の発送日

1 1 . 0 3 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

宮本 靖史

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 7 1

4 R

3 7 6 0

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-156314 A (京セラ株式会社) 2012.08.16, 段落【0011】－【0022】, 【図2】 (ファミリーなし)	1-5