

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-59632

(P2017-59632A)

(43) 公開日 平成29年3月23日(2017.3.23)

(51) Int.Cl.			F I			テーマコード(参考)	
H01G	4/30	(2006.01)	H01G	4/30	301E	5E001	
H01G	4/232	(2006.01)	H01G	4/12	361	5E082	
H01G	4/12	(2006.01)	H01G	4/12	358		
			H01G	4/12	349		
			H01G	4/30	301C		

審査請求 未請求 請求項の数 4 O L (全 24 頁)

(21) 出願番号 特願2015-182060 (P2015-182060)
 (22) 出願日 平成27年9月15日(2015.9.15)

(71) 出願人 000003067
 TDK株式会社
 東京都港区芝浦三丁目9番1号
 (74) 代理人 110001494
 前田・鈴木国際特許業務法人
 (72) 発明者 岡井 圭祐
 東京都港区芝浦三丁目9番1号 TDK株式会社内
 (72) 発明者 田中 博文
 東京都港区芝浦三丁目9番1号 TDK株式会社内
 (72) 発明者 野田 洋平
 東京都港区芝浦三丁目9番1号 TDK株式会社内

Fターム(参考) 5E001 AB03 AC09 AD02 AD03

最終頁に続く

(54) 【発明の名称】 積層電子部品

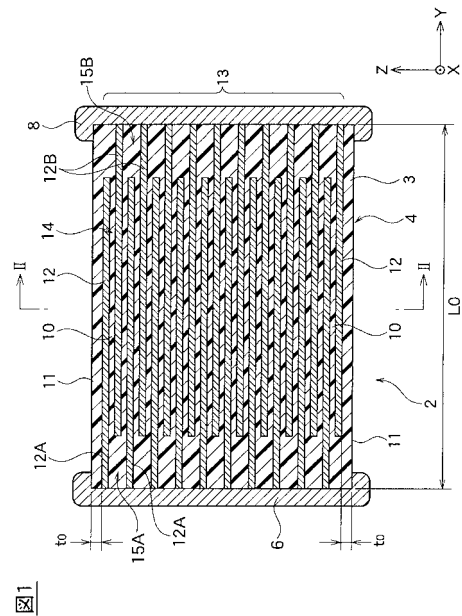
(57) 【要約】

【課題】 抵抗値のバラつきが小さい積層電子部品を提供すること。

【解決手段】

第1軸および第2軸を含む平面に実質的に平行な内部電極層と誘電体層とが第3軸の方向に沿って交互に積層された素子本体を備える積層電子部品であって、素子本体の第1軸の方向に相互に向き合う一対の端面にそれぞれ絶縁層が備えられており、素子本体の第2軸の方向に相互に向き合う一対の端面に、内部電極層と電氣的に接続される外部電極がそれぞれ備えられており、内部電極層の第1軸方向の端部は、誘電体層の第1軸方向の端部から第1軸の方向に沿って内側に、所定の引込み距離で引き込んでおり、内部電極層の主成分はNiであり、内部電極層の第1軸方向の端部と絶縁層の間に反応部が存在し、反応部には、TiとZnが含まれ、反応部のTiの含有量は0.1重量%以上20重量%未満であり、反応部のZnの含有量は0.1重量%以上10重量%未満であることを特徴とする積層電子部品。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 軸および第 2 軸を含む平面に実質的に平行な内部電極層と誘電体層とが第 3 軸の方向に沿って交互に積層された素子本体を備える積層電子部品であって、
前記素子本体の前記第 1 軸の方向に相互に向き合う一対の側面にそれぞれ絶縁層が備えられており、
前記素子本体の前記第 2 軸の方向に相互に向き合う一対の端面に、前記内部電極層と電氣的に接続される外部電極がそれぞれ備えられており、
前記内部電極層の前記第 1 軸方向の端部は、前記誘電体層の前記第 1 軸方向の端部から前記第 1 軸の方向に沿って内側に、所定の引込み距離で引き込んでおり、
前記内部電極層の主成分は Ni であり、
前記内部電極層の前記第 1 軸方向の端部と前記絶縁層の間に反応部が存在し、
前記反応部には、Ti と Zn が含まれ、
前記反応部の Ti の含有量は 0.1 重量%以上 20 重量%未満であり、
前記反応部の Zn の含有量は 0.1 重量%以上 10 重量%未満であることを特徴とする積層電子部品。

10

【請求項 2】

前記反応部には、さらに Mg および Al から選ばれるいずれか 1 種以上を含む請求項 1 に記載の積層電子部品。

【請求項 3】

前記絶縁層は、Ti および Zn を含み、さらに、Mg および Al から選ばれるいずれか 1 種以上を含む請求項 1 または 2 に記載の積層電子部品。

20

【請求項 4】

前記反応部の前記第 1 軸に沿う幅の素子本体における平均を W_{2a} とし、
前記素子本体の前記第 1 軸に沿う幅を W_0 とした場合に、
 W_0 に対する W_{2a} の割合が、0.33% ~ 3.33% である請求項 1 ~ 3 のいずれかに記載の積層電子部品。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、積層電子部品に関する。

30

【背景技術】**【0002】**

近年、携帯電話などのデジタル電子機器に使用される電子回路の高密度化に伴う電子部品の小型化に対する要求は高く、当該回路を構成する積層電子部品の小型化、大容量化が急速に進んでいる。

【0003】

特許文献 1 では、電極材料の使用効率を高めたり、静電容量の増大や精度などを高めたりするために、サイドギャップをなくした構造の積層セラミックコンデンサが提案されている。しかし、内部電極がセラミック焼結体の側面に露出することになるため、耐電圧が低いという問題があった。

40

【0004】

また、特許文献 2 に示すように、絶縁耐圧を高めるためにサイドギャップを設けた積層セラミック電子部品も知られている。しかしながら、特許文献 2 のように、単に素子本体の側面に合成樹脂を形成したり、ガラスを焼き付けただけでは、素子本体の側面と合成樹脂もしくはガラスで構成されるサイドギャップとの接着性が不十分となる。このため、内部電極層の端部が十分にサイドギャップで被覆されず、異なる層の内部電極層の端部同士が近接し、漏れ電流が発生し易くなり、抵抗値のバラつきが大きくなることが本発明者等により見出された。

【先行技術文献】

50

【特許文献】

【0005】

【特許文献1】特公平2-30570号公報

【特許文献2】特開平11-340081号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明は、上記の実状に鑑みてなされたものであり、抵抗値のバラつきが小さい積層電子部品を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記目的を達成するため、本発明の積層電子部品は、以下の通りである。

【0008】

[1] 第1軸および第2軸を含む平面に実質的に平行な内部電極層と誘電体層とが第3軸の方向に沿って交互に積層された素子本体を備える積層電子部品であって、前記素子本体の前記第1軸の方向に相互に向き合う一対の端面(側面)にそれぞれ絶縁層が備えられており、

前記素子本体の前記第2軸の方向に相互に向き合う一対の端面に、前記内部電極層と電氣的に接続される外部電極がそれぞれ備えられており、

前記内部電極層の前記第1軸方向の端部は、前記誘電体層の前記第1軸方向の端部から前記第1軸の方向に沿って内側に、所定の引込み距離で引き込んでおり、

前記内部電極層の主成分はNiであり、

前記内部電極層の前記第1軸方向の端部と前記絶縁層の間に反応部が存在し、

前記反応部には、TiとZnが含まれ、

前記反応部のTiの含有量は0.1重量%以上20重量%未満であり、

前記反応部のZnの含有量は0.1重量%以上10重量%未満であることを特徴とする積層電子部品。

【0009】

本発明によれば、内部電極層と絶縁層の間にTiおよびZnを所定量含む反応部が存在することで、抵抗値のバラつきを小さくすることができる。ここで、「抵抗値のバラつきが小さい」とは、「積層電子部品毎の抵抗値の差異が小さい」、すなわち、「抵抗に関して積層電子部品の個体差が小さい」ということである。

【0010】

上記[1]の具体的態様として、下記の態様が例示される。

【0011】

[2] 前記反応部には、さらにMgおよびAlから選ばれるいずれか1種以上を含む前記[1]に記載の積層電子部品。

【0012】

[3] 前記絶縁層は、TiおよびZnを含み、さらに、MgおよびAlから選ばれるいずれか1種以上を含む前記[1]または[2]に記載の積層電子部品。

【0013】

[4] 前記反応部の前記第1軸に沿う幅の素子本体における平均をW2aとし、

前記素子本体の前記第1軸に沿う幅をW0とした場合に、

W0に対するW2aの割合が、0.33%~3.33%である前記[1]~[3]のいずれかに記載の積層電子部品。

【0014】

[7] 第1軸の方向に連続し、第1軸および第2軸を含む平面に実質的に平行な内部電極パターン層が形成されたグリーンシートを第3軸の方向に積層してグリーン積層体を得る工程と、

前記グリーン積層体を第2軸および第3軸を含む平面に平行な切断面が得られるように切

10

20

30

40

50

断してグリーンチップを得る工程と、
 前記グリーンチップを焼成して、内部電極層と誘電体層とが交互に積層した素子本体を得る工程と、
 前記素子本体の第1軸方向の端面に絶縁層用ペーストを塗布して、焼き付けることにより、絶縁層が形成されたセラミック焼結体を得る工程と、
 前記セラミック焼結体の第2軸方向の端面に外部電極用ペーストを焼き付けることにより、外部電極が形成された積層電子部品を得る工程と、を有し、
 前記内部電極層の前記第1軸方向の端部は、前記誘電体層の前記第1軸方向の端部から第1軸の方向に沿って内側に、所定の引込み距離で引き込んでおり、
 前記内部電極層の主成分はNiであり、
 前記内部電極層の前記第1軸方向の端部と前記絶縁層の間に反応部が存在し、
 前記反応部には、TiとZnが含まれ、
 前記反応部のTiの含有量は0.1重量%以上20重量%未満であり、
 前記反応部のZnの含有量は0.1重量%以上10重量%未満である積層電子部品の製造方法。

10

【図面の簡単な説明】

【0015】

【図1】図1は、本発明の実施形態に係る積層セラミックコンデンサの概略断面図である。

【図2】図2は、図1に示すII-II線に沿う断面図である。

20

【図3】図3は、図2の要部拡大図である。

【図4】図4は、図1に示す積層セラミックコンデンサの製造過程におけるグリーンシートの積層工程を示す概略断面図である。

【図5A】図5A(a)は、図4に示すV-V線に沿うn層目の内部電極パターン層の一部を示す平面図であり、図5A(b)は、n+1層目の内部電極パターン層の一部を示す平面図である。

【図5B】図5Bは、図4に示すV-V線に沿う内部電極パターン層の一部を示す平面図である。

【図6A】図6Aは図4に示すグリーンシートを積層後の積層体のX-Z軸平面に平行な概略断面図である。

30

【図6B】図6Bは図4に示すグリーンシートを積層後の積層体のY-Z軸平面に平行な概略断面図である。

【発明を実施するための形態】

【0016】

本実施形態に基づき、図面を参照しつつ詳細に説明するが、本発明は以下に説明する実施形態のみに限定されない。

【0017】

また、以下に記載した構成要素には、当業者が容易に想定できるもの、実質的に同一のものが含まれる。さらに、以下に記載した構成要素は適宜組み合わせることが可能である。

40

【0018】

以下、本発明を、図面に示す実施形態に基づき説明する。

【0019】

積層セラミックコンデンサの全体構成

本実施形態に係る積層電子部品の一実施形態として、積層セラミックコンデンサの全体構成について説明する。

【0020】

図1に示すように、本実施形態に係る積層セラミックコンデンサ2は、セラミック焼結体4と、第1外部電極6と、第2外部電極8とを有する。また、図2に示すように、セラミック焼結体4は、素子本体3と絶縁層16とを有する。

50

【0021】

素子本体3は、X軸およびY軸を含む平面に実質的に平行な内側誘電体層10と内部電極層12とを有し、内側誘電体層10の間に内部電極層12がZ軸の方向に沿って交互に積層してある。ここで、「実質的に平行」とは、ほとんどの部分が平行であるが、多少平行でない部分を有していてもよいことを意味し、内部電極層12と内側誘電体層10は、多少、凹凸があったり、傾いていたりしてもよいという趣旨である。

【0022】

内側誘電体層10と、内部電極層12とが交互に積層される部分が内装領域13である。

【0023】

また、素子本体3は、その積層方向Z（Z軸）の両端面に、外装領域11を有する。外装領域11は、内装領域13を構成する内側誘電体層10よりも厚い外側誘電体層を複数積層して形成してある。

10

【0024】

なお、以下では、「内側誘電体層10」および「外側誘電体層」をまとめて、「誘電体層」と記載する場合がある。

【0025】

内側誘電体層10および外装領域11を構成する誘電体層の材質は、同じでも異なっても良く、特に限定されず、たとえば、 ABO_3 などのペロブスカイト構造の誘電体材料やニオブ酸アルカリ系セラミックを主成分として構成される。

20

【0026】

ABO_3 において、Aは、たとえばCa、Ba、Srなどの少なくとも一種、Bは、Ti、Zrなどの少なくとも一種である。A/Bのモル比は、特に限定されず、0.980~1.020である。

【0027】

このほか、副成分として、二酸化珪素、酸化アルミニウム、酸化マグネシウムのようなアルカリ金属化合物、酸化マンガ、希土類元素酸化物、酸化バナジウム等が挙げられるがこれらに限定されない。その含有量も組成等に応じて適宜決定すればよい。

【0028】

なお、副成分として、二酸化珪素、酸化アルミニウムを用いることで、焼成温度を低下させることができる。また、副成分として、酸化マグネシウムのようなアルカリ金属化合物、酸化マンガ、希土類元素酸化物、酸化バナジウム等を用いることで、寿命を改善できる。

30

【0029】

本実施形態の内側誘電体層10および外側誘電体層の積層数は、用途に応じて適宜決定すればよい。

【0030】

交互に積層される一方の内部電極層12は、セラミック焼結体4のY軸方向第1端部の外側に形成してある第1外部電極6の内側に対して電氣的に接続してある引出部12Aを有する。また、交互に積層される他方の内部電極層12は、セラミック焼結体4のY軸方向第2端部の外側に形成してある第2外部電極8の内側に対して電氣的に接続してある引出部12Bを有する。

40

【0031】

内装領域13は、容量領域14と引出領域15A、15Bとを有する。容量領域14は、積層方向に沿って内部電極層12が内側誘電体層10を挟んで積層する領域である。引出領域15Aは、外部電極6に接続する内部電極層12の引出部12Aの間に位置する領域である。引出領域15Bは、外部電極8に接続する内部電極層12の引出部12Bの間に位置する領域である。

【0032】

内部電極層12に含有される導電材の主成分はNiであるが、副成分として誘電体層を

50

構成する成分等を含含有してもよい。内部電極層 1 2 は、市販の電極用ペーストを使用して形成してもよく、内部電極層 1 2 の厚みは用途等に応じて適宜決定すればよい。

【0033】

図 2 に示すように、セラミック焼結体 4 の X 軸方向の両端面には、素子本体 3 の内部電極層 1 2 の端面を覆う絶縁層 1 6 が備えられている。

【0034】

また本実施形態では、積層方向（Z 軸方向）に隣接する内側誘電体層 1 0 で挟まれる内部電極層 1 2 の X 軸方向端部は、素子本体 3 の X 軸方向端面、すなわち、内側誘電体層 1 0 の X 軸方向端部から X 軸方向に沿って内側に、所定の引込み距離で引き込んでいる。

【0035】

内部電極層 1 2 の X 軸方向の端部の引き込みは、例えば、内部電極層 1 2 を形成する材料と内側誘電体層 1 0 を形成する材料との焼結収縮率の違いによって形成される。また、絶縁層 1 6 を形成する前の素子本体 3 の X 軸方向の端面を、パレル研磨などで研磨することによっても、内部電極層 1 2 の X 軸方向の端部の引き込み距離を調整できる。

【0036】

本実施形態では、図 3 に示すように、内部電極層 1 2 の X 軸方向の端部と絶縁層 1 6 の間に Ti と Zn を所定量含む反応部 1 8 が存在する。反応部 1 8 は、Ni、Ti および Zn の化合物が膜状に均一に生成されたものであり、絶縁の効果をも有する。

【0037】

本実施形態では、内部電極層 1 2 の X 軸方向の端部と絶縁層 1 6 の間に反応部 1 8 を有することで、内部電極層 1 2 の X 軸方向の端部が十分に絶縁化されている状態になると共に、内部電極層 1 2 の X 軸方向の端部と内側誘電体層 1 0 との接着性が向上する。このため、漏れ電流の発生を抑制でき、抵抗値のバラつきを小さくできる。

【0038】

なお、本実施形態の内部電極層 1 2 の X 軸方向の全ての端部に反応部 1 8 が存在することが好ましいが、内部電極層 1 2 の X 軸方向の一部の端部には反応部 1 8 が存在していなくても良い。

【0039】

反応部 1 8 の Ti の含有量は 0.1 重量% 以上 20 重量% 未満である。これにより、Ni との化合物を形成できることから、絶縁の効果を発揮することができ、抵抗値のバラつきを小さくできる。

【0040】

反応部 1 8 の Zn の含有量は 0.1 重量% 以上 10 重量% 未満である。これにより、Ni との化合物を形成できることから、絶縁の効果を発揮することができ、抵抗値のバラつきを小さくできる。

【0041】

反応部 1 8 には、Ti および Zn の他、Mg および Al から選ばれるいずれか 1 種以上を含むことが好ましい。これにより、抵抗値のバラつきを小さくするだけでなく、絶縁破壊電圧不良率を良好にすることができる。

【0042】

内部電極層 1 2 に含まれる Ni と、絶縁層 1 6 に含まれる Zn、Mg、Al および Ti とは、イオン半径が非常に近い元素同士である。このため、Ni を含む内部電極層 1 2 と絶縁層 1 6 との反応が促進され、均一な反応部 1 8 が形成され易い。その結果、内部電極層 1 2 の X 軸方向端部がより十分に絶縁化されると共に、内部電極層 1 2 の端部と内側誘電体層 1 0 との接着性が向上し、抵抗値のバラつきを小さくするだけでなく、絶縁破壊電圧不良率が良好になると考えられる。

【0043】

本実施形態の絶縁層 1 6 は素子本体 3 の X 軸方向の両端面（側面）を覆っている。また、本実施形態の絶縁層 1 6 は、素子本体 3 の Z 軸方向の端面（主面）の X 軸方向の両端部および / または素子本体 3 の Y 軸方向の端面の X 軸方向の両端部を覆う絶縁層延長部 1 6

10

20

30

40

50

aを一体的に有することが好ましい。図示省略してあるが、外部電極6, 8のZ軸方向の両端部は、絶縁層延長部16aのY軸方向の両端部を覆っている。

【0044】

また、本実施形態では、図1に示す外部電極6, 8のX軸方向の両端部は、図2に示す絶縁層16のY軸方向の両端部をX軸方向の両側からは覆ってはいないが、覆うように構成しても良い。

【0045】

絶縁層16の軟化点は500 ~ 1000 であることが好ましい。これにより、前後の工程で発生しうる構造欠陥の影響を減らすことができる。

【0046】

本実施形態の絶縁層16は、TiおよびZnを含み、さらに、MgおよびAlから選ばれるいずれか1種以上を含むことが好ましい。絶縁層16が、ZnおよびTiを含み、さらに、MgおよびAlから選ばれるいずれか1種以上を含むことにより、内部電極層12のX軸方向の端部に均一な反応部18が形成され易くなる。

【0047】

これは、内部電極層12に含まれるNiと絶縁層16に含まれるZn、Mg、AlおよびTiは、イオン半径が非常に近い元素同士であることから、焼き付け後に絶縁層16となる絶縁層用ペーストを素子本体3に焼き付ける際に、内部電極層12に含まれるNiと絶縁層用ペーストに含まれるZn、Mg、AlおよびTiが反応し易いためであると考えられる。

【0048】

これにより、内部電極層12のX軸方向端部がより十分に絶縁化されると共に、内部電極層12の端部と内側誘電体層10との接着性が向上することから、抵抗値のバラつきを小さくするだけでなく、絶縁破壊電圧不良率を良好にすることができると考えられる。

【0049】

なお、絶縁層16には、上記の元素の他、Ba、Si、Ca、LaまたはBi等の元素を含んでいてもよく、ガラス成分またはセラミック成分を含んでいてもよい。

【0050】

反応部18の認定については、例えば、セラミック焼結体4の内部電極層12と絶縁層16の界面付近の観察用断面を得て、デジタルマイクロスコプの内光モードで観察し、より明度の低い箇所を反応部18と認定できる。また、同様の方法により、観察して、より明度の高い箇所をNiを含む内部電極層12と認定できる。さらに、同様の方法により、観察して、明度が無い箇所を絶縁層16と認定できる。

【0051】

素子本体3のX軸方向の端面を絶縁層16で被覆することにより、絶縁性が高められるだけでなく、外部からの環境負荷に対して、耐久性、耐湿性が増す。また、焼成後のセラミック焼結体4のX軸方向の端面を絶縁層16が被覆するため、ギャップ部(サイドギャップ)の幅が小さく、かつ、均一な絶縁層16を形成することができる。

【0052】

外部電極6, 8の材質も特に限定されないが、Ni、Pd、Ag、Au、Cu、Pt、Rh、Ru、Ir等の少なくとも1種、もしくはそれらの合金または導電性樹脂などの公知の導電材を用いることができる。外部電極6, 8の厚さは用途等に応じて適宜決定すればよい。

【0053】

なお、図1において、X軸、Y軸およびZ軸は、相互に垂直であり、Z軸が、内側誘電体層10および内部電極層12の積層方向に一致し、Y軸が、引出領域15A, 15B(引出部12A, 12B)が形成される方向に一致する。

【0054】

本実施形態では、図2に示すように、絶縁層16のうち、セラミック焼結体4の幅方向(X軸方向)に沿って、素子本体3のX軸方向の端面から絶縁層16の外面までの区間を

10

20

30

40

50

ギャップ部としている。

【0055】

本実施形態では、ギャップ部のX軸方向の幅Wgapは、セラミック焼結体4の幅方向(X軸方向)に沿って、素子本体3のX軸方向の端面から絶縁層16のX軸方向の端面までの寸法に一致するが、幅Wgapは、Z軸方向に沿って均一である必要はなく、多少変動していても良い。幅Wgapの平均は、好ましくは $0.1\mu\text{m} \sim 40\mu\text{m}$ であり、素子本体3の幅W0に比較すれば、きわめて小さい。

【0056】

本実施形態では、従来に比較して、幅Wgapをきわめて小さくすることが可能になり、しかも、内部電極層12の引込み距離が十分に小さい。そのため、本実施形態では、小型でありながら、大きな容量の積層コンデンサを得ることができる。

10

【0057】

なお、素子本体3の幅W0は、内側誘電体層10のX軸方向に沿う幅に一致する。

【0058】

Wgapを上記の範囲内とすることで、クラックが発生しにくくなると共に、セラミック焼結体4がより小型化されても、静電容量の低下が少ない。

【0059】

本実施形態では、図2に示すように、絶縁層16のZ軸方向の両端部において、素子本体3のZ軸方向の両端面のX軸方向端部を覆う絶縁層延長部16aが絶縁層16に一体的に形成していてもよい。素子本体3のX軸方向の両端面からの絶縁層延長部16aのX軸方向のそれぞれの幅W1とW0の比は、好ましくは $1/30$ $W1/W0 < 1/2$ である。

20

【0060】

本実施形態では、上記の通り、積層方向(Z軸方向)に隣接する内側誘電体層10で挟まれる内部電極層12のX軸方向端部は、素子本体3のX軸方向端面、すなわち、図3に示すように、内側誘電体層10のX軸方向端部からX軸方向に沿って内側に、所定の引込み距離dで引き込んでいる。

【0061】

ここで、引込み距離dとは、図3に示すように、内側誘電体層10のX軸方向端部から内部電極層12のX軸方向端部までの距離を言う。また、内部電極層12のX軸方向端部と絶縁層16の間に反応部18または後述する非導体部が存在する場合にも、引込み距離dは、内側誘電体層10のX軸方向端部から内部電極層12のX軸方向端部までの距離を言う。

30

【0062】

なお、内側誘電体層10および内部電極層12の端部は凹凸がある場合があるため、この場合は、内側誘電体層10および内部電極層12の最も外側の部分を基準とする。すなわち、一つの内側誘電体層10のX軸方向の端部において、内側誘電体層10のX軸方向の最も外側の部分から内部電極層12のX軸方向の最も外側の部分までの距離を引込み距離dとする。

【0063】

本実施形態では、全ての内部電極層12が内側に所定範囲で引き込んでいる必要はなく、素子本体3のX軸方向の端面において一部の内部電極層12が露出していてもよい。

40

【0064】

なお、引込み距離dは、内部電極層12の各層毎にばらついていることが好ましい。これにより、内部電極層12を薄層化しても、絶縁抵抗の低下を抑えることができる。

【0065】

図3において、反応部18は、各内部電極層12のX軸方向の端部に、内部電極層12のX軸方向の端部から所定の幅W2の範囲で形成してある。なお、反応部18の端部は凹凸がある場合があるが、1箇所の反応部18において最も幅のある部分を幅W2とする。

【0066】

50

図3において、反応部18は、内側誘電体層10よりも内側に形成されているが、反応部18は、内側誘電体層10の端部付近に形成されていてもよいし、反応部18の一部が内側誘電体層10の外側に出ているもよい。

【0067】

また、反応部18の幅 W_2 は、各内部電極層12毎に、ほとんど一定であるが、ばらつく可能性もある。

【0068】

素子本体3における反応部18の幅 W_2 の平均値を W_{2a} とした場合、 W_0 に対する W_{2a} の割合が、 $0.33\% \sim 3.33\%$ であることが好ましい。これにより、内部電極層12の両端部と絶縁層16の密着性が向上するため、絶縁耐圧が良好になると共に、静電容量を高くできる。

10

【0069】

本実施形態の反応部18は、素子本体3のX軸方向の端部に所定の絶縁層用ペーストを塗布して所定の条件で焼き付けることで得られる。また、反応部18の幅 W_2 は、素子本体3のX軸方向の端部に所定の絶縁層用ペーストを塗布して焼き付ける際の保持温度や保持時間等を変化させることにより制御できる。

【0070】

本実施形態では、内部電極層12のX軸方向の端部と絶縁層16の間、または内部電極層12のX軸方向の端部と反応部18の間に非導体部が存在することが好ましい。これにより、内部電極層12のX軸方向の両端部において、異なる内部電極層12が接触することを十分に防ぐことができ、異なる層の内部電極層12の距離を十分なものにすることができる。このため、内側誘電体層10を薄層化した際のショート不良率を低下できると共に、漏れ電流の発生を抑制でき、抵抗値のパラつきを抑えることができる。また、非導体部の存在により、さらに内部電極層12と絶縁層16との密着性が向上し、ハンドリング等による外部からの圧力にも耐え得る機械的強度も向上する。

20

【0071】

本実施形態の非導体部は、アニール後の素子本体3の内部電極層12の端部を酸化処理したり、窒化処理したり、スパッタリングによる合金化処理をすることにより得られる。

【0072】

内部電極層12の端部に非導体部が存在する場合であっても、焼き付け後に絶縁層16となる絶縁層用ペーストを素子本体3に焼き付けることで、非導体部または内部電極層12に含まれるNiと絶縁層用ペーストに含まれるZnおよびTi等の成分が反応し、反応部18が形成される。

30

【0073】

絶縁層用ペーストを、内部電極層12の端部に非導体部が存在する素子本体3に焼き付けた後は、非導体部の一部が反応部18の一部になる場合、非導体部の全てが反応部18の一部になる場合、非導体部と内部電極層12の一部が反応部18の一部になる場合がある。

【0074】

セラミック焼結体4のX軸方向の両側の幅 W_{gap} 、幅 W_1 引込み距離 d_a および幅 W_2 はそれぞれ相互に同じでも異なってもよい。

40

【0075】

絶縁層16は、図1に示す素子本体3のY軸方向の両端面を広く覆っていないことが好ましい。素子本体3のY軸方向の両端面には、外部電極6, 8が形成されて内部電極層12と接続される必要があるからである。また、本実施形態の外部電極6, 8は、絶縁層延長部16aを覆う構成となってもよい。

【0076】

内側誘電体層10の厚み t_d は特に限定されないが、好ましくは $0.1 \mu m \sim 5.0 \mu m$ である。

【0077】

50

内部電極層 12 の厚み t_e は特に限定されないが、好ましくは $0.1 \mu\text{m} \sim 5.0 \mu\text{m}$ である。

【0078】

外装領域 11 の厚み t_o は特に限定されないが、好ましくは $0.1 \mu\text{m} \sim 5.0 \mu\text{m}$ である。

【0079】

積層セラミックコンデンサの製造方法

次に、本発明の一実施形態としての積層セラミックコンデンサ 2 の製造方法について具体的に説明する。本実施形態に係る積層セラミックコンデンサ 2 は、ペーストを用いた通常の印刷法やシート法によりグリーンチップを作製し、これを焼成した後、絶縁層用ペーストをディップといった工法を用いて塗布し、焼き付けをし、外部電極 6, 8 を印刷または転写して焼き付けることにより製造される。

10

【0080】

まず、焼成後に図 1 に示す内側誘電体層 10 を構成することになる内側グリーンシート 10a および外側誘電体層を構成することになる外側グリーンシート 11a を製造するために、内側グリーンシート用ペーストおよび外側グリーンシート用ペーストを準備する。

【0081】

内側グリーンシート用ペーストおよび外側グリーンシート用ペーストは、通常、セラミック粉末と有機ビヒクルとを混練して得られた有機溶剤系ペースト、または水系ペーストで構成される。

20

【0082】

セラミック粉末の原料としては、複合酸化物や酸化物となる各種化合物、たとえば炭酸塩、硝酸塩、水酸化物、有機金属化合物などから適宜選択され、混合して用いることができる。セラミック粉末の原料は、本実施形態では、平均粒子径が $0.45 \mu\text{m}$ 以下、好ましくは $0.1 \sim 0.3 \mu\text{m}$ 程度の粉体として用いられる。なお、内側グリーンシートをきわめて薄いものとするためには、グリーンシート厚みよりも細かい粉体を使用することが望ましい。

【0083】

有機ビヒクルとは、バインダを有機溶剤中に溶解したものである。有機ビヒクルに用いるバインダは特に限定されず、エチルセルロース、ポリビニルブチラル等の通常の各種バインダから適宜選択すればよい。用いる有機溶剤も特に限定されず、アルコール、アセトン、トルエン等の各種有機溶剤から適宜選択すればよい。

30

【0084】

また、グリーンシート用ペースト中には、必要に応じて、各種分散剤、可塑剤、誘電体、副成分化合物、ガラスフリット、絶縁体などから選択される添加物が含有されていてもよい。

【0085】

可塑剤としては、フタル酸ジブチル、フタル酸ジオクチルやフタル酸ベンジルブチルなどのフタル酸エステル、アジピン酸、燐酸エステル、グリコール類などが例示される。

【0086】

40

次に、焼成後に図 1 に示す内部電極層 12A, 12B を構成することになる内部電極パターン層 12a を製造するために、内部電極層用ペーストを準備する。内部電極層用ペーストは、上記した各種導電性金属や合金からなる導電材と、上記した有機ビヒクルとを混練して調製する。

【0087】

導電材として Ni を用いる場合は、例えば、市販の CVD 法、湿式化学還元法等を用いて作製した Ni の粉体を用いてもよい。

【0088】

本実施形態では、まず、上記した各種導電性金属や合金からなる導電材と、上記した有機ビヒクルとを混練して内部電極層用ペーストを作製する。

50

【0089】

次に、ドクターブレード法などにより、支持体としてのキャリアシート（たとえばPETフィルム）上に、内側グリーンシート10aを形成する。内側グリーンシート10aは、キャリアシート上に形成された後に乾燥される。

【0090】

次に、図4に示すように内側グリーンシート10aの表面に、内部電極層用ペーストを用いて内部電極パターン層12aを形成する。

【0091】

次に、内部電極パターン層12aが形成された内側グリーンシート10aを所定数積層することで、内部電極パターン層12aと内側グリーンシート10aが交互に所定数積層された、図4に示す内部積層体13aを製造する。

10

【0092】

そして、内部積層体13aを製造した後に、外側グリーンシート用ペーストを使用して、外側グリーンシート11aを形成し、積層方向に加圧してグリーン積層体を得る。

【0093】

また、グリーン積層体の製造方法としては、上記の他、外側グリーンシート11aに直接内側グリーンシート10aと内部電極パターン層12aとを交互に所定数積層して、積層方向に加圧してグリーン積層体を得てもよい。

【0094】

なお、内部積層体13aを製造する際、図5A(a)に示すように、n層目において、Y軸方向に内部電極パターン層12aの隙間32を形成し、X軸方向には連続する平坦な内部電極パターン層12aを形成する。

20

【0095】

次に、図5A(b)に示すように、n+1層目においてもY軸方向に内部電極パターン層12aの隙間32を形成し、X軸方向には連続する平坦な内部電極パターン層12aを形成する。この際、n層目とn+1層目の内部電極パターン層12aの隙間32は積層方向であるZ軸方向において、重ならないように形成される。

【0096】

このようにして、内部電極パターン層12aを有する内側グリーンシート10aを複数積層して、内部積層体13aを製造し、上記の方法によりグリーン積層体を得る。

30

【0097】

次に、図5A(a)、図5A(b)、図6A、図6BのC1切断面およびC2切断面に沿って、グリーン積層体を切断してグリーンチップを得る。C1は、Y-Z軸平面に平行な切断面であり、C2は、Z-X軸平面に平行な切断面である。

【0098】

図5A(a)に示すように、n層目において内部電極パターン層12aを切断するC2切断面の両隣のC2切断面は、内部電極パターン層12aの隙間32を切断する。また、n層目において内部電極パターン層12aを切断したC2切断面は、n+1層目においては内部電極パターン層12aの隙間32を切断する。

【0099】

40

このような切断方法によりグリーンチップを得ることで、グリーンチップのn層目の内部電極パターン層12aは、グリーンチップのC2切断面において、一の切断面では露出し、他の切断面では露出しない構成となる。また、グリーンチップのn+1層目の内部電極パターン層12aは、グリーンチップのC2切断面において、n層目で内部電極パターン層12aが露出した方の切断面では、内部電極パターン層12aは露出せず、n層目で内部電極パターン層12aが露出していない方の切断面では、内部電極パターン層12aが露出する構成となる。

【0100】

さらに、グリーンチップのC1切断面においては、全ての層で内部電極パターン層12aが露出する構成となる。

50

【0101】

なお、内部電極パターン層12aの形成方法としては、特に限定されず、印刷法、転写法その他、蒸着、スパッタリングなどの薄膜形成方法により形成されていてもよい。

【0102】

また、内部電極パターン層12aの隙間32に段差吸収層20を形成してもよい。段差吸収層20を形成することで、グリーンシート10aの表面で内部電極パターン層12aによる段差がなくなり、最終的に得られるセラミック焼結体4の変形防止に寄与する。

【0103】

段差吸収層20は、たとえば内部電極パターン層12aと同様にして、印刷法などで形成される。段差吸収層20は、グリーンシート10aと同様なセラミック粉末と有機ビヒクルを含むが、グリーンシート10aと異なり、印刷により形成されるために、印刷し易いように調整してある。印刷法としては、スクリーン印刷、グラビア印刷などが例示される。

10

【0104】

グリーンチップは、固化乾燥により可塑剤が除去され固化される。固化乾燥後のグリーンチップは、メディアおよび研磨液とともに、パレル容器内に投入され、水平遠心パレル機などにより、パレル研磨される。パレル研磨後のグリーンチップは、水で洗浄され、乾燥される。乾燥後のグリーンチップに対して、脱バインダ工程、焼成工程、必要に応じて行われるアニール工程を行うことにより、素子本体3が得られる。

【0105】

脱バインダ工程は、公知の条件とすればよく、たとえば、保持温度を200 ~ 400とすればよい。

20

【0106】

本実施形態において、焼成工程およびアニール工程は、還元雰囲気で行う。その他の焼成条件またはアニール条件は、公知の条件とすればよく、たとえば、焼成の保持温度は1000 ~ 1300 であり、アニールの保持温度は500 ~ 1000 である。

【0107】

脱バインダ工程、焼成工程およびアニール工程は、連続して行なっても、独立して行なってもよい。

【0108】

アニール後、内部電極層12のX軸方向の端部を絶縁化処理して、非導体部を形成してもよい。これにより、さらに内部電極層12と絶縁層16との密着性が向上し、ハンドリング等による外部からの圧力にも耐え得る機械的強度も向上する。

30

【0109】

絶縁化処理の条件は、昇温（降温）速度を10 ~ 5000 /時間として、保持温度を500 ~ 1000 として、雰囲気を大気中とすることが好ましい。

【0110】

次に、上記素子本体3のX軸方向の両端面に、絶縁層用ペーストを塗布し、焼き付けることにより、絶縁層16を形成し、図1および図2に示すセラミック焼結体4を得る。この絶縁層16により、絶縁性が高められるだけでなく、耐湿性も良好とされる。

40

【0111】

絶縁層用ペーストを塗布する場合には、ペーストが、素子本体3のX軸方向の両端部のみではなく、素子本体3のZ軸方向の両端面のX軸方向の両端部および/またはY軸方向の両端面のX軸方向の両端部にも塗布されるようにしてもよい。

【0112】

絶縁層用ペーストは、例えば絶縁層16に含まれる上記の所定の元素の酸化物等と、エチルセルロースを主成分とするバインダと分散媒であるテルピネオールおよびベンゾトリアゾールとをミキサーで混練して得られる。

【0113】

素子本体3への絶縁層用ペーストの塗布方法は特に限定されず、例えば、ディップ、ス

50

クリーン印刷、スパッタリング、めっき、レジネート等が挙げられる。

【0114】

素子本体3に絶縁層用ペーストを塗布して、乾燥、脱バインダ処理、焼き付けを行い、セラミック焼結体4を得る。

【0115】

なお、本実施形態の絶縁層用ペーストの焼き付け時間は、ガラスを含むペーストの通常の焼き付け時間より長時間行うことが好ましく、本実施形態の絶縁層用ペーストの焼き付け温度はガラスを含むペーストの通常の焼き付け温度よりも高い温度で行うことが好ましい。これにより、反応部18が形成され、この反応部18により、内部電極層12の伸びを抑制するだけでなく、内部電極層12の端部と内側誘電体層10との接着性が向上する。

10

【0116】

上記の観点から、本実施形態の絶縁層用ペーストの焼き付け時間は、好ましくは12時間～24時間であり、本実施形態の絶縁層用ペーストの焼き付け温度は、好ましくは500～1000である。

【0117】

なお、絶縁層用ペーストにガラス成分が含まれる場合、焼き付け時に液状化したガラス成分は、内側誘電体層10の端部から内部電極層12の端部までの空隙に毛細管現象により容易に入り込む。従って、絶縁層16により、上記空隙が確実に満たされ、絶縁性が高められるだけでなく、耐湿性も良好とされる。

20

【0118】

また、絶縁層用ペーストにセラミックが含まれる場合は、グリーンチップに絶縁層用ペーストを塗布して、グリーンチップと共に焼成等を行ってセラミック焼結体を得ても良い。

【0119】

上記のようにして得られたセラミック焼結体4のY軸方向の両端面および/またはZ軸方向の両端面に、必要に応じて、例えばパレル研磨やサンドブラストなどにより端面研磨を施す。

【0120】

次に、絶縁層16が焼き付けられたセラミック焼結体4のY軸方向の両端面に、外部電極用ペーストを塗布して焼き付けし、外部電極6,8を形成する。外部電極用ペーストは、上記した内部電極層用ペーストと同様にして調製すればよい。

30

【0121】

なお、内部電極層12の端部に対して、絶縁化処理を行った場合、外部電極6,8が形成されることになるセラミック焼結体4のY軸方向の両端面に露出している内部電極層12の端部も絶縁化されていることがある。したがって、絶縁化処理を行った場合は、外部電極用ペーストを塗布する前または、外部電極用ペーストの焼き付けの際にセラミック焼結体4のY軸方向の両端面を還元処理することが好ましい。

【0122】

外部電極6,8の形成については、絶縁層16の形成に先立ち行っても良く、絶縁層16の形成後に行っても良く、絶縁層16の形成と同時に行っても良いが、好ましくは、絶縁層16を形成した後が良い。

40

【0123】

また、外部電極6,8の形成方法についても特に限定されず、外部電極用ペーストの塗布・焼き付け、メッキ、蒸着、スパッタリングなどの適宜の方法を用いることができる。

【0124】

そして、必要に応じ、外部電極6,8表面に、めっき等により被覆層を形成する。

【0125】

このようにして製造された本実施形態の積層セラミックコンデンサ2は、ハンダ付等によりプリント基板上などに実装され、各種電子機器等に使用される。

50

【0126】

従来は、誘電体層の一部をギャップ部としていたため、グリーンシートの表面のうち、焼成後にギャップ部となる部分には、X軸方向に沿って所定間隔で内部電極パターン層を形成しない余白パターンを形成していた。

【0127】

これに対して、本実施形態では、内部電極パターン層はX軸方向に沿って連続して形成され、ギャップ部は、素子本体に絶縁層を形成することにより得られる。このため、ギャップ部を形成するための余白パターンを形成しない。したがって、従来とは異なり、グリーンシートに平坦な内部電極パターン層の膜が形成される。このため、グリーンシートの面積当りのグリーンチップの取得個数が従来に比べて増加できる。

10

【0128】

また、本実施形態では、従来と異なり、グリーン積層体の切断時に余白パターンを気にせず済むため、従来に比べて、切断歩留まりが改善されている。

【0129】

さらに、従来は、グリーンシートを積層すると、余白パターン部分は、内部電極パターン層が形成されている部分に比べて厚みが薄く、切断する際に、グリーンチップの切断面付近が湾曲してしまう問題があった。また、従来は内部電極パターン層の余白パターン部分近くに、盛り上がり形成されるため、内部電極層に凹凸が生じ、これらを積層することで、内部電極またはグリーンシートが変形するおそれがあった。これに対して、本実施形態では、余白パターンを形成せず、内部電極パターン層の盛り上がりも形成されない。

20

【0130】

さらに、本実施形態は、内部電極パターン層が平坦な膜であり、内部電極パターン層の盛り上がりが形成されず、また、ギャップ部付近において、内部電極パターン層の滲みやカスレが生じないため、取得容量を向上できる。この効果は、素子本体が小さければ小さいほど顕著である。

【0131】

以上、本発明の実施形態について説明してきたが、本発明は、上述した実施形態に何等等限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々に改変することができる。

【0132】

たとえば、内部電極パターン層12aは、図5A(a)、図5A(b)に示したパターンの他、図5Bに示すように、格子状の内部電極パターン層12aの隙間32を有するパターンであってもよい。

30

【0133】

また、本発明の積層電子部品は、積層セラミックコンデンサに限らず、その他の積層電子部品に適用することが可能である。その他の積層電子部品としては、誘電体層が内部電極を介して積層される全ての電子部品であり、たとえばバンドパスフィルタ、チップインダクタ、積層三端子フィルタ、圧電素子、チップサーミスタ、チップバリスタ、チップ抵抗、その他の表面実装(SMD)チップ型電子部品などが例示される。

【実施例】

40

【0134】

以下、本発明を、さらに詳細な実施例に基づき説明するが、本発明は、これら実施例に限定されない。

【0135】

実施例1

下記の通り、試料番号1～試料番号7のコンデンサ試料を作製して、抵抗値バラツキの評価を行った。

【0136】

まず、BaTiO₃系セラミック粉末：100重量部と、ポリビニルブチラール樹脂：10重量部と、可塑剤としてのジオクチルフタレート(DOP)：5重量部と、溶媒とし

50

てのアルコール：100重量部とをボールミルで混合してペースト化し、内側グリーンシート用ペーストを得た。

【0137】

また、上記とは別に、Ni粒子44.6重量部と、テルピネオール：52重量部と、エチルセルロース：3重量部と、ベンゾトリアゾール：0.4重量部とを、3本ロールにより混練し、スラリー化して内部電極層用ペーストを作製した。

【0138】

上記にて作製した内側グリーンシート用ペーストを用いて、PETフィルム上に、乾燥後の厚みが7 μ mとなるように内側グリーンシートを形成した。次に、この上に内部電極層用ペーストを用いて、内部電極パターン層12aを所定パターンで形成した後、PETフィルムからシートを剥離し、内部電極パターン層12aを有する内側グリーンシート10aを得た。

10

【0139】

このように、内部電極パターン層12aを有する内側グリーンシート10aを積層することで、内部電極パターン層12aと内側グリーンシート10aを交互に積層し、図4に示す内部積層体13aを製造した。

【0140】

次に、内部積層体13aの上下に外側グリーンシート用ペーストを使用して、適宜の枚数の外側グリーンシート11aを形成し、積層方向に加圧接着してグリーン積層体を得た。外側グリーンシート用ペーストは、内側グリーンシート用ペーストと同様の方法により得た。

20

【0141】

次に、図5A(a)、図5A(b)、図6A、図6Bに示すように、グリーン積層体をC1切断面およびC2切断面に沿って切断してグリーンチップを得た。

【0142】

次に、得られたグリーンチップについて、脱バインダ処理、焼成およびアニールを下記条件にて行って、素子本体3を得た。

【0143】

脱バインダ処理条件は、昇温速度60 / 時間、保持温度：260、保持時間：8時間、雰囲気：空気中とした。

30

【0144】

焼成条件は、昇温速度200 / 時間、保持温度1000 ~ 1200 とし、温度保持時間を2時間とした。冷却速度は200 / 時間、雰囲気ガスは、加湿したN₂ + H₂混合ガスとした。

【0145】

アニール条件は、昇温速度：200 / 時間、保持温度：500 ~ 1000、温度保持時間：2時間、冷却速度：200 / 時間、雰囲気ガス：加湿したN₂ガスとした。

【0146】

なお、焼成およびアニールの際の雰囲気ガスの加湿には、ウェッターを使用した。

【0147】

次に、表1に示すBaO、ZnO、SiO₂およびTiOの含有量となる絶縁層用材料：44.6重量部と、テルピネオール：52重量部と、エチルセルロース：3重量部と、ベンゾトリアゾール：0.4重量部とを、3本ロールにより混練し、スラリー化して、絶縁層用ペーストを調製した。

40

【0148】

なお、表1に示す絶縁層用材料の各成分の含有量は「%」で示しているが、これは、「重量%」を意味する。

【0149】

また、表1に示す絶縁層用材料は合計して100重量%にならないが、これは微量成分が含まれているからである。

50

【 0 1 5 0 】

絶縁層用ペーストに含まれる上記の絶縁層用材料から、反応部 1 8 の一部となる成分はわずかであるため、表 1 に記載の絶縁層用ペーストの絶縁層用材料の組成が絶縁層 1 6 の組成となる。

【 0 1 5 1 】

素子本体 3 の X 軸方向の端面の全面と Y 軸方向の端面の X 軸方向の端部と Z 軸方向の端面の X 軸方向の端部に絶縁層用ペーストをディップにより塗布した後、乾燥させ、得られたチップについて、ベルトコンベア炉を用いて、脱バインダ処理、焼き付けを行い、素子本体 3 に絶縁層 1 6 を形成してセラミック焼結体 4 を得た。絶縁層用ペーストの乾燥、脱バインダ処理、焼き付け条件は以下の通りとした。

乾燥

温度：1 8 0

脱バインダ処理

昇温速度：1 0 0 0 / 時間

保持温度：5 0 0

温度保持時間：0 . 2 5 時間

雰囲気：空気中

焼き付け

昇温速度：7 0 0 / 時間

保持温度：1 0 0 0

温度保持時間：1 2 時間

雰囲気：加湿した N₂ ガス

【 0 1 5 2 】

得られたセラミック焼結体 4 の Y 軸方向の端面をバレル処理により研磨した。

【 0 1 5 3 】

次に、平均粒径 0 . 4 μ m の球状の C u 粒子とフレーク状の C u 粉の混合物 1 0 0 重量部と、有機ビヒクル（エチルセルロース樹脂 5 重量部をブチルカルビトール 9 5 重量部に溶解したもの） 3 0 重量部、およびブチルカルビトール 6 重量部とを混練し、ペースト化した外部電極用ペーストを得た。

【 0 1 5 4 】

得られた外部電極用ペーストをセラミック焼結体 4 の Y 軸方向の端面に転写し、N₂ 雰囲気 8 5 0 にて 1 0 分間焼成して外部電極 6 , 8 を形成し、積層セラミックコンデンサ 2 を得た。

【 0 1 5 5 】

上記のようにして製造したコンデンサ試料（積層セラミックコンデンサ 2 ）のサイズは、3 . 2 × 2 . 5 × 1 . 5 mm であり、内側誘電体層 1 0 は 1 0 層であった。なお、内側誘電体層 1 0 の厚みは 5 . 0 μ m であり、内部電極層 1 2 の厚みは約 1 . 2 μ m であり、絶縁層 1 6 で構成されるギャップ部の X 軸方向の幅 W g a p は約 1 0 . 0 μ m であった。

【 0 1 5 6 】

得られたコンデンサ試料等を下記の方法で測定または評価した。

【 0 1 5 7 】

< 反応部の組成 >

反応部 1 8 に含まれる元素の含有量は、反応部 1 8 の観察用の断面を得て、観察用の断面を走査型電子顕微鏡（日立共和エンジニアリング株式会社製：S - 4 8 0 0 ）で観察し、反応部 1 8 の箇所を E D X （H O R I B A E M A X E N E R G Y E X - 3 5 0 ）で分析することで確認した。結果を表 2 に示す。なお、表 2 において、反応部 1 8 の各成分の含有量は「 % 」で示しているが、これは「重量 % 」を意味する。

【 0 1 5 8 】

< 抵抗値のバラつき >

1 0 0 個のコンデンサ試料に対し、室温において、デジタル抵抗メータ（A D V A N T

10

20

30

40

50

E S T社製 R 8 3 4 0) にて、測定電圧 4 V、測定時間 3 0 秒の条件で絶縁抵抗を測定した。コンデンサ試料の電極面積および内側誘電体層 1 0 の厚みから平均の比抵抗の値を求めて、比抵抗のバラつきを標準偏差で算出し、その結果を抵抗値のバラつきとした。結果を表 2 に示す。標準偏差 $3 = 2.0 \times 10^8$ 以内を好ましい (○) と判断し、 $3 = 1.0 \times 10^8$ 以内であればより好ましい () と判断した。また、 $3 = 2.0 \times 10^8$ より大きいサンプルについては不良 (×) と判断した。

【 0 1 5 9 】

【表 1】

表 1

試料 番号	絶縁層用材料の各成分の含有量(重量%)				軟化点 (°C)
	BaO	SiO ₂	TiO ₂	ZnO	
1	15.0%	20.0%	-	25.0%	489
2	20.0%	30.0%	13.0%	-	482
3	15.0%	30.0%	10.0%	10.0%	502
4	15.0%	30.0%	25.0%	3.0%	494
5	25.0%	25.0%	3.0%	13.0%	483
6	20.0%	15.0%	30.0%	6.0%	488
7	30.0%	25.0%	5.0%	25.0%	496

10

20

【 0 1 6 0 】

【表 2】

表 2

試料 番号	反応部の各成分の含有量 (重量%)			抵抗値 バラつき ($\times 10^8 \Omega$)
	Ni	Ti	Zn	
1	30.0%	-	20.0%	× : 3.5
2	30.0%	10.0%	-	× : 2.4
3	25.0%	5.0%	5.0%	○ : 1.8
4	30.0%	19.8%	0.1%	○ : 1.6
5	25.0%	0.1%	9.5%	○ : 1.7
6	30.0%	25.0%	0.5%	× : 2.4
7	30.0%	0.3%	15.0%	× : 3.7

30

【 0 1 6 1 】

試料番号 1 ~ 試料番号 5 より、反応部に T i と Z n が含まれており、T i の含有量が 2 5 . 0 重量%未満であり、Z n の含有量が 1 5 . 0 重量%未満の場合 (試料番号 3 ~ 試料番号 5) は、反応部に T i または Z n が含まれていない場合 (試料番号 1、試料番号 2)、反応部の T i の含有量が 2 5 . 0 重量%の場合 (試料番号 6) または反応部の Z n の含有量が 1 5 . 0 重量%の場合 (試料番号 7) に比べて、抵抗値のバラつきが良好であることが確認できた。

40

【 0 1 6 2 】

試料番号 3 ~ 試料番号 5 は、絶縁層の T i および Z n の含有量が適量であったため、反応部が安定して構成されることにより、抵抗値のバラつきを抑えることができたと考えられる。一方、試料番号 1 および試料番号 2 は、T i および Z n のいずれか一方のみしか反応部に含まれないため、抵抗値のバラつきを抑えることができなかったと考えられる。

50

【 0 1 6 3 】

実施例 2

絶縁層用材料の組成および軟化点を表 3 に記載の通りに変えて、絶縁層用ペーストを焼き付ける際の保持温度と保持時間を表 4 に記載の通りに変えた以外は、実施例 1 と同様にして試料番号 8 ~ 試料番号 1 6 のコンデンサ試料を作製して、反応部の組成の測定ならびに抵抗値バラつきおよび絶縁破壊電圧不良率の評価を行った。結果を表 4 に示す。

【 0 1 6 4 】

なお、試料番号 8 ~ 試料番号 1 6 の反応部の組成の測定および抵抗値バラつきの評価は実施例 1 と同様に行った。絶縁破壊電圧不良率の評価方法は以下の通りである。

【 0 1 6 5 】

< 絶縁破壊電圧不良率 >

破壊電圧の測定機により、コンデンサ試料に $10\text{ V} / \text{sec}$ で昇圧して、電圧を連続印加して、 10 mA の電流が流れた電圧を絶縁破壊電圧とし、さらに内側誘電体層 $10\text{ }\mu\text{m}$ の厚みで割った値を破壊電圧値とした。 $40\text{ V} / \mu\text{m}$ 以下で絶縁破壊したコンデンサ試料を不良とし、コンデンサ試料 100 個中の不良率を求めた。結果を表 4 に示す。絶縁破壊電圧不良率が 15% 以下の場合を良好と判断した。

【 0 1 6 6 】

【表 3】

表 3

試料番号	絶縁層用材料組成										軟化点 (°C)
	BaO	SiO ₂	B ₂ O ₃	Bi ₂ O ₃	TiO ₂	ZnO	MgO	Al ₂ O ₃	La ₂ O ₃	CaO	
8	○	○	○	○	○	○	-	-	-	-	432
9	○	○	○	-	○	○	-	-	-	-	482
10	○	○	○	-	○	○	-	○	-	○	632
11	○	○	-	-	○	○	○	-	-	○	534
12	○	○	○	-	○	○	-	○	-	-	563
13	○	○	-	-	○	○	○	-	-	-	549
14	○	○	-	-	○	○	○	○	-	-	542
15	○	○	-	-	○	○	-	-	○	-	491
16	○	○	○	-	○	○	-	-	-	○	448

【 0 1 6 7 】

【表 4】

表 4

試料番号	保持温度 (°C)	保持時間 (h)	Zn, Ti, Ni 以外の反応部成分	抵抗値バラつき ($\times 10^8 \Omega$)	絶縁破壊電圧不良率
8	700	12.0	Bi	○ : 1.5	× : 95%
9	750	12.0	-	○ : 1.7	× : 90%
10	700	18.0	Al, Ca	○ : 1.4	○ : 15%
11	800	18.0	Mg, Ca	○ : 1.3	○ : 12%
12	900	12.0	Al	○ : 1.4	○ : 10%
13	800	24.0	Mg	○ : 1.4	○ : 3%
14	800	12.0	Mg, Al	○ : 1.4	○ : 9%
15	900	24.0	La	○ : 1.5	× : 70%
16	850	24.0	Ca	○ : 1.8	× : 90%

【 0 1 6 8 】

試料番号 8 ~ 試料番号 16 の反応部の Ti の含有量は 0.1 重量% 以上 20 重量% 未満であり、反応部の Zn の含有量は 0.1 重量% 以上 10 重量% 未満であった。

【0169】

試料番号 8 ~ 試料番号 16 より、反応部に、さらに Mg および Al から選ばれるいずれか 1 種以上を含み、絶縁層に Ti および Zn を含み、さらに、Mg および Al から選ばれるいずれか 1 種以上を含む場合（試料番号 10 ~ 試料番号 14）は、反応部に、Mg または Al が含まれず、絶縁層に Mg または Al を含まない場合（試料番号 8、9、15 および 16）に比べて絶縁破壊電圧不良率が良好であることが確認できた。

【0170】

試料番号 10 ~ 試料番号 14 は、絶縁層用ペーストに Ti と Zn を含み、Mg および Al から選ばれるいずれか 1 種以上を含む。Ti、Zn、Mg および Al は内部電極層に含まれる Ni とイオン半径が非常に近い値にあることから、絶縁層用ペーストを素子本体に焼き付ける際に、反応し易くなる作用が得られると考えられる。このように、絶縁層用ペーストに含まれる元素と内部電極層に含まれる Ni の反応性が強くなることで、抵抗値のバラつきだけでなく、絶縁破壊電圧不良率も低下させられたと考えられる。

【0171】

実施例 3

絶縁層用材料の組成を変えて、絶縁層用ペーストを焼き付ける際の保持温度と保持時間を表 5 に記載の通りに変えた以外は実施例 1 と同様にして試料番号 17 ~ 試料番号 25 のコンデンサ試料を作製して、反応部の組成および $W2a/W0$ の測定ならびに静電容量比（ $C/C40$ ）および抵抗値バラつきを評価した。結果を表 5 および表 6 に示す。なお、試料番号 17 ~ 試料番号 25 の絶縁層用材料の TiO_2 および ZnO の含有量は表 5 に記載の通りである。

【0172】

なお、試料番号 17 ~ 試料番号 25 の反応部の組成の測定および抵抗値バラつきの評価は実施例 1 と同様にして行った。 $W2a/W0$ の測定と静電容量比の評価方法は以下の通りである。

【0173】

< $W2a/W0$ >

コンデンサ試料が Y 軸方向の端面を下にして立つように樹脂埋めを行い、他方の端面を積層セラミックコンデンサ 2 の Y 軸方向に沿って研磨し、素子本体 3 の Y 軸方向の長さ、 $1/2L0$ となる研磨断面を得た。次に、この研磨断面に対しイオンミリングを行い、研磨によるダレを除去した。このようにして、観察用の断面を得た。

【0174】

次に、1 つの試料の断面につき 20 箇所において、図 3 に示す内部電極層 12 の X 軸方向の端部の反応部 18 の幅 $W2$ を測定した。なお、1 箇所の反応部 18 において、最も幅のある部分を幅 $W2$ とした。この作業を 10 個のコンデンサ試料に対して行った。測定された 200 箇所の反応部 18 の幅 $W2$ の平均値 $W2a$ を求めた。なお、内部電極層 12 が欠損している箇所についてはカウントしなかった。また、上記の試料の断面を基に、素子本体 3 の X 軸方向の幅 $W0$ の平均寸法を測定して、 $W2a/W0$ を求めた。結果を表 6 に示す。

【0175】

なお、幅 $W2$ の測定には、デジタルマイクロスコープ（キーエンス社製 VHX マイクロスコープ）を使用し、5000 倍レンズで観察および測定を行った。デジタルスコープで観察する際に、内光モードで観察することで、明度の低い反応部 18 と明度の高い Ni との間に明確な差が現れることから、反応部 18 と、反応部 18 ではない Ni を含む内部電極層 12 の境界を判断できる。また、反応部 18 と絶縁層 16 との境界は明度の低い反応部 18 と明度がない絶縁層 16 との間に明確な差により判断できる。

【0176】

< 静電容量比（ $C/C40$ ） >

10

20

30

40

50

25 においてデジタルLCRメータにて1kHz、1.0Vrmsの条件で、100個のコンデンサ試料の静電容量を測定し、その平均値(C)を求めた。また、同じ条件下で、本実施例と同じチップサイズであり、ギャップ部の幅Wgap(サイドギャップ)が40μmの100個の従来品の静電容量を測定し、その平均値(C40)を求め、静電容量比(C/C40)を求めた。結果を表6に示す。静電容量比(C/C40)が1.2以上の場合を良好と判断した。

【0177】

【表5】

表5

試料番号	絶縁層用材料の各成分の含有量(重量%)		反応部の各成分の含有量(重量%)		Zn, Ti, Ni以外の反応部成分
	TiO ₂	ZnO	Ti	Zn	
17	20%	20%	13.1%	8.3%	Si
18	20%	20%	13.4%	8.2%	Si
19	20%	20%	13.1%	9.1%	Si
20	20%	20%	13.2%	8.3%	Si
21	20%	20%	13.5%	8.5%	Si
22	20%	20%	13.7%	8.8%	Si
23	20%	20%	13.8%	9.4%	Si
24	20%	20%	13.7%	9.3%	Si
25	20%	20%	14.0%	9.8%	Si

10

20

【0178】

【表6】

表6

試料番号	保持温度(°C)	保持時間(h)	W2a/W0	静電容量比C/C40	抵抗値バラつき(×10 ⁸ Ω)
17	600	12.0	0.03%	○:2.9	○:1.5
18	650	12.0	0.17%	○:2.5	○:1.4
19	700	24.0	0.33%	○:2.4	◎:0.8
20	750	12.0	0.80%	○:2.0	◎:0.6
21	800	24.0	1.97%	○:1.6	◎:0.7
22	850	24.0	2.73%	○:1.3	◎:0.4
23	900	24.0	3.33%	○:1.2	◎:0.4
24	950	24.0	3.50%	×:1.0	◎:0.5
25	1000	24.0	4.70%	×:0.8	◎:0.5

30

40

【0179】

試料番号17~試料番号25より、W2a/W0が、0.17%超3.50%未満の場合(試料番号19および試料番号23)は、W2a/W0が、0.17%以下の場合(試料番号17、18)に比べて抵抗値バラつきが良好であり、W2a/W0が3.50%以上の場合(試料番号24、25)に比べて静電容量比が良好であることが確認できた。試

50

料番号 2 4 および試料番号 2 5 は、反応部が厚すぎるため、有効容量面積が減ってしまうことで、静電容量比が低くなったと考えられる。

【産業上の利用可能性】

【0180】

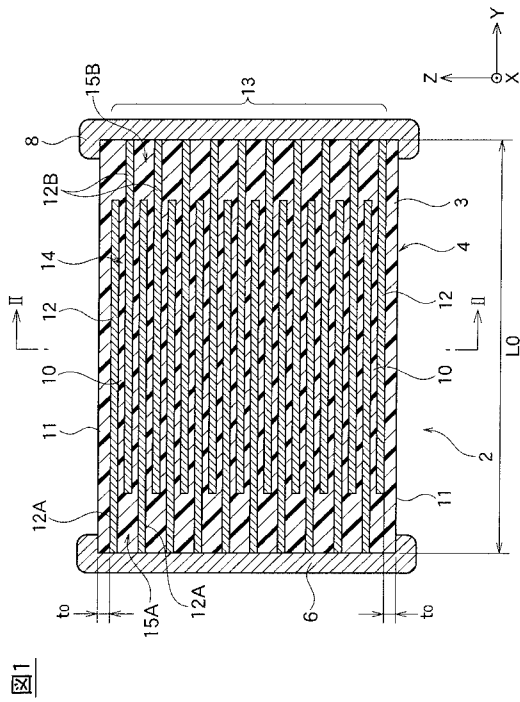
以上のように、本発明に係る積層セラミック電子部品は、小型高容量で使用されることが多いノートパソコンやスマートフォンに用いる電子部品として有用である。

【符号の説明】

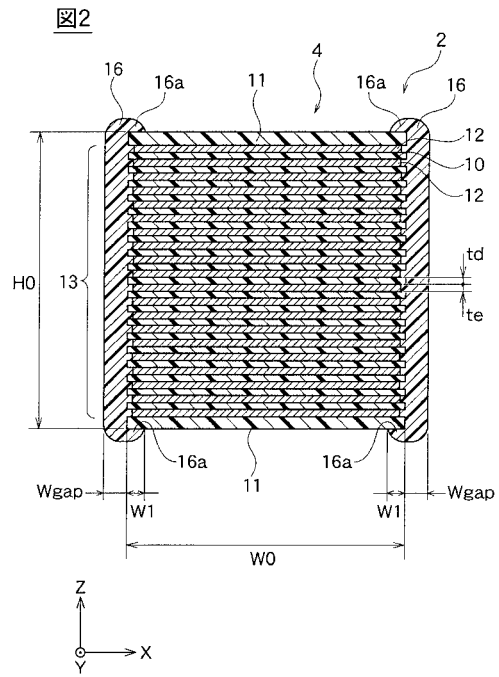
【0181】

- | | | |
|-------------------|--------------|----|
| 2 ... | 積層セラミックコンデンサ | |
| 3 ... | 素子本体 | 10 |
| 4 ... | セラミック焼結体 | |
| 6 ... | 第 1 外部電極 | |
| 8 ... | 第 2 外部電極 | |
| 1 0 ... | 内側誘電体層 | |
| 1 0 a ... | 内側グリーンシート | |
| 1 1 ... | 外装領域 | |
| 1 1 a ... | 外側グリーンシート | |
| 1 2 ... | 内部電極層 | |
| 1 2 A , 1 2 B ... | 引出部 | |
| 1 2 a ... | 内部電極パターン層 | 20 |
| 1 3 ... | 内装領域 | |
| 1 3 a ... | 内部積層体 | |
| 1 4 ... | 容量領域 | |
| 1 5 A , 1 5 B ... | 引出領域 | |
| 1 6 ... | 絶縁層 | |
| 1 6 a ... | 絶縁層延長部 | |
| 1 8 ... | 反応部 | |
| 2 0 ... | 段差吸収層 | |
| 3 2 ... | 内部電極パターン層の隙間 | |

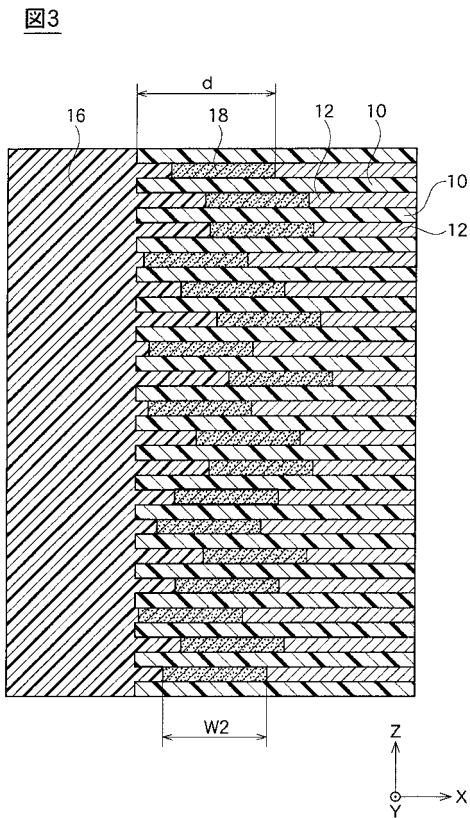
【 図 1 】



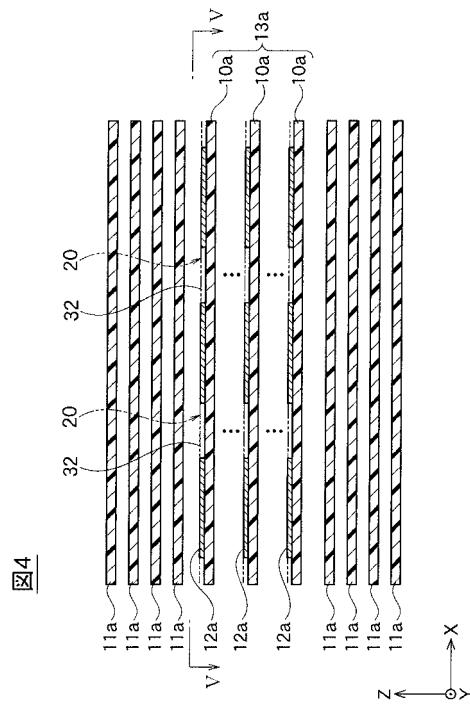
【 図 2 】



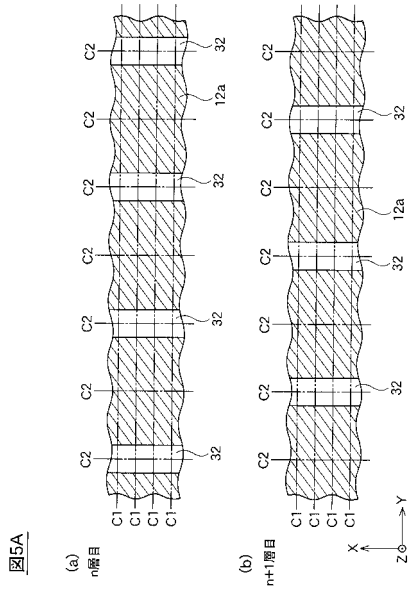
【 図 3 】



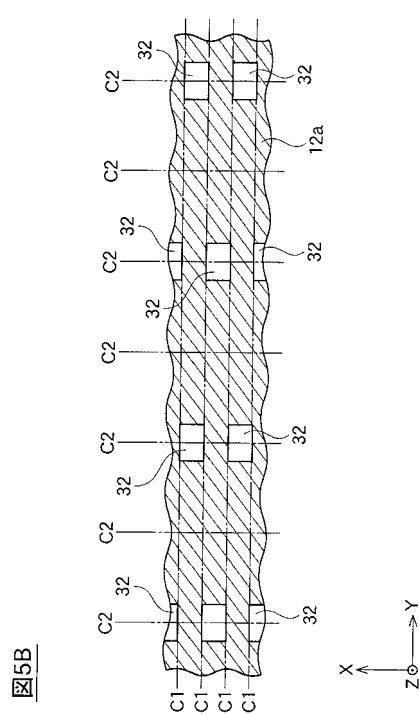
【 図 4 】



【 図 5 A 】

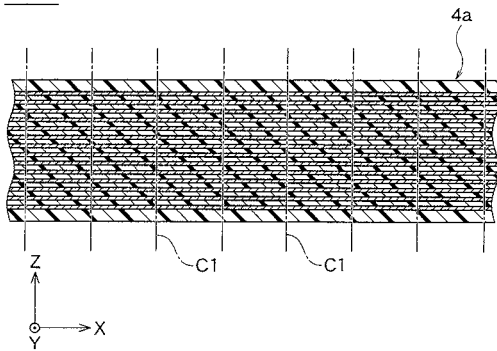


【 図 5 B 】



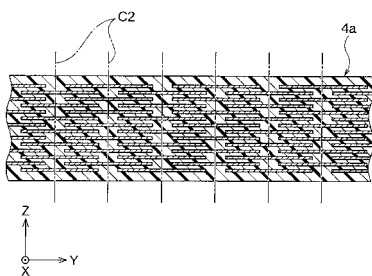
【 図 6 A 】

図6A



【 図 6 B 】

図6B



フロントページの続き

Fターム(参考) 5E082 AB03 EE04 EE23 FF05 FG04 FG25 FG26