

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 23 年 9 月 15 日 (2011.9.15)

【公開番号】特開 2010-67900 (P2010-67900A)

【公開日】平成 22 年 3 月 25 日 (2010.3.25)

【年通号数】公開・登録公報 2010-012

【出願番号】特願 2008-234863 (P2008-234863)

【国際特許分類】

H 0 1 L 27/04 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 3 K 19/00 (2006.01)

H 0 3 K 19/096 (2006.01)

【F I】

H 0 1 L 27/04 V

H 0 1 L 27/04 F

H 0 3 K 19/00 A

H 0 3 K 19/096 A

【手続補正書】

【提出日】平成 23 年 8 月 3 日 (2011.8.3)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の電圧を供給する第 1 の電源線と、

第 2 の電圧を供給する第 2 の電源線と、

前記第 1 及び前記第 2 の電源線の間接続され、第 1 のモードにおける第 1 の状態であるときに、第 1 のインピーダンスで前記第 1 の電源線を前記第 2 の電源線と電氣的に結合状態にし、前記第 1 のモードにおける第 2 の状態であるときに、前記第 1 のインピーダンスより高い第 2 のインピーダンスで前記第 1 の電源線を前記第 2 の電源線と電氣的に結合状態にし、第 2 のモードにおいて、前記第 1 のインピーダンスより低い第 3 のインピーダンスで前記第 1 の電源線を前記第 2 の電源線と電氣的に結合状態にする回路と、

を備えていることを特徴とする半導体装置。

【請求項 2】

前記回路は、

前記第 1 及び前記第 2 の電源線の間接続され、前記第 1 のモードにおける前記第 1 の状態であるとき及び第 2 のモードにおいて、前記第 1 のインピーダンスで前記第 1 の電源線を前記第 2 の電源線と電氣的に結合状態にし、前記第 1 のモードにおける前記第 2 の状態であるとき、前記第 2 のインピーダンスで前記第 1 の電源線を前記第 2 の電源線と電氣的に非結合状態にする第 1 のスイッチ回路と、

前記第 1 及び前記第 2 の電源線の間接続され、前記第 2 のモードにおいて、前記第 1 の電源線を前記第 2 の電源線と電氣的に結合状態にする第 2 のスイッチ回路と、

を備えていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 の状態は、アクティブ状態であり、

前記第 2 の状態は、アイドル状態であり、

前記第 1 のモードは、電流消費を低減しているモードであり、
前記第 2 のモードは、電流消費を低減していないモードである
ことを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 4】

前記回路は、サブスレッショルド電流低減回路を含んでいる
ことを特徴とする請求項 1 から請求項 3 のいずれか一項に記載の半導体装置。

【請求項 5】

第 1 及び第 2 の状態を切り替える第 1 のスイッチ回路を含むサブスレッショルド電流低減回路と、

前記第 1 及び前記第 2 の状態を切り替え、前記第 1 のスイッチ回路の端子間の電源インピーダンスを低減させる第 2 のスイッチ回路と、

前記第 1 及び前記第 2 のスイッチ回路に接続され、第 1 のスイッチ回路を前記第 1 の状態に保持し、前記第 2 のスイッチ回路を前記第 2 の状態から前記第 1 の状態に切り替える制御回路と、

を備え、

前記制御回路は、

前記第 2 のスイッチ回路に接続される不揮発性回路であって、前記第 2 の状態から前記第 1 の状態に前記第 2 のスイッチ回路を切り替えるように書き込まれる不揮発性回路を備えている

ことを特徴とする半導体装置。

【請求項 6】

さらに、前記第 1 のスイッチ回路に接続された論理回路を備え、

前記第 1 のスイッチ回路は、前記論理回路に供給される電源電圧を切り替えるように前記第 1 及び前記第 2 の状態を切り替える

ことを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

前記第 1 及び前記第 2 のスイッチ回路は、前記制御回路に並列に接続されている

ことを特徴とする請求項 5 又は請求項 6 に記載の半導体装置。

【請求項 8】

前記第 1 及び前記第 2 のスイッチ回路の前記第 1 の状態は、高いインピーダンス状態であり、

前記第 1 及び前記第 2 のスイッチ回路の前記第 2 の状態は、低いインピーダンス状態である

ことを特徴とする請求項 5 から請求項 7 のいずれか一項に記載の半導体装置。

【請求項 9】

前記不揮発性回路は、フューズ回路を含む

ことを特徴とする請求項 5 から請求項 8 のいずれか一項に記載の半導体装置。

【請求項 10】

さらに、第 1 の電圧を供給するメイン電源線と、

第 2 の電圧を供給するサブ電源線と、

を備え、

前記第 1 及び前記第 2 のスイッチ回路は、前記メイン電源線と前記サブ電源線との間にそれぞれ接続されている

ことを特徴とする請求項 5 から請求項 9 のいずれか一項に記載の半導体装置。

【請求項 11】

電源供給線と論理回路との間に接続され、サブスレッショルド電流リークを低減させるサブスレッショルド電流低減回路と、前記電源供給線を低いインピーダンス又は高いインピーダンスで前記論理回路と接続する前記サブスレッショルド電流低減回路を制御する制御回路と、を含んでいる半導体装置をテストする手順と、

前記制御回路によって前記低いインピーダンスにされている前記サブスレッショルド電

流低減回路において半導体装置のサブスレッシュヨルド電流を測定する手順と、

前記サブスレッシュヨルド電流が予め定められた値より低い場合に、前記サブスレッシュヨルド電流低減回路が前記低いインピーダンスによって前記電源供給線を前記前記論理回路と接続する制御を行うように制御回路に書き込む手順と、

を含むことを特徴とするテスト方法。

【請求項 1 2】

前記制御回路に書き込む手順は、

前記制御回路の不揮発性記憶部に書き込む手順を含む
ことを特徴とする請求項 1 1 に記載のテスト方法。

【請求項 1 3】

サブスレッシュヨルド電流リークを低減させる第 1 のトランジスタと、前記第 1 のトランジスタに並列した第 2 のトランジスタと、前記第 1 及び前記第 2 のトランジスタを制御する制御回路とを含む半導体装置をテストする手順と、

前記制御回路によって前記低いインピーダンスにされている前記第 1 のトランジスタにおいて半導体装置のサブスレッシュヨルド電流を測定する手順と、

前記サブスレッシュヨルド電流が予め定められた値より低い場合に、前記第 2 のトランジスタを低いインピーダンス状態にさせるように制御回路に書き込む手順と、

を含むことを特徴とするテスト方法。

【請求項 1 4】

前記制御回路に書き込む手順は、

前記サブスレッシュヨルド電流が前記予め定められた値より低い場合に、前記第 2 のトランジスタを低いインピーダンス状態にさせるように前記制御回路の不揮発性記憶部に書き込む手順を含む

ことを特徴とする請求項 1 3 に記載のテスト方法。

【請求項 1 5】

前記制御回路に書き込む手順は、

前記制御回路の不揮発性記憶部に書き込む手順を含む
ことを特徴とする請求項 1 3 に記載のテスト方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体装置、及びテスト方法