

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5926962号
(P5926962)

(45) 発行日 平成28年5月25日(2016.5.25)

(24) 登録日 平成28年4月28日(2016.4.28)

(51) Int.Cl.	F I
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 8 C
HO 1 L 21/8242 (2006.01)	HO 1 L 29/78 6 1 3 B
HO 1 L 27/108 (2006.01)	HO 1 L 29/78 6 2 1
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 6 1 7 K
請求項の数 3 (全 29 頁) 最終頁に続く	

(21) 出願番号 特願2012-13424 (P2012-13424)
 (22) 出願日 平成24年1月25日(2012.1.25)
 (65) 公開番号 特開2012-256836 (P2012-256836A)
 (43) 公開日 平成24年12月27日(2012.12.27)
 審査請求日 平成27年1月8日(2015.1.8)
 (31) 優先権主張番号 特願2011-14628 (P2011-14628)
 (32) 優先日 平成23年1月26日(2011.1.26)
 (33) 優先権主張国 日本国(JP)
 (31) 優先権主張番号 特願2011-112673 (P2011-112673)
 (32) 優先日 平成23年5月19日(2011.5.19)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 郷戸 宏充
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 市川 武宜

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1の絶縁層と、第2の絶縁層と、トランジスタとを有し、
前記第1の絶縁層は、第1のトレンチと、第2のトレンチとを有し、
前記トランジスタは、
前記第1のトレンチの底面及び内壁面に接する領域を有する半導体層と、
前記半導体層上にゲート絶縁層と、
前記ゲート絶縁層上にゲート電極と、を有し、
前記ゲート絶縁層は、前記第2のトレンチの底面及び内壁面に接する領域を有し、
前記ゲート電極は、前記第1のトレンチ内を充填する領域を有し、
前記第2の絶縁層は、前記第2のトレンチ内を充填する領域を有し、
前記半導体層は、禁制帯幅が1.1eVよりも大きい酸化物半導体、またはGaNを有
することを特徴とする半導体装置。

10

【請求項2】

請求項1において、
 さらに前記半導体層に接するソース電極またはドレイン電極を有することを特徴とする半導体装置。

【請求項3】

請求項1または請求項2において、
 前記半導体層は、断面形状がU字形状であることを特徴とする半導体装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路の微細化技術に関する。本明細書で開示する発明の中には、半導体集積回路を構成する要素としてシリコン半導体の他に化合物半導体によって構成される素子が含まれ、その一例としてワイドギャップ半導体を適用したものが開示される。

【背景技術】

【0002】

半導体記憶装置としてダイナミックRAM(DRAM)は良く知られた製品であり、今日においても各種電子機器の中で使われている。DRAMの中核部を構成するメモリセルは書き込み及び読み出し用のトランジスタとキャパシタによって構成されている。

10

【0003】

DRAMは、他の半導体集積回路と同様にスケーリング則に従って回路パターンの微細化が進められてきたが、デザインルールを100nm以下にすることは難しいと考えられていた時期もあった。その理由の一つとして、トランジスタのチャンネル長が100nm以下となると、短チャンネル効果によりパンチスルー電流が流れやすくなり、トランジスタがスイッチング素子として機能しなくなることが問題視されていた。もっとも、パンチスルー電流を防ぐにはシリコン基板に高濃度の不純物をドーピングすれば良いが、そうするとソースと基板間又はドレインと基板間に接合リーク電流が流れやすくなり、結局はメモリの保持特性を低下させてしまう原因となってしまう、この問題の解決策としては適切ではなかった。

20

【0004】

このような問題に対して、メモリセルを構成するトランジスタを3次元に形成し、一つのメモリセルが占める面積を縮小しつつ、トランジスタの実効的なチャンネル長を短チャンネル効果が生じない程度に維持する方法が考えられてきた。例えば、トランジスタのチャンネル部が形成される領域にU字状の縦長溝を形成し、その溝の壁面に沿ってゲート絶縁膜を形成し、さらにその溝にゲート電極を埋め込んだ構造である(非特許文献1参照)。

【0005】

このような構造をチャンネル部に有するトランジスタは、ソース領域とドレイン領域の間を流れる電流が溝部分を回り込む形で流れるため実効的なチャンネル長が長くなっている。このため、メモリセルに占めるトランジスタの占有面積を縮小しつつ、短チャンネル効果を抑制できるといったメリットが得られていた。

30

【先行技術文献】

【非特許文献】

【0006】

【非特許文献1】Kinam Kim、「Technology for sub-50nm DRAM and NAND Flash Manufacturing」、International Electron Devices Meeting, 2005. IEDM Technical Digest, 2005年12月、p. 333 - 336

40

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、従来のDRAMは、データを保持するために数十ミリ秒間隔でリフレッシュをしなければならず、消費電力の増大を招いていた。また、頻繁にトランジスタのオン状態とオフ状態が切り換わるのでトランジスタの劣化が問題となっていた。この問題は、メモリ容量が増大し、トランジスタの微細化が進むにつれて顕著なものとなっていた。

【0008】

そこで本発明は、半導体記憶装置におけるデータ保持特性の改善を図ることのできる技術を提供することを目的の一とする。また、半導体記憶装置におけるデータ保持特性の改善

50

を図りつつ、消費電力の低減を図ることのできる技術を提供することを目的の一とする。

【課題を解決するための手段】

【0009】

上記課題を解決するために、ワイドギャップ半導体を有するトランジスタ、特に、ワイドギャップ半導体を有する絶縁ゲート型トランジスタを用いて、回路、具体的には半導体記憶装置を構成する。

【0010】

ワイドギャップ半導体を有するトランジスタを用いることによって、従来のDRAMよりも長い間隔でリフレッシュを行うことができ、消費電力の低減を実現できる。また、単位時間あたりのトランジスタのオン状態とオフ状態の切り換え回数が低減されるため、従来のDRAMよりもトランジスタの寿命を長くすることができる。

【0011】

また、ワイドギャップ半導体層を用いたトランジスタにおいても、トランジスタの微細化が進むと、短チャネル効果が発現する恐れがある。そこで、ワイドギャップ半導体層を用いた新規のトランジスタ構造を提案する。

【0012】

本明細書で開示する実施形態の一態様は、絶縁層に第1のトレンチ及び第2のトレンチと、第1のトレンチの底面及び内壁面に接するワイドギャップ半導体層と、ワイドギャップ半導体層上にゲート絶縁層と、ゲート絶縁層上にゲート電極と、第2のトレンチ内を充填する絶縁層と、を有し、ゲート絶縁層は、第2のトレンチの底面及び内壁面上にあり、ゲート電極は、第1のトレンチ内を充填することを特徴とする半導体装置である。第1のトレンチは、ゲート電極用のトレンチであり、第2のトレンチは素子分離用のトレンチである。なお、第1のトレンチの上面形状は、ストライプ形状または棒状であり、第2のトレンチの上面形状は格子形状またはストライプ形状または棒状である。

【0013】

上記構成において、さらにワイドギャップ半導体層に接するソース電極またはドレイン電極を有することを特徴としている。

【0014】

ワイドギャップ半導体としては、少なくともシリコンの 1.1 eV よりも大きい禁制帯幅を持つ酸化物半導体（例えば In-Ga-Zn-O 系酸化物半導体は 3.15 eV 、インジウム錫亜鉛酸化物半導体は、 $2.6\text{ eV} \sim 2.8\text{ eV}$ 以上、酸化インジウムは約 3.0 eV 、インジウム錫酸化物は約 3.0 eV 、インジウムガリウム酸化物は約 3.3 eV 、インジウム亜鉛酸化物は約 2.7 eV 、酸化錫は約 3.3 eV 、酸化亜鉛は約 3.37 eV など）や、 GaN （約 3.4 eV ）などが挙げられる。

【0015】

また、上記ワイドギャップ半導体層のチャネル長方向の断面形状は、第1のトレンチの断面形状に沿って湾曲した形状、即ちU字形状となっており、第1のトレンチの深さが深くなればなるほどトランジスタのチャネル長が長くなる構造である。

【0016】

また、本明細書で開示するトレンチ構造のトランジスタは、ソース電極とドレイン電極との距離を狭くしても第1のトレンチの深さを適宜設定することで、短チャネル効果の発現を抑制することができる。

【発明の効果】

【0017】

半導体記憶装置におけるデータ保持特性の改善を実現できる。また、半導体記憶装置におけるデータ保持特性の改善を図りつつ、消費電力の低減を実現できる。

【図面の簡単な説明】

【0018】

【図1】本発明の一態様を示す断面図及び上面図である。

【図2】本発明の一態様を示す断面図および回路図である。

10

20

30

40

50

- 【図3】本発明の一態様を示す断面図である。
 【図4】本発明の一態様を示す回路図、及び概念図である。
 【図5】本発明の一態様を示す断面図である。
 【図6】計算に用いた構造断面図と計算結果である。
 【図7】計算に用いた構造断面図と計算結果である。
 【図8】計算に用いた構造断面図と計算結果である。
 【図9】本発明の一態様を示す回路図である。
 【図10】本発明の一態様を示す携帯機器のブロック図である。
 【図11】本発明の一態様を示す半導体装置のブロック図である。
 【図12】本発明の一態様を示す電子書籍のブロック図である。
 【図13】本発明の一態様に係る酸化物材料の構造を説明する図。
 【図14】本発明の一態様に係る酸化物材料の構造を説明する図。
 【図15】本発明の一態様に係る酸化物材料の構造を説明する図。
 【発明を実施するための形態】

【0019】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0020】

(実施の形態1)

本実施の形態では、本発明の一態様であるトランジスタの構造および作製方法について、図1を用いて説明する。図1(A)はトランジスタ162のチャンネル長方向の断面図の一例を示している。また、図1(B)はトランジスタ162とトランジスタ163の素子分離領域165の断面図の一例を示している。また、図1(C)はトランジスタ162とトランジスタ163の上面図の一例を示している。なお、図1(B)はトランジスタ162のチャンネル幅方向の断面図の一部であり、図1(C)中の鎖線D1-D2で切断した断面に相当する。また、図1(A)は、図1(C)中の鎖線A1-A2で切断した断面に相当する。

【0021】

まず、半導体基板上に酸化膜からなる絶縁層130を形成する。そして絶縁層130に複数のトレンチ(溝とも呼ぶ)を形成する。そしてトレンチを覆うようにワイドギャップ半導体層144を形成する。トレンチの形成方法は公知の技術を用いればよく、本実施の形態では約0.4 μ mの深さのトレンチを形成する。また、本実施の形態では、ゲート電極用のトレンチを一回のエッチングまたは複数回のエッチングによって形成する。

【0022】

半導体基板としては、SOI基板、MOSFET構造のトランジスタを含む駆動回路が形成された半導体基板、容量が形成された半導体基板などを用いる。

【0023】

絶縁層130は、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜を用いて形成することができる。

【0024】

ワイドギャップ半導体層144の膜厚は、1nm以上100nm以下とし、スパッタリング法、MBE(Molecular Beam Epitaxy)法、CVD法、パルスレーザ堆積法、ALD(Atomic Layer Deposition)法、塗布法、印刷法等を適宜用いることができる。また、ワイドギャップ半導体層144は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置、所謂CPスパッタ装置(Columnar Plasma Sputtering system)を用いて成膜してもよい。

【0025】

ワイドギャップ半導体層144の材料としては、少なくともシリコンよりも大きい禁制帯幅を持つ酸化物半導体や、窒化ガリウム、酸化窒化ガリウム、酸化窒化ガリウム亜鉛を用いる。シリコンよりも大きい禁制帯幅を持つ酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。

10

【0026】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種あるいは複数種を有してもよい。

【0027】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

20

30

【0028】

なお、ここで、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

【0029】

また、酸化物半導体として、 $InMO_3(ZnO)_m$ ($m > 0$ 、且つ、 m は整数でない)で表記される材料を用いてもよい。なお、 M は、Ga、Fe、Mn及びCoから選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $In_3SnO_5(ZnO)_n$ ($n > 0$ 、且つ、 n は整数)で表記される材料を用いてもよい。

40

【0030】

例えば、 $In:Ga:Zn = 1:1:1 (= 1/3:1/3:1/3)$ あるいは $In:Ga:Zn = 2:2:1 (= 2/5:2/5:1/5)$ の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $In:Sn:Zn = 1:1:1 (= 1/3:1/3:1/3)$ 、 $In:Sn:Zn = 2:1:3 (= 1/3:1/6:1/2)$ あるいは $In:Sn:Zn = 2:1:5 (= 1/4:1/8:5/8)$ の原子数比のIn-Sn-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

【0031】

また、In-Sn-Zn系酸化物は、ITZO(登録商標)と呼ぶことができ、用いるターゲットの組成比は、 $In:Sn:Zn$ が原子数比で、 $1:2:2$ 、 $2:1:3$ 、 $1:1$

50

: 1、または20 : 45 : 35などとなる酸化物ターゲットを用いる。

【0032】

しかし、これらに限られず、必要とする半導体特性（移動度、しきい値、ばらつき等）に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとするのが好ましい。

【0033】

例えば、In-Sn-Zn系酸化物では比較的容易に高い移動度を得られる。しかしながら、In-Ga-Zn系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

10

【0034】

なお、例えば、In、Ga、Znの原子数比が $In : Ga : Zn = a : b : c$ ($a + b + c = 1$)である酸化物の組成が、原子数比が $In : Ga : Zn = A : B : C$ ($A + B + C = 1$)の酸化物の組成の近傍であるとは、 a 、 b 、 c が、 $(a - A)^2 + (b - B)^2 + (c - C)^2 < r^2$ を満たすことを言い、 r は、例えば、0.05とすればよい。他の酸化物でも同様である。

【0035】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

20

【0036】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

【0037】

本実施の形態では、 c 軸配向し、かつ ab 面、表面または界面の方向から見て三角形または六角形状の原子配列を有し、 c 軸においては金属原子が層状または金属原子と酸素原子とが層状に配列しており、 ab 面においては a 軸または b 軸の向きが異なる（ c 軸を中心に回転した）結晶（CAAC: C Axis Aligned Crystalともいう。）を含む酸化物について説明する。

30

【0038】

CAACを含む酸化物とは、広義に、非単結晶であって、その ab 面に垂直な方向から見て、三角形、六角形、正三角形または正六角形の原子配列を有し、かつ c 軸方向に垂直な方向から見て、金属原子が層状、または金属原子と酸素原子が層状に配列した相を含む酸化物をいう。

【0039】

CAACは単結晶ではないが、非晶質のみから形成されているものでもない。また、CAACは結晶化した部分（結晶部分）を含むが、1つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。

【0040】

CAACに酸素が含まれる場合、酸素の一部は窒素で置換されてもよい。また、CAACを構成する個々の結晶部分の c 軸は一定の方向（例えば、CAACを支持する基板面、CAACの表面などに垂直な方向）に揃っていてもよい。または、CAACを構成する個々の結晶部分の ab 面の法線は一定の方向（例えば、CAACを支持する基板面、CAACの表面などに垂直な方向）を向いていてもよい。

40

【0041】

CAACは、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。

【0042】

50

このようなC A A Cの例として、膜状に形成され、膜表面または支持する基板面に垂直な方向から観察すると三角形または六角形の原子配列が認められ、かつその膜断面を観察すると金属原子または金属原子および酸素原子（または窒素原子）の層状配列が認められる結晶を挙げることもできる。

【 0 0 4 3 】

C A A Cに含まれる結晶構造の一例について図 1 3 乃至図 1 5 を用いて詳細に説明する。なお、特に断りが無い限り、図 1 3 乃至図 1 5 は上方向を c 軸方向とし、c 軸方向と直交する面を a b 面とする。なお、単に上半分、下半分という場合、a b 面を境にした場合の上半分、下半分をいう。また、図 1 3 において、丸で囲まれた O は 4 配位の O を示し、二重丸で囲まれた O は 3 配位の O を示す。

10

【 0 0 4 4 】

図 1 3 (A) に、1 個の 6 配位の I n と、I n に近接の 6 個の 4 配位の酸素原子（以下 4 配位の O ）と、を有する構造を示す。ここでは、金属原子が 1 個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。図 1 3 (A) の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図 1 3 (A) の上半分および下半分にはそれぞれ 3 個ずつ 4 配位の O がある。図 1 3 (A) に示す小グループは電荷が 0 である。

【 0 0 4 5 】

図 1 3 (B) に、1 個の 5 配位の G a と、G a に近接の 3 個の 3 配位の酸素原子（以下 3 配位の O ）と、近接の 2 個の 4 配位の O と、を有する構造を示す。3 配位の O は、いずれも a b 面に存在する。図 1 3 (B) の上半分および下半分にはそれぞれ 1 個ずつ 4 配位の O がある。また、I n も 5 配位をとるため、図 1 3 (B) に示す構造をとりうる。図 1 3 (B) に示す小グループは電荷が 0 である。

20

【 0 0 4 6 】

図 1 3 (C) に、1 個の 4 配位の Z n と、Z n に近接の 4 個の 4 配位の O と、を有する構造を示す。図 1 3 (C) の上半分には 1 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。または、図 1 3 (C) の上半分に 3 個の 4 配位の O があり、下半分に 1 個の 4 配位の O があってもよい。図 1 3 (C) に示す小グループは電荷が 0 である。

【 0 0 4 7 】

図 1 3 (D) に、1 個の 6 配位の S n と、S n に近接の 6 個の 4 配位の O と、を有する構造を示す。図 1 3 (D) の上半分には 3 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。図 1 3 (D) に示す小グループは電荷が + 1 となる。

30

【 0 0 4 8 】

図 1 3 (E) に、2 個の Z n を含む小グループを示す。図 1 3 (E) の上半分には 1 個の 4 配位の O があり、下半分には 1 個の 4 配位の O がある。図 1 3 (E) に示す小グループは電荷が - 1 となる。

【 0 0 4 9 】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ（ユニットセルともいう。）と呼ぶ。

【 0 0 5 0 】

ここで、これらの小グループ同士が結合する規則について説明する。図 1 3 (A) に示す 6 配位の I n の上半分の 3 個の O は下方向にそれぞれ 3 個の近接 I n を有し、下半分の 3 個の O は上方向にそれぞれ 3 個の近接 I n を有する。図 1 3 (B) に示す 5 配位の G a の上半分の 1 個の O は下方向に 1 個の近接 G a を有し、下半分の 1 個の O は上方向に 1 個の近接 G a を有する。図 1 3 (C) に示す 4 配位の Z n の上半分の 1 個の O は下方向に 1 個の近接 Z n を有し、下半分の 3 個の O は上方向にそれぞれ 3 個の近接 Z n を有する。この様に、金属原子の上方向の 4 配位の O の数と、その O の下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の 4 配位の O の数と、その O の上方向にある近接金属原子の数は等しい。O は 4 配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は 4 になる。従って、金属原子の上方向にある 4 配位の O の数と、別の金属原子の下方向にある 4 配位の O の数との和が 4 個のとき、金属原子を有する二種の

40

50

小グループ同士は結合することができる。その理由を以下に示す。例えば、6配位の金属原子 (In または Sn) が下半分の4配位の O を介して結合する場合、4配位の O が3個であるため、5配位の金属原子 (Ga または In)、または4配位の金属原子 (Zn) のいずれかと結合することになる。

【0051】

これらの配位数を有する金属原子は、 c 軸方向において、4配位の O を介して結合する。また、このほかにも、層構造の合計の電荷が0となるように複数の小グループが結合して中グループを構成する。

【0052】

図14(A)に、 $In-Sn-Zn-O$ 系の層構造を構成する中グループのモデル図を示す。図14(B)に、3つの中グループで構成される大グループを示す。なお、図14(C)は、図14(B)の層構造を c 軸方向から観察した場合の原子配列を示す。

10

【0053】

図14(A)においては、簡単のため、3配位の O は省略し、4配位の O は個数のみ示し、例えば、 Sn の上半分および下半分にはそれぞれ3個ずつ4配位の O があることを丸枠の3として示している。同様に、図14(A)において、 In の上半分および下半分にはそれぞれ1個ずつ4配位の O があり、丸枠の1として示している。また、同様に、図14(A)において、下半分には1個の4配位の O があり、上半分には3個の4配位の O がある Zn と、上半分には1個の4配位の O があり、下半分には3個の4配位の O がある Zn とを示している。

20

【0054】

図14(A)において、 $In-Sn-Zn-O$ 系の層構造を構成する中グループは、上から順に4配位の O が3個ずつ上半分および下半分にある Sn が、4配位の O が1個ずつ上半分および下半分にある In と結合し、その In が、上半分に3個の4配位の O がある Zn と結合し、その Zn の下半分の1個の4配位の O を介して4配位の O が3個ずつ上半分および下半分にある In と結合し、その In が、上半分に1個の4配位の O がある Zn 2個からなる小グループと結合し、この小グループの下半分の1個の4配位の O を介して4配位の O が3個ずつ上半分および下半分にある Sn と結合している構成である。この中グループが複数結合して大グループを構成する。

【0055】

ここで、3配位の O および4配位の O の場合、結合1本当当たりの電荷はそれぞれ -0.667 、 -0.5 と考えることができる。例えば、 In (6配位または5配位)、 Zn (4配位)、 Sn (5配位または6配位) の電荷は、それぞれ $+3$ 、 $+2$ 、 $+4$ である。従って、 Sn を含む小グループは電荷が $+1$ となる。そのため、 Sn を含む層構造を形成するためには、電荷 $+1$ を打ち消す電荷 -1 が必要となる。電荷 -1 をとる構造として、図13(E)に示すように、2個の Zn を含む小グループが挙げられる。例えば、 Sn を含む小グループが1個に対し、2個の Zn を含む小グループが1個あれば、電荷が打ち消されるため、層構造の合計の電荷を0とすることができる。

30

【0056】

具体的には、図14(B)に示した大グループが繰り返されることで、 $In-Sn-Zn-O$ 系の結晶 ($In_2SnZn_3O_8$) を得ることができる。なお、得られる $In-Sn-Zn-O$ 系の層構造は、 $In_2SnZn_2O_7(ZnO)_m$ (m は0または自然数。) とする組成式で表すことができる。

40

【0057】

また、このほかにも、四元系金属の酸化物である $In-Sn-Ga-Zn$ 系酸化物や、三元系金属の酸化物である $In-Ga-Zn$ 系酸化物 ($IGZO$ とも表記する。)、 $In-Al-Zn$ 系酸化物、 $Sn-Ga-Zn$ 系酸化物、 $Al-Ga-Zn$ 系酸化物、 $Sn-Al-Zn$ 系酸化物や、 $In-Hf-Zn$ 系酸化物、 $In-La-Zn$ 系酸化物、 $In-Ce-Zn$ 系酸化物、 $In-Pr-Zn$ 系酸化物、 $In-Nd-Zn$ 系酸化物、 $In-Sm-Zn$ 系酸化物、 $In-Eu-Zn$ 系酸化物、 $In-Gd-Zn$ 系酸化物、 $In-Tb-$

50

Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物や、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物や、In-Ga系酸化物、などを用いた場合も同様である。

【0058】

例えば、図15(A)に、In-Ga-Zn-O系の層構造を構成する中グループのモデル図を示す。

【0059】

図15(A)において、In-Ga-Zn-O系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にあるInが、4配位のOが1個上半分にあるZnと結合し、そのZnの下半分の3個の4配位のOを介して、4配位のOが1個ずつ上半分および下半分にあるGaと結合し、そのGaの下半分の1個の4配位のOを介して、4配位のOが3個ずつ上半分および下半分にあるInと結合している構成である。この中グループが複数結合して大グループを構成する。

10

【0060】

図15(B)に3つの中グループで構成される大グループを示す。なお、図15(C)は、図15(B)の層構造をc軸方向から観察した場合の原子配列を示している。

【0061】

ここで、In(6配位または5配位)、Zn(4配位)、Ga(5配位)の電荷は、それぞれ+3、+2、+3であるため、In、ZnおよびGaのいずれかを含む小グループは、電荷が0となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に0となる。

20

【0062】

また、In-Ga-Zn-O系の層構造を構成する中グループは、図15(A)に示した中グループに限定されず、In、Ga、Znの配列が異なる中グループを組み合わせた大グループも取りうる。

【0063】

次いで、ワイドギャップ半導体層144上に接し、ソース電極またはドレイン電極として機能する電極142a、142bを形成する。電極142a、電極142bは、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジウム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。

30

【0064】

また、ワイドギャップ半導体層144としてGaNを用いる場合、ソース電極またはドレイン電極として機能する電極142a、142bの材料は、チタンなどを用い、電極142a、142bとワイドギャップ半導体層144の間には、二次元電子ガスを形成するためのバッファ層として窒化アルミニウムガリウム(AlGaN)を用いる。

【0065】

また、電極142a、142bを保護するため、絶縁層143a、143bを形成する。次いで、CMP(化学的機械的研磨)などを用いて平坦化処理を行う。この平坦化処理の際、絶縁層143a、143bは、電極142a、142bを削らないためのバッファ層として機能する。

40

【0066】

次いで、チャンネル長方向の素子分離用のトレンチと、チャンネル幅方向の素子分離用のトレンチを形成する。これらの素子分離用のトレンチは、繋がった上面パターン形状としてもよいし、独立した上面パターン形状としてもよい。本実施の形態では、トレンチの形成によってワイドギャップ半導体層の分離を行うため、図1(C)において、これらのトレンチのパターンは、繋がった上面パターン形状(格子状)としている。チャンネル幅方向の素子分離用のトレンチの形成の際に、電極142aと電極142bの分離も行うことができる。なお、素子分離用のトレンチの形成のタイミングは、特に限定されない。また、素子

50

分離用のトレンチの深さは、素子分離が十分行えるのであれば、ゲート電極用のトレンチと同じ底面の水平位置となる深さに限定されない。ゲート電極用トレンチよりも素子分離用のトレンチの底面の水平位置を深くすることで確実に素子分離を行うことができる。

【0067】

次いで、ワイドギャップ半導体層144の一部、ソース電極またはドレイン電極として機能する電極142a、142b、及び絶縁層143a、143bを覆うゲート絶縁層146を形成する。また、チャンネル長方向の素子分離用のトレンチの内壁及び底面と、チャンネル幅方向のトレンチの内壁及び底面にもゲート絶縁層146を成膜する。

【0068】

ゲート絶縁層146の膜厚は、1nm以上100nm以下とし、スパッタリング法、MBE法、CVD法、パルスレーザ堆積法、ALD法、塗布法、印刷法等を適宜用いることができる。また、ゲート絶縁層146は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置、所謂CPスパッタ装置を用いて成膜してもよい。

10

【0069】

ゲート絶縁層146の材料としては、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜を用いて形成することができる。さらに、ゲート絶縁層146は、作製するトランジスタのサイズやゲート絶縁層146の段差被覆性を考慮して形成することが好ましい。本実施の形態では、ゲート絶縁層146として、 $\text{SiO}_2 +$ (ただし、 > 0)である酸化シリコン膜を用いる。この酸化シリコン膜をゲート絶縁層146として用いることで、In-Ga-Zn-O系酸化物半導体に酸素を供給することができ、特性を良好にすることができる。

20

【0070】

また、ゲート絶縁層146の材料として酸化ハフニウム、酸化イットリウム、ハフニウムシリケート(HfSi_xO_y ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x > 0$, $y > 0$, $z > 0$))、ハフニウムアルミネート(HfAl_xO_y ($x > 0$, $y > 0$))、などのhigh-k材料を用いることでゲートリーク電流を低減できる。さらに、ゲート絶縁層146は、単層構造としても良いし、積層構造としても良い。

30

【0071】

そして、ゲート電極用のトレンチ内に充填されるように、ゲート電極148aをゲート絶縁層146上に形成する。ゲート電極148aの材料は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジウム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。ゲート電極148aは、単層構造としてもよいし、積層構造としてもよい。

【0072】

ゲート絶縁層146と接するゲート電極148aの一層として、窒素を含む金属酸化物、具体的には、窒素を含むIn-Ga-Zn-O膜や、窒素を含むIn-Sn-O膜や、窒素を含むIn-Ga-O膜や、窒素を含むIn-Zn-O膜や、窒素を含むSn-O膜や、窒素を含むIn-O膜や、金属窒化膜(InN、SnNなど)を用いる。これらの膜は5電子ボルト、好ましくは5.5電子ボルト以上の仕事関数を有し、ゲート電極として用いた場合、トランジスタのしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。

40

【0073】

ゲート電極用のトレンチ内にゲート電極148aを形成した段階で、トレンチ構造のトランジスタ162が形成される。

【0074】

次いで、ゲート電極148a、148bを覆う絶縁層149を形成する。絶縁層149は段差被覆性のよい絶縁膜を用いることが好ましい。絶縁層149の材料としては、酸化シ

50

リコン膜、酸化ガリウム膜、酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜を用いて形成することができる。本実施の形態では、絶縁層 149 の材料として酸化アルミニウム膜を用いる。図 1 (A) 及び図 1 (B) においては、ワイドギャップ半導体層 144 の側面に接してゲート絶縁層 146 が形成され、さらに絶縁層 149 が形成される。従って、本実施の形態では、 $SiO_2 +$ (ただし、 > 0) である酸化シリコン膜でワイドギャップ半導体層 144 の側面を覆い、酸化アルミニウム膜が酸化シリコン膜を覆うことによって酸化シリコン膜中の酸素が拡散し、酸素が絶縁層 149 を通過しないようにブロックしている。

【0075】

絶縁層 149 を形成した後、素子分離用のトレンチを充填するための絶縁層 150 を CVD 法などにより形成する。素子分離用のトレンチに絶縁層 150 を充填することによって素子分離領域 161、165 が形成される。なお、絶縁層 150 の形成前に、素子分離用のトレンチにはゲート絶縁層 146、絶縁層 149 を積層させておくことで、絶縁層 150 を充填する領域を小さくし、絶縁層 150 の充填をスムーズに行うことができる。その後、CMP などを用いて平坦化処理を行い、図 1 (A) 及び図 1 (B) に示す構造を得ることができる。

【0076】

また、図 1 (B) に示すように、トランジスタ 162 のゲート電極 148 a と、隣り合うトランジスタ 163 のゲート電極 148 b との間にも絶縁層 150 が充填され、ゲート電極同士の短絡防止が図られている。また、図 1 (A) に示すように、トランジスタ 162 のソース電極またはドレイン電極として機能する電極と、チャンネル長方向に隣り合うトランジスタのソース電極またはドレイン電極として機能する電極との間にも絶縁層 150 が充填され、ソース電極またはドレイン電極の短絡防止も図られている。

【0077】

本実施の形態では、 $0.4 \mu m$ のトレンチ内壁に接してワイドギャップ半導体層 144 を形成するため、チャンネル長は約 $0.8 \mu m$ 以上となる。ワイドギャップ半導体層 144 として、In-Ga-Zn-O 系酸化物半導体を用いた場合、 $0.8 \mu m$ 以上のチャンネル長とすることで、ノーマリーオフのトランジスタとすることができ、ショートチャンネル効果も生じないようにすることができる。また、トレンチ構造を採用することで、トランジスタの平面面積を縮小できるため、高集積化が可能である。

【0078】

(実施の形態 2)

図 1 に示すトランジスタ 162 を使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置の一例を図 2 に示す。

【0079】

トランジスタ 162 は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。

【0080】

図 2 (A) は、半導体装置の断面の一例を示している。

【0081】

図 2 (A) に示す半導体装置は、下部に第 1 の半導体材料を用いたトランジスタ 160 を有し、上部に第 2 の半導体材料を用いたトランジスタ 162 を有するものである。トランジスタ 162 は、実施の形態 1 と同一であるため、図 2 (A)、(B) において図 1 (A) と同じ箇所は、同じ符号を用いて説明する。

【0082】

ここで、第 1 の半導体材料と第 2 の半導体材料は異なる禁制帯幅を持つ材料とすることが望ましい。例えば、第 1 の半導体材料を酸化物半導体以外の半導体材料 (シリコンなど) とし、第 2 の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジ

10

20

30

40

50

スタは、その特性により長時間の電荷保持を可能とする。

【0083】

なお、上記トランジスタは、いずれもnチャネル型トランジスタであるものとして説明するが、pチャネル型トランジスタを用いることができるのはいうまでもない。また、開示する発明の技術的な本質は、情報を保持するためにワイドギャップ半導体をトランジスタ162に用いる点にあるから、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0084】

図2(A)におけるトランジスタ160は、半導体材料(例えば、シリコンなど)を含む基板100に設けられたチャンネル形成領域116と、チャンネル形成領域116を挟むように設けられた不純物領域120と、不純物領域120に接する金属化合物領域124と、チャンネル形成領域116上に設けられたゲート絶縁層108と、ゲート絶縁層108上に設けられたゲート電極110と、を有する。

10

【0085】

トランジスタ160の金属化合物領域124の一部には、電極126が接続されている。ここで、電極126は、トランジスタ160のソース電極やドレイン電極として機能する。また、基板100上にはトランジスタ160を囲むように素子分離絶縁層が設けられており、トランジスタ160を覆うように絶縁層130が設けられている。なお、高集積化を実現するためには、図2(A)に示すようにトランジスタ160がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ160の特性を重視する場合には、ゲート電極110の側面にサイドウォール絶縁層を設け、不純物濃度が異なる領域を含む不純物領域120を設けても良い。

20

【0086】

図2(A)に示すようにトランジスタ162は、ワイドギャップ半導体層144を有するトレンチ構造のトランジスタである。

【0087】

ここで、ワイドギャップ半導体層144は、高純度化されたものであることが望ましい。高純度化されたワイドギャップ半導体を用いることで、極めて優れた電気特性のトランジスタ162を得ることができる。

【0088】

なお、図2(A)のトランジスタ162では、微細化に起因して素子間に生じるリークを抑制するために、素子分離領域161を設けている。さらに素子分離領域161に囲まれた領域よりも小さく島状に加工されたワイドギャップ半導体層144を用いているが、実施の形態1に示したように、素子分離用のトレンチを形成するまで島状に加工されていない構成を採用しても良い。ワイドギャップ半導体層を島状に加工しない場合には、加工の際のエッチングによるワイドギャップ半導体層144の汚染を防止できる。勿論、ワイドギャップ半導体層を島状に加工しない場合には、工程数の削減も図ることができる。また、素子分離領域161に囲まれた領域よりも小さく島状に加工されたワイドギャップ半導体層を用いる場合、素子分離用のトレンチの形成によってワイドギャップ半導体層を分断する必要がないため、素子分離用のトレンチの底面の水平位置はゲート電極用のトレンチよりも浅くできる、或いは素子分離用のトレンチ形成のトータル面積を減らすことができる。

30

40

【0089】

トランジスタ162上には、絶縁層151が設けられており、絶縁層151上にはゲート電極148aと電氣的に接続する電極153が設けられている。そして、電極153上には絶縁層152が設けられている。そして、ゲート絶縁層146、絶縁層150、絶縁層151、絶縁層152などに形成された開口には、電極154が設けられ、絶縁層152上には電極154と接続する配線156が形成される。なお、図2(A)では電極126および電極154を用いて、金属化合物領域124、電極142b、および配線156を接続しているが、開示する発明はこれに限定されない。例えば、電極142bを直接、金

50

属化合物領域 1 2 4 に接触させても良い。または、配線 1 5 6 を直接、電極 1 4 2 b に接触させても良い。

【 0 0 9 0 】

次に、図 2 (A) に対応する回路構成の一例を図 2 (B) に示す。

【 0 0 9 1 】

図 2 (B) において、第 1 の配線 (1 s t L i n e) とトランジスタ 1 6 0 のソース電極とは、電氣的に接続され、第 2 の配線 (2 n d L i n e) とトランジスタ 1 6 0 のドレイン電極とは、電氣的に接続されている。また、第 3 の配線 (3 r d L i n e) とトランジスタ 1 6 2 のソース電極またはドレイン電極の一方とは、電氣的に接続され、第 4 の配線 (4 t h L i n e) と、トランジスタ 1 6 2 のゲート電極とは、電氣的に接続されている。そして、トランジスタ 1 6 0 のゲート電極と、トランジスタ 1 6 2 のソース電極またはドレイン電極の他方は、キャパシタ 1 6 4 の電極の一方と電氣的に接続され、第 5 の配線 (5 t h L i n e) と、キャパシタ 1 6 4 の電極の他方は電氣的に接続されている。

10

【 0 0 9 2 】

キャパシタ 1 6 4 は、トランジスタ 1 6 0 やトランジスタ 1 6 2 の作製プロセスと同じ工程で一对の電極と、その間に挟まれる誘電体となる絶縁層で形成することができる。なお、トランジスタ 1 6 0 やトランジスタ 1 6 2 の作製プロセスと同じ工程で形成することに限定されず、キャパシタ 1 6 4 の層を別途、トランジスタ 1 6 2 の上方に設けてもよい。例えば、トレンチ型のキャパシタやスタック型のキャパシタを別途、トランジスタの 1 6 2 の上方、或いは、トランジスタ 1 6 0 の下方に形成し、3 次元的に積み重ねることで高集積化を図ってもよい。

20

【 0 0 9 3 】

図 2 (B) に示す半導体装置では、トランジスタ 1 6 0 のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【 0 0 9 4 】

情報の書き込みおよび保持について説明する。まず、第 4 の配線の電位を、トランジスタ 1 6 2 がオン状態となる電位にして、トランジスタ 1 6 2 をオン状態とする。これにより、第 3 の配線の電位が、トランジスタ 1 6 0 のゲート電極、およびキャパシタ 1 6 4 に与えられる。すなわち、トランジスタ 1 6 0 のゲート電極には、所定の電荷が与えられる (書き込み) 。ここでは、異なる二つの電位レベルを与える電荷 (以下 L o w レベル電荷、H i g h レベル電荷という) のいずれかが与えられるものとする。その後、第 4 の配線の電位を、トランジスタ 1 6 2 がオフ状態となる電位にして、トランジスタ 1 6 2 をオフ状態とすることにより、トランジスタ 1 6 0 のゲート電極に与えられた電荷が保持される (保持) 。

30

【 0 0 9 5 】

また、バックゲート電極を設けてもよく、バックゲート電極に電圧を印加することによってトランジスタ 1 6 2 のノーマリーオフ化を確実なものとするのが好ましい。

【 0 0 9 6 】

本実施の形態は、実施の形態 1 と自由に組み合わせることができる。

40

【 0 0 9 7 】

(実施の形態 3)

本実施の形態においては、図 1 に示すトランジスタ 1 6 2 を使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置について、実施の形態 2 に示した構成と異なる構成について図 3 を用いて説明を行う。

【 0 0 9 8 】

図 3 に示す半導体装置は、下部に第 1 の半導体材料を用いたトランジスタ 3 5 0 を有し、上部に第 2 の半導体材料を用いたトランジスタ 1 6 2 を有するものである。また、上部、及び下部の半導体材料には、複数のトランジスタが形成されているが、代表的にトランジスタ 3 5 0、及びトランジスタ 1 6 2 について、説明を行う。なお、線 B 1 - B 2 で切断

50

された図3は、トランジスタのチャンネル長方向に垂直な断面図に相当する。

【0099】

ここで、第1の半導体材料と第2の半導体材料は異なる禁制帯幅を持つ材料とすることが望ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料（シリコンなど）とし、第2の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

【0100】

また、上部に第2の半導体材料を用いたトランジスタ162は、先の実施の形態1、および実施の形態2に記載したトランジスタ162と同一であるため、図3において図1(A)と同じ箇所は、同じ符号を用いており、詳細な説明は省略する。

10

【0101】

ここでは、下部の第1の半導体材料を用いたトランジスタ350について、以下説明を行う。

【0102】

トランジスタ350は、半導体基板310、ゲート絶縁層314、半導体層316、導電層318、保護絶縁層320、サイドウォール絶縁層322、不純物領域324、及び絶縁層326により構成されている。なお、半導体層316、及び導電層318はゲート電極として機能し、不純物領域324は、ソース領域またはドレイン領域として機能する。

【0103】

また、トランジスタ350は、隣接して、STI(Shallow Trench Isolation)領域312を有している。

20

【0104】

STI領域312としては、まず、半導体基板310の上に所望の領域に保護絶縁膜を形成し、エッチングを行うことでトレンチ(溝ともいう)が形成される。トレンチを形成した後、絶縁誘電体膜をトレンチに埋め込むことでSTI領域312を形成することができる。絶縁誘電体膜としては、酸化シリコン膜、窒化シリコン膜などを用いることができる。

【0105】

次に、トランジスタ350の詳細な説明を行う。トランジスタ350のゲート絶縁層314としては、STI領域312が形成された半導体基板310に、絶縁膜を形成した後、所望の位置にパターニング、エッチングを行い、半導体基板310にSTI領域312とは異なる深さのトレンチを形成する。その後、酸素雰囲気内にて加熱処理を行うことで、トレンチ内の半導体基板310が酸化され、ゲート絶縁層314を形成することができる。

30

【0106】

ゲート絶縁層314形成後に、LPCVD法などを用いて、シリコン膜を形成する。なお、該シリコン膜に n^+ 、 p^+ のドーピング処理、または加熱処理等を行い、所謂ポリシリコンとして導電性の高い半導体層を形成する。その後、該半導体層の上にスパッタリング法などにより、金属膜を成膜する。金属膜としては、タングステン、チタン、コバルト、ニッケル、または、タングステン、チタン、コバルト、ニッケルを含む合金膜、金属窒化膜、シリサイド膜などを適宜用いることができる。該金属膜上の所望の領域にパターニングを行い、エッチングすることで、導電層318が形成される。また、導電層318をマスクとして半導体層をエッチングすることで、半導体層316を形成することができる。なお、導電層318と半導体層316はトランジスタ350のゲート電極として機能する。

40

【0107】

次に、導電層318の上に、保護絶縁層320を形成する。保護絶縁層320としては、プラズマCVD法などを用い、酸化シリコン膜、窒化シリコン膜などを成膜し、所望の領域にパターニング、エッチング処理を行うことで形成することができる。

50

【0108】

次に、半導体基板310、および保護絶縁層320を覆うようにプラズマCVD法などにより、窒化シリコン膜を成膜し、エッチバックを行うことで、サイドウォール絶縁層322を形成することができる。

【0109】

次に、保護絶縁層320、及びサイドウォール絶縁層322をマスクとして、ドーピング処理を行うことで、不純物領域324を形成する。なお、ドーパントとしては、ボロンやリンなどを用いればよく、不純物領域324として用いるドーパントによりn⁺領域、p⁺領域など適宜形成することができる。なお、不純物領域324は、トランジスタ350のソース領域またはドレイン領域として機能する。

10

【0110】

次に、不純物領域324、保護絶縁層320、及びサイドウォール絶縁層322を覆うように絶縁層326を形成する。絶縁層326としては、プラズマCVD法などにより酸化シリコン膜などを用いて形成することができる。

【0111】

次に、絶縁層326の所望の領域に開口部を設け、不純物領域324と電氣的に接続する接続電極325、及び接続電極331を形成する。なお、接続電極325、及び接続電極331形成後に、絶縁層326、接続電極325、および接続電極331の表面を平坦化させるCMP処理などを行ってもよい。

【0112】

次に、絶縁層326、接続電極325、及び接続電極331の上に、スパッタリング法などを用いて導電膜を成膜し、所望の領域にパターニングを行い、エッチングすることで、電極328、及び電極332を形成する。電極328、及び電極332に使用できる材料としては、タングステン、銅、チタンなど適宜用いることができる。

20

【0113】

次に、絶縁層326、電極328、及び電極332上に絶縁層329を形成する。絶縁層329としては、絶縁層326と同様の材料、及び手法により形成することができる。

【0114】

以上の工程により、第1の半導体材料を用いたトランジスタ350が形成された半導体基板310を形成することができる。

30

【0115】

ここで、下部の第1の半導体材料を用いたトランジスタ350と、上部の第2の半導体材料を用いたトランジスタ162の接続関係について以下説明を行う。

【0116】

トランジスタ350は、不純物領域324と、接続電極325と、電極328と、接続電極330とにより、トランジスタ162と電氣的に接続されている。また、他方では、不純物領域324と、接続電極331と、電極332と、接続電極334と、電極336と、接続電極338により、配線156と電氣的に接続されている。

【0117】

また、トランジスタ350のゲート電極(すなわち、半導体層316、及び導電層318)は、トランジスタ162のソース電極と電氣的に接続している。ただし、図3においては、トランジスタ350のゲート電極と、トランジスタ162のソース電極の接続は示されておらず、3次元方向で接続を行っている。

40

【0118】

以上のように、上部に形成された複数のメモリセルは、ワイドギャップ半導体の一つである酸化物半導体を用いたトランジスタにより形成されている。酸化物半導体を用いたトランジスタは、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、一方で周辺回路では、酸化物半導体以外の半導体材料が用いられている。酸化物半導体以外の半導体材料としては、

50

例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。このような半導体材料を用いたトランジスタは、十分な高速動作が可能である。したがって、酸化物半導体以外の材料を用いたトランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

【0119】

このように、酸化物半導体以外の材料を用いたトランジスタ（換言すると、十分な高速動作可能なトランジスタ）を用いた周辺回路と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）を用いた記憶回路とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。また、周辺回路と記憶回路を積層構造とすることにより、半導体装置の集積化を図ることができる。

10

【0120】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0121】

（実施の形態4）

本実施の形態においては、図1に示すトランジスタ162を使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置について、実施の形態2、及び実施の形態3に示した構成と異なる構成について、図4、及び図5を用いて説明を行う。

20

【0122】

図4（A）は、半導体装置の回路構成の一例を示し、図4（B）は半導体装置の一例を示す概念図である。まず、図4（A）に示す半導体装置について説明を行い、続けて図4（B）に示す半導体装置について、以下説明を行う。

【0123】

図4（A）に示す半導体装置において、ビット線BLとトランジスタ162のソース電極又はドレイン電極とは電気的に接続され、ワード線WLとトランジスタ162のゲート電極とは電気的に接続され、トランジスタ162のソース電極又はドレイン電極とキャパシタ254の第1の端子とは電気的に接続されている。

【0124】

ワイドギャップ半導体層として酸化物半導体を用いたトランジスタ162は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ162をオフ状態とすることで、キャパシタ254の第1の端子の電位（あるいは、キャパシタ254に蓄積された電荷）を極めて長時間にわたって保持することが可能である。また、ワイドギャップ半導体層として酸化物半導体を用いたトランジスタ162では、短チャネル効果が現れにくいというメリットもある。

30

【0125】

次に、図4に示す半導体装置（メモリセル250）に、情報の書き込みおよび保持を行う場合について説明する。

【0126】

まず、ワード線WLの電位を、トランジスタ162がオン状態となる電位として、トランジスタ162をオン状態とする。これにより、ビット線BLの電位が、キャパシタ254の第1の端子に与えられる（書き込み）。その後、ワード線WLの電位を、トランジスタ162がオフ状態となる電位として、トランジスタ162をオフ状態とすることにより、キャパシタ254の第1の端子の電位が保持される（保持）。

40

【0127】

トランジスタ162のオフ電流は極めて小さいから、キャパシタ254の第1の端子の電位（あるいはキャパシタに蓄積された電荷）は長時間にわたって保持することができる。

【0128】

次に、情報の読み出しについて説明する。トランジスタ162がオン状態となると、浮遊

50

状態であるビット線 B L とキャパシタ 2 5 4 とが導通し、ビット線 B L とキャパシタ 2 5 4 の間で電荷が再分配される。その結果、ビット線 B L の電位が変化する。ビット線 B L の電位の変化量は、キャパシタ 2 5 4 の第 1 の端子の電位（あるいはキャパシタ 2 5 4 に蓄積された電荷）によって、異なる値をとる。

【 0 1 2 9 】

例えば、キャパシタ 2 5 4 の第 1 の端子の電位を V 、キャパシタ 2 5 4 の容量を C 、ビット線 B L が有する容量成分（以下、ビット線容量とも呼ぶ）を C_B 、電荷が再分配される前のビット線 B L の電位を V_{B0} とすると、電荷が再分配された後のビット線 B L の電位は、 $(C_B * V_{B0} + C * V) / (C_B + C)$ となる。従って、メモリセル 2 5 0 の状態として、キャパシタ 2 5 4 の第 1 の端子の電位が V_1 と V_0 ($V_1 > V_0$) の 2 状態をとるとすると、電位 V_1 を保持している場合のビット線 B L の電位 ($= C_B * V_{B0} + C * V_1$) / ($C_B + C$) は、電位 V_0 を保持している場合のビット線 B L の電位 ($= C_B * V_{B0} + C * V_0$) / ($C_B + C$) よりも高くなることわかる。

10

【 0 1 3 0 】

そして、ビット線 B L の電位を所定の電位と比較することで、情報を読み出すことができる。

【 0 1 3 1 】

このように、図 4 (A) に示す半導体装置は、トランジスタ 1 6 2 のオフ電流が極めて小さいという特徴から、キャパシタ 2 5 4 に蓄積された電荷は長時間にわたって保持することができる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

20

【 0 1 3 2 】

次に、図 4 (B) に示す半導体装置について、説明を行う。

【 0 1 3 3 】

図 4 (B) に示す半導体装置は、上部に記憶素子として図 4 (A) に示したメモリセル 2 5 0 を複数有するメモリセルアレイ 2 5 1、及び図 4 (A) に示したメモリセル 2 5 0 を複数有するメモリセルアレイ 2 5 2 を有し、下部に、メモリセルアレイ 2 5 1、及びメモリセルアレイ 2 5 2 を動作させるために必要な周辺回路 2 5 3 を有する。なお、本実施の形態においてメモリセルアレイ 2 5 2 は、メモリセルアレイ 2 5 1 と周辺回路 2 5 3 の中部に位置しているが、周辺回路 2 5 3 に対しては、上部に位置しているため、メモリセルアレイ 2 5 1、メモリセルアレイ 2 5 2 は、上部に位置しているとする。

30

【 0 1 3 4 】

図 4 (B) に示した構成とすることにより、周辺回路 2 5 3 をメモリセルアレイ 2 5 1、及びメモリセルアレイ 2 5 2 の直下に設けることができるため、且つ、メモリセルアレイ 2 5 1 とメモリセルアレイ 2 5 2 も積層構造とすることにより、半導体装置の小型化を図ることができる。

【 0 1 3 5 】

次に、図 4 (B) に示した半導体装置の具体的な構成について図 5 を用いて説明を行う。

40

【 0 1 3 6 】

図 5 に示す半導体装置は、上部に多層に形成された複数のメモリセル（メモリセル 4 5 2 a、及びメモリセル 4 5 2 b）を有し、下部に周辺回路 4 0 0 を有する。下部の周辺回路 4 0 0 は、第 1 の半導体材料を用いたトランジスタ 4 5 0 を有し、上部に多層に形成された複数のメモリセル（メモリセル 4 5 2 a、及びメモリセル 4 5 2 b）は、第 2 の半導体材料を用いたトランジスタ 1 6 2 を有するものである。なお、線 C 1 - C 2 で切断された図 5 は、トランジスタのチャンネル長方向に垂直な断面図に相当する。

【 0 1 3 7 】

ここで、第 1 の半導体材料と第 2 の半導体材料は異なる禁制帯幅を持つ材料とすることが望ましい。例えば、第 1 の半導体材料を酸化物半導体以外の半導体材料（シリコンなど）

50

とし、第2の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

【0138】

また、上部に第2の半導体材料を用いたトランジスタ162は、先の実施の形態1乃至実施の形態3に記載したトランジスタ162と同一であるため、図5において図1(A)と同じ箇所は、同じ符号を用いており、詳細な説明は省略する。ここでは、下部の第1の半導体材料を用いたトランジスタ450について、以下説明を行う。

【0139】

図5におけるトランジスタ450は、半導体材料(例えば、シリコンなど)を含む基板402に設けられたチャネル形成領域404と、チャネル形成領域404を挟むように設けられた不純物領域406および高濃度不純物領域408(これらをあわせて単に不純物領域とも呼ぶ)と、高濃度不純物領域408に接する金属化合物領域410と、チャネル形成領域404の上に設けられたゲート絶縁層411と、ゲート絶縁層411に接して設けられたゲート電極層412と、不純物領域と電氣的に接続するソース電極またはドレイン電極418a、およびソース電極またはドレイン電極418bを有する。

【0140】

ここで、ゲート電極層412の側面にはサイドウォール絶縁層414が設けられている。また、基板402上にはトランジスタ450を囲むように素子分離絶縁層403が設けられており、トランジスタ450を覆うように、層間絶縁層420および層間絶縁層422が設けられている。ソース電極またはドレイン電極418a、およびソース電極またはドレイン電極418bは、層間絶縁層420および層間絶縁層422に形成された開口を通じて、金属化合物領域410と電氣的に接続されている。つまり、ソース電極またはドレイン電極418a、およびソース電極またはドレイン電極418bは、金属化合物領域410を介して高濃度不純物領域408および不純物領域406と電氣的に接続されている。なお、トランジスタ450の集積化などのため、サイドウォール絶縁層414が形成されない場合もある。また、層間絶縁層422の上に、トランジスタ450のソース電極またはドレイン電極418a、およびソース電極またはドレイン電極418bと、電氣的に接続する電極424a、電極424b、及び電極424cを有し、層間絶縁層422、電極424a、電極424b、及び電極424cを覆う、絶縁層425により平坦化されている。

【0141】

電極424cは、接続電極426によって、電極428と電氣的に接続されている。なお、電極428は、トランジスタ162のソース電極層及びドレイン電極層と同じ層にて形成されている。

【0142】

また、配線432は、接続電極430によって、電極428と電氣的に接続されており、接続電極434によって、トランジスタ162のソース電極層及びドレイン電極層と同じ層で形成された電極436と電氣的に接続されている。また、電極436は、接続電極438によって、配線440と電氣的に接続されている。

【0143】

電極424c、配線432、及び配線440によって、メモリセル間の電氣的接続や、周辺回路400とメモリセルとの電氣的接続等を行うことができる。

【0144】

なお、図5に示した半導体装置では、2つのメモリセル(メモリセル452aと、メモリセル452b)が積層された構成を例示したが、積層するメモリセルの数はこれに限定されない。3つ以上のメモリセルを積層する構成としても良い。

【0145】

また、図5に示した半導体装置では、メモリセル452aと、メモリセル452bと、周辺回路400との接続には、電極424c、電極428、配線432、電極436、及び

10

20

30

40

50

配線 440 によって、接続する構成について例示したがこれに限定されない。メモリセル 452 a、メモリセル 452 b、及び周辺回路 400 との間には、二つ以上の配線層、及び電極が設けられる構成としてもよい。

【0146】

以上のように、上部に多層に形成された複数のメモリセルは、ワイドギャップ半導体層として酸化物半導体を用いたトランジスタにより形成されている。ワイドギャップ半導体層として酸化物半導体を用いたトランジスタは、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、一方で周辺回路では、酸化物半導体以外の半導体材料が用いられている。酸化物半導体以外の半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、十分な高速動作が可能である。したがって、酸化物半導体以外の材料を用いたトランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

10

【0147】

このように、酸化物半導体以外の材料を用いたトランジスタ（換言すると、十分な高速動作が可能でトランジスタ）を用いた周辺回路と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）を用いた記憶回路とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。また、周辺回路と記憶回路を積層構造とすることにより、半導体装置の集積化を図ることができる。

20

【0148】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0149】

（実施の形態 5）

本実施の形態では、先の実施の形態で説明した半導体装置を携帯電話、スマートフォン、電子書籍などの携帯機器に応用した場合の例を図 9 乃至図 12 を用いて説明する。

【0150】

携帯電話、スマートフォン、電子書籍などの携帯機器においては、画像データの一時記憶などに S R A M または D R A M が使用されている。S R A M または D R A M は使用される理由としてはフラッシュメモリでは応答が遅く、画像処理では不向きであるためである。一方で、S R A M または D R A M を画像データの一時記憶に用いた場合以下の特徴がある。

30

【0151】

通常の S R A M は、図 9 (A) に示すように 1 つのメモリセルがトランジスタ 801 ~ 806 の 6 個のトランジスタで構成されており、それを X デコーダー 807、Y デコーダー 808 にて駆動している。トランジスタ 803 とトランジスタ 805、トランジスタ 804 とトランジスタ 806 はインバータを構成し、高速駆動を可能としている。しかし 1 つのメモリセルが 6 トランジスタで構成されているため、セル面積が大きいという欠点がある。デザインルールの最小寸法を F としたときに S R A M のメモリセル面積は通常 $100 \sim 150 F^2$ である。このため S R A M はビットあたりの単価が各種メモリの中で最も高い。

40

【0152】

それに対して、D R A M はメモリセルが図 9 (B) に示すようにトランジスタ 811、保持容量 812 によって構成され、それを X デコーダー 813、Y デコーダー 814 にて駆動している。1 つのセルが 1 トランジスタ 1 容量の構成になっており、面積が小さい。D R A M のメモリセル面積は通常 $10 F^2$ 以下である。ただし、D R A M は常にリフレッシュが必要であり、書き換えをおこなわない場合でも電力を消費する。

50

【0153】

しかし、先の実施の形態で説明した半導体装置のメモリセル面積は、 $10F^2$ 前後であり、且つ頻繁なリフレッシュは不要である。したがって、メモリセル面積が縮小され、且つ消費電力が低減することができる。

【0154】

次に、図10は携帯機器のブロック図である。図10に示す携帯機器はRF回路901、アナログベースバンド回路902、デジタルベースバンド回路903、バッテリー904、電源回路905、アプリケーションプロセッサ906、フラッシュメモリ910、ディスプレイコントローラ911、メモリ回路912、ディスプレイ913、タッチセンサ919、音声回路917、キーボード918などより構成されている。ディスプレイ913は表示部914、ソースドライバ915、ゲートドライバ916によって構成されている。アプリケーションプロセッサ906はCPU907、DSP908、インターフェイス909(IF909)を有している。一般にメモリ回路912はSRAMまたはDRAMで構成されており、この部分に先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

10

【0155】

次に、図11はディスプレイのメモリ回路950に先の実施の形態で説明した半導体装置を使用した例である。図11に示すメモリ回路950は、メモリ952、メモリ953、スイッチ954、スイッチ955およびメモリコントローラ951により構成されている。また、メモリ回路950は、信号線から入力された画像データ(入力画像データ)、メモリ952、及びメモリ953に記憶されたデータ(記憶画像データ)を読み出し、及び制御を行うディスプレイコントローラ956と、ディスプレイコントローラ956からの信号により表示するディスプレイ957が接続されている。

20

【0156】

まず、ある画像データがアプリケーションプロセッサ(図示しない)によって、形成される(入力画像データA)。入力画像データAは、スイッチ954を介してメモリ952に記憶される。そしてメモリ952に記憶された画像データ(記憶画像データA)は、スイッチ955、及びディスプレイコントローラ956を介してディスプレイ957に送られ、表示される。

30

【0157】

入力画像データAに変更が無い場合、記憶画像データAは、通常30~60Hz程度の周期でメモリ952からスイッチ955を介して、ディスプレイコントローラ956により読み出される。

【0158】

次に、例えばユーザーが画面を書き換える操作をしたとき(すなわち、入力画像データAに変更が有る場合)、アプリケーションプロセッサは新たな画像データ(入力画像データB)を形成する。入力画像データBはスイッチ954を介してメモリ953に記憶される。この間も定期的にメモリ952からスイッチ955を介して記憶画像データAは読み出されている。メモリ953に新たな画像データ(記憶画像データB)が記憶し終わると、ディスプレイ957の次のフレームより、記憶画像データBは読み出され、スイッチ955、及びディスプレイコントローラ956を介して、ディスプレイ957に記憶画像データBが送られ、表示がおこなわれる。この読み出しはさらに次に新たな画像データがメモリ952に記憶されるまで継続される。

40

【0159】

このようにメモリ952、及びメモリ953は交互に画像データの書き込みと、画像データの読み出しを行うことによって、ディスプレイ957の表示をおこなう。なお、メモリ952、及びメモリ953はそれぞれ別のメモリには限定されず、1つのメモリを分割して使用してもよい。先の実施の形態で説明した半導体装置をメモリ952、及びメモリ953に採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保

50

持が可能で、且つ消費電力が十分に低減することができる。

【0160】

次に、図12は電子書籍のブロック図である。図12はバッテリー1001、電源回路1002、マイクロプロセッサ1003、フラッシュメモリ1004、音声回路1005、キーボード1006、メモリ回路1007、タッチパネル1008、ディスプレイ1009、ディスプレイコントローラ1010によって構成される。

【0161】

ここでは、図12のメモリ回路1007に先の実施の形態で説明した半導体装置を使用することができる。メモリ回路1007の役割は書籍の内容を一時的に保持する機能を持つ。機能の例としては、ユーザーがハイライト機能を使用する場合などがある。ユーザーが電子書籍を読んでいるときに、特定の箇所にマーキングをしたい場合がある。このマーキング機能をハイライト機能と言い、表示の色を変える、アンダーラインを引く、文字を太くする、文字の書体を変えるなどによって、周囲との違いを示すことである。ユーザーが指定した箇所の情報を記憶し、保持する機能である。この情報を長期に保存する場合にはフラッシュメモリ1004にコピーしても良い。このような場合においても、先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

10

【0162】

以上のように、本実施の形態に示す携帯機器には、先の実施の形態に係る半導体装置が搭載されている。このため、読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力を低減した携帯機器が実現される。

20

【0163】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【実施例1】

【0164】

本実施例では、実施の形態1に示すトレンチ構造のトランジスタに短チャネル効果が発現するかを確認するため、計算を行った。

【0165】

計算には、計算にはシノプシス社製デバイスシミュレーションソフトSentaurus Deviceを使用した。

30

【0166】

図6(A)に計算に用いた構造および個々のサイズを示す。ゲート絶縁層の膜厚を5nm、ワイドギャップ半導体層の膜厚を5nmとし、ゲート電極用のトレンチの深さを0.4μmと設定する。図6(A)は、トレンチの底部の長さ(チャネル長方向の長さ)が90nm、ソース電極とドレイン電極の間隔(チャネル長方向の長さ)が110nmであるトレンチ構造のトランジスタである。ワイドギャップ半導体層の材料は、In-Ga-Zn-O系酸化物半導体(バンドギャップ3.15eV、電子親和力4.6eV、電子移動度10cm²/Vs)を用い、ワイドギャップ半導体層に接する電極(ソース電極とドレイン電極)の仕事関数を4.6eV、ゲート電極の仕事関数を5.5eVとする。このトレンチ構造のトランジスタのVg-Id特性(Vds=1V、温度27℃)を計算した結果が図6(B)である。

40

【0167】

また、図7(A)は、トレンチの底部の長さ(チャネル長方向の長さ)が60nm、ソース電極とドレイン電極の間隔(チャネル長方向の長さ)が80nmであるトレンチ構造のトランジスタである。トレンチの底部の長さ(チャネル長方向の長さ)とソース電極とドレイン電極の間隔以外は図6(B)と同じ条件で計算した結果が図7(B)である。

【0168】

また、図8(A)は、トレンチの底部の長さ(チャネル長方向の長さ)が30nm、ソース電極とドレイン電極の間隔(チャネル長方向の長さ)が50nmであるトレンチ構造の

50

トランジスタである。トレンチの底部の長さソース電極とドレイン電極の間隔以外は図 6 (B) と同じ条件で計算した結果が図 8 (B) である。

【 0 1 6 9 】

計算の結果、図 6 (A)、図 7 (A)、及び図 8 (A) の構造全てのトランジスタ特性はほぼ同等であった。それぞれのトランジスタのしきい値 (V_{th}) は、0.8 V、S 値は 60 mV / dec と良好な値を示した。

【 0 1 7 0 】

これらの計算結果から、ソース電極とドレイン電極の間隔 (チャネル長方向の長さ) を 50 nm に狭めても、しきい値のマイナスシフトや S 値の増大といった短チャネル効果は発現せず、良好なトランジスタ特性を示している。

10

【 0 1 7 1 】

比較のため、トレンチ構造ではなく、プレーナ型のトランジスタの構造を用いて同様の計算を行ったところ、ソース電極とドレイン電極の間隔 (チャネル長方向の長さ) を狭めると、チャネル長も狭くなり、しきい値のマイナスシフトや S 値の増大といった短チャネル効果が発現し、さらにはゲートに負のバイアスを印加したときのリーク電流 (オフ電流) の増大も確認された。

【 0 1 7 2 】

この比較のための計算結果と比べ、図 6 (B)、図 7 (B)、及び図 8 (B) の計算結果は、良好であり、実施の形態 1 に示すトランジスタ構造とすることでソース電極とドレイン電極の間隔 (チャネル長方向の長さ) を狭めても実効的なチャネル長の変化は少ないため、短チャネル効果は発現せず、オフ電流を低く抑えることができる。その結果、保持特性が良好なメモリセルを作ることが可能になる。

20

【 符号の説明 】

【 0 1 7 3 】

1 0 0	基板	
1 0 8	ゲート絶縁層	
1 1 0	ゲート電極	
1 1 6	チャネル形成領域	
1 2 0	不純物領域	
1 2 4	金属化合物領域	
1 2 6	電極	
1 3 0	絶縁層	
1 4 2 a、1 4 2 b	電極	
1 4 3 a、1 4 3 b	絶縁層	
1 4 4	ワイドギャップ半導体層	
1 4 6	ゲート絶縁層	
1 4 8 a、1 4 8 b	ゲート電極	
1 4 9	絶縁層	
1 5 0	絶縁層	
1 5 1	絶縁層	
1 5 2	絶縁層	
1 5 3	電極	
1 5 4	電極	
1 5 6	配線	
1 6 0	トランジスタ	
1 6 1	素子分離領域	
1 6 2	トランジスタ	
1 6 3	トランジスタ	
1 6 4	キャパシタ	
1 6 5	素子分離領域	

30

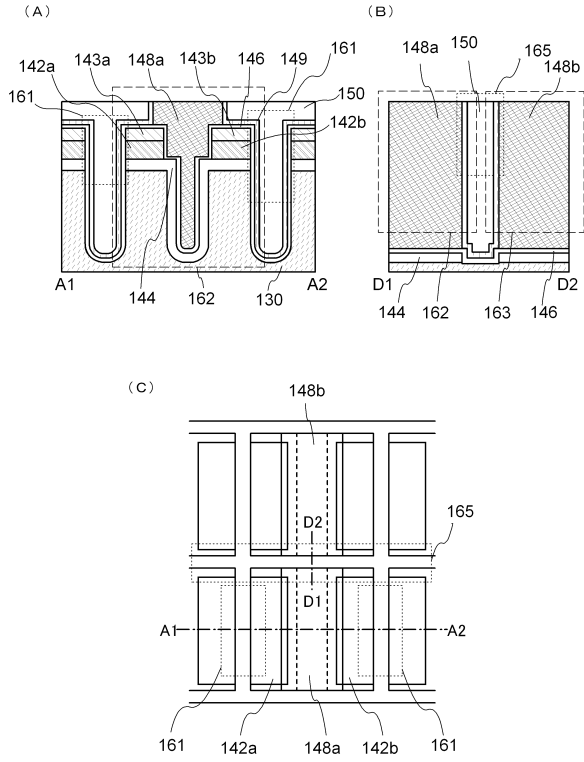
40

50

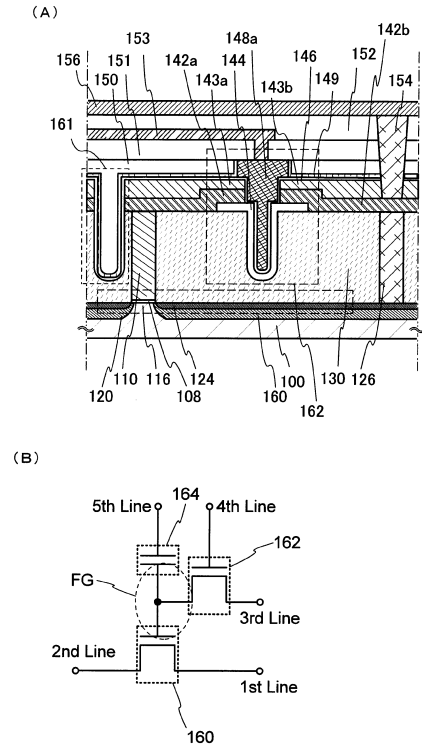
2 5 0	メモリセル	
2 5 1	メモリセルアレイ	
2 5 3	周辺回路	
2 5 4	キャパシタ	
3 1 0	半導体基板	
3 1 2	S T I 領域	
3 1 4	ゲート絶縁層	
3 1 6	半導体層	
3 1 8	導電層	
3 2 0	保護絶縁層	10
3 2 2	サイドウォール絶縁層	
3 2 4	不純物領域	
3 2 5	接続電極	
3 2 6	絶縁層	
3 2 8	電極	
3 2 9	絶縁層	
3 3 0	接続電極	
3 3 1	接続電極	
3 3 2	電極	
3 3 4	接続電極	20
3 3 6	電極	
3 3 8	接続電極	
3 5 0	トランジスタ	
4 0 0	周辺回路	
4 0 2	基板	
4 0 3	素子分離絶縁層	
4 0 4	チャネル形成領域	
4 0 6	不純物領域	
4 0 8	高濃度不純物領域	
4 1 0	金属化合物領域	30
4 1 1	ゲート絶縁層	
4 1 2	ゲート電極	
4 1 4	サイドウォール絶縁層	
4 1 8 a	ソース電極またはドレイン電極	
4 1 8 b	ソース電極またはドレイン電極	
4 2 0	層間絶縁層	
4 2 2	層間絶縁層	
4 2 4 a	電極	
4 2 4 b	電極	
4 2 4 c	電極	40
4 2 5	絶縁層	
4 2 6	接続電極	
4 2 8	電極	
4 3 0	接続電極	
4 3 2	配線	
4 3 4	接続電極	
4 3 6	電極	
4 3 8	接続電極	
4 4 0	配線	
4 5 0	トランジスタ	50

4 5 2 a	メモリセル	
4 5 2 b	メモリセル	
8 0 1	トランジスタ	
8 0 3	トランジスタ	
8 0 4	トランジスタ	
8 0 5	トランジスタ	
8 0 6	トランジスタ	
8 0 7	Xデコーダー	
8 0 8	Yデコーダー	
8 1 1	トランジスタ	10
8 1 2	保持容量	
8 1 3	Xデコーダー	
8 1 4	Yデコーダー	
9 0 1	R F回路	
9 0 2	アナログベースバンド回路	
9 0 3	デジタルベースバンド回路	
9 0 4	バッテリー	
9 0 5	電源回路	
9 0 6	アプリケーションプロセッサ	
9 0 7	C P U	20
9 0 8	D S P	
9 0 9	インターフェイス	
9 1 0	フラッシュメモリ	
9 1 1	ディスプレイコントローラ	
9 1 2	メモリ回路	
9 1 3	ディスプレイ	
9 1 4	表示部	
9 1 5	ソースドライバ	
9 1 6	ゲートドライバ	
9 1 7	音声回路	30
9 1 8	キーボード	
9 1 9	タッチセンサ	
9 5 0	メモリ回路	
9 5 1	メモリコントローラ	
9 5 2	メモリ	
9 5 3	メモリ	
9 5 4	スイッチ	
9 5 5	スイッチ	
9 5 6	ディスプレイコントローラ	
9 5 7	ディスプレイ	40
1 0 0 1	バッテリー	
1 0 0 2	電源回路	
1 0 0 3	マイクロプロセッサ	
1 0 0 4	フラッシュメモリ	
1 0 0 5	音声回路	
1 0 0 6	キーボード	
1 0 0 7	メモリ回路	
1 0 0 8	タッチパネル	
1 0 0 9	ディスプレイ	
1 0 1 0	ディスプレイコントローラ	50

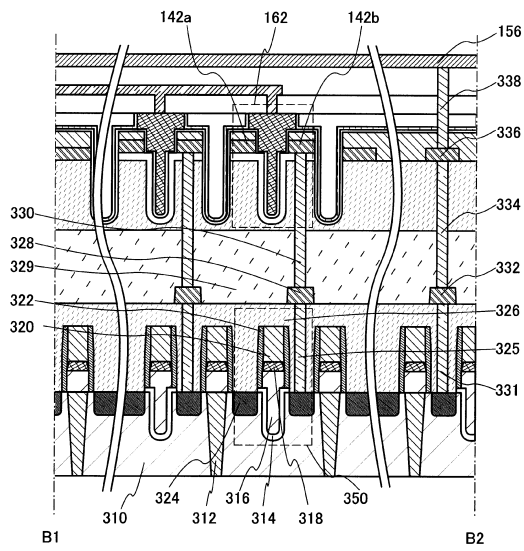
【図1】



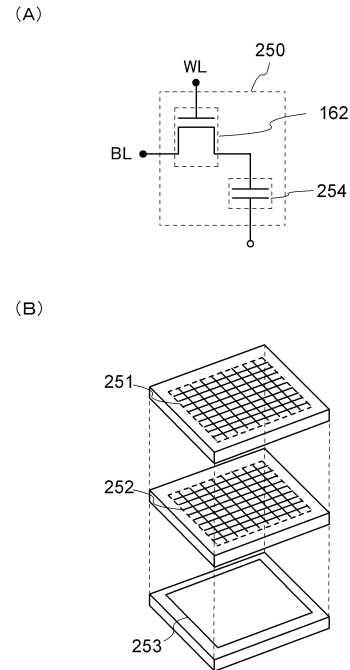
【図2】



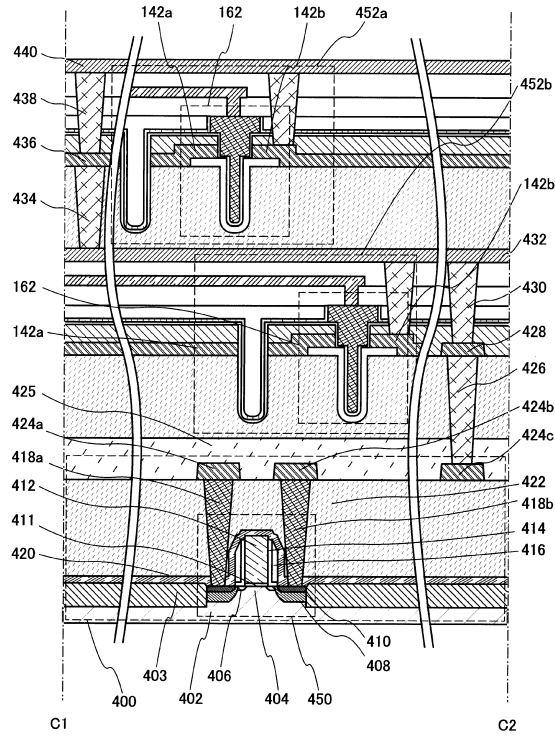
【図3】



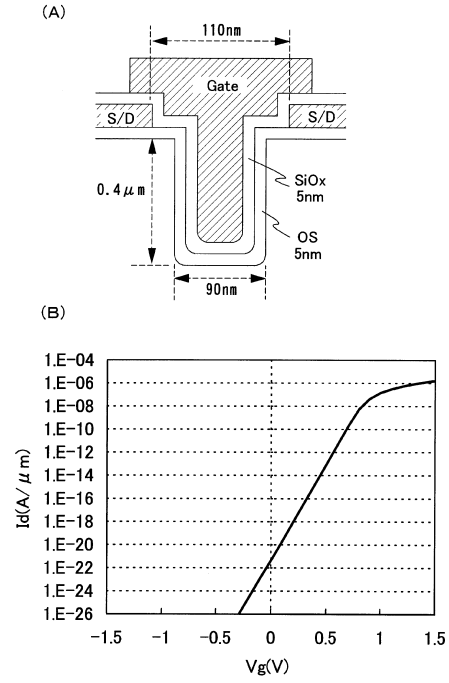
【図4】



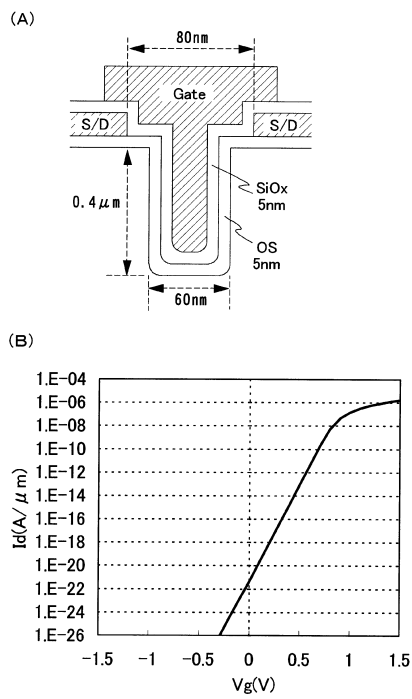
【 図 5 】



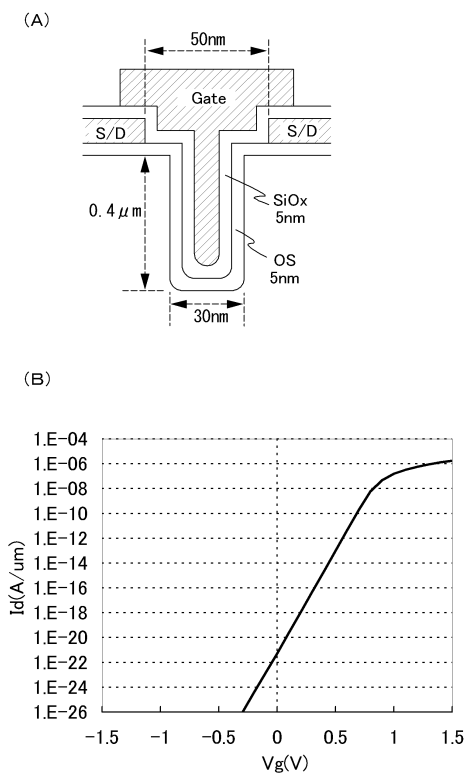
【 図 6 】



【 図 7 】

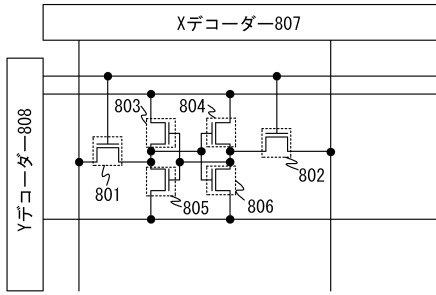


【 図 8 】

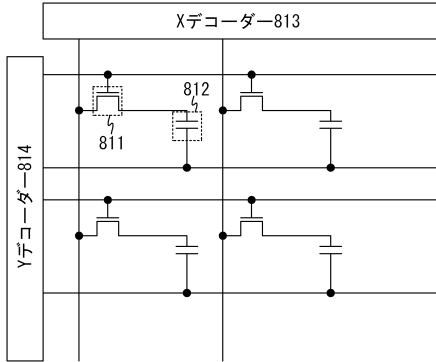


【図9】

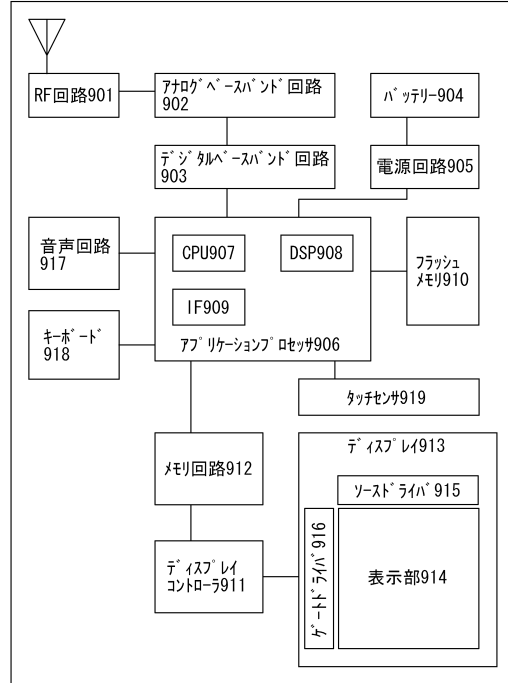
(A)



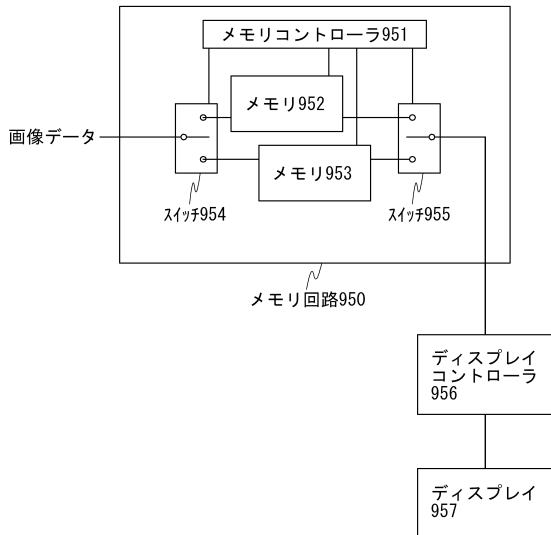
(B)



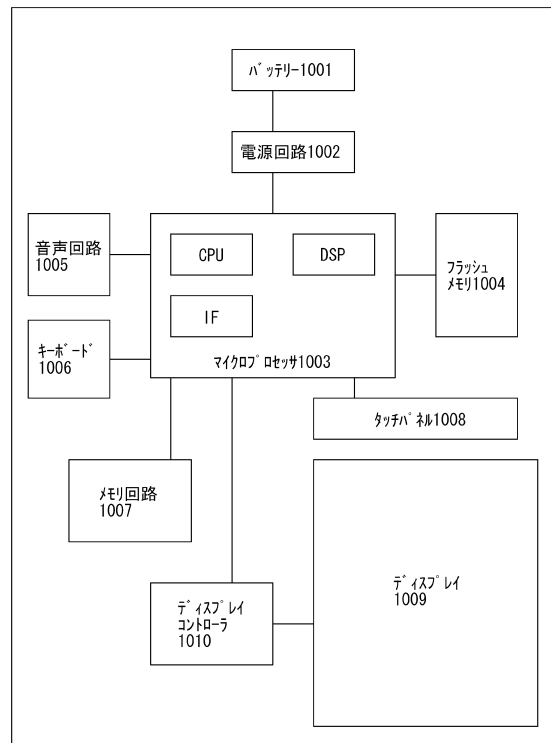
【図10】



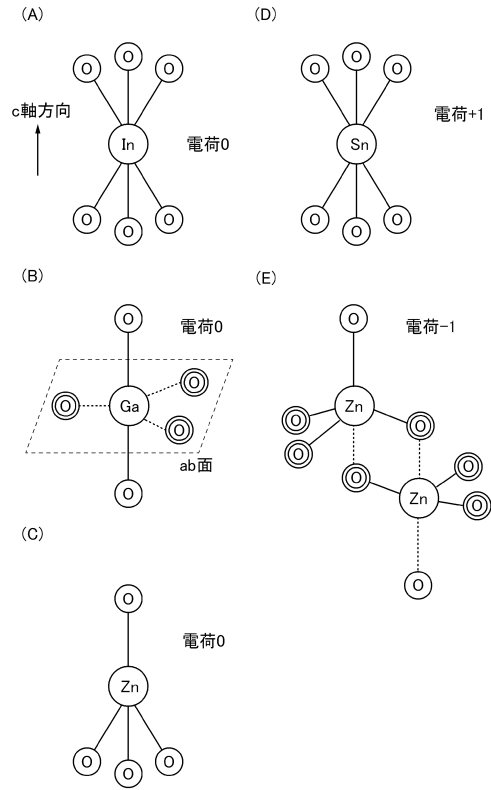
【図11】



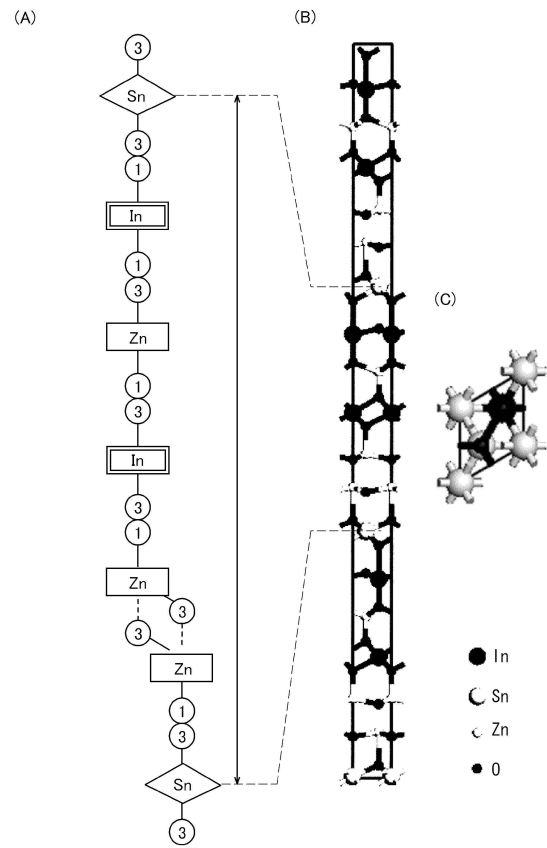
【図12】



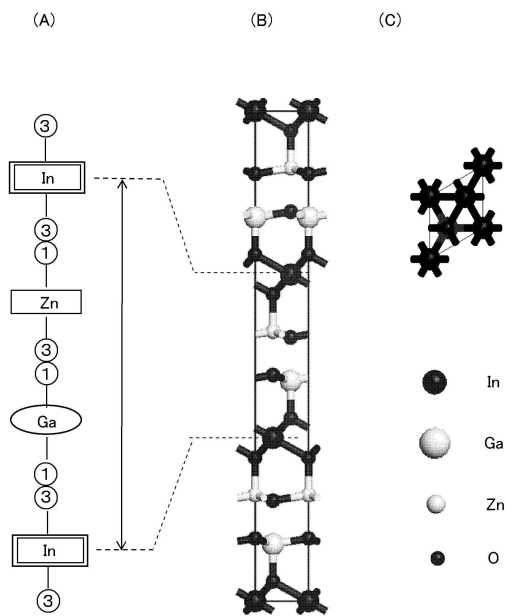
【図 1 3】



【図 1 4】



【図 1 5】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	27/115 (2006.01)	H 0 1 L	27/10	3 2 1
H 0 1 L	29/788 (2006.01)	H 0 1 L	27/10	4 3 4
H 0 1 L	29/792 (2006.01)	H 0 1 L	27/10	6 7 1 B
		H 0 1 L	27/10	6 7 1 C
		H 0 1 L	29/78	3 7 1

(56)参考文献 特開2009-021561(JP,A)
 特開2007-294928(JP,A)
 特開2008-034760(JP,A)
 特開平05-297413(JP,A)
 特開2009-016368(JP,A)
 特開2006-049413(JP,A)
 特表2008-524839(JP,A)
 特開2009-021309(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 9 / 7 8 6
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 8 2 4 2
 H 0 1 L 2 1 / 8 2 4 7
 H 0 1 L 2 7 / 1 0 8
 H 0 1 L 2 7 / 1 1 5
 H 0 1 L 2 9 / 7 8 8
 H 0 1 L 2 9 / 7 9 2