

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2009 年 7 月 23 日 (23.07.2009)

PCT

(10) 国際公開番号
WO 2009/090893 A1

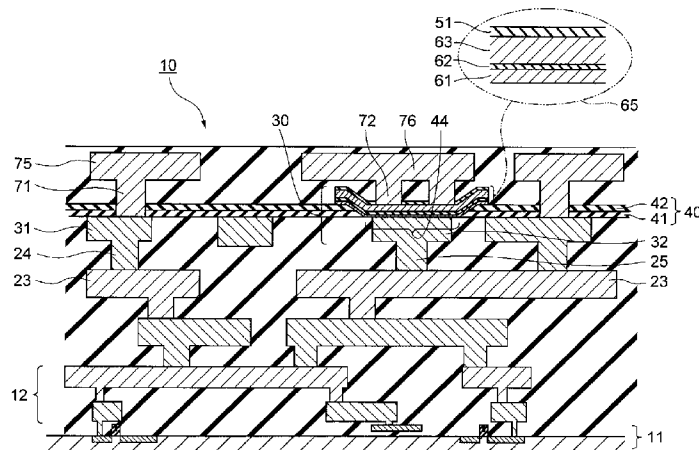
- (51) 国際特許分類:
H01L 21/822 (2006.01) H01L 27/04 (2006.01)
H01L 21/768 (2006.01)
- (21) 国際出願番号: PCT/JP2009/050023
- (22) 国際出願日: 2009 年 1 月 6 日 (06.01.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2008-009654 2008 年 1 月 18 日 (18.01.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 井上 尚也 (INOUE, Naoya) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 林 喜宏 (HAYASHI, Yoshihiro) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).
- (74) 代理人: 高橋 勇 (TAKAHASHI, Isamu); 〒1010031 東京都千代田区東神田 1 丁目 1 0 番 7 号 南日本ビル 7 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

/ 続葉有 /

(54) Title: CAPACITIVE ELEMENT, SEMICONDUCTOR DEVICE COMPRISING THE SAME, AND METHOD FOR MANUFACTURING CAPACITIVE ELEMENT

(54) 発明の名称: 容量素子及びこれを備えた半導体装置並びに容量素子の製造方法

[図1]



(57) Abstract: Disclosed is a capacitive element having a structure with improved reliability wherein a lower electrode material is in direct contact with a Cu wiring. Specifically disclosed is a capacitive element (30) comprising a first lower electrode (32) composed of a Cu wiring layer, a capacitive element interlayer film (40) formed on the first lower electrode (32) and having an opening (44) of a size within which the first lower electrode (32) can be contained, and a laminate (65) which is so formed on the first lower electrode (32) and the capacitive element interlayer film (40) as to extend within and beyond the opening (44) and composed of a second lower electrode (61), a capacitor insulating film (62) and an upper electrode (63) sequentially formed in this order.

(57) 要約: 下部電極材料が Cu 配線と直接接している構造の容量素子において、信頼性を向上させる構造を提供する。容量素子 (30) は、Cu 配線層からなる第一の下部電極 (32) と、第一の下部電極 (32) 上に設けられるとともに第一の下部電極 (32) を内包する大きさの開口部 (44) を有する容量素子層間膜 (40) と、開口部 (44) を内包するように第

/ 続葉有 /



WO 2009/090893 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

明 細 書

容量素子及びこれを備えた半導体装置並びに容量素子の製造方法
技術分野

[0001] 本発明は、容量素子及びこれを備えた半導体装置並びに容量素子の製造方法に関する。

背景技術

[0002] Si半導体基板上に形成される超高集積回路(ULSI:Ultra Large Scale Integrated circuit)においては、コスト低減、パフォーマンス向上、消費電力低減等を追求するため、設計寸法の微細化が常に進められている。微細化を行って集積される素子数を増大させることで機能の向上を図り、チップサイズを小さくすることでコストの低減を図る。あるいは、集積度の向上によって、異なる機能を有する回路ブロックを複数混載することも可能になり、部品点数を削減することでULSIチップを組み込む装置のコストを低減することも可能になる。このような、異種機能を有する回路ブロックの混載は、コスト削減のみならず、通信速度の向上など、組み合わせることで付加的な性能向上を実現することもできる。また、微細化によって、動作電圧を低減することができるため、同一の機能を持つ回路ブロックの消費電力を抑制することも可能である。

[0003] しかし、能動素子の急速な微細化の進展によって、新たな問題が顕在化してきている。以下では、この問題を、電源ノイズ、RF(Radio Frequency)／アナログ、消費電力に分類してまとめる。

[0004] まず、電源ノイズについての問題を述べる。微細化が進むことで低電圧化が推し進められるが、集積される素子数が急激に増加するため、消費する電流量は急増する。また、素子の微細化に伴って動作周波数は上昇し続け、スイッチング時間も短縮される。すなわち、スイッチングする際の電流量は増加し、スイッチング時間が短くなるため、電流の時間変化である di/dt は急激に大きくなる。この電流の時間変化に回路のインダクタンス L を掛け合わせた $L \cdot di/dt$ は、誘導性の電圧変動であり、同時スイッチングノイズといわれる。同時スイッチングノイズは、電源電位を変動させ、場合によってはロジック状態が反転することがある。上述したように、微細化が進むと、電源

電圧が低下することに加え、ノイズによる変動電圧が増大するため、ノイズマージンは加速度的に減少する。

[0005] このような誘導性ノイズは、回路のインピーダンスを低下させることで低減することが可能であり、例えば回路に容量を付加することで電源変動を抑制することができる。このような容量をデカップリング容量と呼ぶ。従来のULSIでは、トランジスタを形成するときに得られるMOS (Metal Oxide Silicon) 容量をデカップリング容量として用いている。しかし、微細化の進展によってMOS容量の絶縁膜厚は薄膜化し、これにより絶縁膜のリーク電流が急増することが問題となっている。また、ノイズマージンが急激に小さくなっているため、絶対的な容量値も不足してきており、電源電位を安定化するために挿入されるデカップリング容量によってチップ面積が増大する傾向も示している。

[0006] 以上のような問題点を回避するためには、MOS容量よりも高い誘電率を有する絶縁膜を用いたデカップリング容量を、配線層に用意する必要がある。配線層に容量を組み込むことで、平面上ではトランジスタと重ねて配置することができるため、設置面積をMOS容量よりも大きくとることができる。誘電率を高くすることで、同一面積での容量値を大きくできるので、限られた面積において大きな容量を設置することが可能となる。

[0007] 高速動作時のノイズ対策については、容量の問題だけではなく、応答性の問題も考える必要がある。高速動作における電源ノイズには高周波成分が多く含まれる。容量素子には電極の寄生抵抗成分が存在しており、その寄生抵抗成分がノイズに対する応答性を劣化させる。動作速度がギガヘルツの領域に達すると、電極の寄生抵抗の影響が顕在化し、デカップリング容量の性能を十分に発揮しにくくなってくる。したがって、電極抵抗を可能な限り低減することが必要となってくる。

[0008] MOS能動素子の微細化による動作速度の向上は、高周波 (RF) 信号処理回路のMOSデバイス化を促進している。RFデバイスをMOSデバイスで構築できれば、デジタルベースバンド回路との混載によって、機能向上、コスト低減などが実現する。アナログ回路とデジタル回路との混載も、同様のメリットを享受できる。RFデバイスやアナログデバイスでは、抵抗素子、容量素子、インダクタなどの受動素子を効果的に利

用する。このため、MOSロジックで使用する能動素子に加えて、受動素子を集積化することが極めて重要である。MOSロジックは、世代とともに微細化が進められるが、このような受動素子は、物性のみで特性が決まってしまうために、世代が進んでも微細化しない。このため、ULSIチップにおける受動素子の相対的な面積が増大し、チップコスト低下の阻害要因となっている。

[0009] 次に、消費電力の側面から見た課題について述べる。微細化技術の進展により、トランジスタの駆動電力が増加することで、チップ内の各デバイスが扱う電流は増加するだけでなく、集積度が向上することでチップ全体で消費される電流は急激に増加することになる。消費電力は、回路内の抵抗成分によって熱に変換されチップ温度上昇を引き起こす。これを回避するために、チップ内に温度センサを搭載し、温度上昇が発生した場合に消費電力を低減させるよう制御する機構を搭載することが行われている。チップコストを低減させるためには、温度センサ自体のサイズも微細化しておく必要がある。

[0010] 容量素子の場合、電極とシリコン基板との間に寄生容量が形成されることも動作特性上問題である。ULSIの微細化は、構造上三次元的に縮小されていくため、配線層とシリコン基板との距離が近くなる。それと同時に、容量素子の電極面積が周辺の回路と比較して相対的に大きくなることによって、電極と基板との間に形成される寄生容量は大きくなる。以上のような問題を解決するためには、誘電率の高い容量素子を基板から離して設置することが望ましい。すなわち、上層配線層に容量素子を設ける必要がある。また、能動素子に対する相対的なサイズの増大によって、電極板の寄生抵抗も無視できなくなる。高周波動作においては、電極の寄生抵抗が高くなると、容量素子の応答性が劣化し、所望の動作を示さなくなる。したがって、容量素子における寄生抵抗は可能な限り低減する必要がある。

[0011] 以上のように、配線層中に容量素子を付加することで多くの問題が解決する。ただし、配線中にこのような容量素子を付加するためには、新たな課題がある。銅を主成分とした配線材料を、低誘電率層間絶縁膜中に形成する最先端の配線構造では、絶縁膜の耐熱性の問題が有るので、350～400℃というプロセス温度の上限が存在する。このため、容量素子を形成する温度も、350℃程度を上限にするように設定し

なければならない。また、銅は、絶縁膜中を拡散しやすいため、層間絶縁膜や容量絶縁膜と銅配線との間には、銅の拡散を抑制するバリア膜を挿入する必要がある。以上のような観点から、銅配線中に形成する受動素子の製造プロセスや構造は慎重に考慮する必要がある。

[0012] 以下に、配線層中に容量素子を形成することを目的として考えられた構造や製造方法について開示されている例を示す。

[0013] (第一関連技術)

特許文献1には、材質が窒化シリコン又は炭化シリコン以外の絶縁膜をキャパシタ誘電体膜として採用し得る構造が開示されている。本関連技術は、銅配線を有する多層配線構造上に形成されたキャパシタ構造に関するものである。銅配線上には必ず、酸化防止絶縁膜として窒化シリコン又は炭化シリコンが形成されている。このため、銅配線上に容量を形成するためには、これらの膜を容量絶縁膜として用いる必要があった。本関連技術は、この制約を回避するための技術である。本関連技術では、酸化防止膜として絶縁膜ではなく、金属膜を用いることが特徴である。銅配線の露出面と当該金属膜との間には、バリアメタルを挿入している。この金属膜を銅配線に残るように形成しておき、この金属膜上に容量絶縁膜を成膜する。このとき、銅配線上に下部電極として露出している金属膜以外の部分は層間絶縁膜が露出しているだけであり、下部電極が銅配線よりも酸化耐性を有することで、酸化性の強い金属酸化物誘電体膜等を容量絶縁膜として用いることができる。

[0014] (第二関連技術)

特許文献2では、下部電極としてCu配線を活用する構造が開示されている。しかしながら、Cuは絶縁膜中で大きな拡散係数を有するため、適切なバリア材料によってCuの拡散を防止する手段が必要である。本関連技術では、Cu拡散を防止する材料からなる下部電極の下面にCu配線構造を接続することにより、Cu配線を介して下部電極に電荷を供給する構成とするとともに、層間絶縁膜等の酸化膜へのCu拡散を防止し得る構造を提供している。

[0015] 特許文献1:特開2004-014761号公報

特許文献2:特開2003-264235号公報

発明の開示

発明が解決しようとする課題

- [0016] しかしながら、第一及び第二関連技術には以下に述べる課題がある。
- [0017] 第一関連技術では、容量を形成しない部分にも、下部電極やバリアメタルが上下配線間に挿入されてしまう。酸化耐性の強い下部電極材料やバリアメタルは、一般に電気抵抗が高く、上下配線間の抵抗上昇をもたらす。また、下部電極及びバリアメタルを加工した後に、容量絶縁膜と上部電極を成膜するが、下部電極のピッチが狭い部分では、電極間に絶縁膜等が均一に成膜されずに、特性に不良が発生する。下部電極へのカバレッジを向上させるためには、CVD (Chemical Vapor Deposition) 法を用いた成膜が望まれるが、CVD法では原料を熱分解させるために、少なくとも400℃以上の加熱を行う必要がある。このような、高温のプロセスは、銅／低誘電率配線に適用できない。
- [0018] 第二関連技術では、容量素子を構成する積層膜が、下層配線上の絶縁膜に設けた開口部の内部でパターンニングされている。すなわち、積層膜と開口部端との間にはスペースが存在しており(上記公報図10参照)、容量素子をエッチングによって加工する際に、この部分の積層膜を除去する必要がある。しかしながら、開口部側壁部分に付着した積層膜のエッチングは難しい。また、積層膜の端部と開口部側壁との間のスペースが狭い場合には、その上に形成される層間絶縁膜の埋設が困難となる。この部分のスペースを確保しようとするれば、容量素子の面積を縮小せざるを得ないので、面積的な損失が発生する。
- [0019] ここで、下部電極材料がCu配線と直接接していることにより寄生抵抗を低減できるという特徴を有する容量素子において、第二関連技術における積層膜と開口部端との間にスペースが存在する構造を用いると、スペース部分が銅配線となるため、銅が積層膜に拡散することにより容量素子の信頼性が低下する。
- [0020] そこで、本発明の目的は、下部電極材料がCu配線と直接接している構造の容量素子において、信頼性を向上させる構造を提供することにある。

課題を解決するための手段

- [0021] 本発明に係る容量素子は、Cu配線層からなる第一の下部電極と、この第一の下部

電極上に設けられるとともに当該第一の下部電極を内包する大きさの開口部を有する層間絶縁膜と、前記開口部を内包するように前記第一の下部電極上及び前記層間絶縁膜上に第二の下部電極、容量絶縁膜及び上部電極の順に設けられた積層体と、を備えたことを特徴とする。

発明の効果

- [0022] 本発明によれば、容量素子の積層体が設けられる層間絶縁膜の開口部を第一の下部電極を内包する大きさとすることにより、開口部形成時に第一の下部電極のCu成分が開口部の側壁に付着しにくいので、Cu配線層からなる第一の下部電極に第二の下部電極が直接接していることにより寄生抵抗を低減できる構造において、信頼性を大幅に向上できる。

発明を実施するための最良の形態

- [0023] 図1は、本発明の第一実施形態における容量素子及び半導体装置を示す断面図である。以下、この図面に基づき説明する。

- [0024] 本実施形態の半導体装置10は、CMOSトランジスタ層11と、CMOSトランジスタ層11の上方に形成された二層以上から構成されるCu多層配線層12とを有している。ここで、任意のCu配線層を第一のCu配線層23とする。第一のCu配線層23は、その上の第一のビアプラグ24を介して、一層上に存在する第二のCu配線層31に接続されている。同様に、第一のCu配線層23は、ビアプラグ25を介して、容量素子30のCuからなる第一の下部電極32に接続されている。第二のCu配線層31の表面には、Cu配線の酸化及びCu元素の拡散を防止する配線キャップ絶縁膜41、及びこの配線キャップ絶縁膜41を開口するためのハードマスク絶縁膜42との二層からなる容量素子層間絶縁膜40が形成されている。容量素子層間絶縁膜は、特許請求の範囲における「層間絶縁膜」に相当し、以下「容量素子層間膜」と略称する。容量素子30を形成する部分では、容量素子層間膜40は開口されており、第二の下部電極61の少なくとも一部は第一の下部電極32と直接接している。第一の下部電極32は、開口部44に完全に内包されており、開口部44の側壁(周端)をまたがない。容量素子30は、第二の下部電極61、容量絶縁膜62、上部電極63及びエッチング停止層51からなる積層体65が、開口部44及びその外側に延在する形状で形成されている。なお、

各配線層間は絶縁膜(符号省略)によって絶縁されている。

- [0025] 本実施形態の容量素子30は、Cu配線層からなる第一の下部電極32と、第一の下部電極32上に設けられるとともに第一の下部電極32を内包する大きさの開口部44を有する容量素子層間膜40と、開口部44を内包するように第一の下部電極32上及び容量素子層間膜40上に第二の下部電極61、容量絶縁膜62及び上部電極63の順に設けられた積層体65とを備えている。第二の下部電極61と上部電極63とは平面形状が同一である。開口部44は上側が大きく開くテーパ形状である。積層体65は、上部電極63上に設けられたエッチング停止層51も有する。
- [0026] 本実施形態の半導体装置10は、第一のCu配線層23と、第一のCu配線層23に第一のビアプラグ24を介して上方で接続された第二のCu配線層31と、容量素子30とを備えている。第一の下部電極32は、第二のCu配線層31と同一層で形成されたCu配線層であり、第一のCu配線層23にビアプラグ25を介して接続される。また、半導体装置10は、第二のCu配線層31に第二のビアプラグ71を介して上方で接続された第三のCu配線層75を備えている。上部電極63は、第二のビアプラグ71と同一層で形成されたコンタクトプラグ72を介して第三のCu配線層76に接続されている。
- [0027] 容量素子層間膜40は、Cu配線層の酸化及びCu元素の拡散を防止する性質を備えた配線キャップ絶縁膜41と、配線キャップ絶縁膜41上に設けられ配線キャップ絶縁膜41と異なる材質からなるハードマスク絶縁膜42との二層を有する。例えば、配線キャップ絶縁膜41はSiCN又はSiCからなり、ハードマスク絶縁膜42はSiO₂又はSiCOHからなる。容量絶縁膜62は、例えば、膜厚5nm以上のSiNからなる、又はプラズマ酸化法によって形成されたタンタル酸化物からなる。
- [0028] 換言すると、容量素子30は、任意の第二のCu配線層31と同時に形成された第一の下部電極32と、第二のCu配線層31の表面を被覆しかつ第一の下部電極32を内包する形の開口部44を有する容量素子層間膜40と、開口部44を内包し容量素子層間膜40上に延在するように形成された第二の下部電極61、容量絶縁膜62、上部電極63及びエッチング停止層51からなる積層体65とを備えている。そして、外部回路との接続のため、第一の下部電極32はビアプラグ25を介して一層下の第一の配線層23に接続され、上部電極63はコンタクトプラグ72を介して一層上の第三の配線

層76に接続される。

[0029] 次に、本実施形態の容量素子30及び半導体装置10の作用について説明する。第二のCu配線層31上及び第一の下部電極32上に容量素子層間膜40を形成し、第一の下部電極32を平面的に内包するよう開口部44を容量素子層間膜40に設け、更に開口部44を平面的に内包するように容量素子30を形成している。これによって、Cu配線層からなる第一の下部電極32は、Cuの拡散を防止する第二の下部電極61又は容量素子層間膜40のいずれかで完全に覆われている。また、第二の下部電極61がCu配線層からなる第一の下部電極32と直接接しているため、寄生抵抗を下げる事が可能である。実質、Cu配線層を第一の下部電極32として用いるため、容量素子30全体の薄膜化が可能であり、微細化が進む半導体プロセスにおけるスケールリングを確保することができる。以上のような特徴を持ちながらも、Cu配線層からなる第一の下部電極32上に開口部44の側壁が位置しないことにより、後述するように容量素子30の信頼性が向上する。容量素子層間膜44を開口するためのリソグラフィ工程は、光学的に透明な容量素子層間膜44を介して下層のCu配線で形成した目印を用いたアライメントが可能である。そのため、この開口工程で同時に、容量素子30のパターニングの際のアライメント用の目印を形成することで、合計二回のリソグラフィ追加によって、容量素子30を半導体装置10に搭載することができる。

[0030] 図2は、本実施形態における半導体装置及び容量素子の効果を説明するためのグラフである。以下、図1及び図2に基づき説明する。

[0031] 本実施形態では、前述のように、Cu配線層からなる第一の下部電極32上に開口部44の側壁が位置しないこと、すなわち開口部44を第一の下部電極32を内包する大きさとする事を特徴としている。第一の下部電極32上に開口部44の側壁が位置すると、信頼性が劣化することを確認しているからである。以下に詳しく説明する。

[0032] 図2に、Cu配線層からなる第一の下部電極32上に開口部44の側壁が存在する構造にて、開口部44の側壁の総長さと容量素子30のリーク電流との関係を調べた結果を示す。ここで、各容量素子30のサイズは、積層体65及び第一の下部電極32が等しく、開口部44の大きさのみが異なる。図2から明らかなように、開口部44の側壁の総長さが長いほど、リーク電流が大きくなる傾向を示している。これは、開口部44

のエッチング時に、開口部44の底に露出したCuが、プラズマに曝されることで飛散し、開口部44の側壁に付着するためであると考えられる。Cuのエッチング生成物は、揮発性が低いため、化学的エッチングが起こりにくい。したがって、物理的にエッチングされたCuの飛散物が開口部44の側壁に再付着するのである。開口部44の底面に付着したCuはエッチングにより取り去られるが、開口部44の側壁に付着したCuは残りやすい。開口部44の側壁に付着したCuは、拡散して容量絶縁膜62などに達することにより、容量素子30のリーク電流を増大させる。

[0033] そこで、本実施形態では、開口部44を第一の下部電極32を内包する大きさとすることにより、開口部44の側壁を第一の下部電極32から遠ざけ、エッチングされたCuの飛散物が開口部44の側壁に付着しにくくしているので、信頼性が向上する。

[0034] 図3乃至図9は、本発明の第二実施形態における容量素子及び半導体装置の製造方法を示す各工程の断面図である。以下、これらの図面に基づき説明する。

[0035] 本実施形態は、図1の容量素子30及び半導体装置10を製造する方法である。図3乃至図9では、簡潔にするため、図1における二層以上からなるCu配線層の最上層をCu配線層13としており、これより下層を省略している。また、図1では省略した膜などにも言及している。

[0036] まず、図3に示すように、Cu配線層13を形成した後、Cu配線の酸化及び拡散を防止する配線キャップ絶縁膜14を成膜する。そして、ビア層層間絶縁膜15を成膜し、第一のCu配線層23及びこれと接続するためのビアプラグ16をダマシン法によって形成する。Cu配線層23上には、配線キャップ絶縁膜26を成膜する。以下「ビア層層間絶縁膜」を「ビア層間膜」と略称する。

[0037] 続いて、図4に示すように、ビア層間膜33を成膜した後、第二のCu配線層31と第一のビアプラグ24とをダマシン法によって形成する。このとき、第一の下部電極32も同時に形成され、容量素子と外部回路を接続するビアプラグ25も第一のビアプラグ24と同様に形成される。そして、Cuの酸化防止及びCuの拡散防止を目的とした配線キャップ絶縁膜41としてSiN又はSiCN膜を成膜し、続いてハードマスク絶縁膜42としてSiO₂又はSiOCHを成膜する。配線キャップ絶縁膜41及びハードマスク絶縁膜42の二層が容量素子層間膜40となる。

- [0038] 続いて、図5に示すように、フォトリソグラフィ工程及びエッチング工程を経て、ハードマスク絶縁膜42に開口部43を形成する。このとき、ドライエッチングの選択特性を利用して、配線キャップ絶縁膜41上でエッチングを停止することが重要である。また、図示するように、後で成膜する積層体の被覆性を向上させるため、開口部43の端部をテーパ形状とすることが好ましい。ハードマスク絶縁膜42の開口部43を形成した後に、アッシングによってフォトレジストを除去する。このとき、第一の下部電極32のCu表面が露出していないため、酸素プラズマによるCuの酸化を抑制することができる。
- [0039] 続いて、図6に示すように、ハードマスク絶縁膜42の開口部43をマスクとし、配線キャップ絶縁膜42をエッチングし、第一の下部電極32のCu表面に達する開口部44を形成する。このときも、後で成膜する積層体の被覆性を向上させるために開口部44の端部をテーパ形状とすることが好ましい。また、本実施形態では、開口部44を第一の下部電極32を内包する大きさとすることにより、開口部44の側壁44aを第一の下部電極32から遠ざけ、エッチングされたCuの飛散物が側壁44aに付着しにくくしているので、信頼性が向上する。
- [0040] 続いて、図7に示すように、第二の下部電極61、容量絶縁膜62、上部電極63、エッチング停止層51となる膜を順次成膜する。第二の下部電極61としては、Ti、Ta、Wなどの高融点金属膜、これらの金属元素を含む合金膜、又はそれらの窒化膜を用いる。また、これらのいずれかの膜は、複数の膜からなる積層膜を用いることも有効である。また、第二の下部電極61としては、Cu元素の拡散を抑制するという重要な性質である。第二の下部電極61の膜厚は、容量素子の薄膜化を実現し、かつCu元素の拡散を抑制するため、5nmから30nmの薄膜とする。容量絶縁膜62としては、膜厚5nm以上の窒化シリコン膜をプラズマCVD法により形成する。窒化シリコン膜の膜厚が5nmよりも薄くなると絶縁性が急激に低下するため、十分な信頼性を得ることができない。上部電極63としては、Ti、Ta、Wなどの高融点金属膜、これらの金属元素を含む合金膜、又はそれらの窒化膜を用いる。上部電極63は、上部電極コンタクトへのエッチング時に、エッチング雰囲気曝露されるため、突き抜けを防止する目的で膜厚を20nm以上と比較的厚く設定しておく。エッチング停止層51は、配線キャ

ップ絶縁膜41と同様、SiCNやSiNなどの材料を用いる。

[0041] 続いて、図8に示すように、開口部44を平面的に内包する形状にエッチング停止層51、上部電極63、容量絶縁膜62、第二の下部電極61の順に一回のリソグラフィ工程でパターンニングを行い、積層体65を形成する。積層体65のパターンニングは、フォトリジストをマスクとしてエッチング停止層51をエッチングし、アッシング後にエッチング停止層51をマスクとして上部電極63以下の積層膜をエッチングしても良い。また、別途SiO₂膜などのハードマスクを用いて、エッチング停止層51から下層金属層までを一括エッチングしてもよい。この場合には、見かけ上の配線キャップ絶縁膜41はハードマスク絶縁膜42との積層構造としてデバイス中に残存する。

[0042] 最後に、図9に示すように、ビア層間膜73を成膜した後、シングルダマシン法又はデュアルダマシン法によって、最上層の第三のCu配線層75、76、容量素子30の上部電極63へのコンタクトプラグ72、Cu配線層間を接続する第二のビアプラグ71を形成する。そして、第三のCu配線層75、76の表面を含む面に配線キャップ絶縁膜77を成膜する。ビア層間膜すなわち配線層間絶縁膜自体も工程上の要求から多層構造とする場合もある。したがって、ビア層間膜73は、通常は多層の絶縁膜から構成されている。また、容量素子30の上部電極63へのコンタクトプラグ72は、Cu配線層間の第二のビアプラグ71よりも浅い。しかし、コンタクトプラグ72及び第二のビアプラグ71のいずれの開口時にもその底部にエッチストップとして機能する配線キャップ絶縁膜41、51が存在しているので、深さの異なる開口も問題なく行うことができる。

[0043] 以上のとおり、本実施形態の容量素子の製造方法は、第一の下部電極32上を内包する面に容量素子層間膜40を成膜する工程(図4)と、容量素子層間膜40をエッチングすることにより開口部44を形成する工程(図5及び図6)と、容量素子層間膜40上及び開口部44内の第一の下部電極32上に、第二の下部電極61となる第一層、容量絶縁膜62となる第二層及び上部電極63となる第三層を順次成膜する工程(図7)と、これらの第一層、第二層及び第三層を一括してエッチングすることにより、積層体65を形成する工程(図8)とを含むことを特徴とする。

[0044] 本実施形態の製造方法によれば、開口部44を第一の下部電極32を内包する大きさに加工するので、開口部44形成時に第一の下部電極33のCu成分が開口部44の

側壁44aに付着しにくいことから、Cu配線層からなる第一の下部電極32に第二の下部電極61が直接接していることにより寄生抵抗を低減できる構造において、信頼性を大幅に向上できる。

[0045] 図10は本発明の第三実施形態における半導体装置を示し、図10[1]は半導体装置の回路図であり、図10[2]は半導体装置に含まれる容量素子の平面図である。以下、この図面に基づき説明する。

[0046] 図10[1]の半導体装置100は、逐次比較型AD (Analog to Digital) 変換回路であり、コンパレータ101、容量アレイ102、スイッチ部103等を備えている。本回路を用いてアナログ値をデジタル値へ変換するためには、容量値Cを有する容量素子を単位として、1倍、2倍、4倍、8倍・・・と、2の倍数で増加させた各容量素子が必要となる。Nビットのデジタル値に変換する場合、最大で $2^{N-1}C$ の容量が必要となり、合計として $2^N C$ の容量が必要となる。本回路を構成するに当たっては、Cの容量を有する単位容量素子を 2^N のアレイ状に並べる容量アレイ102を用いるのが一般的である。例えば、10ビットのAD変換回路を実現するためには $2^{10}=1024$ 個、12ビットのAD変換回路を実現するためには $2^{12}=4096$ 個の容量素子を並べる必要がある。なお、逐次比較型AD変換回路自体は周知であるので、その動作の詳しい説明は省略する。

[0047] 図10[2]に、容量アレイ102の平面構成図を示す。容量アレイ102の各容量素子30は、図1に示す容量素子30と同様の構成である。一個の容量素子30は、第二のCu配線層と同時に形成される第一の下部電極32、第一の下部電極32を内部に含む形状で開口部44を有する容量素子層間膜、及び積層体65で構成されている。図10[2]では、積層体65よりも上にある層を除去して示している。

[0048] 積層体65は、5nm～30nmの膜厚のTa₂N₅からなる第二の下部電極、5nm～15nmの膜厚のSiNからなる容量絶縁膜、20nm～100nmの膜厚のTiNからなる上部電極、及びエッチング停止層から構成される。本実施形態の場合、極めて多数の容量素子30を並べる必要があるため、単位面積当たりの容量を高くし、容量面積を小さくすることが重要である。この目的のため、容量絶縁膜としてSiNよりも誘電率の高いTa₂O₅を用いることが効果的である。容量絶縁膜として用いるTa₂O₅は、金属Taをスパッタ法によって3nm～7nm成膜し、350℃の酸化プラズマ雰囲気中で酸化処理することに

よって形成する。このほか、スパッタ雰囲気酸素を導入した反応性スパッタによって成膜してもよいし、CVD法などの気相成長法を用いることも可能である。

[0049] 半導体装置100によれば、低寄生抵抗かつ高信頼性を有する容量素子30を用いていることから、信頼性を向上できる。

[0050] 図11及び図12は本発明の第四実施形態における半導体装置を示し、図11[1]はシグナルフロー図であり、図11[2]は半導体装置中の変換部の構成図であり、図12[1]は変換部中の演算増幅回路の回路図であり、図12[2]は演算増幅回路中の容量素子の平面図である。以下、これらの図面に基づき説明する。

[0051] 図11[1]に示す半導体装置200は、パイプライン型AD変換回路であり、ビットごとの複数の変換部201、各変換部201から出力された1ビットの信号から所定のコードのデジタル信号を出力するコード変換回路202等を備えている。半導体装置200では、入力されたアナログ値が、各段で最上位ビットから1ビット分ずつデジタル信号として出力される。Nビットの変換には、N-1段の変換部201が必要になる。各段では、一つの信号の処理を終えると、次の周期では次の信号の処理を行うことが可能である。そのため、半導体装置200は、全ビットの出力を待たずして、次の信号処理を開始するという特徴を有する。なお、パイプライン型AD変換回路自体は周知であるため、その動作の詳しい説明は省略する。

[0052] 図11[2]は、各段の変換部201の構成を示す。変換部201は、演算増幅回路210、サンプルホールド回路221、ADC (Analog-Digital Converter) 222、DAC (Digital-Analog Converter) 223等を備えている。演算増幅回路210については、詳しい構成を図12[1]に示す。

[0053] 図12[1]の演算増幅回路210は、オペアンプ211、キャパシタ回路212等からなるスイッチトキャパシタを用いている。この構成では、キャパシタC1、C2の相対精度が極めて重要な要素となる。相対精度は、容量素子のサイズに依存しており、サイズが大きいほど精度が向上する。

[0054] 図12[2]に、演算増幅回路210に適用する容量素子のレイアウトを示す。キャパシタC1、C2は、図示するように、図1の容量素子30と同等の構成である。キャパシタC1、C2は相互に隣接している。一個の容量素子30は比較的大きな面積となるため、

第一の下部電極32の面積が大きくなる。しかしながら、Cu配線はその製造上の問題から、連続した大面積パターンとすることは難しい。通常、Cu配線は、溝部に埋設したCuの余剰部分をCMP (Chemical Mechanical Polishing) による研磨で除去することで形成する。このとき、大面積のCuを用いると、中央部で研磨速度が上昇し、凹んだ形状となる。このことを抑制するため、第一の下部電極32を図示するように格子状に形成することが有効である。この場合でも、第一の下部電極32の全ての部分が、開口部44の内部にのみ存在するようにレイアウトする。積層体65は、開口部44を内包する形状で形成する。なお、図12[2]では、積層体65よりも上にある層を除去して示している。

[0055] 半導体装置200によれば、低寄生抵抗かつ高信頼性を有する容量素子30を用いていることから、信頼性を向上できる。

[0056] 図13は本発明の第五実施形態における半導体装置を示す平面図である。以下、この図面に基づき説明する。

[0057] 本実施形態の半導体装置300は、AD変換回路301、無線入力回路302、PLL回路303、有線入出力回路304、デジタル回路305、記憶回路306を一チップ上に搭載している。AD変換回路301には容量素子30a、無線入力回路302には容量素子30b、PLL回路303には容量素子30c、デジタル回路305には容量素子30dがそれぞれ含まれている。容量素子30a～30dは、図1の容量素子30と同等の構成である。

[0058] AD変換回路301は第三実施形態又は第四実施形態で述べたものであり、これと同様にDA変換回路も搭載することも可能である。無線入力回路302は、外部からの無線信号を通すためのパスコンデンサとして容量素子30bを活用する。このとき、高周波応答性が重要であるため、容量素子30bの低寄生抵抗という特徴が極めて有効である。また、無線入力回路302でのアナログ信号処理においては、特定の周波数のみ通したりする回路も搭載され、その回路でも容量素子30bは用いられる。PLL回路303は、特定の周波数を発生させるためのであり、周波数のずれをフィードバックさせる際のループフィルタとして容量素子30cを用いる。デジタル回路305でも、同時に多数の素子がスイッチングする際に発生する同時スイッチングノイズを低減させ

るために、容量素子30dが有効に働く。このように、容量素子はさまざまな回路で活用されるが、本発明による容量素子30a～30dは、全ての用途に用いることが可能であり、複数の機能を搭載した半導体装置300において極めて有効な素子となる。

[0059] 以上、上記各実施形態を参照して本発明を説明したが、本発明は上記各実施形態に限定されるものではない。本発明の構成や詳細については、当業者が理解し得るさまざまな変更を加えることができる。また、本発明には、上記各実施形態の構成の一部又は全部を相互に適宜組み合わせたものも含まれる。

[0060] この出願は2008年1月18日に提出された日本出願特願2008-009654を基礎とする優先権を主張し、その開示の全てをここに取り込む。

産業上の利用可能性

[0061] 本発明は、例えばLSI (Large Scale Integrated circuit) 中に組み込む容量素子、詳しくは多層配線を有するLSI中において導電性の上部電極膜－容量絶縁膜－導電性の下部電極から構成される容量素子に利用される。

図面の簡単な説明

[0062] [図1]本発明の第一実施形態における容量素子及び半導体装置を示す断面図である。

[図2]本発明の容量素子及び半導体装置の効果を説明するためのグラフである。

[図3]本発明の第二実施形態における容量素子及び半導体装置の製造方法を示す工程(その1)の断面図である。

[図4]本発明の第二実施形態における容量素子及び半導体装置の製造方法を示す工程(その2)の断面図である。

[図5]本発明の第二実施形態における容量素子及び半導体装置の製造方法を示す工程(その3)の断面図である。

[図6]本発明の第二実施形態における容量素子及び半導体装置の製造方法を示す工程(その4)の断面図である。

[図7]本発明の第二実施形態における容量素子及び半導体装置の製造方法を示す工程(その5)の断面図である。

[図8]本発明の第二実施形態における容量素子及び半導体装置の製造方法を示す

工程(その6)の断面図である。

[図9]本発明の第二実施形態における容量素子及び半導体装置の製造方法を示す工程(その7)の断面図である。

[図10]本発明の第三実施形態における半導体装置を示し、図10[1]は半導体装置の回路図であり、図10[2]は半導体装置に含まれる容量素子の平面図である。

[図11]本発明の第四実施形態における半導体装置を示し、図11[1]はシグナルフロー図であり、図11[2]は半導体装置中の変換部の構成図である。

[図12]本発明の第四実施形態における半導体装置を示し、図12[1]は変換部中の演算増幅回路の回路図であり、図12[2]は演算増幅回路中の容量素子の平面図である。

[図13]本発明の第五実施形態における半導体装置を示す平面図である。

符号の説明

- [0063] 10、100、200、300 半導体装置
- 11 CMOSトランジスタ層
- 12 Cu多層配線層
- 13 Cu配線層
- 14 配線キャップ絶縁膜
- 15 ビア層間膜
- 16 ビアプラグ
- 23 第一のCu配線層
- 24 第一のビアプラグ
- 25 ビアプラグ
- 26 配線キャップ絶縁膜
- 30、30a、30b、30c、30d 容量素子
- 31 第二のCu配線層
- 32 第一の下部電極
- 33 ビア層間膜
- 40 容量素子層間膜(層間絶縁膜)

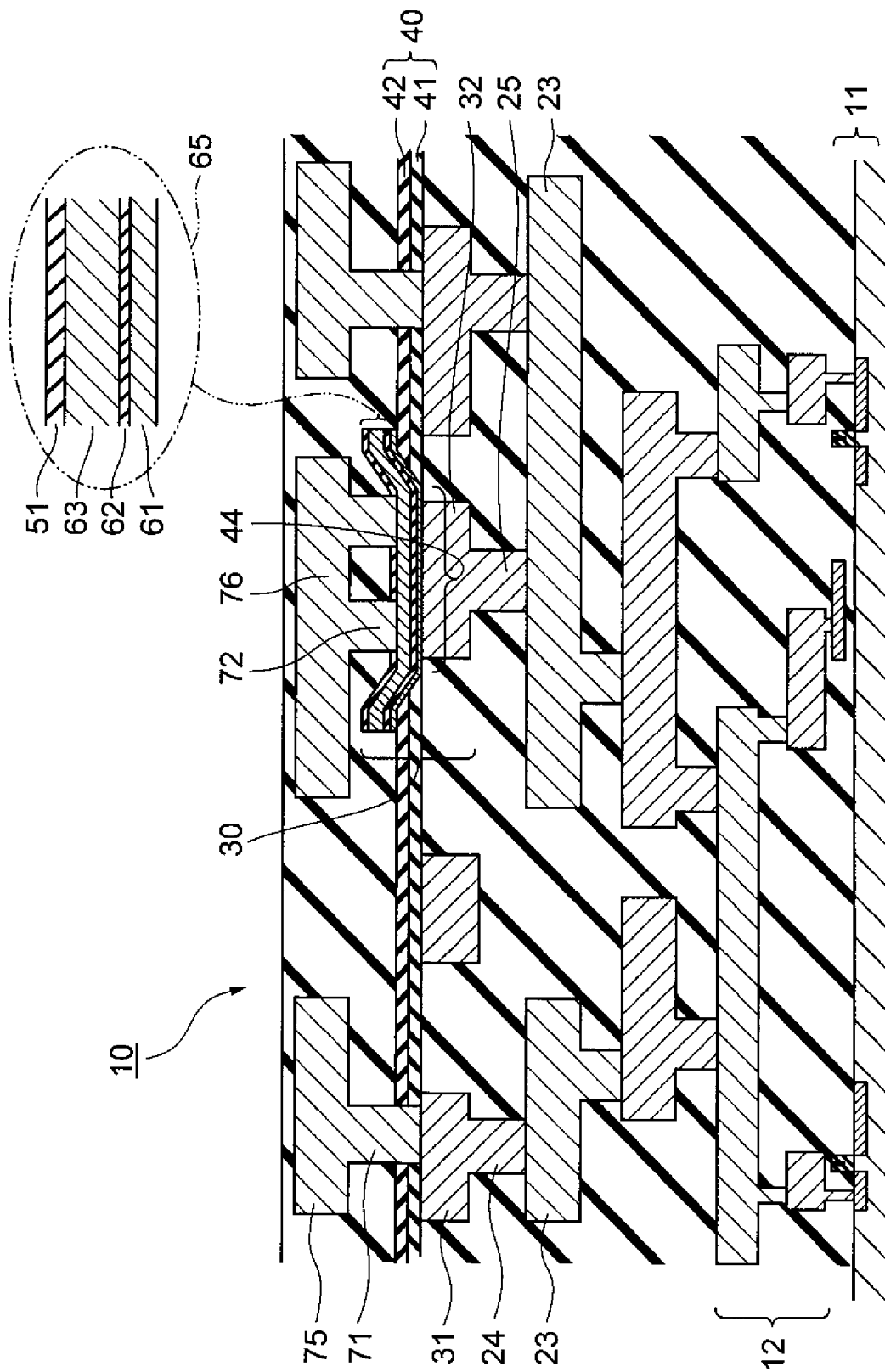
- 41 配線キャップ絶縁膜
- 42 ハードマスク絶縁膜
- 43 ハードマスク絶縁膜の開口部
- 44 容量素子層間膜の開口部
- 51 エッチング停止層
- 61 第二の下部電極
- 62 容量絶縁膜
- 63 上部電極
- 71 第二のビアプラグ
- 72 コンタクトプラグ
- 75、76 第三のCu配線層
- 101 コンパレータ
- 102 容量アレイ
- 210 演算増幅回路
- 211 オペアンプ
- 301 AD変換回路
- 302 無線入力回路
- 303 PLL回路
- 304 有線入出力回路
- 305 デジタル回路
- 306 記憶回路

請求の範囲

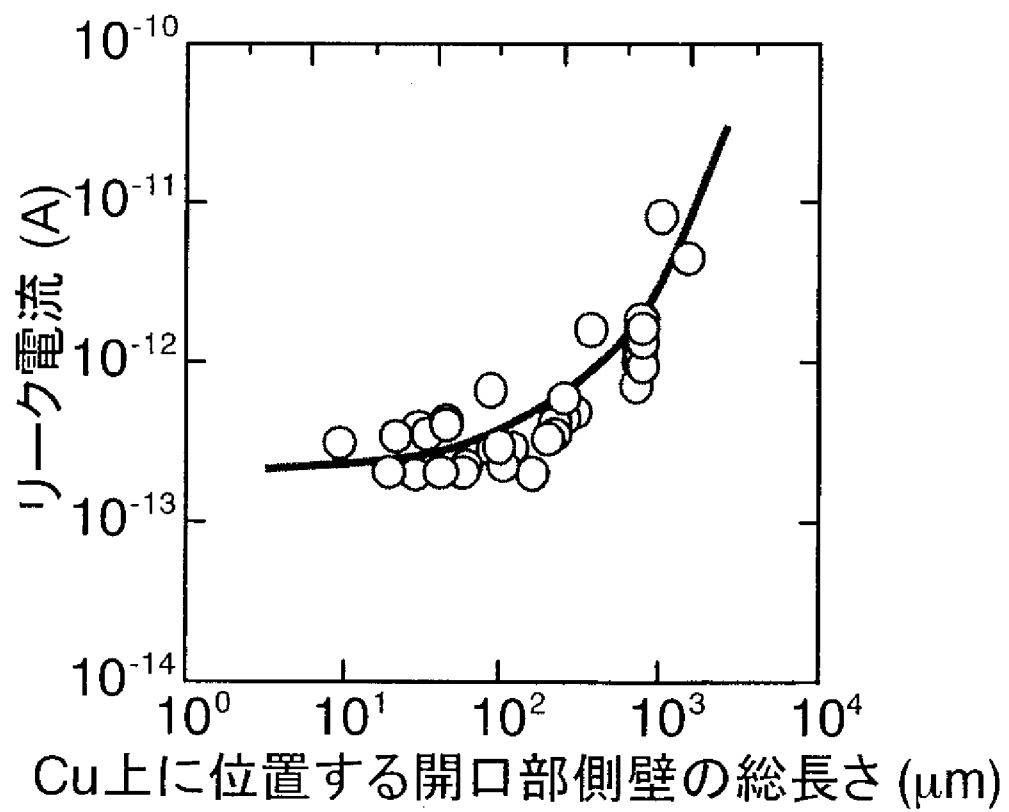
- [1] Cu配線層からなる第一の下部電極と、この第一の下部電極上に設けられるとともに当該第一の下部電極を内包する大きさの開口部を有する層間絶縁膜と、前記開口部を内包するように前記第一の下部電極上及び前記層間絶縁膜上に第二の下部電極、容量絶縁膜及び上部電極の順に設けられた積層体と、
を備えたことを特徴とする容量素子。
- [2] 第一のCu配線層と、この第一のCu配線層にビアプラグを介して上方で接続された第二のCu配線層と、請求項1記載の容量素子とを備え、
前記第一の下部電極は、前記第一のCu配線層にビアプラグを介して接続されるとともに前記第二のCu配線層と同一層で形成されたCu配線層である、
ことを特徴とする半導体装置。
- [3] 前記第二のCu配線層にビアプラグを介して上方で接続された第三のCu配線層を備え、
前記上部電極は、前記ビアプラグと同一層で形成されたコンタクトプラグを介して前記第三のCu配線層に接続された、
ことを特徴とする請求項2記載の半導体装置。
- [4] 前記第二の下部電極と前記上部電極とは平面形状が同一である、
ことを特徴とする請求項2又は3のいずれか一項に記載の半導体装置。
- [5] 前記層間絶縁膜は、Cu配線層の酸化及びCu元素の拡散を防止する性質を備えた配線キャップ絶縁膜と、この配線キャップ絶縁膜上に設けられ当該配線キャップ絶縁膜と異なる材質からなるハードマスク絶縁膜との二層を有する、
ことを特徴とする請求項2乃至4のいずれか一項に記載の半導体装置。
- [6] 前記配線キャップ絶縁膜はSiCN又はSiCからなり、前記ハードマスク絶縁膜はSiO₂又はSiCOHからなる、
ことを特徴とする請求項5記載の半導体装置。
- [7] 前記開口部は上側が大きく開くテーパ形状である、
ことを特徴とする請求項2乃至6のいずれか一項に記載の半導体装置。
- [8] 前記容量絶縁膜は膜厚5nm以上のSiNからなる、

- ことを特徴とする請求項2乃至7のいずれか一項に記載の半導体装置。
- [9] 前記容量絶縁膜はプラズマ酸化法によって形成されたタンタル酸化物からなる、
ことを特徴とする請求項2乃至7のいずれか一項に記載の半導体装置。
- [10] Cu配線層からなる第一の下部電極と、この第一の下部電極上に設けられるとともに
当該第一の下部電極を内包する大きさの開口部を有する層間絶縁膜と、前記開口
部を内包するように前記第一の下部電極上及び前記層間絶縁膜上に第二の下部電
極、容量絶縁膜及び上部電極の順に設けられた積層体とを備えた容量素子を製造
する方法において、
前記第一の下部電極上を内包する面に前記層間絶縁膜を成膜する工程と、
前記層間絶縁膜をエッチングすることにより前記開口部を形成する工程と、
前記層間絶縁膜上及び前記開口部内の前記第一の下部電極上に、前記第二の
下部電極となる第一層、前記容量絶縁膜となる第二層及び前記上部電極となる第三
層を順次成膜する工程と、
前記第一層、前記第二層及び前記第三層を一括してエッチングすることにより、前
記積層体を形成する工程と、
を含むことを特徴とする容量素子の製造方法。

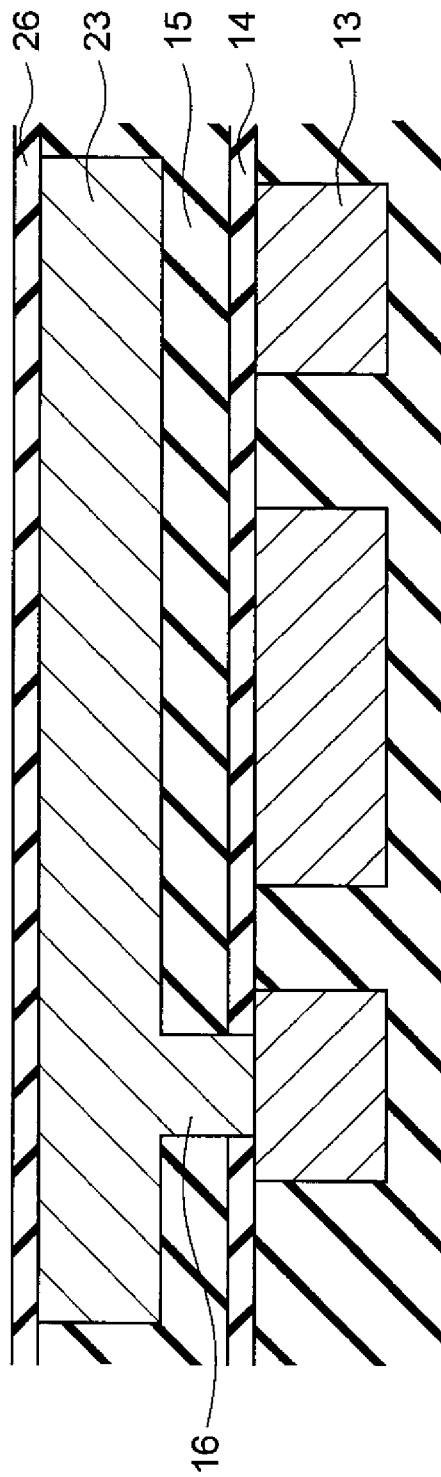
[図1]



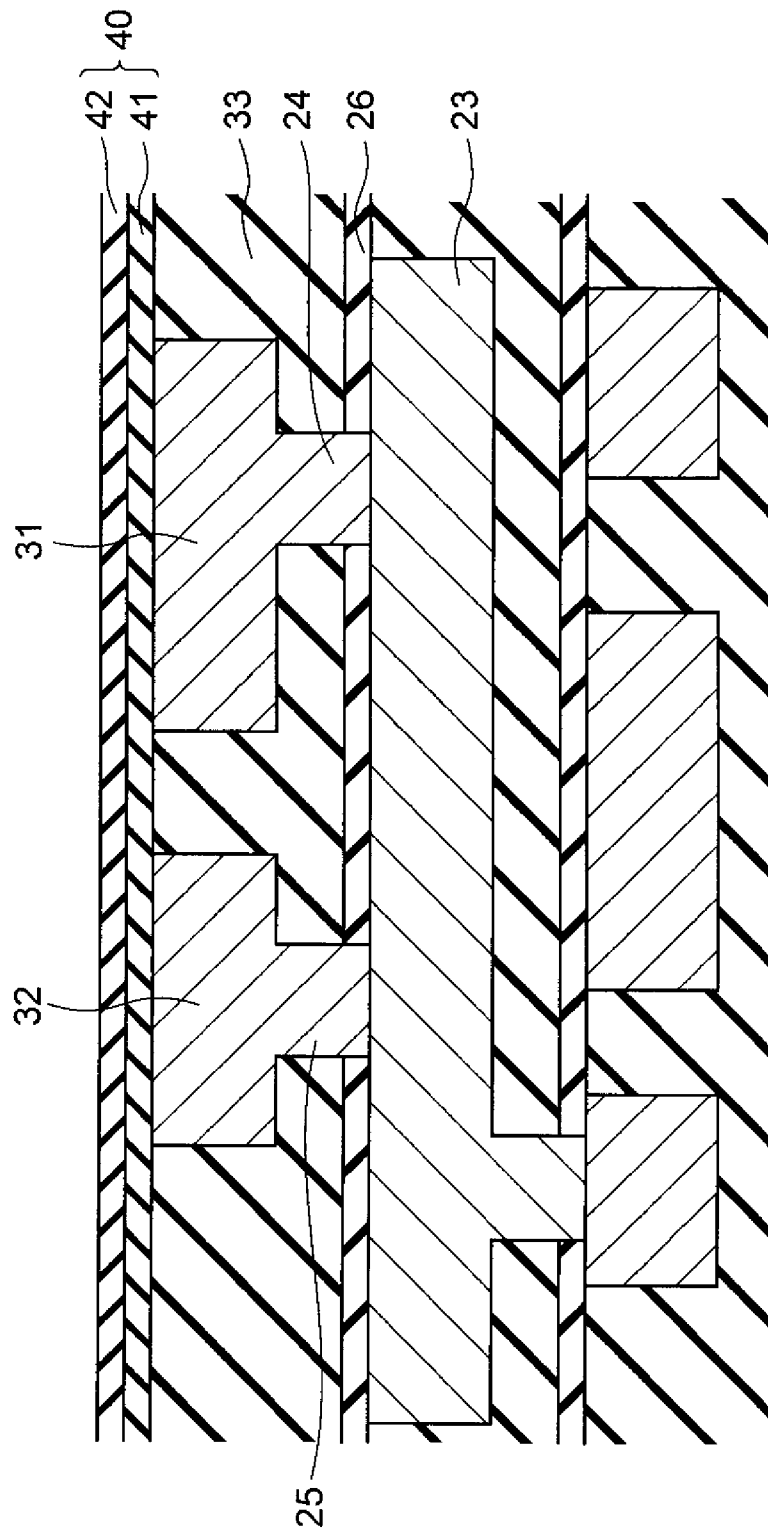
[図2]



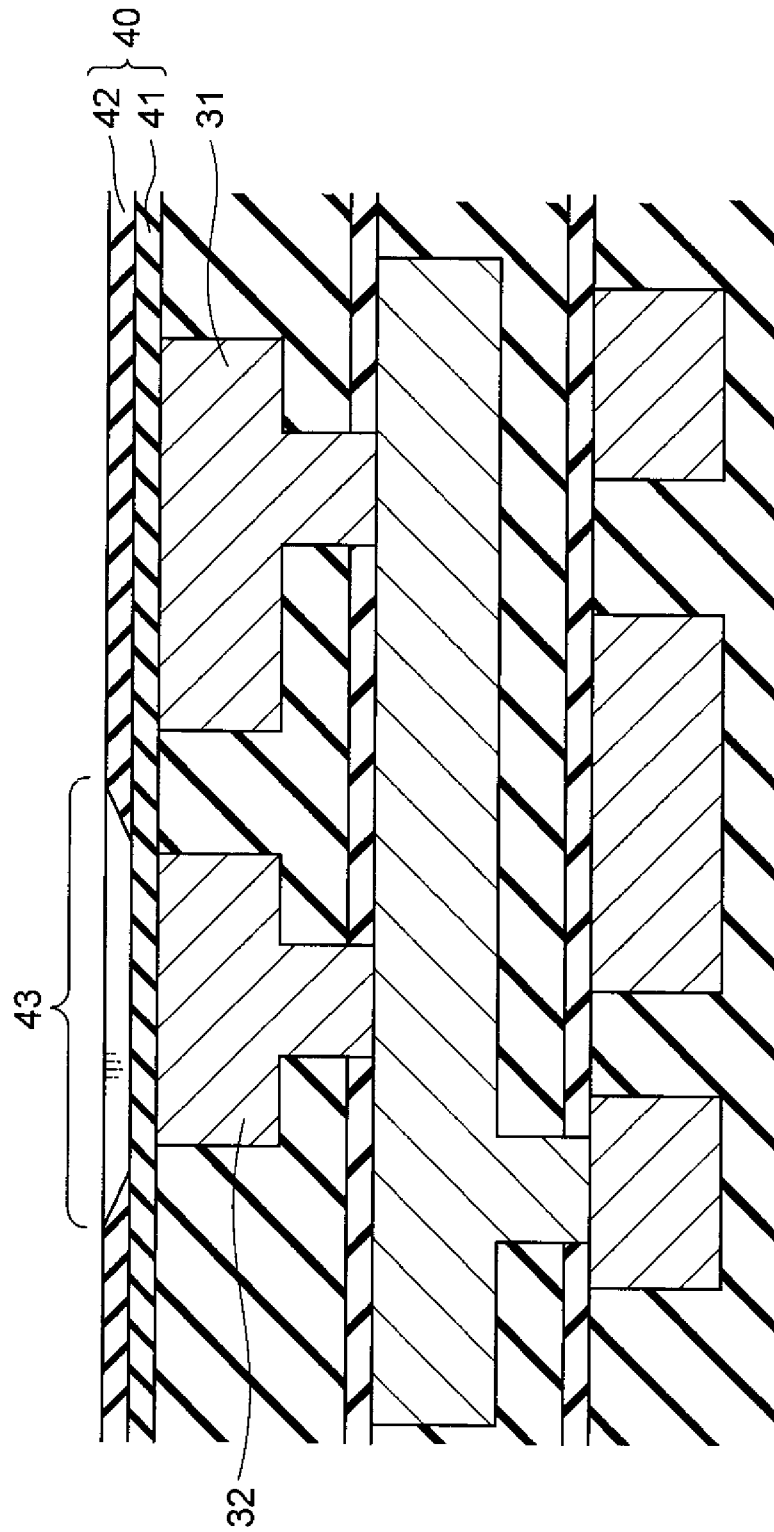
[図3]



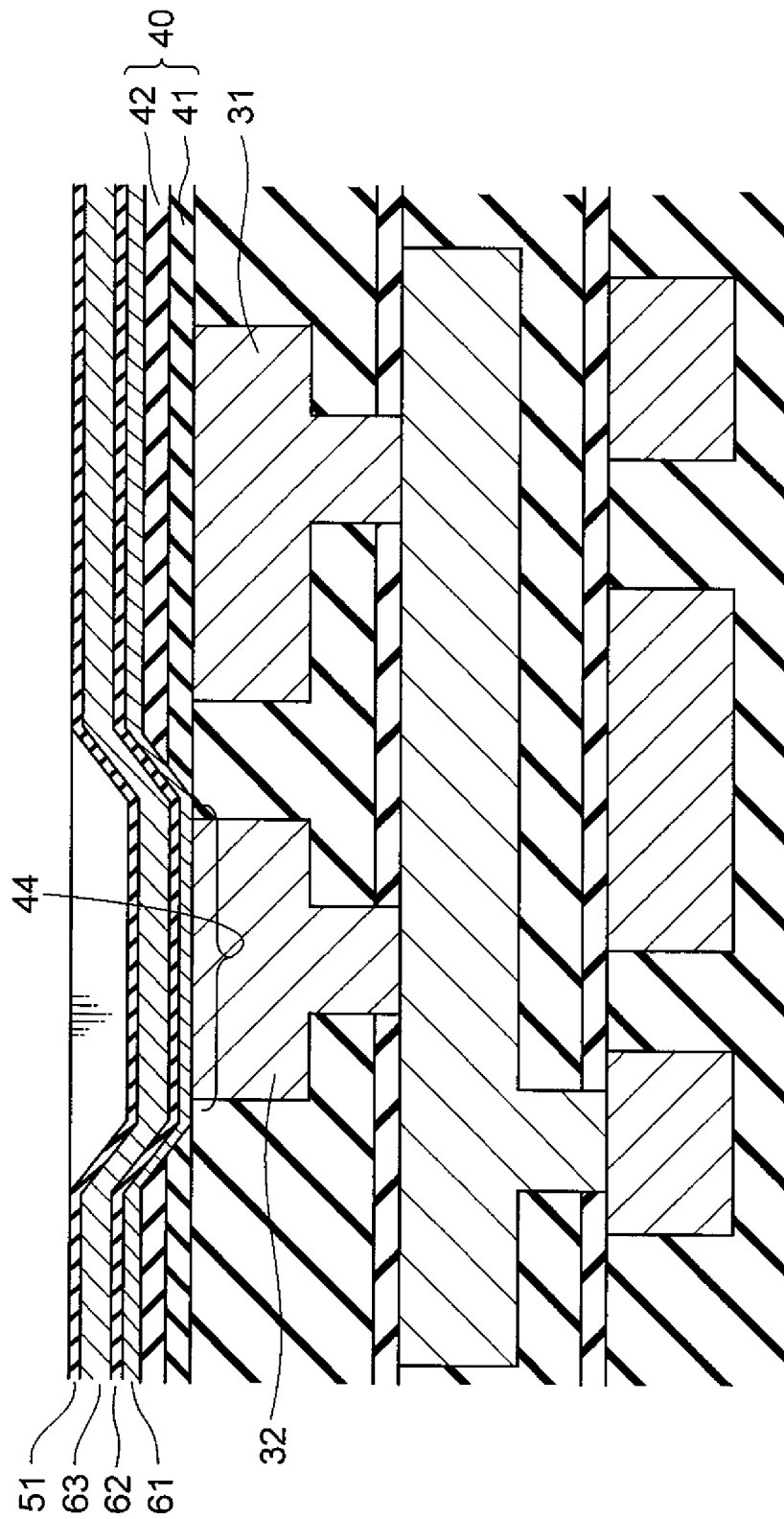
[図4]



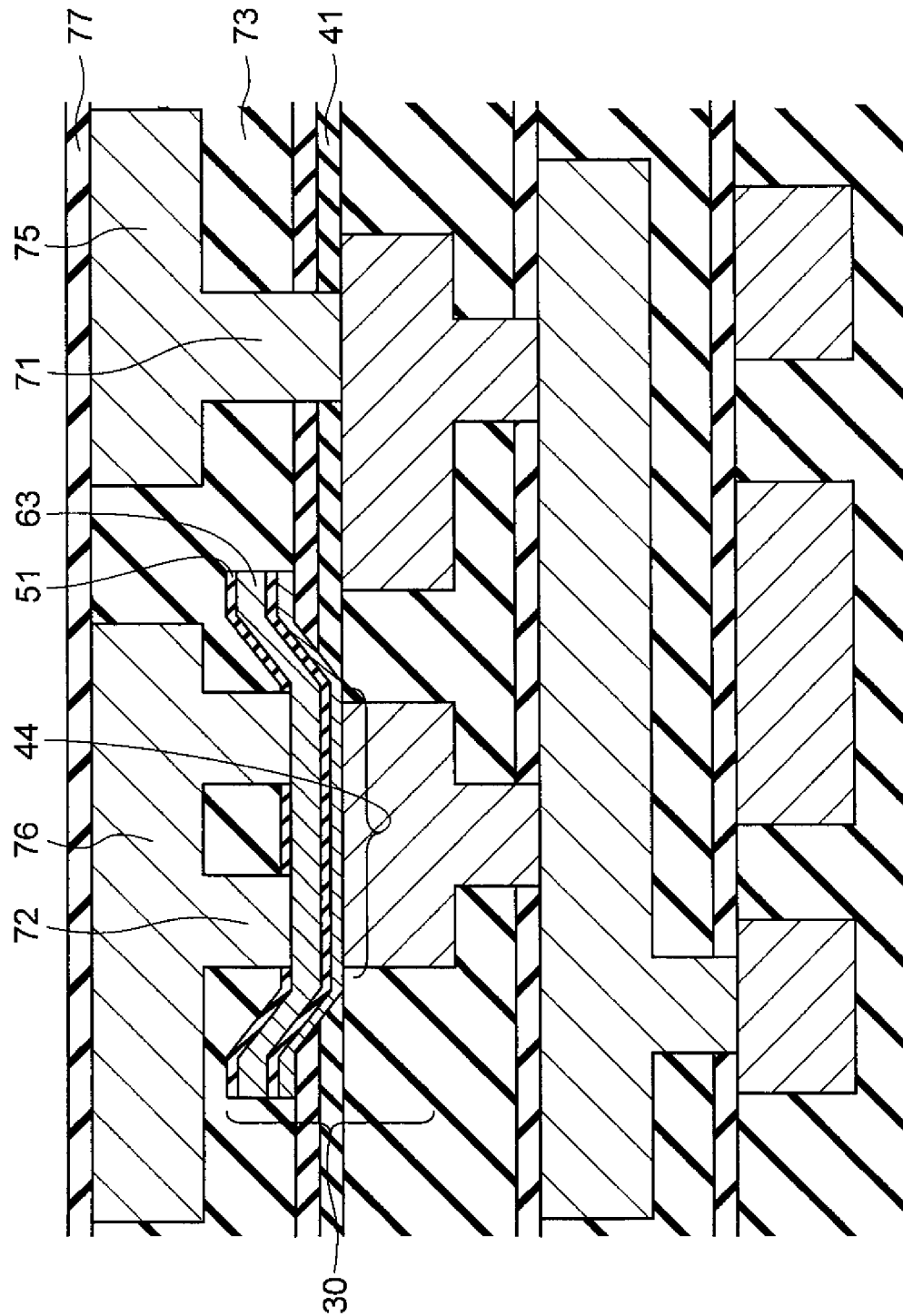
[図5]



[図7]

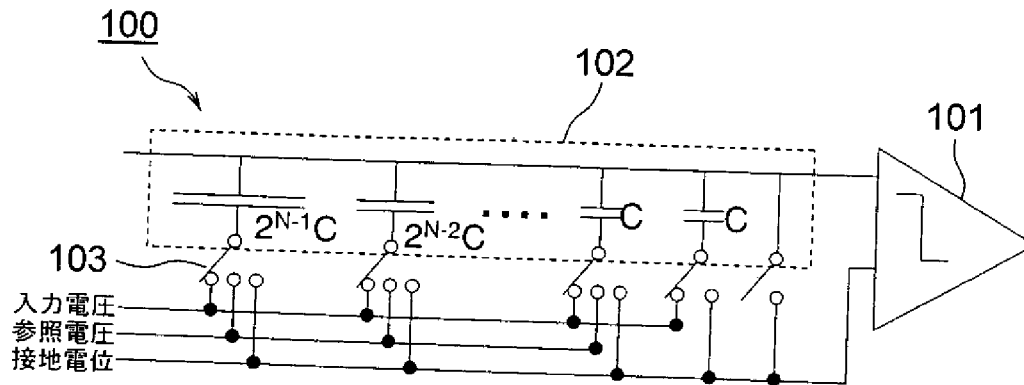


[図9]

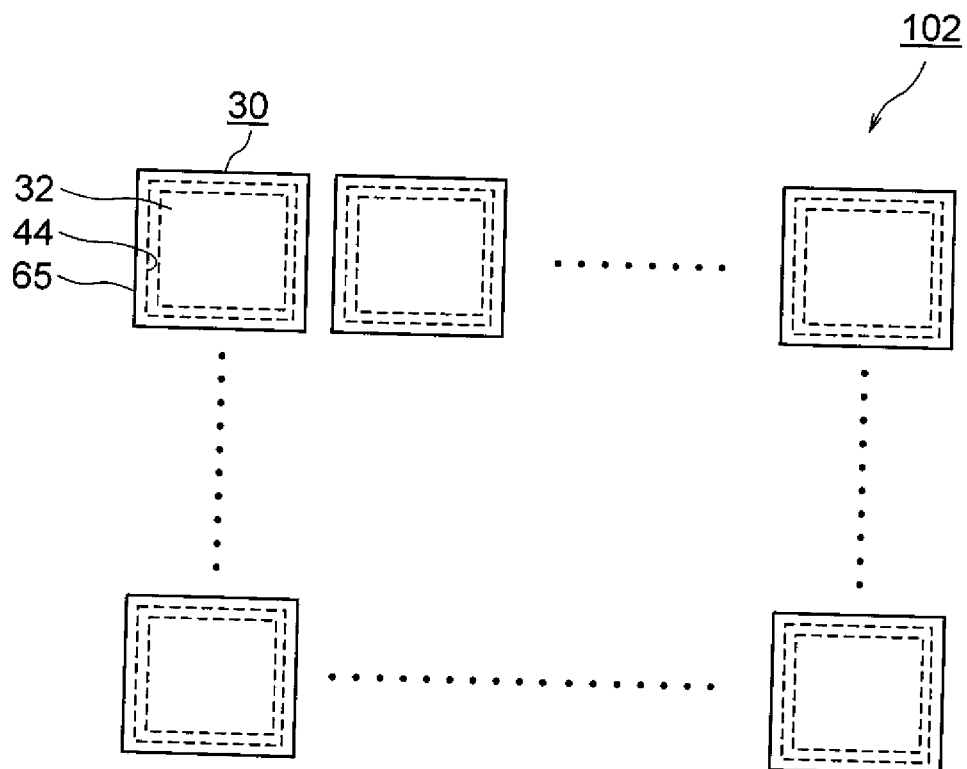


[図10]

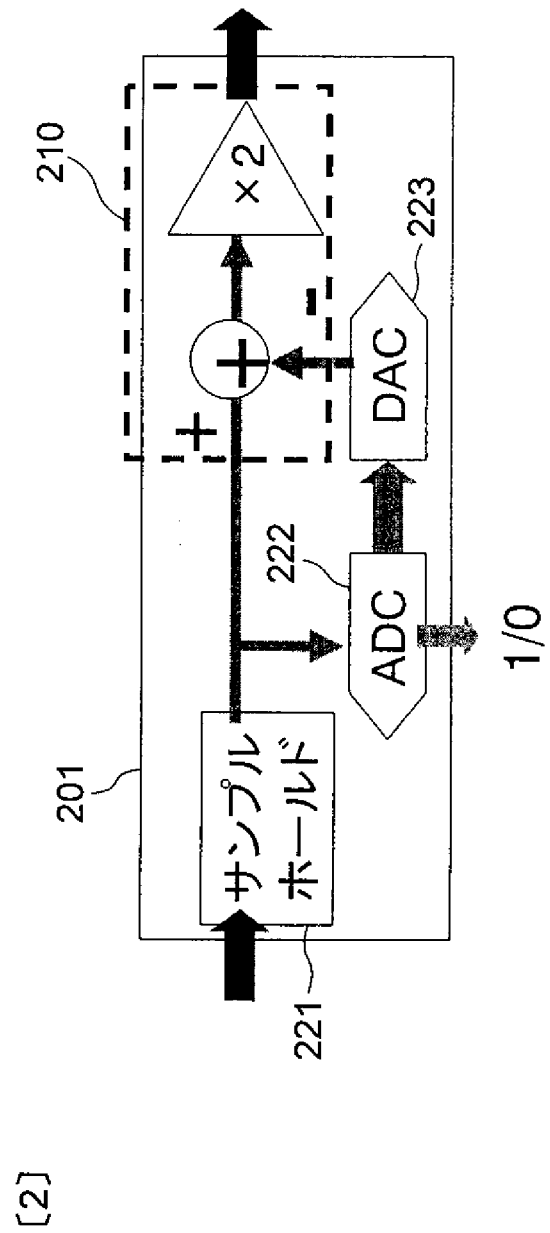
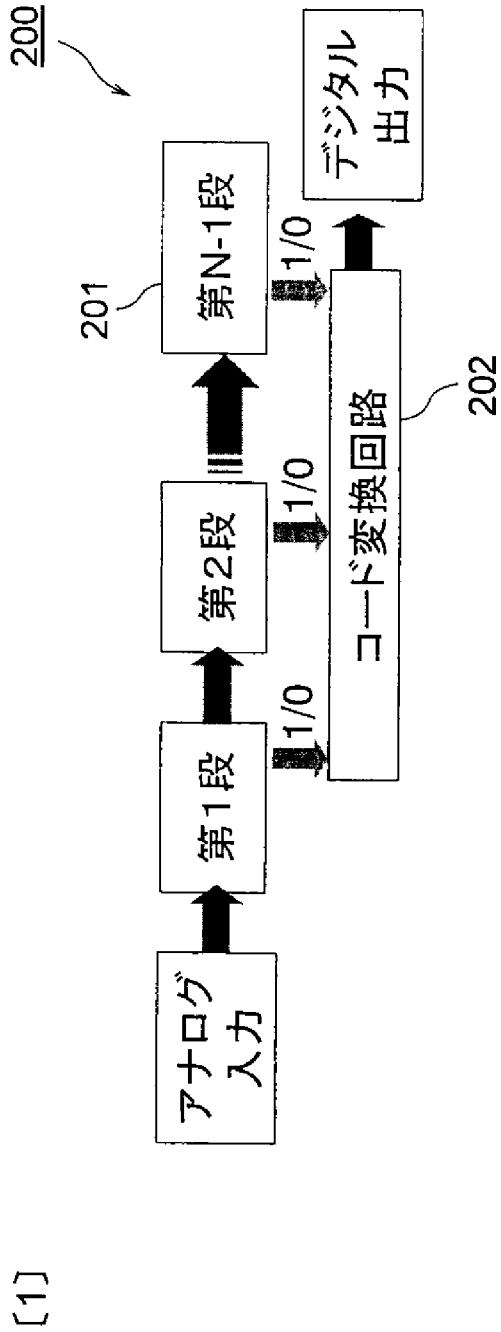
[1]



[2]

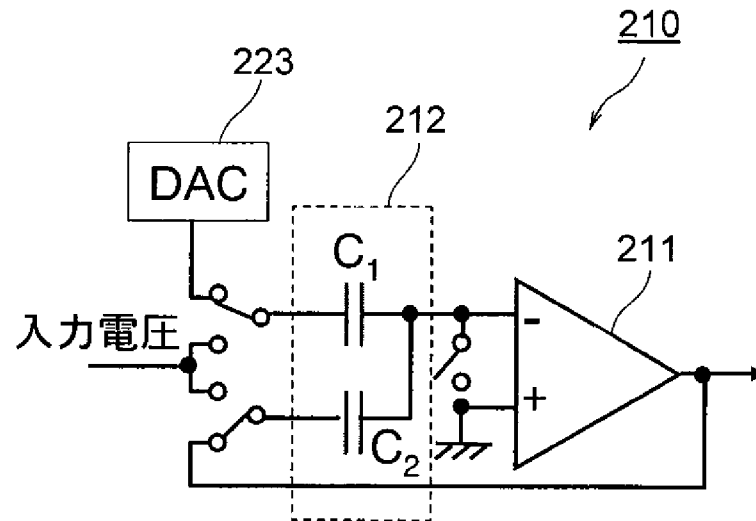


[図11]

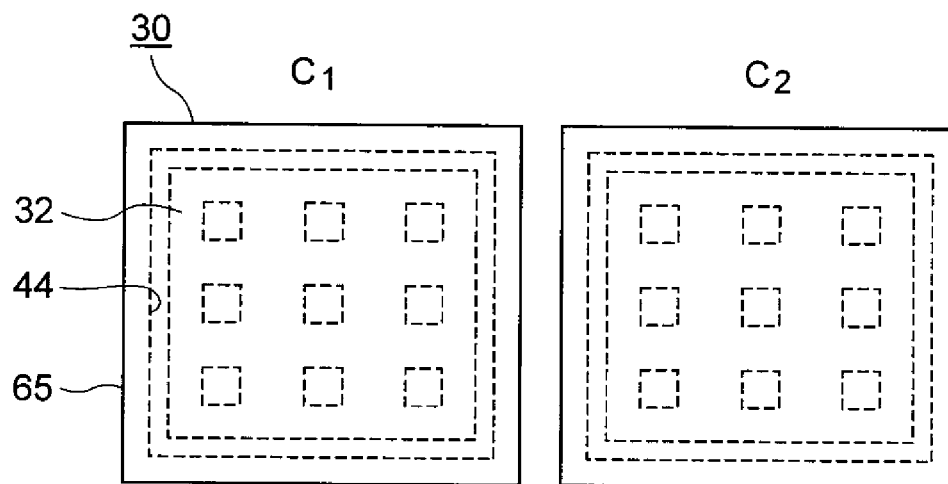


[図12]

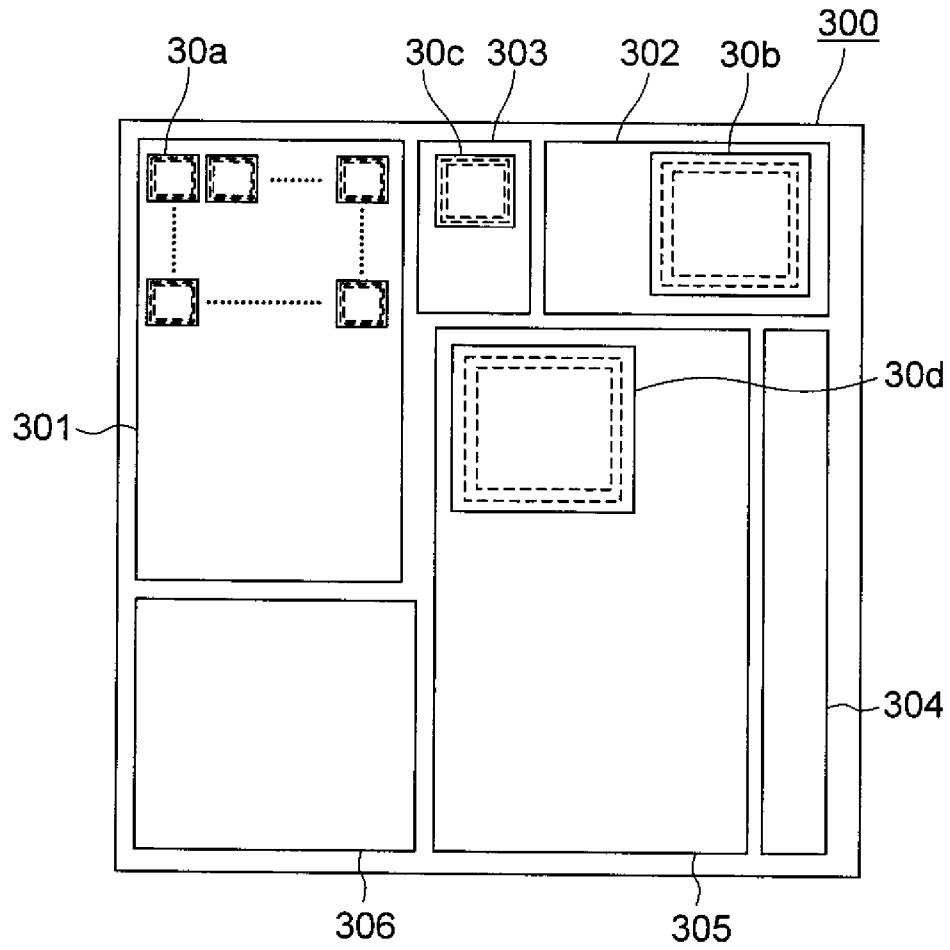
〔1〕



〔2〕



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/050023

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/822(2006.01)i, H01L21/768(2006.01)i, H01L27/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/822, H01L21/768, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2004-134451 A (Renesas Technology Corp.), 30 April, 2004 (30.04.04), Par. Nos. [0049], [0052], [0055] to [0065]; Figs. 8, 15 (Family: none)	1-3
A	JP 2003-264235 A (Fujitsu Ltd.), 19 September, 2003 (19.09.03), Par. Nos. [0013] to [0109]; Figs. 1 to 39 & US 2003/0170962 A1 Par. Nos. [0060] to [0164]; Figs. 1 to 39 & TW 580766 B & CN 1444279 A	1-3

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 March, 2009 (25.03.09)

Date of mailing of the international search report
14 April, 2009 (14.04.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/050023

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-237375 A (Toshiba Corp.), 31 August, 2001 (31.08.01), Par. Nos. [0100] to [0134]; Figs. 21 to 27 & US 2001/0020713 A1 Par. Nos. [0126] to [0160]; Figs. 21 to 27 & KR 10-2001-0062411 A & CN 1303132 A	1-3

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/050023

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1 - 3

Remark on Protest
the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/050023

The technical feature common to the invention of claims 1-3, the invention of claim 4, the invention of claims 5-6, the invention of claim 7, the invention of claim 8, the invention of claim 9 and the invention of claim 10 is "a capacitive element characterized by comprising a first lower electrode composed of a Cu wiring layer, an interlayer insulating film formed on the first lower electrode and having an opening of a size within which the first lower electrode can be contained, and a laminate which is so formed on the first lower electrode and the interlayer insulating film as to extend within and beyond the opening and composed of a second lower electrode, a capacitor insulating film and an upper electrode sequentially formed in this order".

The international search, however, has revealed that the common technical feature is not novel since it is disclosed in JP 2004-134451 A (Renesas Technology Corp.), 30 April, 2004 (30.04.04), paragraphs [0049], [0052] and [0055]-[0065], and Figs. 8 and 15.

Consequently, the technical feature common to the above-mentioned inventions is not a special technical feature within the meaning of PCT Rule 13.2, second sentence, since it makes no contribution over the prior art.

Since there is no other common feature which can be considered as a special technical feature within the meaning of PCT Rule 13.2, second sentence, no technical relationship within the meaning of PCT Rule 13 can be seen among those different inventions.

It is therefore obvious that the above-mentioned inventions do not satisfy the requirement of unity of invention.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/822 (2006.01)i, H01L21/768 (2006.01)i, H01L27/04 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/822, H01L21/768, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2004-134451 A（株式会社ルネサステクノロジ）2004.04.30, 段落【0049】、【0052】、【0055】-【0065】、第8, 15 図（ファミリーなし）	1 - 3
A	JP 2003-264235 A（富士通株式会社）2003.09.19, 段落【0013】-【0109】、第1-39 図 & US 2003/0170962 A1, [0060]-[0164], 第1-39 図 & TW 580766 B & CN 1444279 A	1 - 3

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 5 . 0 3 . 2 0 0 9

国際調査報告の発送日

1 4 . 0 4 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

宇多川 勉

4 L

3 6 4 2

電話番号 03-3581-1101 内線 3498

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-237375 A (株式会社東芝) 2001.08.31, 段落【0100】-【0134】, 第 21-27 図 & US 2001/0020713 A1, [0126]-[0160], 第 21-27 図 & KR 10-2001-0062411 A & CN 1303132 A	1 - 3

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。
特別ページ参照。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲 1 - 3

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

請求の範囲 1－3 に記載の発明と、請求の範囲 4 に記載の発明と、請求の範囲 5－6 に記載の発明と、請求の範囲 7 に記載の発明と、請求の範囲 8 に記載の発明と、請求の範囲 9 に記載の発明と、請求の範囲 10 に記載の発明に共通の事項は、「Cu 配線層からなる第一の下部電極と、この第一の下部電極上に設けられるとともに当該第一の下部電極を内包する大きさの開口部を有する層間絶縁膜と、前記開口部を内包するように前記第一の下部電極上及び前記層間絶縁膜上に第二の下部電極、容量絶縁膜及び上部電極の順に設けられた積層体と、を備えたことを特徴とする容量素子」である。

しかし、調査の結果、概共通の事項は、JP 2004-134451 A (株式会社ルネサステクノロジ) 2004.04.30, 段落【0049】，【0052】，【0055】－【0065】，第 8, 15 図に開示されているから、新規でないことが明らかとなった。

結果として、上記請求の範囲に記載の発明に共通の事項は先行技術の域を出ないから、PCT 規則 13.2 の第 2 文の意味において、この共通の事項は特別な技術的特徴ではない。

そして、PCT 規則 13.2 の第 2 文の意味において特別な技術的特徴と考えられる他の共通の事項は存在しないので、それらの相違する発明の間に PCT 規則 13 の意味における技術的な関連を見いだすことはできない。

よって、上記発明は、発明の単一性を満たしていないことが明らかである。