



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0042925

(43) 공개일자 2015년04월22일

(51) 국제특허분류(Int. Cl.)

G02F 1/1333 (2006.01) G06F 3/041 (2006.01)

G09F 9/00 (2006.01)

(21) 출원번호 10-2013-0121705

(22) 출원일자 2013년10월14일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김현우

부산 수영구 광일로 63, 101동 303호 (광안동, 광원아파트)

박종현

부산 동래구 명서로112번길 81-12, (명장동)

(74) 대리인

특허법인천문

전체 청구항 수 : 총 10 항

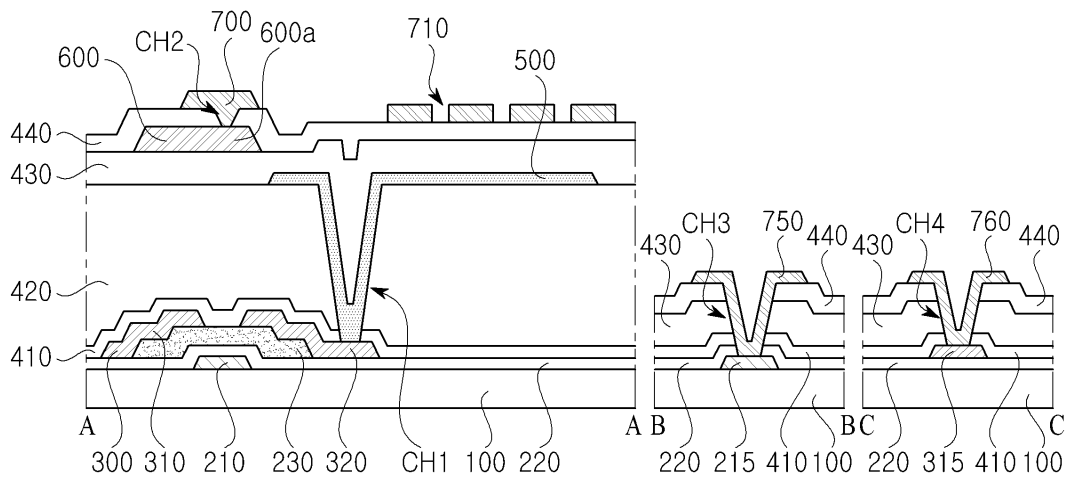
(54) 발명의 명칭 디스플레이 장치 및 그 제조방법

(57) 요약

본 발명은, 기판 위에서 서로 교차 배열되어 화소 영역을 정의하는 게이트 라인 및 데이터 라인; 상기 화소 영역에 형성되며, 게이트 전극, 반도체층, 소스 전극 및 드레인 전극을 포함하여 이루어진 박막 트랜지스터; 상기 박막 트랜지스터 상에 형성되며, 상기 드레인 전극을 노출시키기 위한 제1홀을 구비하는 제1 보호막; 상기 제1 보

(뒷면에 계속)

대표도 - 도4



호막 상에 형성되며, 상기 드레인 전극을 노출시키기 위한 제2홀을 구비하는 제2 보호막; 상기 제2 보호막 상에 형성되며, 상기 제1홀 및 제2홀의 조합으로 이루어진 제1 콘택홀을 통해서 상기 드레인 전극과 연결되는 화소 전극; 상기 화소 전극 상에 형성된 제3 보호막; 상기 제3 보호막 상에 형성된 센싱 라인; 상기 센싱 라인 상에 형성된 제4 보호막; 상기 제4 보호막 상에 형성되며, 상기 센싱 라인과 연결되는 공통 전극을 포함하여 이루어지며, 상기 제1 보호막과 제2 보호막이 접하는 면에서 상기 제1홀의 크기와 상기 제2홀의 크기가 서로 상이한 것을 특징으로 하는 디스플레이 장치 및 그 제조방법에 관한 것이다.

---

## 명세서

### 청구범위

#### 청구항 1

기관 위에서 서로 교차 배열되어 화소 영역을 정의하는 게이트 라인 및 데이터 라인;

상기 화소 영역에 형성되며, 게이트 전극, 반도체층, 소스 전극 및 드레인 전극을 포함하여 이루어진 박막 트랜지스터;

상기 박막 트랜지스터 상에 형성되며, 상기 드레인 전극을 노출시키기 위한 제1홀을 구비하는 제1 보호막;

상기 제1 보호막 상에 형성되며, 상기 드레인 전극을 노출시키기 위한 제2홀을 구비하는 제2 보호막;

상기 제2 보호막 상에 형성되며, 상기 제1홀 및 제2홀의 조합으로 이루어진 제1 콘택홀을 통해서 상기 드레인 전극과 연결되는 화소 전극;

상기 화소 전극 상에 형성된 제3 보호막;

상기 제3 보호막 상에 형성된 센싱 라인;

상기 센싱 라인 상에 형성된 제4 보호막; 및

상기 제4 보호막 상에 형성되며, 상기 센싱 라인과 연결되는 공통 전극을 포함하여 이루어진 것을 특징으로 하는 디스플레이 장치.

#### 청구항 2

제1항에 있어서,

상기 제1 보호막과 제2 보호막이 접하는 면에서 상기 제1홀의 크기와 상기 제2홀의 크기가 서로 상이한 것을 특징으로 하는 디스플레이 장치.

#### 청구항 3

제2항에 있어서,

상기 제1 보호막과 제2 보호막이 접하는 면에서 상기 제1홀의 크기가 상기 제2홀의 크기보다 작고, 상기 화소 전극은 상기 제2 보호막의 측면, 상기 제1 보호막의 상면 및 측면과 접하는 것을 특징으로 하는 디스플레이 장치.

#### 청구항 4

제2항에 있어서,

상기 제1 보호막과 제2 보호막이 접하는 면에서 상기 제1홀의 크기가 상기 제2홀의 크기보다 크고, 상기 화소 전극은 상기 제2 보호막의 측면과 접하는 것을 특징으로 하는 디스플레이 장치.

#### 청구항 5

제1항에 있어서,

상기 센싱 라인은 상기 박막 트랜지스터로 돌출된 콘택부를 구비하고, 상기 콘택부를 통해서 상기 공통 전극과 연결된 것을 특징으로 하는 디스플레이 장치.

#### 청구항 6

제1항에 있어서,

상기 센싱 라인과 상기 공통 전극은 일 대 일로 연결되는 복수 개의 센싱 라인 및 복수 개의 공통 전극으로 이루어진 것을 특징으로 하는 디스플레이 장치.

**청구항 7**

제1항에 있어서,  
 상기 게이트 라인의 일단과 연결되는 게이트 패드;  
 상기 데이터 라인의 일단과 연결되는 데이터 패드;  
 상기 제4 보호막 상에 형성되며, 상기 게이트 패드와 연결되는 게이트 패드 전극; 및  
 상기 제4 보호막 상에 형성되며, 상기 데이터 패드와 연결되는 데이터 패드 전극을 포함하여 이루어지고,  
 상기 게이트 패드 전극 및 데이터 패드 전극은 상기 공통 전극과 동일한 물질로 이루어진 것을 특징으로 하는 디스플레이 장치.

**청구항 8**

기판 위에 게이트 전극 및 게이트 패드를 패턴 형성하는 공정;  
 상기 게이트 전극 및 게이트 패드 상에 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 반도체층을 패턴 형성하는 공정;  
 상기 반도체층 상에 소스 전극 및 드레인 전극을 패턴 형성함과 더불어 상기 게이트 절연막 상에 데이터 패드를 패턴 형성하는 공정;  
 상기 소스 전극, 드레인 전극 및 데이터 패드 상에 제1 보호막을 형성하고, 상기 제1 보호막 상에 홀을 구비하는 제2 보호막을 패턴 형성하는 공정;  
 상기 게이트 패드 및 데이터 패드 상부의 상기 제1 보호막 상에 식각방지층을 패턴 형성하는 공정;  
 상기 홀에 대응하는 제1 보호막 영역을 식각하여 제1 콘택홀을 완성한 후 상기 식각방지층을 제거하는 공정;  
 상기 제1 콘택홀을 통해서 상기 드레인 전극과 연결되는 화소 전극을 상기 제2 보호막 상에 패턴 형성하는 공정;  
 상기 화소 전극 상에 제3 보호막을 형성하는 공정;  
 상기 제3 보호막 상에 센싱 라인을 패턴 형성하는 공정;  
 상기 센싱 라인 상에 제4 보호막을 형성하는 공정; 및  
 상기 센싱 라인과 연결되는 공통 전극을 상기 제4 보호막 상에 패턴 형성하는 공정을 포함하여 이루어진 디스플레이 장치의 제조방법.

**청구항 9**

기판 위에 게이트 전극, 반도체층, 소스 전극 및 드레인 전극을 포함하여 이루어진 박막 트랜지스터를 형성하는 공정;  
 상기 드레인 전극을 노출시키기 위한 제1홀을 구비하는 제1 보호막을 상기 박막 트랜지스터 상에 패턴 형성하는 공정;  
 상기 제1 보호막을 패턴 형성한 이후에, 상기 드레인 전극을 노출시키기 위한 제2홀을 구비하는 제2 보호막을 상기 제1 보호막 상에 패턴 형성하는 공정;  
 상기 제1홀 및 제2홀의 조합으로 이루어진 제1 콘택홀을 통해서 상기 드레인 전극과 연결되는 화소 전극을 상기 제2 보호막 상에 패턴 형성하는 공정;  
 상기 화소 전극 상에 제3 보호막을 형성하는 공정;  
 상기 제3 보호막 상에 센싱 라인을 패턴 형성하는 공정;  
 상기 센싱 라인 상에 제4 보호막을 형성하는 공정; 및  
 상기 센싱 라인과 연결되는 공통 전극을 상기 제4 보호막 상에 패턴 형성하는 공정을 포함하여 이루어진 디스플레이 장치의 제조방법.

레이 장치의 제조방법.

**청구항 10**

제9항에 있어서,

상기 제1 보호막과 제2 보호막이 접하는 면에서 상기 제1홀의 크기와 상기 제2홀의 크기가 서로 상이한 것을 특징으로 하는 디스플레이 장치의 제조방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 디스플레이 장치에 관한 것으로서, 보다 구체적으로는 사용자의 터치를 센싱하기 위한 센싱 전극을 구비한 디스플레이 장치에 관한 것이다.

**배경 기술**

[0002] 현재까지 액정 표시 장치(Liquid Crystal Display Device), 플라즈마 디스플레이 패널(Plasma Display Panel), 및 유기 발광 표시 장치(Organic Light Emitting Display Device) 등과 같은 다양한 디스플레이 장치가 개발된 바 있다.

[0003] 이와 같은 디스플레이 장치는 그 입력 수단으로서 마우스나 키보드가 일반적이지만, 네비게이션(navigation), 휴대용 단말기 및 가전 제품 등의 경우에는 손가락이나 펜을 이용하여 직접 정보를 입력할 수 있는 터치 스크린이 많이 적용되고 있다.

[0004] 이하에서는, 액정 표시 장치를 예로 들어 터치 스크린이 적용된 종래의 디스플레이 장치에 대해서 상세히 설명하기로 한다.

[0005] 도 1은 종래의 액정표시장치의 개략적인 단면도이다.

[0006] 도 1에서 알 수 있듯이, 종래의 액정표시장치는, 액정 패널(10) 및 터치 스크린(20)을 포함하여 이루어진다.

[0007] 상기 액정 패널(10)은 화상을 디스플레이하는 것으로서, 하부 기관(12), 상부 기관(14) 및 양 기관(12, 14) 사이에 형성된 액정층(16)을 포함하여 이루어진다.

[0008] 상기 터치 스크린(20)은 상기 액정 패널(10)의 상면에 형성되어 사용자의 터치를 센싱하는 것으로서, 터치 기관(22), 상기 터치 기관(22)의 하면에 형성된 제1 센싱 전극(24), 및 상기 터치 기관(22)의 상면에 형성된 제2 센싱 전극(26)을 포함하여 이루어진다.

[0009] 상기 제1 센싱 전극(24)은 상기 터치 기관(22)의 하면에서 가로 방향으로 배열되고, 상기 제2 센싱 전극(26)은 상기 터치 기관(22)의 상면에서 세로 방향으로 배열되어 있다. 따라서, 사용자가 소정 위치를 터치하게 되면, 터치된 위치에서 상기 제1 센싱 전극(24)과 제2 센싱 전극(26) 사이의 커패시턴스(capacitance)가 변화되고, 결국, 커패시턴스가 변화된 위치를 센싱함으로써 사용자의 터치 위치를 센싱할 수 있게 된다.

[0010] 그러나, 이와 같은 종래의 액정표시장치는 상기 액정 패널(10)의 상면에 별도의 터치 스크린(20)이 형성된 구조이기 때문에, 상기 터치 스크린(20)으로 인해서 전체 두께가 증가되고, 제조 단가도 증가되는 단점이 있다.

**발명의 내용**

**해결하려는 과제**

[0011] 본 발명은 전술한 종래의 문제점을 해결하기 위해 고안된 것으로서, 본 발명은 사용자의 터치를 센싱하기 위한 센싱 전극을 디스플레이 패널 내부에 내장함으로써, 종래와 같이 디스플레이 패널 상면에 별도의 터치 스크린을 구성할 필요가 없어, 두께가 감소하고 제조 단가도 감소하는 디스플레이 장치 및 그 제조방법을 제공하는 것을 목적으로 한다.

**과제의 해결 수단**

[0012] 본 발명은 상기 목적을 달성하기 위해서, 기관 위에서 서로 교차 배열되어 화소 영역을 정의하는 게이트 라인

및 데이터 라인; 상기 화소 영역에 형성되며, 게이트 전극, 반도체층, 소스 전극 및 드레인 전극을 포함하여 이루어진 박막 트랜지스터; 상기 박막 트랜지스터 상에 형성되며, 상기 드레인 전극을 노출시키기 위한 제1홀을 구비하는 제1 보호막; 상기 제1 보호막 상에 형성되며, 상기 드레인 전극을 노출시키기 위한 제2홀을 구비하는 제2 보호막; 상기 제2 보호막 상에 형성되며, 상기 제1홀 및 제2홀의 조합으로 이루어진 제1 콘택홀을 통해서 상기 드레인 전극과 연결되는 화소 전극; 상기 화소 전극 상에 형성된 제3 보호막; 상기 제3 보호막 상에 형성된 센싱 라인; 상기 센싱 라인 상에 형성된 제4 보호막; 및 상기 제4 보호막 상에 형성되며, 상기 센싱 라인과 연결되는 공통 전극을 포함하여 이루어진 것을 특징으로 하는 디스플레이 장치를 제공한다.

[0013]

본 발명은 또한, 기판 위에 게이트 전극 및 게이트 패드를 패턴 형성하는 공정; 상기 게이트 전극 및 게이트 패드 상에 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 반도체층을 패턴 형성하는 공정; 상기 반도체층 상에 소스 전극 및 드레인 전극을 패턴 형성함과 더불어 상기 게이트 절연막 상에 데이터 패드를 패턴 형성하는 공정; 상기 소스 전극, 드레인 전극 및 데이터 패드 상에 제1 보호막을 형성하고, 상기 제1 보호막 상에 홀을 구비하는 제2 보호막을 패턴 형성하는 공정; 상기 게이트 패드 및 데이터 패드 상부의 상기 제1 보호막 상에 식각방지층을 패턴 형성하는 공정; 상기 홀에 대응하는 제1 보호막 영역을 식각하여 제1 콘택홀을 완성한 후 상기 식각방지층을 제거하는 공정; 상기 제1 콘택홀을 통해서 상기 드레인 전극과 연결되는 화소 전극을 상기 제2 보호막 상에 패턴 형성하는 공정; 상기 화소 전극 상에 제3 보호막을 형성하는 공정; 상기 제3 보호막 상에 센싱 라인을 패턴 형성하는 공정; 상기 센싱 라인 상에 제4 보호막을 형성하는 공정; 및 상기 센싱 라인과 연결되는 공통 전극을 상기 제4 보호막 상에 패턴 형성하는 공정을 포함하여 이루어진 디스플레이 장치의 제조방법을 제공한다.

[0014]

본 발명은 또한, 기판 위에 게이트 전극, 반도체층, 소스 전극 및 드레인 전극을 포함하여 이루어진 박막 트랜지스터를 형성하는 공정; 상기 드레인 전극을 노출시키기 위한 제1홀을 구비하는 제1 보호막을 상기 박막 트랜지스터 상에 패턴 형성하는 공정; 상기 제1 보호막을 패턴 형성한 이후에, 상기 드레인 전극을 노출시키기 위한 제2홀을 구비하는 제2 보호막을 상기 제1 보호막 상에 패턴 형성하는 공정; 상기 제1홀 및 제2홀의 조합으로 이루어진 제1 콘택홀을 통해서 상기 드레인 전극과 연결되는 화소 전극을 상기 제2 보호막 상에 패턴 형성하는 공정; 상기 화소 전극 상에 제3 보호막을 형성하는 공정; 상기 제3 보호막 상에 센싱 라인을 패턴 형성하는 공정; 상기 센싱 라인 상에 제4 보호막을 형성하는 공정; 및 상기 센싱 라인과 연결되는 공통 전극을 상기 제4 보호막 상에 패턴 형성하는 공정을 포함하여 이루어진 디스플레이 장치의 제조방법을 제공한다.

**발명의 효과**

[0015]

이상과 같은 본 발명에 따르면 다음과 같은 효과가 있다.

[0016]

본 발명은 공통 전극을 사용자의 터치를 센싱하기 위한 센싱 전극으로 활용함으로써, 종래와 같이, 디스플레이 패널 상면에 별도의 터치 스크린을 구성할 필요가 없어, 두께가 감소하고, 제조 공정도 단순화되며, 제조 단가도 감소되는 효과가 있다.

**도면의 간단한 설명**

[0017]

- 도 1은 종래의 액정표시장치의 개략적인 단면도이다.
- 도 2는 본 발명의 일 실시예에 따른 디스플레이 장치용 기판의 개략적인 평면도이다.
- 도 3은 본 발명의 다른 실시예에 따른 액정표시장치용 하부 기판의 개략적인 평면도이다.
- 도 4는 본 발명의 일 실시예에 따른 디스플레이 장치의 단면도이다.
- 도 5는 본 발명의 다른 실시예에 따른 디스플레이 장치의 단면도이다.
- 도 6은 본 발명의 또 다른 실시예에 따른 디스플레이 장치의 단면도이다.
- 도 7a 내지 도 7j는 본 발명의 일 실시예에 따른 디스플레이 장치용 기판의 개략적인 제조 공정 단면도이다.
- 도 8a 내지 도 8i는 본 발명의 다른 실시예에 따른 디스플레이 장치용 기판의 개략적인 제조 공정 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

[0018]

본 명세서에서 기술되는 "상"이라는 용어는 어떤 구성이 다른 구성의 바로 상면에 형성되는 경우뿐만 아니라 이들 구성들 사이에 제3의 구성이 개재되는 경우까지 포함하는 것을 의미한다.

- [0019] 본 명세서에서 기술되는 "제1" 및 "제2" 등의 수식어는 해당하는 구성들의 순서를 의미하는 것이 아니라 해당하는 구성들을 서로 구분하기 위한 것이다.
- [0020] 이하, 도면을 참조로 본 발명의 바람직한 실시예에 대해서 상세히 설명하기로 한다.
- [0021] 도 2는 본 발명의 일 실시예에 따른 디스플레이 장치용 기관의 개략적인 평면도이다. 참고로, 도 2에서 화살표로 인출하여 도시한 확대도는 센싱 라인(600)과 공통 전극(700)이 전기적으로 연결되는 화소 영역을 보여주기 위한 것이다.
- [0022] 도 2에서 알 수 있듯이, 본 발명의 일 실시예에 따른 디스플레이 장치는, 기관(100), 게이트 라인(200), 데이터 라인(300), 박막 트랜지스터(T), 화소 전극(500), 센싱 라인(600), 공통 전극(700), 게이트 드라이버(1), 데이터 드라이버(2), 및 터치 드라이버(3)를 포함하여 이루어진다.
- [0023] 상기 기관(100)은 유리 또는 투명한 플라스틱으로 이루어질 수 있다.
- [0024] 상기 게이트 라인(200)은 상기 기관(100) 상에서 제1 방향, 예로서 가로 방향으로 배열되어 있다. 상기 게이트 라인(200)의 일단에는 게이트 패드(215)가 형성되어 있고, 상기 게이트 패드(215)는 상기 게이트 드라이버(1)에 연결되어 있다. 따라서, 상기 게이트 드라이버(1)로부터 인가되는 게이트 신호는 상기 게이트 패드(215)를 거쳐 상기 게이트 라인(200)으로 전달된다.
- [0025] 상기 데이터 라인(300)은 상기 기관(100) 상에서 상기 제1 방향과 상이한 제2 방향, 예로서 세로 방향으로 배열되어 있다. 이와 같이, 상기 게이트 라인(200)과 데이터 라인(300)이 서로 교차 배열되어 복수 개의 화소 영역을 정의한다. 상기 데이터 라인(300)의 일단에는 데이터 패드(315)가 형성되어 있고, 상기 데이터 패드(315)는 상기 데이터 드라이버(2)에 연결되어 있다. 따라서, 상기 데이터 드라이버(2)로부터 인가되는 데이터 신호는 상기 데이터 패드(315)를 거쳐 상기 데이터 라인(300)으로 전달된다. 상기 데이터 라인(300)은 곧은 직선 형태로 배열된 모습을 도시하였지만, 반드시 그에 한정되는 것은 아니고, 지그재그 형태와 같이 굽은 직선 형태로 배열될 수도 있다.
- [0026] 상기 박막 트랜지스터(T)는 스위칭 소자로서 상기 복수 개의 화소 영역 각각에 형성되어 있다. 구체적으로 도시하지는 않았지만, 상기 박막 트랜지스터는 상기 게이트 라인(200)과 연결되는 게이트 전극, 전자가 이동하는 채널로 기능하는 반도체층, 상기 데이터 라인(300)과 연결되는 소스 전극, 및 상기 소스 전극과 마주하도록 형성되는 드레인 전극을 포함하여 이루어진다. 이와 같은 박막 트랜지스터(T)는 탑 게이트(Top gate) 구조 또는 바텀 게이트(Bottom gate) 구조 등과 같이 당업계에 공지된 다양한 형태로 변형형성될 수 있다.
- [0027] 상기 화소 전극(500)은 상기 복수 개의 화소 영역 각각에 패턴 형성되어 있다. 이와 같은 화소 전극(500)은 상기 박막 트랜지스터(T)의 드레인 전극과 연결되어 있다.
- [0028] 상기 센싱 라인(600)은 상기 공통 전극(700)과 연결되어 있어, 상기 공통 전극(700)에 의해서 센싱되는 사용자의 터치 신호를 상기 터치 드라이버(3)로 전달하는 역할을 한다. 이와 같은 사용자의 터치 신호 전달을 위해서, 복수 개의 센싱 라인(600)이 복수 개의 공통 전극(700)과 쌍을 이루면서 서로 연결되어 있다. 즉, 복수 개의 센싱 라인(600) 각각은 복수 개의 공통 전극(700)과 일 대 일로 연결되어 있다.
- [0029] 상기 센싱 라인(600)으로 인해서 광투과율이 감소하는 것을 방지하기 위해서, 상기 센싱 라인(600)은 상기 데이터 라인(300)과 오버랩되도록 형성된다. 또한, 상기 센싱 라인(600)은 상기 박막 트랜지스터(T) 영역으로 돌출된 콘택부(600a)를 구비하며, 상기 콘택부(600a)를 통해서 상기 공통 전극(700)과 연결된다. 상기 박막 트랜지스터(T) 영역은 화상이 표시되지 않는 영역으로서 상기 데이터 라인(300) 보다는 그 폭이 넓다. 따라서, 상기 데이터 라인(300)과 오버랩되는 센싱 라인(600)에서부터 상기 박막 트랜지스터(T) 영역으로 돌출되는 콘택부(600a)를 형성하고 이와 같은 콘택부(600a)를 상기 공통 전극(700)과 연결할 경우, 광투과율은 감소하지 않으면서 상기 센싱 라인(600)과 상기 공통 전극(700) 사이의 보다 신뢰성 있는 연결이 가능하다. 즉, 후술하는 단면도를 통해서 알 수 있듯이, 상기 센싱 라인(600)과 상기 공통 전극(700)은 소정의 콘택홀을 통해서 서로 연결되므로, 양자 사이의 신뢰성 있는 연결을 위해서는 상기 센싱 라인(600)의 폭이 소정 범위 이상인 것이 바람직하며, 따라서, 상기 데이터 라인(300)의 폭보다 큰 폭을 갖도록 상기 콘택부(600a)를 형성함으로써, 상기 센싱 라인(600)과 상기 공통 전극(700) 사이를 보다 신뢰성 있게 연결할 수 있다.
- [0030] 상기 공통 전극(700)은 사용자의 터치 위치를 감지하는 센싱 전극의 역할을 한다. 또한, 액정 표시 장치의 경우 상기 공통 전극(700)은 상기 화소 전극(500)과 함께 전계를 형성시켜 액정을 구동시키는 역할을 한다. 즉, 상기 공통 전극(700)은 상기 화소 전극(500)과 함께 프린지 필드(fringe field)를 형성할 수 있으며, 이를 위해서 상

기 공통 전극(700)에는 복수 개의 슬릿(710)이 형성된다. 따라서, 상기 슬릿(710)을 통해서 상기 화소 전극(500)과 상기 공통 전극(700) 사이에 프린지 필드(fringe field)가 형성되고, 이와 같은 프린지 필드에 의해서 액정의 배향방향이 조절될 수 있다. 즉, 프린지 필드 스위칭 모드(fringe field switching mode) 액정표시장치가 구현될 수 있다.

[0031] 또한, 상기 공통 전극(700)이 사용자의 터치 위치를 감지하는 센싱 전극으로 기능할 수 있도록, 복수 개의 공통 전극(700)이 상기 기판(100) 상에서 서로 소정 거리를 두고 이격되어 있다. 상기 복수 개의 공통 전극(700) 각각은 하나 이상의 화소 영역에 대응하는 크기, 특히, 사용자의 터치 면적을 고려하여 복수 개의 화소 영역에 대응하는 크기로 형성된다.

[0032] 상기 게이트 드라이버(1)는 외부의 타이밍 컨트롤러(미도시)로부터 게이트 제어 신호를 전달받은 후, 상기 게이트 패드(215)를 통해 상기 게이트 라인(200)으로 게이트 신호를 인가한다. 상기 게이트 드라이버(1)는 TCP(Tape Carrier Package) 또는 COF(Chip On Film)의 구조로 이루어질 수도 있고, 기판(100) 상에 실장되는 COG(Chip On Glass) 구조 또는 기판(100) 상에 직접 형성되는 GIP(Gate In Panel) 구조로 이루어질 수도 있다.

[0033] 상기 데이터 드라이버(2)는 외부의 타이밍 컨트롤러(미도시)로부터 생성한 데이터 제어신호를 전달받은 후, 상기 데이터 패드(315)를 통해 상기 데이터 라인(300)으로 데이터 신호를 인가한다. 상기 데이터 드라이버(2)는 TCP(Tape Carrier Package) 또는 COF(Chip On Film)의 구조로 이루어질 수도 있고, 기판(100) 상에 실장되는 COG(Chip On Glass) 구조로 이루어질 수도 있다.

[0034] 상기 터치 드라이버(3)는 상기 센싱 라인(600)과 연결되어 있어 상기 센싱 라인(600)으로부터 사용자의 터치 신호를 전달받는다. 상기 터치 드라이버(3)는 사용자의 터치에 의해 변경되는 커패시턴스의 변화를 센싱하여 사용자의 터치 여부 및 터치 위치를 검출한다.

[0035] 도 3은 본 발명의 다른 실시예에 따른 액정표시장치용 하부 기판의 개략적인 평면도로서, 이는 센싱 라인(600)의 구성이 변경된 것을 제외하고, 전술한 도 2에 따른 디스플레이 장치와 동일하다. 따라서, 동일한 구성에 대해서 동일한 도면부호를 부여하였고, 이하 동일한 구성에 대한 반복 설명은 생략하기로 한다.

[0036] 도 3에서 알 수 있듯이, 본 발명의 다른 실시예에 따르면, 복수 개의 센싱 라인(600) 각각이 복수 개의 공통 전극(700)과 일 대 일로 연결되어 있으며, 특히, 복수 개의 센싱 라인(600)들이 화상이 표시되는 디스플레이 영역에서 서로 동일한 길이로 배열되어 있다.

[0037] 전술한 도 2의 디스플레이 장치에 따르면, 센싱 라인(600)의 일단은 상기 터치 드라이버(1)와 연결되고 센싱 라인(600)의 타단은 콘택부(600a)와 연결되어 있다. 즉, 도 2에 따르면, 센싱 라인(600)이 공통 전극(700)과 연결되는 콘택부(600a)까지만 연장되어 있고, 그에 따라, 첫 번째 행에 배열되는 공통 전극(700)과 연결되는 센싱 라인(600)의 길이가 두 번째 행에 배열되는 공통 전극(700)과 연결되는 센싱 라인(600)의 길이보다 길게 형성된다.

[0038] 그에 반하여, 도 3의 디스플레이 장치에 따르면, 센싱 라인(600)의 일단은 상기 터치 드라이버(1)와 연결되고 센싱 라인(600)의 타단은 첫 번째 행에 배열되는 공통 전극(700)의 상단까지 연장되어 있다. 따라서, 도 3에 따르면, 첫 번째 행에 배열되는 공통 전극(700)과 연결되는 센싱 라인(600)의 길이와 두 번째 행에 배열되는 공통 전극(700)과 연결되는 센싱 라인(600)의 길이가 디스플레이 영역 내에서 서로 동일하게 형성된다.

[0039] 도 3과 같이 복수 개의 센싱 라인(600)을 디스플레이 영역에서 서로 동일한 길이로 형성하는 경우는 도 2와 같이 복수 개의 센싱 라인(600)을 디스플레이 영역에서 서로 상이한 길이로 형성하는 경우에 비하여 센싱 라인(600)의 패턴 일관성이 증가되어 시인성(visibility)이 향상될 수 있다.

[0040] 이하에서는 단면구조를 통해서 본 발명의 일 실시예에 따른 디스플레이 장치에 대해서 보다 상세히 설명하기로 한다.

[0041] 도 4는 본 발명의 일 실시예에 따른 디스플레이 장치의 단면도로서, 이는 도 2의 A-A라인, B-B라인, 및 C-C라인의 단면을 도시한 것이다. 도 2의 A-A라인은 박막 트랜지스터 영역을 보여주는 것이고, 도 2의 B-B라인은 게이트 패드 영역을 보여주는 것이고, 도 2의 C-C라인은 데이터 패드 영역을 보여주는 것이다.

[0042] 도 4에서 알 수 있듯이, 기판(100) 상에는 게이트 전극(210) 및 게이트 패드(215)가 패턴 형성되어 있다. 상기 게이트 전극(210)은 박막 트랜지스터 영역에 형성되어 있고, 상기 게이트 패드(215)는 게이트 패드 영역에 형성되어 있다. 상기 게이트 전극(210)은 전술한 게이트 라인(200)에서 돌출되어 형성될 수 있고, 상기 게이트 패드



(215)는 전술한 게이트 라인(200)의 일단에 연결되어 있다.

- [0043] 상기 게이트 전극(210) 및 게이트 패드(215) 상에는 게이트 절연막(220)이 형성되어 있다. 상기 게이트 절연막(220)은 제3 콘택홀(CH3) 영역을 제외하고 기판 전체면 상에 형성되어 있다.
- [0044] 상기 게이트 절연막(220) 상에는 반도체층(230) 및 데이터 패드(315)가 패턴 형성되어 있다. 상기 반도체층(230)은 박막 트랜지스터 영역에 형성되어 있으며, 실리계콘 반도체물질 또는 산화물 반도체물질로 이루어질 수 있다. 상기 데이터 패드(315)는 데이터 패드 영역에 형성되어 있으며, 전술한 데이터 라인(300)의 일단에 연결되어 있다.
- [0045] 상기 반도체층(230) 상에는 소스 전극(310) 및 드레인 전극(320)이 패턴 형성되어 있다. 상기 소스 전극(310) 및 드레인 전극(320)은 박막 트랜지스터 영역에 형성되어 있다. 상기 소스 전극(310)은 데이터 라인(300)과 연결되어 있고, 상기 드레인 전극(320)은 상기 소스 전극(310)과 마주하면서 상기 소스 전극(310)과 이격되어 있다.
- [0046] 상기 데이터 라인(300), 데이터 패드(315), 소스 전극(310) 및 드레인 전극(320) 상에는 제1 보호막(410)이 형성되어 있다. 상기 제1 보호막(410)은 제1 콘택홀(CH1), 제3 콘택홀(CH3), 및 제4 콘택홀(CH4) 영역을 제외하고 기판 전체면 상에 형성되어 있다. 상기 제1 보호막(410)은 실리콘 질화물 또는 실리콘 산화물과 같은 무기절연물로 이루어질 수 있다.
- [0047] 상기 제1 보호막(410) 상에는 제2 보호막(420)이 형성되어 있다. 상기 제2 보호막(420)은 박막 트랜지스터 영역에는 형성되지만, 게이트 패드 영역 및 데이터 패드 영역에는 형성되지 않을 수 있다. 상기 제2 보호막(420)은 PAC(photo active compound)를 포함하는 아크릴계 수지와 같은 유기절연물로 이루어질 수 있다. 상기 제2 보호막(420)은 상기 제1 보호막(410)보다 두꺼운 두께로 형성되어 기판을 평탄화시키는 역할을 수행할 수 있다.
- [0048] 상기 제2 보호막(420) 상에는 화소 전극(500)이 패턴 형성되어 있다. 상기 화소 전극(500)은 박막 트랜지스터 영역에 형성되어 있다. 상기 화소 전극(500)은 제1 콘택홀(CH1)을 통해서 상기 드레인 전극(320)과 연결된다. 상기 제1 콘택홀(CH1)은 상기 제1 보호막(410) 및 제2 보호막(420)에 각각 형성된 홀의 조합으로 이루어진다.
- [0049] 상기 화소 전극(500) 상에는 제3 보호막(430)이 형성되어 있다. 상기 제3 보호막(430)은 제3 콘택홀(CH3) 및 제4 콘택홀(CH4) 영역을 제외하고 기판 전체면 상에 형성되어 있다. 상기 제3 보호막(430)은 실리콘 질화물 또는 실리콘 산화물과 같은 무기절연물로 이루어질 수 있다.
- [0050] 상기 제3 보호막(430) 상에는 콘택부(600a)를 구비한 센싱 라인(600)이 패턴 형성되어 있다. 상기 센싱 라인(600)은 박막 트랜지스터 영역에 형성된다.
- [0051] 상기 센싱 라인(600) 상에는 제4 보호막(440)이 형성되어 있다. 상기 제4 보호막(440)은 제2 콘택홀(CH2), 제3 콘택홀(CH3) 및 제4 콘택홀(CH4) 영역을 제외하고 기판 전체면 상에 형성되어 있다. 상기 제4 보호막(440)은 실리콘 질화물 또는 실리콘 산화물과 같은 무기절연물로 이루어질 수 있다.
- [0052] 상기 제4 보호막(440) 상에는 공통 전극(700), 게이트 패드 전극(750), 및 데이터 패드 전극(760)이 패턴 형성되어 있다. 상기 공통 전극(700)은 박막 트랜지스터 영역에 형성되고, 상기 게이트 패드 전극(750)은 게이트 패드 영역에 형성되고, 상기 데이터 패드 전극(760)은 데이터 패드 영역에 형성된다.
- [0053] 상기 공통 전극(700), 게이트 패드 전극(750), 및 데이터 패드 전극(760)은 동일한 공정에 의해서 동일한 물질을 이용하여 동일한 층에 형성된다.
- [0054] 상기 공통 전극(700)은 그 내부에 복수 개의 슬릿(710)이 구비되도록 패턴 형성되어 있다. 이와 같은 공통 전극(700)은 상기 제4 보호막(440)에 구비된 제2 콘택홀(CH2)을 통해서 상기 센싱 라인(600)의 콘택부(600a)와 연결되어 있다.
- [0055] 상기 게이트 패드 전극(750)은 상기 게이트 절연막(220), 제1 보호막(410), 제3 보호막(430), 및 제4 보호막(440)에 각각 형성된 홀들의 조합으로 이루어진 제3 콘택홀(CH3)을 통해서 상기 게이트 패드(215)와 연결된다.
- [0056] 상기 데이터 패드 전극(760)은 상기 제1 보호막(410), 제3 보호막(430), 및 제4 보호막(440)에 각각 형성된 홀들의 조합으로 이루어진 제4 콘택홀(CH4)을 통해서 상기 데이터 패드(315)와 연결된다.
- [0057] 도 5는 본 발명의 다른 실시예에 따른 디스플레이 장치의 단면도이고, 도 6은 본 발명의 또 다른 실시예에 따른 디스플레이 장치의 단면도로서, 이들은 도 4에 따른 디스플레이 장치에서 제1 콘택홀(CH1)의 구조가 다양하게

변경될 수 있음을 보여주는 것이다.

- [0058] 전술한 도 4에 따르면, 제1 콘택홀(CH1)이 상기 제1 보호막(410) 및 제2 보호막(420)에 각각 형성된 홀의 조합으로 이루어지며, 이때, 제1 보호막(410)과 제2 보호막(420)이 접하는 면에서 각각의 홀의 크기가 서로 동일하다. 또한, 제1 콘택홀(CH1)을 이루는 내부 면이 상단에서 하단까지 일직선으로 이루게 되어 전체적으로 제1 콘택홀(CH1)이 원통형 또는 원뿔형의 구조를 이루게 된다.
- [0059] 그에 반하여, 도 5 및 도 6에 따르면, 제1 보호막(410)과 제2 보호막(420)이 접하는 면에서 상기 제1 보호막(410)에 형성된 홀(H1)의 크기와 제2 보호막(420)에 형성된 홀(H2)의 크기가 서로 상이하다.
- [0060] 구체적으로, 도 5에 따르면, 제1 보호막(410)과 제2 보호막(420)이 접하는 면에서 상기 제1 보호막(410)에 형성된 제1홀(H1)의 크기가 제2 보호막(420)에 형성된 제2홀(H2)의 크기보다 작다. 그에 따라, 제1 콘택홀(CH1)을 이루는 내부 면이 상단에서 하단까지 굽어진 직선으로 이루게 된다. 이 경우, 화소 전극(500)은 제2 보호막(420)의 측면, 제1 보호막(410)의 상면 및 측면과 접하게 된다.
- [0061] 도 6에 따르면, 제1 보호막(410)과 제2 보호막(420)이 접하는 면에서 상기 제1 보호막(410)에 형성된 제1홀(H1)의 크기가 제2 보호막(420)에 형성된 제2홀(H2)의 크기보다 크다. 그에 따라, 제1 콘택홀(CH1)을 이루는 내부 면이 상단에서 하단까지 일직선으로 이루게 된다. 이 경우, 화소 전극(500)은 제2 보호막(420)의 측면과 접하고 제1 보호막(410)과는 접하지 않는다.
- [0062] 도 5 및 도 6에 따른 구조는 후술하는 도 8a 내지 도 8i에 따른 방법을 통해서 얻을 수 있다.
- [0063] 도 7a 내지 도 7j는 본 발명의 일 실시예에 따른 디스플레이 장치용 기판의 개략적인 제조 공정 단면도로서, 이는 도 4에 도시한 디스플레이 장치용 기판을 제조하는 공정에 관한 것이다.
- [0064] 우선, 도 7a에서 알 수 있듯이, 기판(100) 상에 게이트 전극(210) 및 게이트 패드(215)를 패턴 형성한다. 상기 게이트 전극(210)은 박막 트랜지스터 영역에 형성하고, 상기 게이트 패드(215)는 게이트 패드 영역에 형성한다.
- [0065] 상기 게이트 전극(210) 및 게이트 패드(215)는 상기 기판(100) 상에 스퍼터링(Sputtering) 법에 의해 박막층을 증착한 후, 포토 레지스트 도포, 노광, 현상, 식각 및 스트립과 같은 일련의 마스크 공정을 통해 패턴 형성할 수 있다. 이하에서 설명하는 구성들의 패턴 형성 공정도 이와 같은 박막층의 증착 및 일련의 마스크 공정을 통해 수행할 수 있다.
- [0066] 다음, 도 7b에서 알 수 있듯이, 상기 게이트 전극(210) 및 게이트 패드(215) 상에 게이트 절연막(220)을 형성하고, 상기 게이트 절연막(220) 상에 반도체층(230)을 패턴 형성한다. 상기 게이트 절연막(220)은 PECVD법(Plasma Enhanced Chemical Vapor Deposition)에 의해 기판 전체면 상에 형성하고, 상기 반도체층(230)은 박막 트랜지스터 영역에 형성한다.
- [0067] 다음, 도 7c에서 알 수 있듯이, 상기 반도체층(230) 상에 데이터 라인(300)과 연결되는 소스 전극(310) 및 드레인 전극(320)을 패턴 형성함과 더불어 상기 게이트 절연막(220) 상에 데이터 패드(315)를 패턴 형성한다.
- [0068] 상기 소스 전극(310) 및 드레인 전극(320)은 박막 트랜지스터 영역에 형성하고, 상기 데이터 패드(315)는 데이터 패드 영역에 형성한다.
- [0069] 다음, 도 7d에서 알 수 있듯이, 상기 데이터 라인(300), 데이터 패드(315), 소스 전극(310) 및 드레인 전극(320) 상에 제1 보호막(410)을 형성하고, 상기 제1 보호막(410) 상에 제2 보호막(420)을 패턴 형성한다.
- [0070] 상기 제1 보호막(410)은 PECVD법에 의해 기판 전체면 상에 형성한다.
- [0071] 상기 제2 보호막(420)은 박막 트랜지스터 영역에 형성한다. 구체적으로, 상기 제2 보호막(420)은 기판의 전체면 상에 PAC(photo active compound)를 포함하는 유기절연물을 도포한 후, 노광 및 현상 공정에 의해서 패턴 형성한다. 상기 제2 보호막(420)은 제1 콘택홀(CH1)을 구성하는 홀을 구비하도록 패턴 형성한다.
- [0072] 다음, 도 7e에서 알 수 있듯이, 게이트 패드 영역 및 데이터 패드 영역 내의 제1 보호막(410) 상에 식각방지층(800)을 패턴 형성한다. 상기 식각방지층(800)은 후술하는 공정(도 5f 공정)에서 제1 콘택홀(CH1)을 형성하기 위해서 제1 보호막(410)을 식각할 때, 게이트 패드 영역 및 데이터 패드 영역이 식각되는 것을 방지하기 위한 것이다. 이와 같은 식각방지층(800)은 기판의 전체면 상에 PAC(photo active compound)를 포함하는 유기절연물을 도포한 후, 노광 및 현상 공정에 의해서 패턴 형성한다.
- [0073] 다음, 도 7f에서 알 수 있듯이, 상기 제1 콘택홀(CH1) 영역에 대응하는 제1 보호막(410) 영역, 즉, 상기 제2 보

호막(420)에 구비된 홀에 의해 노출된 제1 보호막(410) 영역을 식각하여 제1 콘택홀(CH1)을 완성하고, 상기 식각방지층(800)을 제거한다.

- [0074] 상기 제1 콘택홀(CH1)에 의해서 드레인 전극(320)이 외부로 노출된다.
- [0075] 다음, 도 7g에서 알 수 있듯이, 상기 제2 보호막(420) 상에 화소 전극(500)을 패턴 형성한다. 상기 화소 전극(500)은 박막 트랜지스터 영역에서 상기 제1 콘택홀(CH1)을 통해서 상기 드레인 전극(320)과 연결되도록 패턴 형성한다.
- [0076] 다음, 도 7h에서 알 수 있듯이, 상기 화소 전극(500) 상에 제3 보호막(430)을 형성하고, 상기 제3 보호막(430) 상에 콘택부(600a)를 구비한 센싱 라인(600)을 패턴 형성한다.
- [0077] 상기 제3 보호막(430)은 PECVD법에 의해 기판 전체면 상에 형성하고, 상기 센싱 라인(600)은 박막 트랜지스터 영역에 패턴 형성한다.
- [0078] 다음, 도 7i에서 알 수 있듯이, 상기 센싱 라인(600) 상에 제4 보호막(440)을 형성한 후, 제2 콘택홀(CH2), 제3 콘택홀(CH3) 및 제4 콘택홀(CH4)을 형성한다.
- [0079] 상기 제4 보호막(440)은 PECVD법에 의해 기판 전체면 상에 형성한다.
- [0080] 상기 제2 콘택홀(CH2)은 상기 제4 보호막(440)의 소정영역을 식각하여 형성하며, 상기 제2 콘택홀(CH2)에 의해서 상기 센싱 라인(600)의 콘택부(600a)가 외부로 노출된다.
- [0081] 상기 제3 콘택홀(CH3)은 상기 게이트 절연막(220), 제1 보호막(410), 제3 보호막(430), 및 제4 보호막(440)의 소정영역을 식각하여 형성하며, 상기 제3 콘택홀(CH3)에 의해서 상기 게이트 패드(215)가 외부로 노출된다.
- [0082] 상기 제4 콘택홀(CH4)은 상기 제1 보호막(410), 제3 보호막(430), 및 제4 보호막(440)의 소정영역을 식각하여 형성하며, 상기 제4 콘택홀(CH4)에 의해서 상기 데이터 패드(315)가 외부로 노출된다.
- [0083] 다음, 도 7j에서 알 수 있듯이, 상기 제4 보호막(440) 상에 공통 전극(700), 게이트 패드 전극(750), 및 데이터 패드 전극(760)을 패턴 형성한다.
- [0084] 상기 공통 전극(700)은 박막 트랜지스터 영역에서 그 내부에 복수 개의 슬릿(710)이 구비되도록 패턴 형성하며, 특히, 상기 제2 콘택홀(CH2)을 통해서 상기 센싱 라인(600)의 콘택부(600a)와 연결되도록 패턴 형성한다.
- [0085] 상기 게이트 패드 전극(750)은 게이트 패드 영역에서 상기 제3 콘택홀(CH3)을 통해서 상기 게이트 패드(215)와 연결되도록 패턴 형성한다.
- [0086] 상기 데이터 패드 전극(760)은 데이터 패드 영역에서 상기 제4 콘택홀(CH4)을 통해서 상기 데이터 패드(315)와 연결되도록 패턴 형성한다.
- [0087] 이상 설명한 도 7a 내지 도 7j의 방법에 따르면, 전술한 도 7e 공정에서 식각방지층(800)을 패턴 형성할 때, 식각방지층(800)을 구성하는 유기절연물이 제1 콘택홀(CH1) 영역에 잔존할 가능성이 있다. 즉, 식각방지층(800)은 기판의 전체면 상에 유기절연물을 도포한 후, 노광 및 현상 공정에 의해서 게이트 패드 영역 및 데이터 패드 영역에만 유기절연물이 잔존하도록 패턴 형성하는데, 이때, 제1 콘택홀(CH1) 영역 내의 유기절연물이 현상 공정에 의해 제거되지 않고 잔존할 가능성이 있다. 이와 같이 제1 콘택홀(CH1) 영역 내의 유기절연물이 잔존하게 되면 도 7f 공정에서 제1 콘택홀(CH1) 영역에 대응하는 제1 보호막(410) 영역이 식각되지 않아 제1 콘택홀(CH1)이 형성되지 않는 문제가 발생할 수 있다.
- [0088] 이하에서 설명하는 도 8a 내지 도 8i에 따른 방법은 제1 콘택홀(CH1)을 신뢰성 있게 형성할 수 있는 방법에 관한 것이다.
- [0089] 도 8a 내지 도 8i는 본 발명의 다른 실시예에 따른 디스플레이 장치용 기판의 개략적인 제조 공정 단면도로서, 이는 도 4 내지 도 6에 도시한 디스플레이 장치용 기판을 제조하는 공정에 관한 것이다.
- [0090] 우선, 도 8a에서 알 수 있듯이, 기판(100) 상에 게이트 전극(210) 및 게이트 패드(215)를 패턴 형성한다. 상기 게이트 전극(210)은 박막 트랜지스터 영역에 형성하고, 상기 게이트 패드(215)는 게이트 패드 영역에 형성한다.
- [0091] 다음, 도 8b에서 알 수 있듯이, 상기 게이트 전극(210) 및 게이트 패드(215) 상에 게이트 절연막(220)을 형성하고, 상기 게이트 절연막(220) 상에 반도체층(230)을 패턴 형성한다. 상기 게이트 절연막(220)은 기판 전체면 상에 형성하고, 상기 반도체층(230)은 박막 트랜지스터 영역에 형성한다.

- [0092] 다음, 도 8c에서 알 수 있듯이, 상기 반도체층(230) 상에 데이터 라인(300)과 연결되는 소스 전극(310) 및 드레인 전극(320)을 패턴 형성함과 더불어 상기 게이트 절연막(220) 상에 데이터 패드(315)를 패턴 형성한다.
- [0093] 상기 소스 전극(310) 및 드레인 전극(320)은 박막 트랜지스터 영역에 형성하고, 상기 데이터 패드(315)는 데이터 패드 영역에 형성한다.
- [0094] 다음, 도 8d에서 알 수 있듯이, 상기 데이터 라인(300), 데이터 패드(315), 소스 전극(310) 및 드레인 전극(320) 상에 제1 보호막(410)을 패턴 형성한다.
- [0095] 상기 제1 보호막(120)은 제1 콘택홀(CH1)을 구성하는 홀(H1)을 구비하도록 패턴 형성하여, 상기 제1 콘택홀(CH1)을 구성하는 홀(H1)을 제외하고 기판 전체면 상에 형성한다. 상기 제1 보호막(120)에 구비된 홀(H1)에 의해서 상기 드레인 전극(320)이 외부로 노출된다.
- [0096] 다음, 도 8e에서 알 수 있듯이, 상기 제1 보호막(410) 상에 제2 보호막(420)을 패턴 형성한다.
- [0097] 상기 제2 보호막(420)은 박막 트랜지스터 영역에서 상기 제1 콘택홀(CH1)을 구성하는 홀(H2)을 구비하도록 패턴 형성한다.
- [0098] 여기서, 상기 제1 보호막(120)의 홀(H1)과 상기 제2 보호막(420)의 홀(H2)을 다양하게 변경시킴으로써, 전술한 도 4 내지 도 6에 따른 구조의 제1 콘택홀(CH1)을 얻을 수 있다.
- [0099] 다음, 도 8f에서 알 수 있듯이, 상기 제2 보호막(420) 상에 화소 전극(500)을 패턴 형성한다. 상기 화소 전극(500)은 박막 트랜지스터 영역에서 상기 제1 콘택홀(CH1)을 통해서 상기 드레인 전극(320)과 연결되도록 패턴 형성한다.
- [0100] 다음, 도 8g에서 알 수 있듯이, 상기 화소 전극(500) 상에 제3 보호막(430)을 형성하고, 상기 제3 보호막(430) 상에 콘택부(600a)를 구비한 센싱 라인(600)을 패턴 형성한다.
- [0101] 상기 제3 보호막(430)은 PECVD법에 의해 기판 전체면 상에 형성하고, 상기 센싱 라인(600)은 박막 트랜지스터 영역에 패턴 형성한다.
- [0102] 다음, 도 8h에서 알 수 있듯이, 상기 센싱 라인(600) 상에 제4 보호막(440)을 형성한 후, 제2 콘택홀(CH2), 제3 콘택홀(CH3) 및 제4 콘택홀(CH4)을 형성한다.
- [0103] 상기 제2 콘택홀(CH2)은 상기 제4 보호막(440)의 소정영역을 식각하여 형성하며, 상기 제2 콘택홀(CH2)에 의해서 상기 센싱 라인(600)의 콘택부(600a)가 외부로 노출된다.
- [0104] 상기 제3 콘택홀(CH3)은 상기 게이트 절연막(220), 제1 보호막(410), 제3 보호막(430), 및 제4 보호막(440)의 소정영역을 식각하여 형성하며, 상기 제3 콘택홀(CH3)에 의해서 상기 게이트 패드(215)가 외부로 노출된다.
- [0105] 상기 제4 콘택홀(CH4)은 상기 제1 보호막(410), 제3 보호막(430), 및 제4 보호막(440)의 소정영역을 식각하여 형성하며, 상기 제4 콘택홀(CH4)에 의해서 상기 데이터 패드(315)가 외부로 노출된다.
- [0106] 다음, 도 8i에서 알 수 있듯이, 상기 제4 보호막(440) 상에 공통 전극(700), 게이트 패드 전극(750), 및 데이터 패드 전극(760)을 패턴 형성한다.
- [0107] 상기 공통 전극(700)은 박막 트랜지스터 영역에서 그 내부에 복수 개의 슬릿(710)이 구비되도록 패턴 형성하며, 특히, 상기 제2 콘택홀(CH2)을 통해서 상기 센싱 라인(600)의 콘택부(600a)와 연결되도록 패턴 형성한다.
- [0108] 상기 게이트 패드 전극(750)은 게이트 패드 영역에서 상기 제3 콘택홀(CH3)을 통해서 상기 게이트 패드(215)와 연결되도록 패턴 형성한다.
- [0109] 상기 데이터 패드 전극(760)은 데이터 패드 영역에서 상기 제4 콘택홀(CH4)을 통해서 상기 데이터 패드(315)와 연결되도록 패턴 형성한다.
- [0110] 이상과 같은 도 8a 내지 도 8i에 따르면, 화소 전극(500)을 드레인 전극(320)에 연결하기 위한 제1 콘택홀(CH1)을 형성함에 있어서, 제1홀(H1)을 구비하도록 제1 보호막(410)을 먼저 패터닝하고 그 후에 제2홀(H2)을 구비하도록 제2 보호막(420)을 패터닝함으로써, 별도의 식각방지층을 형성할 필요가 없어 신뢰성 있는 제1 콘택홀(CH1) 형성이 가능하다.
- [0111] 이상은 디스플레이 장치를 구성하는 기판 및 그 제조방법에 대해서 설명하였는데, 본 발명은 전술한 기판 및 그 제조방법을 이용할 수 있는 다양한 디스플레이 장치, 예로서, 액정 표시 장치(Liquid Crystal Display Device),

플라즈마 디스플레이 패널(Plasma Display Panel), 및 유기 발광 표시 장치(Organic Light Emitting Display Device) 및 그 제조방법을 포함한다.

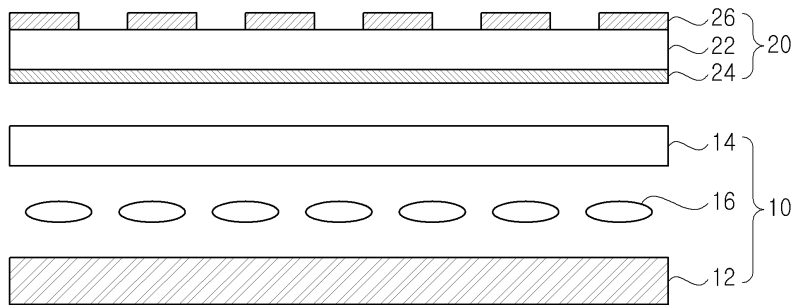
**부호의 설명**

[0112]

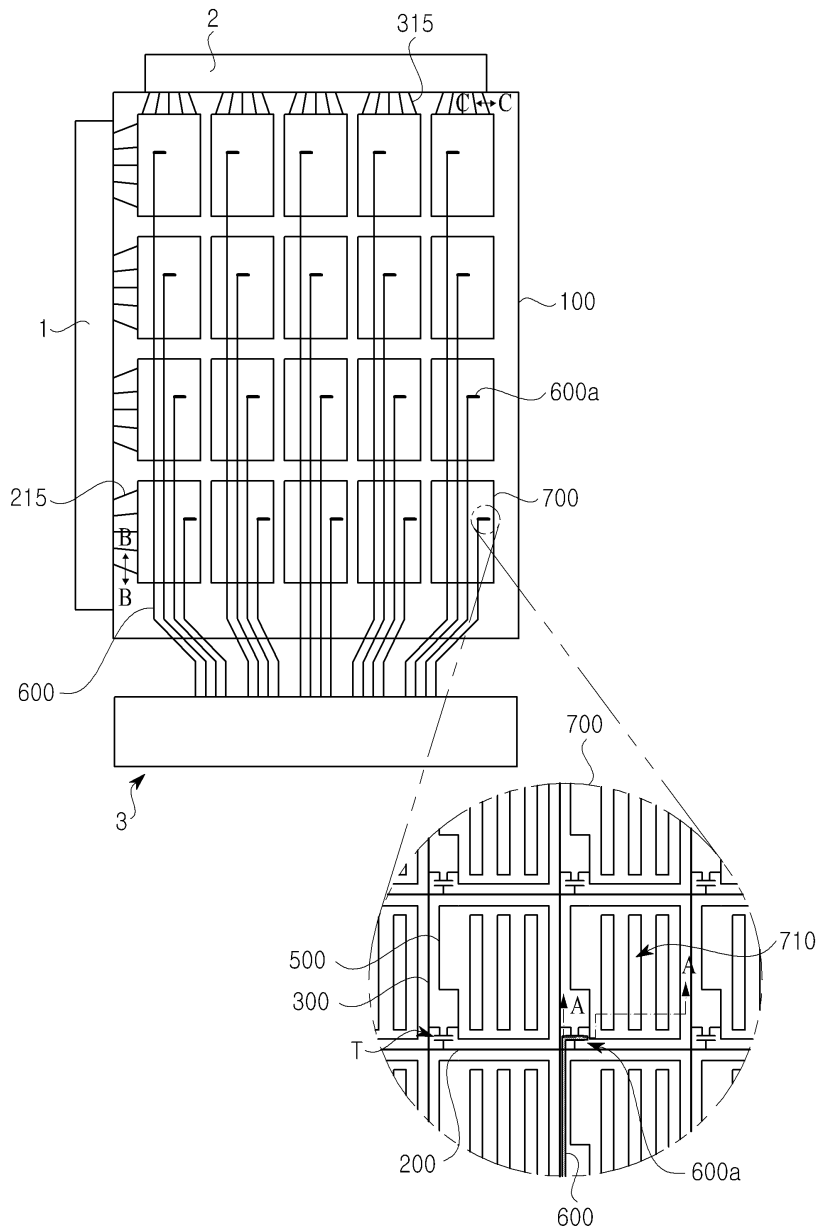
- |  |                |
|--|----------------|
| 100: 기판                                | 200: 게이트 라인    |
| 210: 게이트 전극                            | 215: 게이트 패드    |
| 220: 게이트 절연막                           | 230: 반도체층      |
| 300: 데이터 라인                            | 315: 데이터 패드    |
| 310: 소스 전극                             | 320: 드레인 전극    |
| 410, 420, 430, 440: 제1, 제2, 제3, 제4 보호막 |                |
| 500: 화소 전극                             | 600: 센싱 라인     |
| 600a: 콘택부                              | 700: 공통 전극     |
| 710: 슬릿                                | 750: 게이트 패드 전극 |
| 760: 데이터 패드 전극                         |                |

**도면**

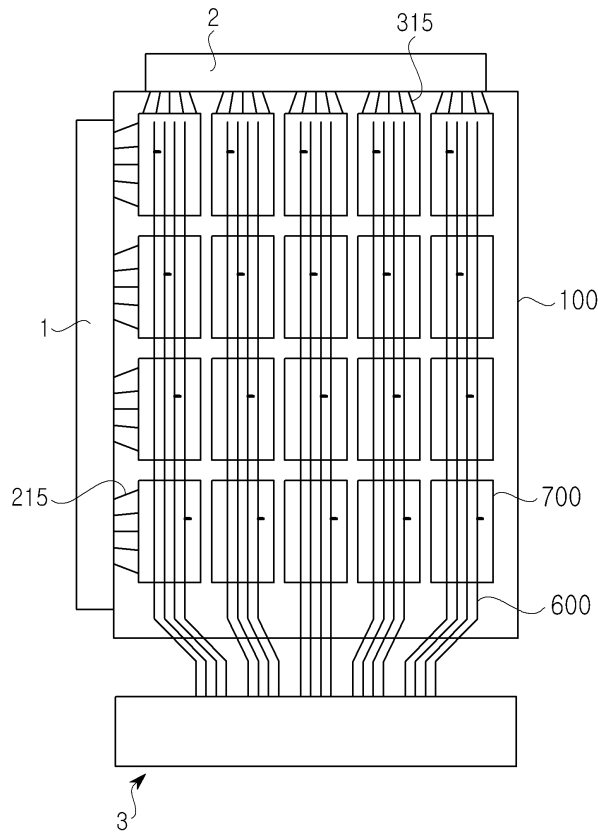
**도면1**



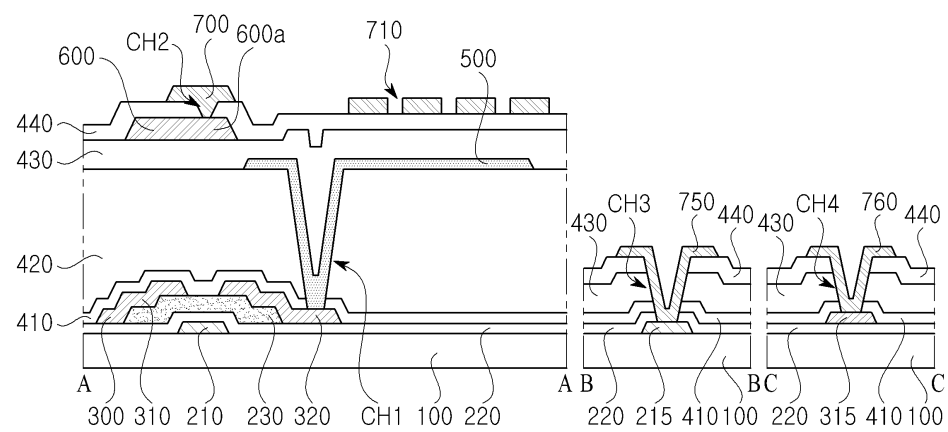
도면2



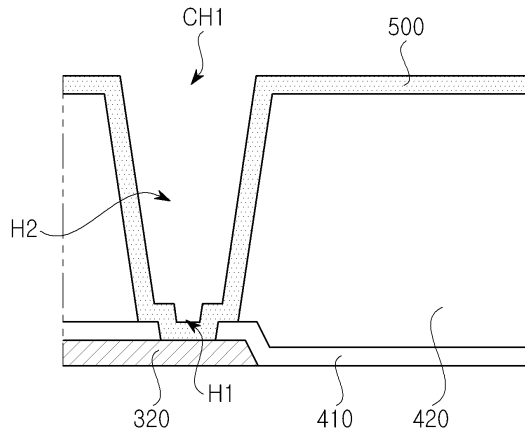
도면3



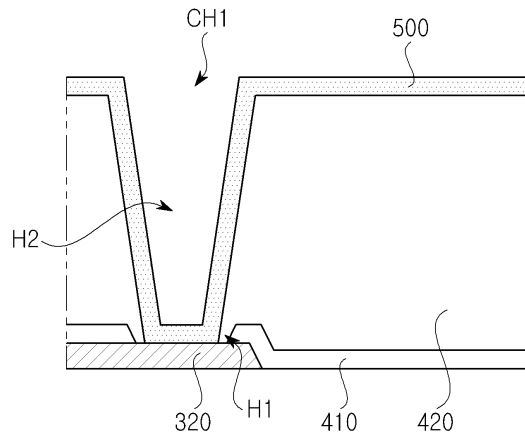
도면4



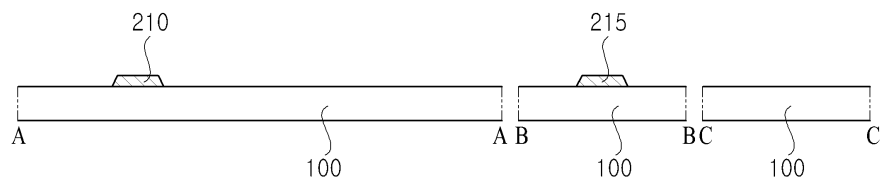
도면5



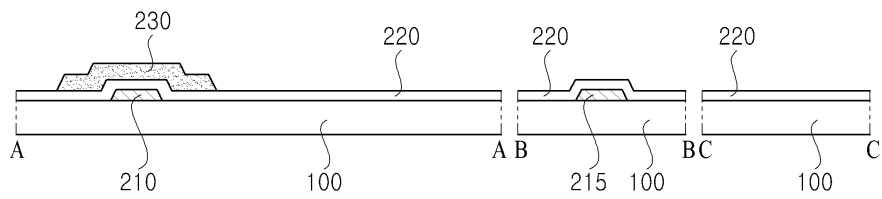
도면6



도면7a

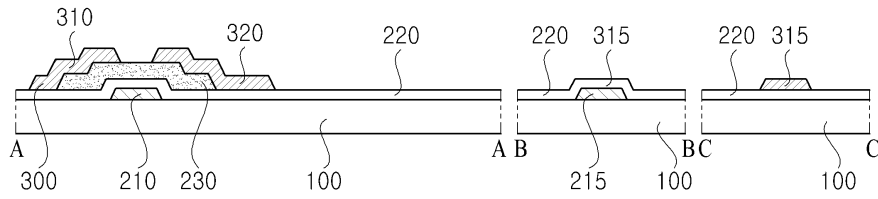


도면7b

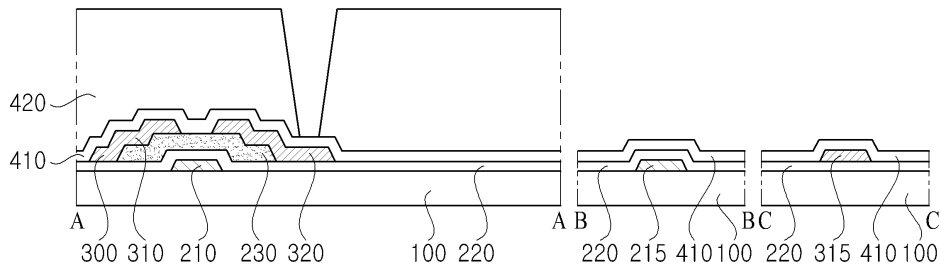




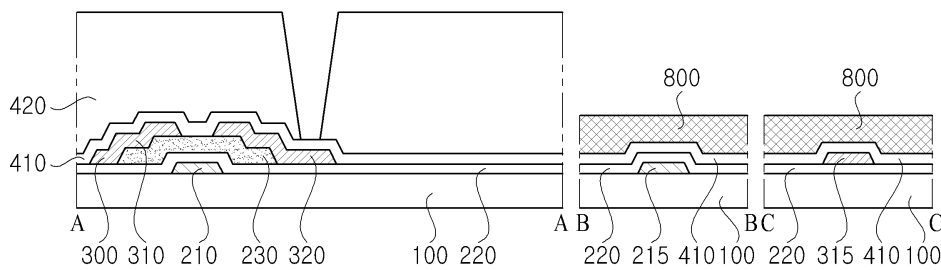
도면7c



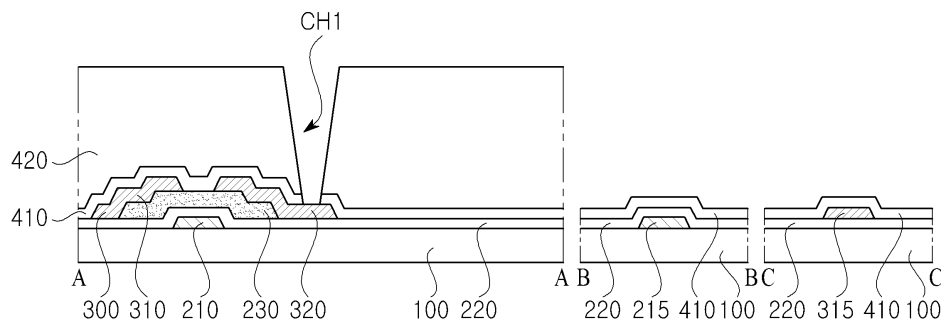
도면7d



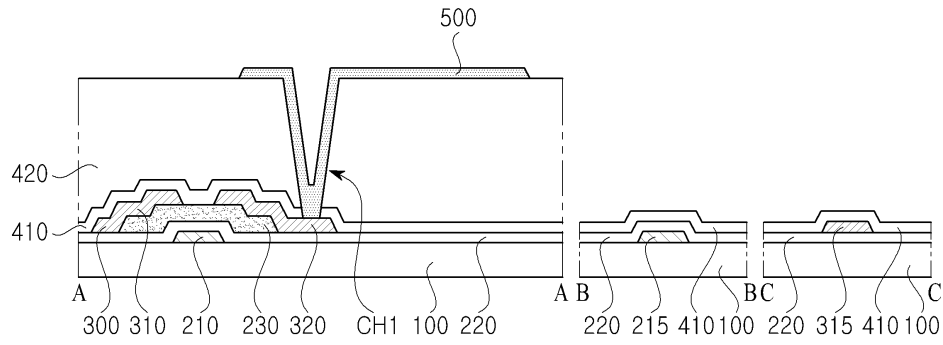
도면7e



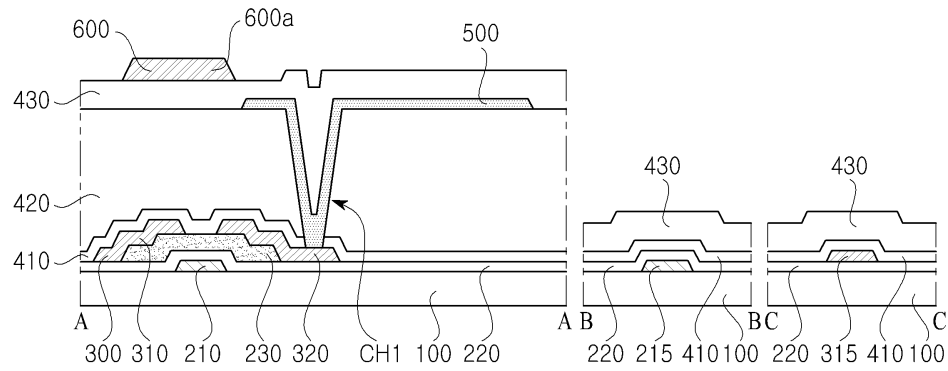
도면7f



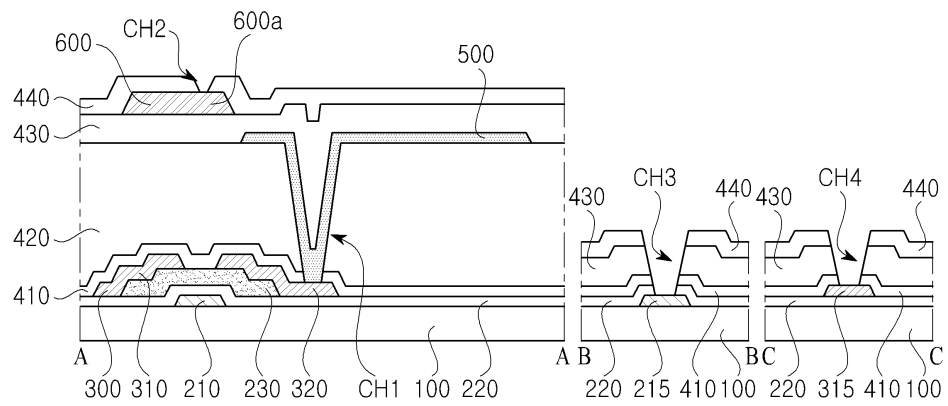
도면7g



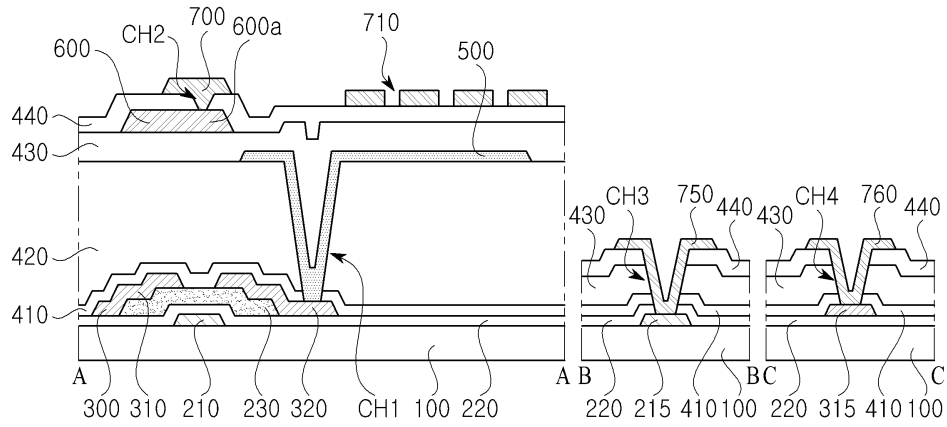
도면7h



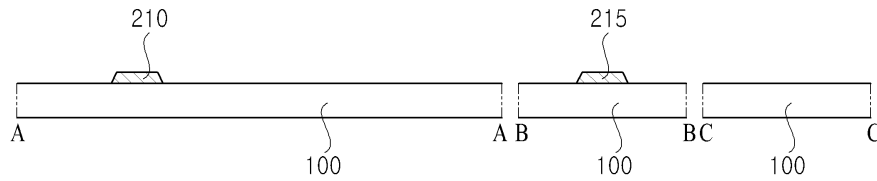
도면7i



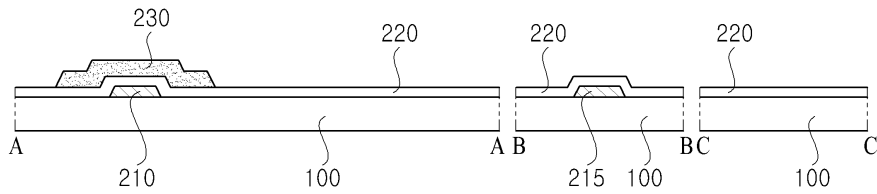
도면7j



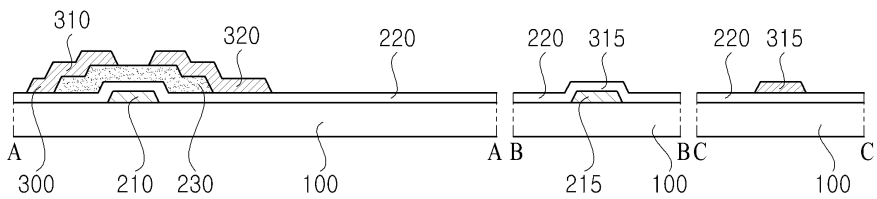
도면8a



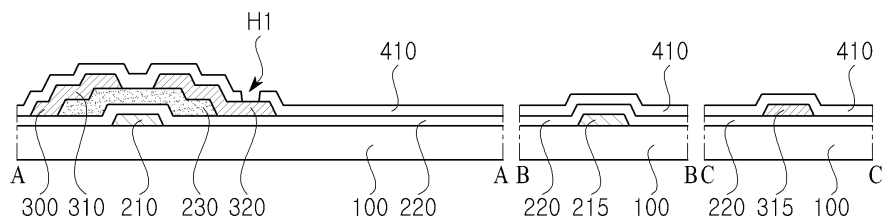
도면8b



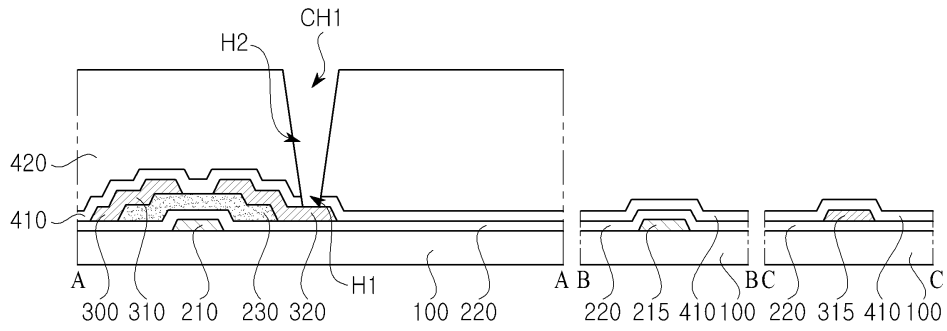
도면8c



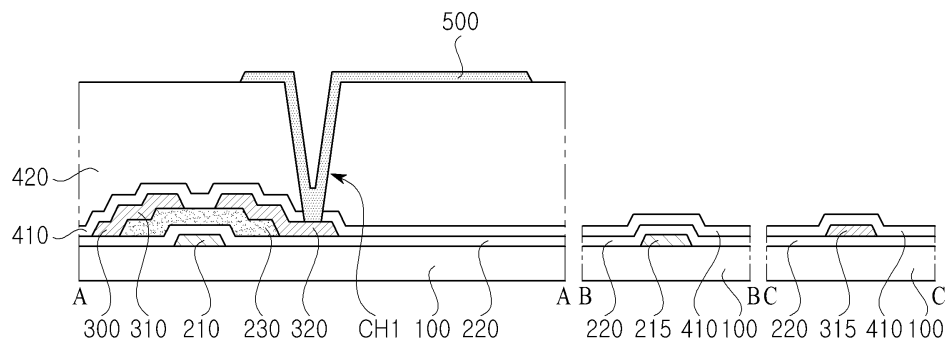
도면8d



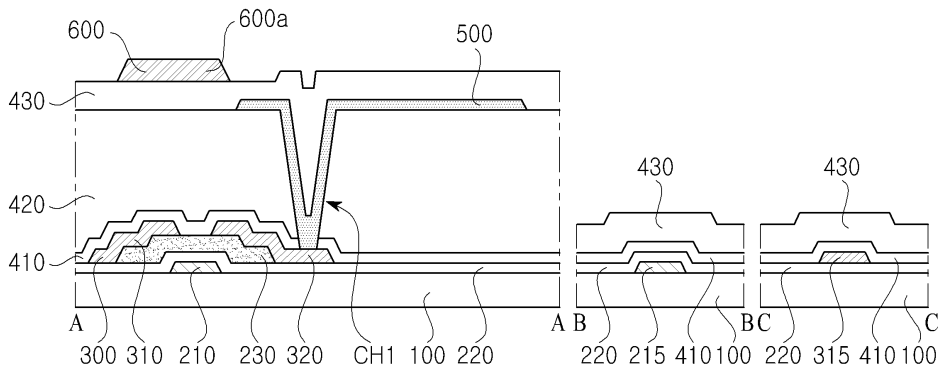
도면8e



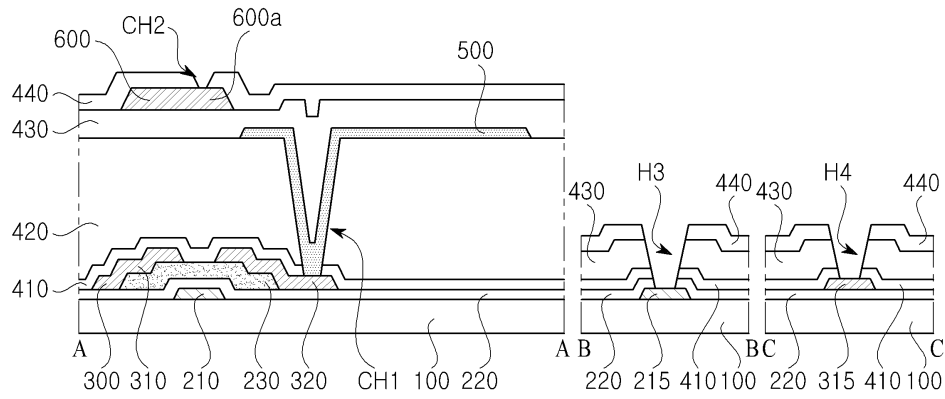
도면8f



도면8g



도면8h



도면8i

