

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5081902号
(P5081902)

(45) 発行日 平成24年11月28日 (2012.11.28)

(24) 登録日 平成24年9月7日 (2012.9.7)

(51) Int. Cl.

F I

G 1 1 C 11/407 (2006.01)

G 1 1 C 11/34 3 5 4 D

請求項の数 6 (全 13 頁)

(21) 出願番号	特願2009-511128 (P2009-511128)	(73) 特許権者	504199127
(86) (22) 出願日	平成19年3月22日 (2007.3.22)		フリースケール セミコンダクター イン
(65) 公表番号	特表2009-537933 (P2009-537933A)		コーポレイテッド
(43) 公表日	平成21年10月29日 (2009.10.29)		アメリカ合衆国 テキサス州 7 8 7 3 5
(86) 国際出願番号	PCT/US2007/064583		オースティン ウィリアム キャノン
(87) 国際公開番号	W02007/133849		ドライブ ウェスト 6 5 0 1
(87) 国際公開日	平成19年11月22日 (2007.11.22)	(74) 代理人	100142907
審査請求日	平成22年3月17日 (2010.3.17)		弁理士 本田 淳
(31) 優先権主張番号	11/433,998	(72) 発明者	リストン、トーマス ダブリュ.
(32) 優先日	平成18年5月15日 (2006.5.15)		アメリカ合衆国 7 8 7 2 7 テキサス州
(33) 優先権主張国	米国 (US)		オースティン メイズ ベンド ドライ ブ 1 6 2 9

最終頁に続く

(54) 【発明の名称】 レベルシフト・ワード線ドライバを伴うメモリ、およびその動作方法

(57) 【特許請求の範囲】

【請求項 1】

メモリの動作方法であって、前記メモリはアドレス・デコード回路 (1 1 6)、ワード線ドライバ回路 (1 1 8)、およびビットセルアレイ (1 2 0) を備え、

前記アドレス・デコード回路 (1 1 6) は第 1 電圧において動作可能であり、

前記ワード線ドライバ回路 (1 1 8) と前記ビットセルアレイ (1 2 0) は、それぞれ前記第 1 電圧よりも高い第 2 電圧において動作可能であり、

前記動作方法は、

アクティブ・モードにおいて、前記第 1 電圧を前記アドレス・デコード回路 (1 1 6) に与え、且つ前記第 2 電圧を前記ワード線ドライバ回路 (1 1 8) と前記ビットセルアレイ (1 2 0) に与えることと；

低電力モードにおいて、前記第 1 電圧未満の第 3 電圧を前記アドレス・デコード回路 (1 1 6) に与え、前記第 2 電圧以下の第 4 電圧を前記ビットセルアレイ (1 2 0) に与えることと

を含み、

前記アドレス・デコード回路 (1 1 6) は、前記第 3 電圧において実質的に動作不可能であり、

前記ビットセルアレイ (1 2 0) は、記憶したデータを前記第 4 電圧において保持するように動作可能であることを特徴とする、動作方法。

【請求項 2】

10

20

前記第 3 電圧はゼロである、請求項 1 記載の動作方法。

【請求項 3】

前記第 4 電圧は前記第 2 電圧に等しい、請求項 1 記載の動作方法。

【請求項 4】

前記第 2 電圧を前記ワード線ドライバ回路 (1 1 8) に与えることは、

前記第 2 電圧を、複数の出力を有する前記ワード線ドライバ回路 (1 1 8) に与えることであり、それぞれ前記出力は、前記ビットセルアレイ (1 2 0) の対応するワード線に接続され、

前記動作方法は更に、

前記出力を、前記第 1 電圧から前記第 2 電圧に電圧レベルシフトすることとを含む、請求項 1 記載の動作方法。

10

【請求項 5】

前記アドレス・デコード回路 (1 1 6) は、複数の第 1 厚さトランジスタを備え、

前記第 1 厚さトランジスタは、第 1 ゲート酸化物厚さを有し、

前記ワード線ドライバ回路 (1 1 8) と前記ビットセルアレイ (1 2 0) は、複数の第 2 厚さトランジスタを備え、

前記第 2 厚さトランジスタは、前記第 1 ゲート酸化物厚さよりも大きな第 2 ゲート酸化物厚さを有する、請求項 1 記載の動作方法。

【請求項 6】

前記第 2 電圧を、前記ワード線ドライバ回路 (1 1 8) と前記ビットセルアレイ (1 2 0) に与えることは、前記第 2 電圧を、前記ワード線ドライバ回路 (1 1 8) の電圧レベルシフトに与えることを含み、

20

前記電圧レベルシフトは、第 1 トランジスタ (3 0 2)、第 2 トランジスタ (3 0 4)、第 3 トランジスタ (3 0 6)、および第 4 トランジスタ (3 0 8) を有し、

前記第 1 トランジスタ (3 0 2) は、第 1 プレデコード値の対応するビット値を受信するように接続されるゲート電極と；第 2 プレデコード値の対応するビット値を受信するように接続される第 1 電流電極と；前記電圧レベルシフトの第 1 ノード (3 1 0) に接続される第 2 電流電極とを有し、

前記第 2 トランジスタ (3 0 4) は、接地電圧基準を受信するゲート電極と；前記第 1 ノード (3 1 0) に接続される第 1 電流電極と；前記第 2 電圧を受け取る第 2 ノード (3 1 2) に接続される第 2 電流電極とを有し、

30

前記第 3 トランジスタ (3 0 6) は、前記第 1 ノード (3 1 0) に接続されるゲート電極と；前記第 2 ノード (3 1 2) に接続される第 1 電流電極と；前記電圧レベルシフトの第 3 ノード (3 1 4) に接続される第 2 電流電極とを有し、

前記第 4 トランジスタ (3 0 8) は、前記第 1 ノード (3 1 0) に接続されるゲート電極と；前記第 3 ノード (3 1 4) に接続される第 1 電流電極と；接地電圧基準を受信する第 2 電流電極とを有し、前記第 3 ノード (3 1 4) は、前記ビットセルアレイ (1 2 0) の対応するワード線に接続され、

前記第 1 トランジスタ (3 0 2)、前記第 2 トランジスタ (3 0 4)、前記第 3 トランジスタ (3 0 6)、および前記第 4 トランジスタ (3 0 8) は、それぞれ前記第 2 ゲート酸化物厚さを有する、請求項 5 記載の動作方法。

40

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

本開示は一般的にメモリに関し、より詳細にはメモリへの電力供給に関する。

【背景技術】

【 0 0 0 2 】

メモリは通常、ワード線ドライバを介してアクセスされるビットセルアレイとして実現される。ワード線ドライバは、メモリアクセスに付随する行アドレスのデコーディングに基づき起動される。データ信頼性と性能の理由から、多くの場合、ビットセルアレイとワ

50

ード線ドライバを動作させる電圧は、メモリの周辺回路の場合よりも高い方が優位である。このデュアル電圧ドメイン技術は、次の点でも優位である。すなわちメモリの周辺回路を低電力モードに設定することによって、ビットセルアレイに対する電圧供給を乱すことなく漏れ電流を減らすことができ、そのため、ビットセルアレイが記憶データを保持できる。

【 0 0 0 3 】

デュアル電圧ドメインを用いる場合に通常は、周辺回路と、ワード線ドライバおよびビットセルアレイとの間で電圧レベルシフトを用いることが必要となる。

【 発明の開示 】

【 発明が解決しようとする課題 】

10

【 0 0 0 4 】

従来のレベルシフトを実現する際には通常、比較的大きな基板領域が必要となる。このためシフトを、メモリ・セル・ピッチが比較的小さいメモリ・トポロジにおいて用いることは、特に階層ワード線デコーディングを用いるメモリセル・トポロジにおいて用いることは難しかった。またこれらの従来のレベルシフトを実現することによって通常は、比較的遅い回路が実現される。しかし遅い回路は、周辺回路とワード線の間の臨界経路となり、メモリアクセスの性能を妨げてしまう。従って、複数の電圧ドメインメモリにおいて、電圧レベルシフトを行なうための改善された技術が存在すれば優位である。

【 課題を解決するための手段 】

【 0 0 0 5 】

20

同じ参照符号を異なる図面内で用いた場合、同様または同一の物品を示す。

本開示の一態様によれば、ワード線ドライバは、第1プレデコード値を受信する第1入力と、第2プレデコード値を受信する第2入力と、メモリのワード線に接続される出力とを有する。ワード線ドライバは、第1トランジスタと第2トランジスタを有する。第1トランジスタは、第1入力に接続されるゲート電極と、第2入力に接続される第1電流電極と、第1ノードに接続される第2電流電極とを有する。第2トランジスタは、第1電圧基準に接続されるゲート電極と、第2電圧基準に接続される第1電流電極と、第1ノードに接続される第2電流電極とを有する。ワード線ドライバは更に、第3トランジスタと第4トランジスタを有する。第3トランジスタは、第1ノードに接続されるゲート電極と、第3電圧基準に接続される第1電流電極と、第2ノードに接続される第2電流電極とを有する。第2ノードはメモリのワード線に接続される。第4トランジスタは、第1ノードに接続されるゲート電極と、第2ノードに接続される第1電流電極と、第1電圧基準に接続される第2電流電極とを有する。

30

【 0 0 0 6 】

本開示の別の態様によれば、メモリは、複数のグローバル・ワード線と、グローバル・ワード線ドライバ回路とを有する。グローバル・ワード線ドライバ回路は、複数の出力を有する。各々の出力は、複数のグローバル・ワード線のうちの対応するグローバル・ワード線に接続される。メモリは更に、アドレス・デコード回路とローカル・ビットセルアレイを備える。アドレス・デコード回路は、プレデコード値を与える出力を有する。ローカル・ビットセルアレイは、複数のローカル・ワード線を含む。メモリは更に、ローカル・ワード線ドライバ回路を含む。ローカル・ワード線ドライバ回路は、アドレス・デコード回路の出力に接続される第1入力と、複数のグローバル・ワード線のうちの対応するグローバル・ワード線に接続される第2入力と、複数の出力とを有する。各々の出力は、複数のローカル・ワード線のうちの対応するローカル・ワード線に接続される。ローカル・ワード線ドライバ回路は、複数の電圧レベルシフトを含む。各々の電圧レベルシフトは、ローカル・ビットセルアレイの対応するローカル・ワード線に付随する。グローバル・ワード線ドライバ回路とアドレス・デコード回路は、第1電圧ドメインにおいて動作可能である。ローカル・ビットセルアレイとローカル・ワード線ドライバ回路は、第1電圧ドメインとは異なる第2電圧ドメインにおいて動作可能である。

40

【 0 0 0 7 】

50

本開示の別の態様によれば、メモリの動作方法が提供される。メモリはアドレス・デコード回路、ワード線ドライバ回路、およびビットセルアレイを備える。アドレス・デコード回路は、第1電圧において動作可能である。ワード線ドライバ回路とビットセルアレイは、第2電圧において動作可能である。メモリの動作方法は、第1電圧をアドレス・デコード回路に与えることと、第2電圧をワード線ドライバ回路とビットセルアレイに与えることとを、アクティブ・モードにおいて行なうことを含む。また動作方法は、第3電圧をアドレス・デコード回路に与えることと、第4電圧をビットセルアレイに与えることとを、低電力モードにおいて行なうことを含む。アドレス・デコード回路は、第3電圧において実質的に動作不可能である。ビットセルアレイは、記憶したデータを第4電圧において保持するように動作可能である。

10

【0008】

添付図面を参照することによって、本開示はより良好に理解され、またその多くの特徴と優位性が当業者に明らかになり得る。

【発明を実施するための最良の形態】

【0009】

図1～図5は、電圧レベルシフト（以下、「レベルシフト」）を、複数の電圧レベルを有するメモリデバイスにおいて用いるための典型的な技術を例示する。少なくとも本実施形態によれば、メモリは、周辺回路、ビットセルアレイ、およびワード線ドライバを含む。ビットセルアレイとワード線ドライバは、第2電圧ドメインにおいて動作する。周辺回路は、たとえば第1電圧ドメインにおいて動作するアドレス・デコード回路である。周辺回路を低電力状態で停止させること、または低電力状態に設定することは、第1電圧ドメインに対する電圧を低減または遮断する一方、第2電圧ドメインにおける電圧をデータ保持目的で維持することによって可能である。第2電圧ドメインは、第1電圧ドメインに供給される電圧よりも大きな電圧で動作できる。そのため、ワード線ドライバによって、電圧レベルシフタ（以下、「レベルシフタ」）を実現し、第1電圧ドメインと第2電圧ドメインの間のインターフェーシングを容易にすることができる。本実施形態では、周辺回路のトランジスタである第1厚さトランジスタは、第1ゲート酸化物厚さを用いて実現される。ワード線ドライバ（レベルシフタを含む）のトランジスタや、ビットセルアレイのトランジスタである第2厚さトランジスタは、第1ゲート酸化物厚さよりも大きな第2ゲート酸化物厚さを用いて実現される。よって、周辺回路の第1厚さトランジスタは、ワード線ドライバやビットセルアレイの第2厚さトランジスタよりも、速くまた低い電圧において動作できる。またビットセルアレイの第2厚さトランジスタは、一層厚いゲート酸化物を用いる。その結果、第2電圧ドメインに高電圧が供給されても、第2厚さトランジスタ内での漏れ電流が減る。

20

30

【0010】

図1に示すように、本開示の少なくとも本実施形態による典型的な処理システム100を例示する。処理システム100は、たとえばマイクロプロセッサまたはマイクロコントローラを含めることができる。また処理システム100は、単一の集積回路デバイス（たとえばシステム・オン・チップ（SOC）または特定用途向け集積回路（ASIC）など）として実現しても良い。代替的に、処理システム100は、複数の別個の集積回路デバイスとして実現することもできる。

40

【0011】

図示した例では、処理システム100はメモリ102、CPU（中央演算処理装置）104、1つまたは複数の周辺コンポーネント、第1電源112、および第2電源114を含む。メモリ102はたとえばランダム・アクセス・メモリ（RAM）であり、2つの電圧ドメインを有する。周辺コンポーネントは、たとえば第1周辺部材106と第2周辺部材108である。第1周辺部材106と第2周辺部材108は、1または複数のバス110を介して接続される。第1電源112は、処理システム100の第1電圧ドメイン用の第1電圧 V_{DD1} を供給する。第1電圧 V_{DD1} は、たとえばほぼ0.9ボルトである。第2電源114は、処理システム100の第2電圧ドメイン用の第2電圧 V_{DD2} を、処

50

理システム 100 がアクティブ・モードの場合に供給する。第 2 電圧 V_{DD2} は、たとえばほぼ 1.2 ボルトである。本実施形態では、第 1 電源 112 と第 2 電源 114 は単一電源である。

【0012】

メモリ 102 は、周辺回路たとえばアドレス・デコード回路 116 を含む。アドレス・デコード回路 116 は、第 1 電圧ドメインにおいて動作する。またメモリ 102 は、ワード線ドライバ回路 118 とビットセルアレイ 120 を含む。ワード線ドライバ回路 118 とビットセルアレイ 120 は、第 2 電圧ドメインにおいて動作する。本明細書において更に詳しく説明するように、第 1 電圧ドメインの動作電圧は、第 2 電圧ドメインの動作電圧とは異なる。たとえば第 2 電圧ドメインの動作電圧は、第 1 電圧ドメインの動作電圧よりも高い。従って、ワード線ドライバ回路 118 がレベルシフト回路を実現すると、第 1 電圧ドメインと第 2 電圧ドメインという 2 つの互いに異なる電圧間のインターフェーシングが容易になる。

【0013】

メモリ 102 が 2 つ以上の電圧ドメインに渡って動作できるように、第 1 電圧ドメインのコンポーネントにおいて実現されるトランジスタ（たとえばアドレス・デコード回路 116 のトランジスタ）は、第 1 ゲート酸化物厚さを用いる第 1 厚さトランジスタである。第 2 電圧ドメインのコンポーネントにおいて実現されるトランジスタ（たとえばワード線ドライバ回路 118 とビットセルアレイ 120 のトランジスタ）は、第 2 ゲート酸化物厚さを用いる第 2 厚さトランジスタである。少なくとも本実施形態では、第 2 ゲート酸化物厚さは、第 1 ゲート酸化物厚さよりも大きい。たとえば第 1 ゲート酸化物厚さは、14 オングストローム未満とすることができる。第 2 ゲート酸化物厚さは、19 オングストローム未満とすることができる。ゲート酸化物材料の例は、二酸化ケイ素や、窒化ケイ素などを含めることができる。

【0014】

当然のことながら、ゲート酸化物が厚い第 2 厚さトランジスタの最小動作電圧は、通常、ゲート酸化物が薄い第 1 厚さトランジスタの場合よりも大きい。逆に、ゲート酸化物が厚い第 2 厚さトランジスタの漏れ電流は、通常、ゲート酸化物が薄い第 1 厚さトランジスタの場合よりも小さい。従って本実施形態では、メモリ 102 がアクティブ・モードの間は、第 2 電圧ドメインに供給される動作電圧は、第 1 電圧ドメインの場合よりも高くされる（すなわち $V_{DD2} > V_{DD1}$ ）。その結果、周辺回路、ワード線ドライバ回路 118、およびビットセルアレイ 120 それぞれのトランジスタは、すべて動作状態となる。低電圧モード（たとえばスリープ・モード）では、第 2 電圧ドメインに供給される電圧は、ビットセルアレイ 120 におけるデータ保持目的にとっては十分なものである。また周辺回路（たとえばアドレス・デコード回路 116）のトランジスタを不動作状態に設定することは、第 1 電圧ドメインに供給する電圧を、周辺コンポーネントのトランジスタの閾値電圧よりも低くすることによってなされる（たとえばゼロ・ボルトを供給することによって）。その結果、電力の節約は、非アクティブ時間の間にメモリ 102 の周辺回路を効果的に停止させることによって可能である。一方、データは、ビットセルアレイ 120 内に維持される。代替的な実施形態では、第 2 電圧ドメインに供給される動作電圧は、第 1 電圧ドメインの場合よりも低い（すなわち $V_{DD2} < V_{DD1}$ ）。

【0015】

幾つかの互いに異なる動作モードを実現するために、処理システム 100 は、モード・コントローラ 122 を含む。モード・コントローラ 122 は、CPU 104 から送られるモード選択信号 124 に応答して第 1 電源 112 と第 2 電源 114 を制御する。モード選択信号 124 を用いて、メモリ 102 はアクティブ・モードに入っていくのか低電圧モードに入っていくのか示すことができる。モード選択信号 124 がアクティブ・モードを示す場合、それに応答してモード・コントローラ 122 は、第 1 電源 112 に V_{DD1} 電圧を供給するように命令し、第 2 電源 114 に V_{DD2} 電圧を供給するように命令する。その結果、第 1 電圧ドメインの周辺回路と、第 2 電圧ドメインのワード線ドライバ回路 11

10

20

30

40

50

8 およびビットセルアレイ 120 とは、動作状態に維持される。モード選択信号 124 が低電圧モードを示す場合、それに応答してモード・コントローラ 122 は、第 1 電源 112 に、 V_{DD1} よりも低くまた周辺回路のトランジスタの閾値電圧よりも低い電圧を供給する（たとえばゼロ・ボルトを供給する）ように命令し、第 2 電源 114 は引き続き V_{DD2} 電圧を供給するように命令する。その結果、メモリ 102 の周辺回路は、効果的に無効にされる。一方、ビットセルアレイ 120 は、引き続き記憶データを保持する。

【0016】

図 2 は、本開示の少なくとも本実施形態による図 1 のメモリ 102 の典型的な具体化を例示する。メモリ 102 は、アドレス・デコード回路 116 を含む。アドレス・デコード回路 116 は、第 1 電圧ドメイン 202 において動作する。第 1 電圧ドメイン 202 は、アクティブ・モードの間に第 1 電圧（第 1 動作電圧） V_{DD1} を受取る。メモリ 102 に更に、ワード線ドライバ回路 118（レベルシフト回路を含む）とビットセルアレイ 120 を含む。ワード線ドライバ回路 118 とビットセルアレイ 120 は、第 2 電圧ドメイン 204 において動作する。第 2 電圧ドメイン 204 は、アクティブ・モードの間に第 2 電圧 V_{DD2} を受取る。

【0017】

図示した具体化において、アドレス・デコード回路 116 は、ラッチ 206 を含む。ラッチ 206 は、行アドレス値 208 を受信する第 1 入力と、クロック信号 210 を受信する第 2 入力と、複数の出力とを有する。各々の出力は、行アドレス値 208 の対応するビット値のラッチした表現を、クロック信号 210 に応答して与える。説明を目的として、次のことを想定する。すなわち行アドレス値 208 は、6 つのビット値（ビット $RA[0] \sim RA[5]$ ）である。従ってラッチ 206 は、ラッチした出力ビット $RA[0] \sim RA[5]$ を与える。

【0018】

アドレス・デコード回路 116 は更に、第 1 デコーダ 212 と第 2 デコーダ 214 を含む。第 1 デコーダ 212 は、ラッチした行アドレス値 208 のビット値の第 1 サブセットを受信する入力とを有する。第 2 デコーダ 214 は、ラッチした行アドレス値 208 のビット値の第 2 サブセットを受信する入力とを有する。第 1 サブセットと第 2 サブセットは、相互に排他的とすることもできるし、重なっていても良い。第 1 デコーダ 212 は、複数の出力を有する。各々の出力は、ビット値の第 1 サブセットに基づき、第 1 デコーダ 212 によって決定される第 1 プレデコード値（ $PredA$ ）の対応するビットを与える。第 2 デコーダ 214 は、複数の出力を有する。各々の出力は、ビット値の第 2 サブセットに基づき、第 2 デコーダ 214 によって決定される第 2 プレデコード値（ $PredB$ ）の対応するビットを与える。例示した例では、第 1 デコーダ 212 は、4 対 16 デコーダ（4 から 16 デコーダ）を含む。4 対 16 デコーダは、ラッチした行アドレス値 208 のビット $RA[0] \sim RA[3]$ を受信する 4 つの入力と、 $PredA$ に対する 16 ビット（すなわち $PredA[0] \sim PredA[15]$ ）を与える 16 の出力とを有する。更にこの例では、第 2 デコーダ 214 は、2 対 4 デコーダ（2 から 4 デコーダ）を含む。2 対 4 デコーダは、ビット $RA[4]$ と $RA[5]$ を受信する 2 つの入力と、 $PredB$ に対する 4 ビット（すなわち $PredB[0] \sim PredB[3]$ ）を与える 4 つの出力とを有する。

【0019】

図示した例では、ワード線ドライバ回路 118 は、第 1 組の入力と、第 2 組の入力を含む。第 1 組の入力は、第 1 デコーダ 212 の出力に接続されていて、 $PredA[0] \sim PredA[15]$ に対する対応するビット値を受信する。第 2 組の入力は、第 2 デコーダ 214 に接続されていて、 $PredB[0] \sim PredB[3]$ に対する対応するビット値を受信する。ワード線ドライバ回路 118 は更に、複数の出力（ビットセルアレイ 120 のワード線に接続される）を含む。特定のワード線は、ワード線ドライバ回路 118 によって、任意の特定のアクセス・サイクルの間にアサートされ、ワード線ドライバ回路 118 において受信されたビット $PredA[0] \sim PredA[15]$ および $Pred$

10

20

30

40

50

B[0] ~ Pred B[3]の最終デコードに基づき決定される。例示した例において、ワード線ドライバ回路118は、ビットセルアレイ120の64本のワード線(WL0 ~ WL63)に接続される。

【0020】

前述したように、アドレス・デコード回路116のトランジスタは、より薄いゲート酸化物を用いて実現されている。アドレス・デコード回路116は、 V_{DD1} に対して、より低い電圧において動作できる。ワード線ドライバ回路118とビットセルアレイ120のトランジスタは、より厚いゲート酸化物を用いて実現されている。ワード線ドライバ回路118とビットセルアレイ120は、より高い電圧において動作でき、漏れ電流に対してそれほど敏感ではない。しかし、ワード線ドライバ回路118とビットセルアレイ120に与える第2電圧 V_{DD2} を、アドレス・デコード回路116に与える第1電圧 V_{DD1} よりも高くすることによって、異なるトランジスタ電圧と漏れ特性の利益を利用できる。よって、第1デコーダ212と第2デコーダ214それぞれの出力と、ワード線WL0 ~ WL63の動作電圧との間に、電位差が存在する。従って、ワード線ドライバ回路118は、ワード線WL0 ~ WL63のそれぞれに対するレベルシフトを実現する。図3と図4に示すように、ワード線ドライバ回路118の、対応するワード線に対するワード線ドライバの典型的な具体化について、詳しく例示する。

【0021】

図3は、本開示の少なくとも本実施形態による、ビットセルアレイ120(図2)の対応するワード線(たとえばWL0)を駆動するために用いられるワード線ドライバ300の典型的な具体化を例示する。図示した例では、ワード線ドライバ300は、第1トランジスタ302、第2トランジスタ304、第3トランジスタ306、および第4トランジスタ308を含む。第1トランジスタ302と第4トランジスタ308は、それぞれn-チャンネル・トランジスタであり、たとえばn-チャンネル電界効果トランジスタすなわちNFEETである。第2トランジスタ304と第3トランジスタ306は、それぞれp-チャンネル・トランジスタであり、たとえばp-チャンネル電界効果トランジスタすなわちPFETである。前述したように、第1トランジスタ302 ~ 第4トランジスタ308は、それぞれメモリ102(図2)の周辺回路のトランジスタたとえばアドレス・デコード回路116のゲート酸化物厚さと比較して、より大きなゲート酸化物厚さを用いて実現される。そのため、第1トランジスタ302 ~ 第4トランジスタ308それぞれの動作電圧は、高くなる必要があるが、結果として漏れ電流は小さくなる。

【0022】

第1トランジスタ302は、Pred Aの対応するビット値(たとえばPred A[0])を受信するゲート電極と、Pred Bの対応するビット値(たとえばPred B[0])を受信する第1電流電極と、第1ノード310に接続される第2電流電極とを含む。第2トランジスタ304は、電圧基準 V_{SS} (または接地)に接続されるゲート電極と、第1ノード310に接続される第1電流電極と、第2ノード312に接続される第2電流電極とを含む。第2ノード312は、第2電圧ドメイン204から電圧(たとえばアクティブ・モードにおいて第2電圧 V_{DD2})を受取るように接続される。第3トランジスタ306は、第1ノード310に接続されるゲート電極と、第2ノード312に接続される第1電流電極と、第3ノード314に接続される第2電流電極とを含む。第3ノード314は、ビットセルアレイ120(図2)の対応するワード線(たとえばWL0)に接続される。第4トランジスタ308は、第1ノード310に接続されるゲート電極と、第3ノード314に接続される第1電流電極と、電圧基準 V_{SS} (たとえば接地)に接続される第2電流電極とを含む。

【0023】

動作時、第3ノード314の出力電圧、従ってワード線WL0は、Pred A[0]とPred B[0]のビット値によって決まる。第1トランジスタ302は、Pred AとPred Bの最終デコードとしての機能を果たす。すなわちワード線ドライバ300に割当てられたPred AとPred Bのそれぞれの対応するビットがアサートされると(例

10

20

30

40

50

示した例では $PredA[0]$ と $PredB[0]$)、第1ノード310をより低い電位にする。そして第3ノード314を第2ノード312と実質的に同じ電位にすることによって、ワード線WL0のアサーションが行なわれる。そうではなくて、対応するビットのどちらかが非アサートされる場合、第1ノード310を第2電圧 V_{DD2} に実質的に等しい電位にすることによって、第3ノード314を電圧基準 V_{SS} に実質的に等しい電位にし、その結果、ワード線WL0が非アサートされる。

【0024】

例示したように、ワード線ドライバ300によって、レベルシフトが実現される。すなわち入力信号たとえば $PredA[0]$ と $PredB[0]$ は、第1電圧ドメイン202 (図2)の低い方の第1電圧 V_{DD1} に基づく。しかし、ワード線ドライバ300の出力が対応するワード線を駆動することは、第2電圧ドメイン204 (図2)の高い方の第2電圧 V_{DD2} に基づき行なわれる。比較的少ない数のトランジスタを用いて、 $PredA$ と $PredB$ 値の両方の最終デコーディングを実現し、また対応するワード線を駆動しているため、ワード線ドライバ300を、ピッチが比較的小さいメモリにおいても用いることができる。

【0025】

図4は、本開示の少なくとも本実施形態によるワード線ドライバ400の代替的な具体化を例示する。ワード線ドライバ400は、第1トランジスタ302~第4トランジスタ308を含み、これらは以下の点を除いて、図3のワード線ドライバ300について前述したように接続される。すなわち第2トランジスタ304の第2電流電極は、第3電圧ドメイン (第1電圧 V_{DD3} を有する) に接続されている。ワード線ドライバ400は、2つを超える電圧ドメイン間でシフトできる。そのため、低電力モードの間、第2電圧 V_{DD2} を下げて、電圧基準 V_{SS} と実質的に同等な電位にすることができる。結果として、低電力モードの間、ワード線ドライバ400における電流漏れが減る。

【0026】

図5は、本開示の少なくとも本実施形態による、図1のメモリ102の別の典型的な具体化を例示する。図示した例では、メモリ102はラッチ502、グローバル・プレデコード回路504、グローバル・ワード線ドライバ回路506、ローカル・プレデコード回路508、複数のローカル・ワード線ドライバ回路、および複数のローカル・ビットセルアレイを含む。

【0027】

ローカル・ワード線ドライバ回路はレベルシフト回路を含み、たとえば第1ローカル・ワード線ドライバ回路510、第2ローカル・ワード線ドライバ回路512、および第3ローカル・ワード線ドライバ回路514である。ローカル・ビットセルアレイは、たとえば第1ローカル・ビットセルアレイ520、第2ローカル・ビットセルアレイ522、および第3ローカル・ビットセルアレイ524である。ラッチ502、グローバル・プレデコード回路504、グローバル・ワード線ドライバ回路506、およびローカル・プレデコード回路508は、第1電圧ドメイン530において動作する (第1動作電圧 V_{DD1})。グローバル・ワード線ドライバ回路506は、グローバル書込線ドライバ回路である。

【0028】

第1ローカル・ワード線ドライバ回路510~第3ローカル・ワード線ドライバ回路514と、第1ローカル・ビットセルアレイ520~第3ローカル・ビットセルアレイ524は、それぞれ第2電圧ドメイン532において動作する (第2動作電圧 V_{DD2})。

【0029】

図示した具体化において、ラッチ502は、行アドレス値208を受信する第1入力と、クロック信号210を受信する第2入力と、複数の出力とを含む。各々の出力は、行アドレス値208の対応するビット値のラッチした表現を、クロック信号210に应答して与える。説明を目的として、次のことを想定する。すなわち行アドレス値208は、6つのビット値である。従ってラッチ502は、6つのラッチした出力ビットを与える。

【 0 0 3 0 】

グローバル・プレデコード回路 5 0 4 は、ラッチした行アドレス・ビットを受信する入力と、第 1 組のプレデコード・ビット値（たとえば $PredA$ ）を、ラッチした行アドレス・ビットに基づき与える出力とを含む。同様に、ローカル・プレデコード回路 5 0 8 は、ラッチした行アドレス・ビットを受信する入力と、第 2 組のプレデコード・ビット値（たとえば $PredB$ ）を、ラッチした行アドレス・ビットに基づき与える出力とを含む。

【 0 0 3 1 】

グローバル・ワード線ドライバ回路 5 0 6 は、グローバル・プレデコード回路 5 0 4 の出力に接続されていて第 1 組のプレデコード・ビット値を受信する入力を含む。グローバル・ワード線ドライバ回路 5 0 6 は更に、複数の出力を含む。各々の出力は、対応するグローバル・ワード線（たとえば第 1 グローバル・ワード線 5 4 0、第 2 グローバル・ワード線 5 4 2、および第 3 グローバル・ワード線 5 4 4）に接続される。特定のグローバル・ワード線が、グローバル・ワード線ドライバ回路 5 0 6 によって任意の特定のアクセス・サイクルの間にアサートされることは、グローバル・ワード線ドライバ回路 5 0 6 において受信された第 1 組のプレデコード・ビットの値に基づき行なわれる。例示した例において、グローバル・ワード線ドライバ回路 5 0 6 は、 N 個のグローバル・ワード線（ $GWL[0] \sim GWL[N-1]$ ）に接続される。

【 0 0 3 2 】

各々のローカル・ワード線ドライバ回路（5 1 0 ~ 5 1 4）は、対応するグローバル・ワード線に接続される第 1 入力と、ローカル・プレデコード回路 5 0 8 に接続されて第 2 組のプレデコード・ビットを受信する第 2 入力とを含む。各々のローカル・ワード線ドライバ回路（5 1 0 ~ 5 1 4）は更に、複数の出力を含む。各々の出力は、対応するローカル・ビットセルアレイ（5 2 0 ~ 5 2 4）の対応するローカル・ワード線に接続される。特定のローカル・ワード線は、ローカル・ワード線ドライバ回路（5 1 0 ~ 5 1 4）によって任意の特定のアクセス・サイクルの間にアサートされ、第 2 組のプレデコード・ビットの値に基づき、更にどのグローバル・ワード線がグローバル・ワード線ドライバ回路 5 0 6 によってアサートされるかに基づく。例示を目的として、第 1 ローカル・ワード線ドライバ回路 5 1 0 は、 $GWL[0]$ に接続される入力と、第 1 ローカル・ビットセルアレイ 5 2 0 の N 個のローカル・ワード線（ $LWL[0] \sim LWL[N-1]$ ）に接続される複数の出力とを含む。第 2 ローカル・ワード線ドライバ回路 5 1 2 は、 $GWL[1]$ に接続される入力と、第 2 ローカル・ビットセルアレイ 5 2 2 の N 個のローカル・ワード線（ $LWL[0] \sim LWL[N-1]$ ）に接続される複数の出力とを含む。第 3 ローカル・ワード線ドライバ回路 5 1 4 は、 $GWL[N-1]$ に接続される入力と、第 3 ローカル・ビットセルアレイ 5 2 4 の N 個のローカル・ワード線（ $LWL[0] \sim LWL[N-1]$ ）に接続される複数の出力とを含む。

【 0 0 3 3 】

前述したように、ラッチ 5 0 2、グローバル・プレデコード回路 5 0 4、グローバル・ワード線ドライバ回路（グローバル書込線ドライバ回路）5 0 6、およびローカル・プレデコード回路 5 0 8 は、ローカル・ワード線ドライバ回路（5 1 0 ~ 5 1 4）やローカル・ビットセルアレイ（5 2 0 ~ 5 2 4）の場合とは異なる電圧ドメインにおいて動作する。従って、第 1 電圧ドメイン 5 3 0 において動作する回路のトランジスタは、より薄いゲート酸化物を用いて実現されている。第 1 電圧ドメイン 5 3 0 の回路は、 V_{DD1} に対してより低い電圧において動作できるようになっている。これに対して、第 2 電圧ドメイン 5 3 2 において動作する回路のトランジスタは、より厚いゲート酸化物を用いて実現されている。第 2 電圧ドメイン 5 3 2 の回路は、より高い電圧において動作でき、漏れ電流に対してそれほど敏感ではない。しかしローカル・ワード線ドライバ回路（5 1 0 ~ 5 1 4）とローカル・ビットセルアレイ（5 2 0 ~ 5 2 4）に与えられる第 2 電圧 V_{DD2} を、周辺回路に与える第 1 電圧 V_{DD1} よりも大きくすることによって、異なるトランジスタ電圧と漏れ特性の利益が利用できる。よって、電位差は、ローカル・プレデコード回路 5 0 8 とグローバル・ワード線の出力の電圧レベルと、ローカル・ワード線ドライバ回路（

10

20

30

40

50

510～514)がローカル・ワード線に駆動する電圧レベルとの間に存在する。従って、ローカル・ワード線ドライバ回路(510～514)は、ローカル・ワード線LWL[0]～LWL[N-1]のそれぞれに対するレベルシフトを実現する。

【0034】

図3と図4に示すように、ワード線ドライバ回路の、対応するワード線に対するワード線ドライバの典型的な具体化について、詳しく例示する。これらの具体化において、対応するグローバル・ワード線からの入力値は、第1トランジスタ302のゲート電極または第1電流電極(図3と図4)のどちらかに対する入力として機能できる。一方、ローカル・プレデコード回路508からの対応するプレデコード・ビット値は、第1トランジスタ302のゲート電極または第1電流電極の他方に対する入力として機能する。

10

【0035】

当然のことながら、ローカル・ワード線ドライバを用いることによって、ビットセルのアレイがブロックに分割される。よって、グローバル・ワード線に沿って配置されるセルの何分の1かのみが選択される。より少ない数のセルを選択できるようにすることによって、メモリ消費電力が小さくなる。更に、グローバル・ワード線ドライバを V_{DD1} のドメインにおいて実現することは、ゲート酸化物が薄いトランジスタ厚さを用いて可能である。よって、トランジスタの速度が増加し、動作電圧を下げることができる。その結果、メモリの速度と消費電力が改善される。

【0036】

本開示の他の実施形態、使用方法、および優位性は、明細書を検討することと本明細書で開示された開示を実施することによって、当業者には明らかとなる。例示を目的として、典型的な電圧とゲート酸化物厚さについて本明細書では説明してきたが、これらの値は単に典型である。代替的な実施形態では、任意の数の電圧ドメイン、任意の数の異なる電圧レベル、および任意の数の異なるゲート厚さを用いても良い。明細書と図面は単に典型であると考えべきであり、従って本開示の範囲は、添付の請求項とその均等物のみによって限定されることが意図される。

20

【図面の簡単な説明】

【0037】

【図1】本開示の少なくとも本実施形態による複数電圧ドメインメモリを用いた典型的な、処理システムのブロック図。

30

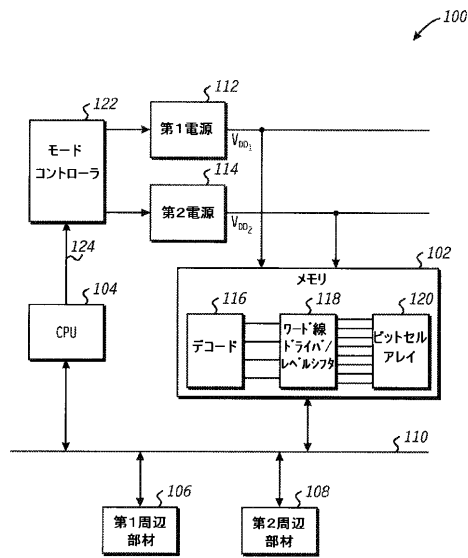
【図2】図1の複数の電圧ドメインメモリのブロック図。

【図3】図2の電圧レベルシフトを実現する、ワード線ドライバの回路図。

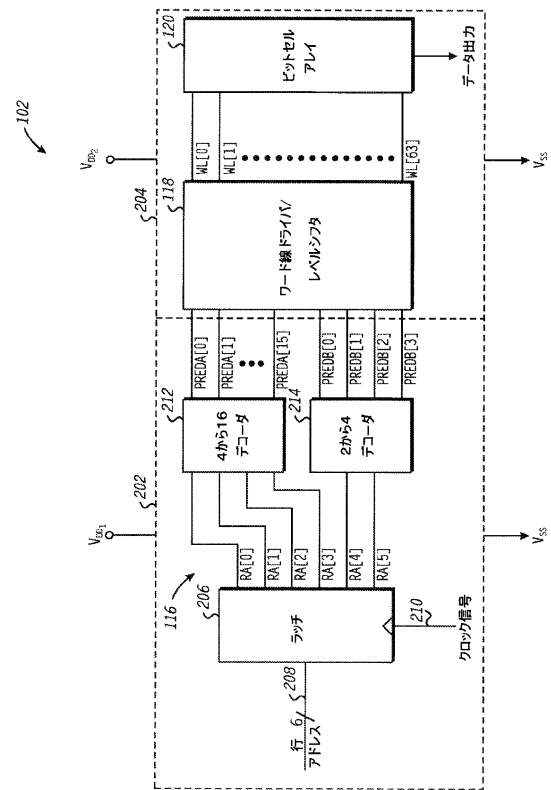
【図4】図3とは別の、ワード線ドライバの回路図。

【図5】図1とは別の、複数の電圧ドメインメモリのブロック図。

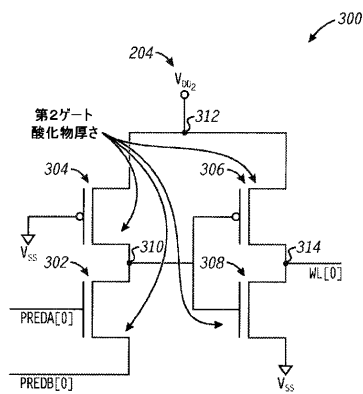
【図 1】



【図 2】



【図 3】



【図 4】

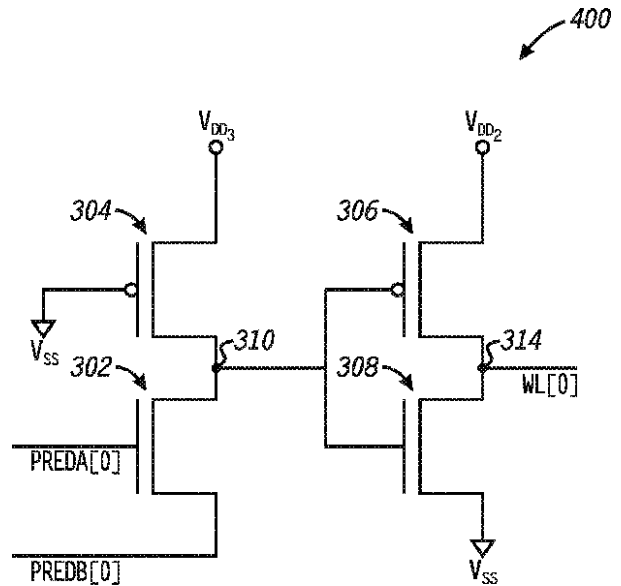
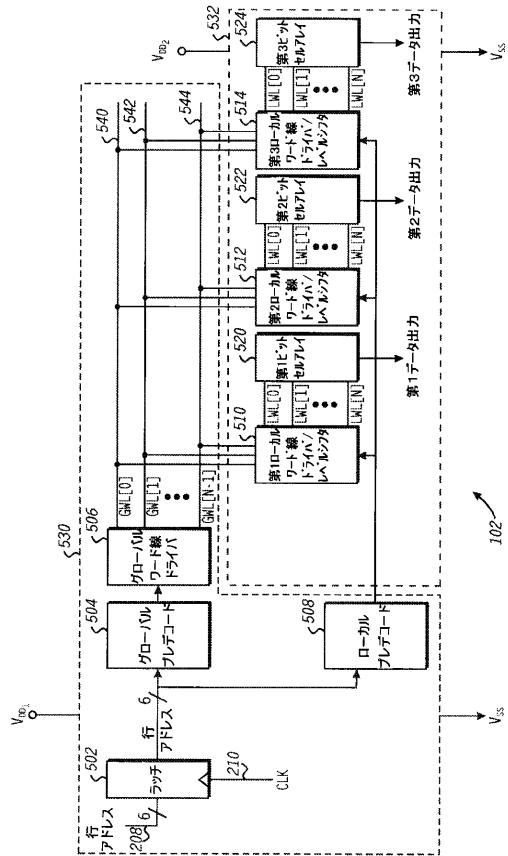


FIG. 4

【図5】



フロントページの続き

(72)発明者 チョウダリー - ネーグル、シャーナズ ピー .

アメリカ合衆国 78750 テキサス州 オースティン リリオブ コーブ 10013

(72)発明者 ペレー ザ サード、ペリー エイチ .

アメリカ合衆国 78726 テキサス州 オースティン インディゴ ブラッシュ ドライブ
9606

審査官 堀江 義隆

(56)参考文献 特開2002 - 150770 (JP, A)

特開平09 - 073783 (JP, A)

特開2001 - 110184 (JP, A)

特開2000 - 036193 (JP, A)

特開平04 - 089694 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/401 - 11/4197