

(19) 대한민국특허청(KR)
(12) 특허공보(B1)(51) Int. Cl.⁵
G06F 1/04(45) 공고일자 1994년03월05일
(11) 공고번호 특 1994-0001682

(21) 출원번호	특 1988-0000417	(65) 공개번호	특 1988-0011640
(22) 출원일자	1988년01월21일	(43) 공개일자	1988년10월29일
(30) 우선권 주장	07/008,212 1987년01월28일 미국(US)		
(71) 출원인	메가테스트 코오퍼레이션 리차드 디즐리		
	미합중국 (우편번호 95131) 캘리포니아 산요세 리더 파크 드라이브 1321		
(72) 발명자	폴 디. 매글리오코		
	미합중국 (우편번호 95035) 캘리포니아 밀피타스 정프라우 코오트 905		
	스티븐 알. 브리스투우		
	미합중국 (우편번호 95124) 산요세 레이 애비뉴 4298		
(74) 대리인	이영규		

심사관 : 홍순우 (책자공보 제3553호)

(54) 타이밍신호 발생기

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

타이밍신호 발생기

[도면의 간단한 설명]

제1도는 주기 발생기의 블록다이어그램.

제2도는 에지 발생기의 블록다이어그램.

제3도는 본 발명의 실시예에 의한 여러가지 타이밍 신호를 도시한 도면.

제4도는 본 발명의 다른 실시예에 의한 에지 발생기의 블록다이어그램.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|-------------|-------------|
| 1 : 발진기 | 2, 3 : 기억장치 |
| 4, 12 : 가산기 | 5, 8 : 계수기 |
| 6 : 레지스터 | 18 : 중앙처리장치 |

[발명의 상세한 설명]

본 발명은 타이밍신호 발생기에 관한 것으로, 특히 테스트 IC가 사용된 컴퓨터 시험 장치에 적합한 타이밍신호 발생기에 관한 것이다.

테스팅 IC는 이미 공지 기술이다. 최근의 컴퓨터 시험 장치에는 디지털 컴퓨터(프로세서)가 내장되어 있다. 이 디지털 컴퓨터(프로세서)는 피실험 장치(DUT)에 특정의 타이밍신호를 발생하고, 피실험 장치의 실제 작동환경을 시뮬레이션 하기 위한 전압 및 각종 조건을 제공하도록 되어 있다. 집적 회로가 점점 커짐에 따라 보다 고정밀, 고속, 영가의 타이밍시그널 발생기가 필요하게 되었다. 하지만 기존의 고정밀, 고속, 반복의 타이밍신호 발생기는 매우 고가일 뿐만 아니라 실제로 요구되어지는 정밀도를 제공하지도 못했다.

이러한 공지기술 가운데 하나는 세인트 클레어의 1982년 10월 28일 미국에서 특허된 특허번호 4,231,104이다. 이것은 수정발진기와 같은 발진자를 이용하여 클럭신호를 이용하여 클럭신호를 발생

토록한 것이다. 이 클럭신호는 주기발생 장치에 적용된다. 주기발생 장치는 수정발진기에서 발생한 신호의 주기를 요구되는 길이로 하기 위한 것이다. 상기 특허에서는 수정발진기에서 발생한 클럭신호의 총수를 계수하기 위한 계수기와 지연선로를 사용하고 있다. 지연선로는 상기 클럭신호의 총수와 주기가 일치하지 않도록 하기 위한 것이다. 더우기 상기한 공지기술의 방법은 두개의 출력신호를 제공하기 위한 주기가 요구되어진다. 여기서 두개의 출력신호는 Tsyn과 Tout으로서 이들은 각각 수정발진기의 지연된 클럭신호와 실제의 주기 신호이다.

상기 공지기술은 보관된 두개의 신호 즉 Tsyn과 Tout을 제공하기 위한 지연선로를 사용하여 수정발진기의 클럭신호 에지화 일치하지 않게 하는 것이다. 이러한 지연선로는 인쇄회로기판에 광범위하게 쓰이는 전형적인 것으로 인쇄회로기판 상의 많은 부분에 사용되므로 당연히 제작비가 고가가 될 수밖에 없다. 이러한 목적으로 사용되어지는 다른 형태의 지연선로는 권선형 자기유도 컨덴서 래더 또는 망이 있는데 이것도 역시 고가이다. 또한 형태와 무관하게 지연선로는 매우 정확한 교정이 필요하므로 별도의 교정 회로가 요구되어 가격 상승요인이 되며 유지보수가 용이하지 못하다.

더우기 한번 교정했을지라도 듀티사이클에 기인하는 오차가 발생하므로 추가교정이 불가피하다. 지연선로회로는 추가교정을 위한 회로의 유지보수에 쉽게 영향을 받고, 시간에 따라 부수적인 타이밍신호 감소에 기인하는 위상변화에 따른 오차가 발생하고 지연선로를 통과하는 타이밍신호와 장치 주변 신호 사이에 주화(cross talk)가 발생한다. 공지기술의 또 다른 문제점은 송신선로에서 야기되는 타이밍신호의 감쇄현상으로 말미암아 시스템내의 여러곳에 Tsyn신호를 "브로드캐스트"해 주어야만 한다는 것이다. 뿐만 아니라 송신선로들 사이에 여러가지 오차들이 발생한다.

공지기술에서는 주기발생기로부터 Tsyn과 Tout신호를 입력신호로 받는 파형발생기를 사용하고 있다. 이 파형발생기는 (상기 특허번호 제4,231,104 명세서의 도면 제2도) 두개의 에지발생기와 파형발생기(60)을 포함하고 있다. 각 에지발생기에는 파형발생기내의 계수기와 일치하는 주파수 에지의 위치를 한정하는 기억장치가 포함되어 있다.

또한 에지발생기에는 주기발생기로 제공된 지점들 사이의 보관지점에 에지를 설정하기 위해 추가의 지연선로를 공급하였다. 상술한 바와 같이 지연선로는 치명적인 결점이 있고 더우기 파형발생기내에 포함된 지연선로는 수정발진기의 주기를 두번 이상이나 지연하는 위상을 갖게하여 또다른 오차를 발생시킨다.

파형발생기의 또다른 단점은 파형발생기내 각 에지발생기가 주어진 단 하나의 에지만을 공급할 수 있다는 것이다. 더우기 여러개의 지연선로를 사용하므로 말미암아 회로내의 타이밍신호가 수정발진기와 동기되지 못하므로써 타이밍신호 발생기가 복잡하게 되고 유지보수를 난해하게 한다.

본 발명에 따른 타이밍신호 발생기는 고정된 주파수 클럭으로부터 가변주기와 에지에 따른 타이밍신호를 사용자가 프로그램 할 수 있도록 하고 고정된 참조주파수에 보다 더 높은 리졸루션을 제공한다. 본 발명의 타이밍신호 발생기는 제작비를 염가로 하는 동시에 반복교정을 극소화하고 정확도를 높인 타이밍신호 발생기이다.

이하 첨부된 도면을 참고로 하여 본 발명을 자세히 설명하면 다음과 같다.

제1도는 본 발명에 따른 주기발생기의 한 실시예를 도시한 블록 다이어그램이다. 제1도의 주기발생기는 실제주기를 공급하는 출력신호를 제공하지 않고 주기를 한정하는 숫자정보를 공급한다. 이 숫자정보를 공급하기 위한 것으로 제2도에 도시한 에지발생기에 필요한 것이다. 제1도를 참조하면, 발진자(1)은 수정발진기가 적당하다. 본 발명은 요구되어지는 어떤 주기라도 설정할 수 있도록 되어 있다. 한 예로, 발진기(1)은 공지기술에서와 같이 16나노초(nano second)의 주기를 안정되게 공급한다. 주기발생기(100)에는 중앙처리장치(CPU)(18)에 있어서 기억장치(2), (3)에 주기를 임의적으로 한정하는 정보를 제공한다. 기억장치(2), (3)에 올바른 정보를 적재하기 위해 중앙처리장치(CPU)(18)는 발진기(1)의 주기로 주어진 주기를 세분하고 C몫과 C나머지를 결정한다. 여기서 C몫은 임의의 주기에 적합한 발진기(1)에서 발생한 클럭신호 주기의 총수이고 C나머지는 발진기(1)의 클럭 사이클 사이에 요구되는 보관값이다. C몫은 기억장치(2)에 보관되고 기억장치(3)에는 C나머지가 보관된다. 이들 기억장치(2), (3)은 이미터결합논리램(RMA)이다. 기억장치(2)에 저장되는 것은 주기당 C몫 클럭수를 계수기(5)가 계수한 값이다.

계수기(5)에는 발진기에서 발생하는 발진신호를 받는 입력단자가 있고 기억장치(2)에 보관된 값을 받기위한 버스와 적재 입력단자가 설치되어 있다. 적재 입력단자는 주기동안 C몫 클럭신호를 계수할 때 발생하는 T적재 신호를 받는 동시에 기억장치(2)로 공급되는 데이터를 계수기(5)가 적재할 때 사용 되는 것이다.

또한 계수기(5)에는 2개의 출력신호를 공급하는데 터미널 계수 신호(TC)와 터미널 계수+1 신호(TC+1)가 그것이다. 터미널 계수 신호(TC)는 계수기(5)가 발진기로부터 C몫 클럭신호를 받을때 유효화되고 터미널 계수+1 신호(TC+1)는 계수기(5)가 직전 T적재 신호에 따라 발진기(1)로부터 C몫+1 클럭신호를 받을때 유효화 된다.

이하에서 기술하는 바와 같이 출력신호 TC와 TC+1에는 C나머지 신호의 기능으로서 선택되는 두개의 출력신호 가운데 하나를 제공할 필요가 있다.

가산기(4)는 주기와 주기 사이에 보관을 위한 C몫 값을 합산한다. 한 예로, 주기가 변하지 않는 경우 C나머지가 2나노초이면 제1주기동안 보관값을 2나노초이고 제2주기동안엔 4나노초가 되어야 한다. 아울러 제3주기엔 6나노초이며 이것은 제3도에서 보는 바와 같이 발진기(1)의 주기 16나노초 보다 크거나 같게 되는 것이다. 이때 T캐리 신호가 유효하게 되고 멀티플렉서(7)로 하여금 계수기(5)의 TC+1 출력신호를 T적재 신호로 선택하게 한다.

발진기(1)의 주기가 배로되거나 주기의 리졸루션이 반으로 되면 1비트만큼 증가한다. 가산기(4)는 레지스터(6)에 합산출력신호와 캐리를 공급한다. 레지스터(6)에는 상기 주기동안 요구되는 보관값을 의미하는 가산기(4)의 합산값이 보관된다. 이 보관값은 데이터워드 T-오프셋로서 버스 6-1상으로

공급된다.

T캐리 신호도 레지스터(6)에 보관되고 출력단자 6-2상에 멀티플렉서(7)의 선택입력단자를 제공함으로써 멀티플렉서(7)로 하여금 계수기(5)로부터 (TC) 또는 TC+1를 선택도록 한다. T오프셋 데이터는 가산기(4)의 한 입력단자에 입력되고 가산기(4)는 다음 주기동안 새로운 캐리와 합산값을 제공하기 위해 C나머지 값을 T오프셋 값에 가산한다.

그리하여 주기발생기(100)은 해당 주기의 시점을 정확하게 계산할 필요는 없지만 각 주기동안 에지발생기의 계수기를 0으로 하는 신호와 T적재, 발진기(1)의 클럭신호 및 출력신호 T_{osc}를 공급한다. 이에 관한 사항은 이하에서 보다 상세히 기술하겠다. T적재 신호와 새로운 주기가 시작되는 시점과의 관계는 T오프셋 데이터에 의해 한정된다. 본 발명에 따르면 고정주파수 클럭신호와 숫자 데이터워드는 주기 및 길이 타이밍 참조 정보를 다수의 저점에 "브로드캐스트" 하는데 사용된다. 반면에 주기의 길이가 변화함에 따라 클럭신호의 감쇄현상은 고정주파수 클럭신호에 대한 송신선로 오차가 쉽게 보상되기 때문에 용이하게 피할 수 있다. 이것은 공지된 기술과 같다.

본 발명의 한 실시예에서 C_{count} 신호는 중앙처리장치(CPU)에 의해 결정되는 실제 값이다. 이때 계수기(5)는 발진기(5)로부터의 출력신호에 대한 C_{count}를 1에서부터 계수하기 시작한다. 계수기(5)의 값이 C_{count}의 값과 같을 때 TC신호가 유효하게 되고 TC+1 신호는 계수기(5)가 C_{count}+1 값과 같아질 때 유효하다.

본 발명의 또다른 실시예에서 기억장치(2)에는 C_{count}-1 값이 저장되고 계수기는 각 적재신호에 따라 C_{count}-1로부터 0까지 감소한다. 이때 출력신호 TC는 계수기(5) 값의 각 자리가 0 대신 모두 1이 될 때 유효하다. 계수기(5) 값이 모두 0(TC 신호 유효상태)이거나 모두 1(TC+1 신호 유효상태)를 판단하는 것 즉 0과 1 두개의 2진수를 판단하는 것은 매우 용이하므로 상기 본 발명의 방법은 매우 양호한 것이라 하겠다.

제2도는 본 발명에 따른 에지발생기의 한 실시예를 도시한 것이다. 이하에 기술하는 바와 같이 에지발생기(2)는 단일 하드웨어 회로와 단일 지연선로를 사용하여 단일 주기 동안 다수의 에지를 공급할 수 있다.

피실험 장치를 테스트하기에 앞서 T오프셋 값이 0이라고 가정한 값을 중앙처리장치(18)로써 기억장치(10)에 적재한다. 에지발생기(200)는 T(오프셋)가 0이 아닐 때 에지설정을 조정하는 역할을 한다. 기억장치(10)에는 단일 주기내에 다수의 에지를 한정할 수 있는 일련의 데이터가 적재될 수도 있다. 계수기(8)은 기억장치(10)으로부터 요구되어지는 데이터워드를 선택하기 위해 기억장치(10)을 호출하는 기능이 있다. 계수기(8)은 기본주소 즉, 일련의 주소들 가운데 처음 데이터를 중앙처리장치(18)로부터 받는다. 공지기술에서는 계수기(8)이 고속패턴발생기로부터 이러한 정보를 받는다. 또한 계수기(8)은 유효 LOAD신호 또는 유효 INC신호에 의해 출력상태를 변화시킬 수 있도록 T_{osc}신호를 받을 수도 있다. LOAD신호가 유효하면 중앙처리장치로부터 새로운 주기를 의미하는 새로운 데이터가 계수기(8)에 적재되어 기억장치(10)의 새로운 페이지를 검색할 수 있게 된다. 이와 마찬가지로 INC신호가 유효하게 되면 계수기(8)이 증가하여 기억장치(10)내의 선택된 페이지에서 새로운 데이터워드를 액세스하고 기억장치(10)은 새로운 주기가 발생하는데 필요한 새로운 에지를 한정하는 데이터 출력워드를 공급하게 된다.

이 데이터 출력워드는 T적재 신호로부터 T_{osc} 사이클의 총수에서 발생하는 에지와 일정한 두개의 T_{osc}신호사이에 에지를 발생시키는 보간값을 나타낸다. 더우기 T적재 신호는 T오프셋 신호로 시작되는 주기로부터의 오프셋이므로 제1도의 주기발생기(100)으로부터 나오는 T오프셋 값과 기억장치(10)에서 나오는 E시간 데이터신호는 가산기(12)에 의해 가산된다. 그리하여 T적재 신호로써 T_{osc}신호에 대해 설정된 에지를 정확하게 한정도록 하는 출력신호 E_{count}과 E나머지 신호를 공급하는 것이다. 이에따라 레지스터(11)에는 T_{osc}신호가 발생할 때 T적재 신호에 대한 T오프셋 신호를 저장한다. 이것은 T오프셋 값을 가산기(12)로부터 나오는 신호 가운데 가장 중요한 비트는 E_{count} 값을 공급하고 나머지 비트는 E나머지 값을 공급한다. 한 예로 수정발진기(1)이 16나노초의 주기를 갖으면 요구되어지는 에지설정 리졸루션은 1나노초이고, E_{count} 값은 가장 긴 주기로 결정되고 E나머지의 길이는 4비트이다. 그러므로 E_{count} 값은 에지 발생보다 먼저 계수되어야 하는 T_{osc}신호수에 의해 한정된다. E나머지 값은 에지발생보다 먼저 지연선로(14)에 의해 공급되는 지연시간량에 의해 한정된다. 계수기(9)는 T적재 신호에 의한 데이터 클리어에 따른 T_{osc}신호를 계수한다.

또한 계수기(9)는 일치검출기(13)는 T_{count}가 E_{count}과 같아질 때 지연선로(14)에 출력신호를 공급한다. 이 출력신호의 지연량은 E나머지 값에 의해 결정된다. 아울러 이 지연량은 요구되어지는 파형을 산출하기 위한 파형성형기(도시하지 않음)에 필요한 T출력신호를 공급한다. 파형성형기는 이미 공지된 기술이며 본 명세서에서는 기술하지 않는다. 일치검출기(13)의 출력신호는 단다(15)를 경유하여 계수기(8)의 INC 입력단자에 입력되어 계수기(8)을 증가시키고 상술한 바와 같이 기억장치(10)의 선택된 페이지에서 다음 데이터 워드를 호출한다.

제3도는 제1도 및 제2도에 도시한 실시예에 따른 여러가지 타이밍신호를 도시한 것이다. T_{osc}가 16나노초이고 주기가 52나노초일 때 T출력신호는 주기의 첫시점으로부터 각각 0나노초와 24나노초일 때 발생한다. 제3도에서는 출력신호는 도시하지 않았다.

제4도는 본 발명에 따른 에지발생기(400)의 제2실시예를 도시한 것이다. 본 실시예는 가산기의 폭을 최소로 한 것이다. 그리하여 회로를 단순화하고 처리속도를 높이는 효과가 있다. 본 실시예에서는 E시간 MSB와 E시간 LSB를 공급하기 위해서 기억장치(10)의 출력비트들을 분리하였다. E시간 LSB는 중앙처리장치(18)에 적재될 때 기억장치(10)에 보관된 보간값이다. 중앙처리장치(18)는 T오프셋을 0으로 가정하고 E시간 LSB와 E시간 MSB를 계산한다.

에지발생기(400)는 T오프셋이 0이 아닐 때 에지설정 지점을 조정한다. 가산기(12a)는 E나머지 출력신호와 캐리신호를 제공하는 E시간 LSB와 T오프셋을 가산한다. 계수기(9)에 의해 계수된 T_{osc} 클럭신호의 수가 E시간 MSB와 같을 때 동작하는 일치검출기(13a)에는 E시간 MSB가 입력된다. 이때

일시검출기(13a)는 에지가 발생하는 것을 지시하는 출력신호를 공급한다. 가산기(12a)의 캐리신호는 일시검출기(13a)의 신호가 단일 T_{osc}신호를 지연시켜야 하는 시점을 가르킨다. 필요시 공지가술에서는 디지털 지연회로에 의한 단일 계수지연선로를 공급한다. 한 실시예에서는 1비트시프트레지스터의 입·출력신호중에 하나를 선택하는 멀티플렉서와 1비트시프트레지스터를 포함한다. 그리하여 디지털 지연회로(98)은 단일 T_{osc} 계수신호에 따라 일시검출기(13a)로부터 출력신호를 지연시키고 지연선로(14)에 T나머지 신호를 공급한다.

본 명세서에 기술한 선택된 실시예는 본 발명을 설명하기 위한 것일 뿐 본 발명의 취지와 한계를 제한하는 것이 아니다. 상술한 실시예 외에도 다수의 실시예가 가능하다.

(57) 청구의 범위

청구항 1

타이밍신호 발생기에 있어서, 고정된 주파수클럭신호를 수신하는 수단을 포함하고, 이것은 발생된 출력주기내에 상기 한 클럭신호의 수를 한정하는 값을 저장하는 제1기억장치와 출력주기내에 상기한 클럭신호의 수를 가산하는데 필요한 클럭신호주기의 일부를 한정하는 값을 저장하는 제2기억장치를 포함하고 상기한 클럭신호를 수신하기 위한 제1입력단말기와 계수기로 하여금 새로운 주기의 클럭신호를 계수토록 하는 LOAD신호를 수신하기 위한 제2입력단말기를 포함하고, 상기 계수기가 새로운 주기의 클럭신호를 계수할 때 제1출력신호를 공급하는 제1출력단자와 제1출력신호 다음의 제2출력신호를 계수할 때 제2출력신호를 공급하는 제2출력단자를 포함하고, LOAD신호에 따라 상기한 계수기의 제1 또는 제2출력신호를 선택하기 위한 수단을 포함하고, 상기한 가산기의 제1출력신호가 클럭신호의 주기와 같거나 크고, 가산기의 합이 제2기억장치에 적재되고, 제2기억장치에 적재된 값과 제1출력신호 값을 가산하고, 요구되어지는 신호의 주기에서 일부를 한정하는 제1출력신호를 공급하는 가산기를 포함하고, LOAD신호에 따라 상기한 계수기의 제2출력신호를 선택하기 위한 수단의 클럭신호보다 크거나 같은 경우 및 상기한 가산기의 제1출력신호가 LOAD신호에 따라 상기한 계수기의 제1출력신호를 선택하기 위한 수단의 클럭신호보다 작을 경우를 상기한 가산기의 제2출력신호가 가르킬 때 상기한 선택수단에 가산기의 제2출력신호를 입력하기 위한 수단을 포함하고, 상기한 LOAD신호는 상기한 가장 인접한 클럭신호에 동기되는 새로운 주기의 시작점을 한정하고 상기한 가산기의 제1출력신호가 LOAD신호와 발생된 주기의 실제 시작점 사이의 관계를 한정하는 것을 특징으로 하는 타이밍신호 발생기.

청구항 2

제1항에 있어서, 중앙처리장치가 제1 및 제2기억장치에 값을 적재하는 것을 특징으로 하는 타이밍신호 발생기.

청구항 3

제1항에 있어서, 상기한 제1 및 제2기억장치에 각각 다수의 값이 포함하고 이 값들은 서로 다른 주기를 한정하는 것을 특징으로 하는 타이밍신호 발생기.

청구항 4

제1항에 있어서, 상기한 제1 및 제2기억장치의 주소가 계수기에 의해 제어되는 것을 특징으로 하는 타이밍신호 발생기.

청구항 5

제3항에 있어서, 상기한 제1, 제2기억장치를 중앙처리장치로 제어하는 것을 특징으로 하는 타이밍신호 발생기.

청구항 6

제3항에 있어서, 상기한 제1, 제2기억장치를 고속패턴발생기로 제어하는 것을 특징으로 하는 타이밍신호 발생기.

청구항 7

제1항에 있어서, 상기한 가산기의 제1출력신호가 합산값이고, 제2출력신호는 캐리인 것을 특징으로 하는 타이밍신호 발생기.

청구항 8

제1항에 있어서, 신호 입력수단이 레지스터인 것을 특징으로 하는 타이밍신호 발생기.

청구항 9

제8항에 있어서, 상기한 레지스터가 LOAD신호에 의해 적재되는 것을 특징으로 하는 타이밍신호 발생기.

청구항 10

제8항에 있어서, LOAD신호가 클럭신호와 동기되는 것을 특징으로 하는 타이밍신호 발생기.

청구항 11

제1항에 있어서, 상기한 가산동작이 상기한 클럭신호와 동기되는 것을 특징으로 하는 타이밍신호 발

생기.

청구항 12

제1항에 있어서, 고정된 주파수클럭신호를 수신하는 수단을 포함하고, LOAD신호를 수신하기 위한 제1입력단자를 포함하고, LOAD신호는 새로운 주기의 시작점을 한정하고, 직전 클럭신호와 동기되며, LOAD신호와 주기의 실제 시작점 사이의 관계를 한정하는 오프셋 값을 수신하기 위한 제2입력단자를 포함하며, 상기한 주기의 시작점에서 에지가 발생하도록 하는 신호를 저장할 기억장치를 포함하고, 상기한 LOAD신호의 수신에 따라 클럭신호를 계수하고, 현재 주기의 시작점이 LOAD신호에 의해 한정되므로써 수신된 클럭신호들을 가르키는 출력신호를 공급하는 계수기를 포함하고, 상기한 기억장치에 저장된 값과 오프셋 값을 가산하고, 에지가 발생한 후 상기한 클럭신호의 총수를 한정하는 뿔 출력값을 제공하고 에지가 발생한 후 상기 뿔 출력값 이후에 클럭신호의 일부를 한정하는 나머지 값을 제공하는 가산기를 포함하고 상기한 계수기의 출력신호가 상기한 뿔 출력값과 같아질 때 출력신호를 발생하는 일치검출기를 포함하고, 상기한 일치검출기의 출력신호를 수신하기 위한 입력단자와 일치검출기의 지연된 출력신호를 제공하기 위한 출력단자를 갖는 프로그램 가능한 지연수단을 포함하고 상기한 나머지 출력값(신호)에 따라 프로그램되어지는 것을 특징으로 하는 타이밍신호 발생기.

청구항 13

제12항에 있어서, 중앙처리장치가 제1 및 제2기억장치에 값을 적재하는 것을 특징으로 하는 타이밍신호 발생기.

청구항 14

제12항에 있어서, 상기한 기억장치에는 다수의 데이터가 저장되고 각 데이터 단일주기내에서 서로 다른 에지를 발생토록하는 것을 특징으로 하는 타이밍신호 발생기.

청구항 15

제12항에 있어서, 상기한 기억장치의 주소가 계수기에 의해 제어되는 것을 특징으로 하는 타이밍신호 발생기.

청구항 16

제14항에 있어서, 상기한 기억장치를 중앙처리장치로 제어하는 것을 특징으로 하는 타이밍신호 발생기.

청구항 17

제14항에 있어서, 상기한 기억장치를 고속패턴발생기로 제어하는 것을 특징으로 하는 타이밍신호 발생기.

청구항 18

제12항에 있어서, LOAD신호가 클럭신호와 동기되는 것을 특징으로 하는 타이밍신호 발생기.

청구항 19

제12항에 있어서, 프로그램 가능한 지연수단의 한 기능으로서 클럭신호와 동기되는 것을 특징으로 하는 타이밍신호 발생기.

청구항 20

제12항에 있어서, 프로그램 가능한 지연수단으로 제공되는 총 지연시간이 상기한 고정주파수클럭신호의 주기보다 작거나 같은 것을 특징으로 하는 타이밍신호 발생기.

청구항 21

타이밍신호 발생기에 있어서, 고정된 주파수클럭신호를 수신하는 수단을 포함하고, LOAD신호를 수신하기 위한 제1입력단자를 포함하고, LOAD신호는 새로운 주기의 시작점을 한정하고, 직전 클럭신호와 동기되며, LOAD신호와 주기의 실제 시작점 사이의 관계를 한정하는 오프셋 값을 수신하기 위한 제2입력단자를 포함하며, 상기한 주기의 시작점에서 에지가 발생할 때 주기가 시작된 후 클럭신호를 한정하는 제1값을 저장할 제1기억장치를 포함하고, 에지를 공급하는데 필요한 클럭신호주기의 일부를 한정하는 제2값을 저장하는 제2기억장치를 포함하고 상기한 LOAD신호의 수신에 따라 클럭신호를 계수하고, 현재 주기의 시작점이 LOAD신호에 의해 한정되므로써 수신된 클럭신호들을 가르키는 출력신호를 공급하는 계수기를 포함하고 상기한 기억장치에 저장된 값과 오프셋 값을 가산하고, 에지가 발생한 상기한 클럭신호의 총수를 한정하는 제1출력값을 제공하고 에지가 발생한 후 상기 제1출력값 이후에 클럭신호의 일부를 한정하는 제2값을 제공하는 가산기를 포함하고 상기한 계수기의 출력신호가 상기한 제1출력값과 같아질 때 출력신호를 발생하는 일치검출기를 포함하고, 상기한 일치검출기의 출력신호를 수신하기 위한 입력단자와 일치검출기의 지연된 출력신호를 제공하기 위한 출력단자를 갖는 프로그램 가능한 지연수단을 포함하고 상기한 제2출력값(신호)에 따라 프로그램되어지는 것을 특징으로 하는 타이밍신호 발생기.

청구항 22

제21항에 있어서, 상기한 클럭신호의 주기와 같은 지연을 제공하는 제1지연수단과 상기한 가산기의 제2출력값에 의해 프로그램 가능한 제2지연수단을 포함하는 것을 특징으로 하는 타이밍신호 발생기.

청구항 23

제22항에 있어서, 상기한 제1지연수단이 디지털 지연수단인 것을 특징으로 하는 타이밍신호 발생기.

청구항 24

제21항에 있어서, 중앙처리장치가 제1 및 제2기억장치에 값을 적재하는 것을 특징으로 하는 타이밍신호 발생기.

청구항 25

제21항에 있어서, 제1 및 제2기억장치에는 각각 다수의 값들이 저장되고 각 값들은 단일 주기동안 발생하는 서로 다른 에지를 한정하는 것을 특징으로 하는 타이밍신호 발생기.

청구항 26

제21항에 있어서, 상기한 기억장치의 주소가 계수기에 의해 제어되는 것을 특징으로 하는 타이밍신호 발생기.

청구항 27

제25항에 있어서, 상기한 기억장치를 중앙처리장치로 제어하는 것을 특징으로 하는 타이밍신호 발생기.

청구항 28

제26항에 있어서, 상기한 기억장치를 고속패턴발생기로 제어하는 것을 특징으로 하는 타이밍신호 발생기.

청구항 29

제21항에 있어서, 상기한 가산기의 제1출력신호가 합산값이고, 제2출력신호는 캐리인 것을 특징으로 하는 타이밍신호 발생기.

청구항 30

제21항에 있어서, LOAD신호가 상기한 클럭신호와 동기되는 것을 특징으로 하는 타이밍신호 발생기.

청구항 31

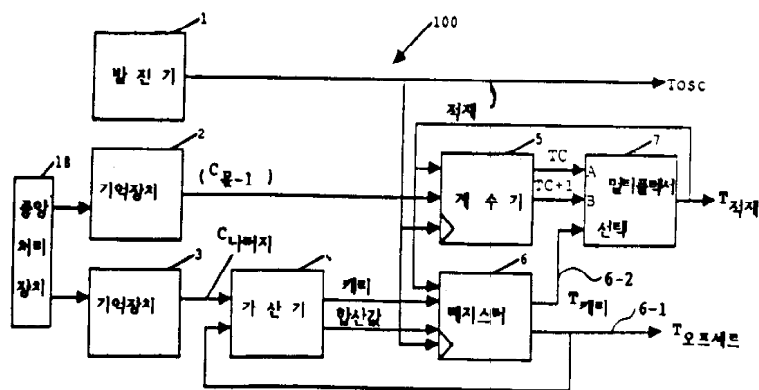
제21항에 있어서, 상기한 가산동작이 상기한 클럭신호와 동기되는 것을 특징으로 하는 타이밍신호 발생기.

청구항 32

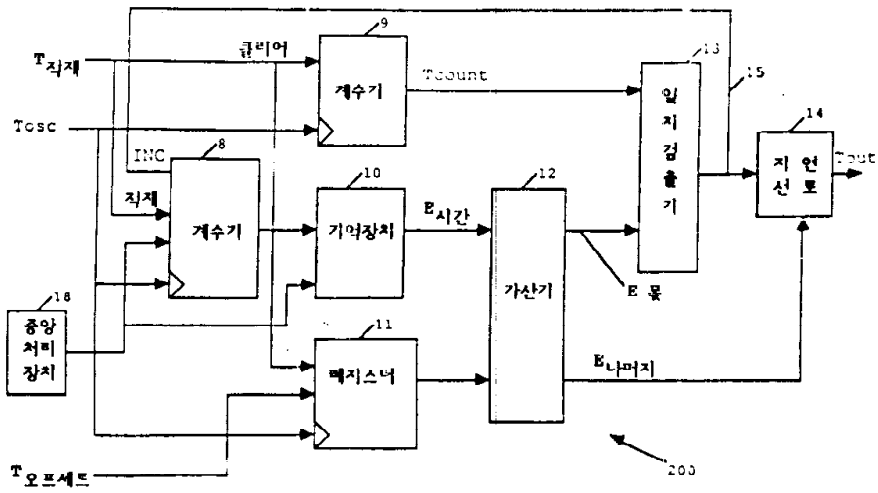
제21항에 있어서, 프로그램 가능한 지연수단으로 제공되는 총 지연시간이 상기한 고정주파수클럭신호의 주기보다 작거나 같은 것을 특징으로 하는 타이밍신호 발생기.

도면

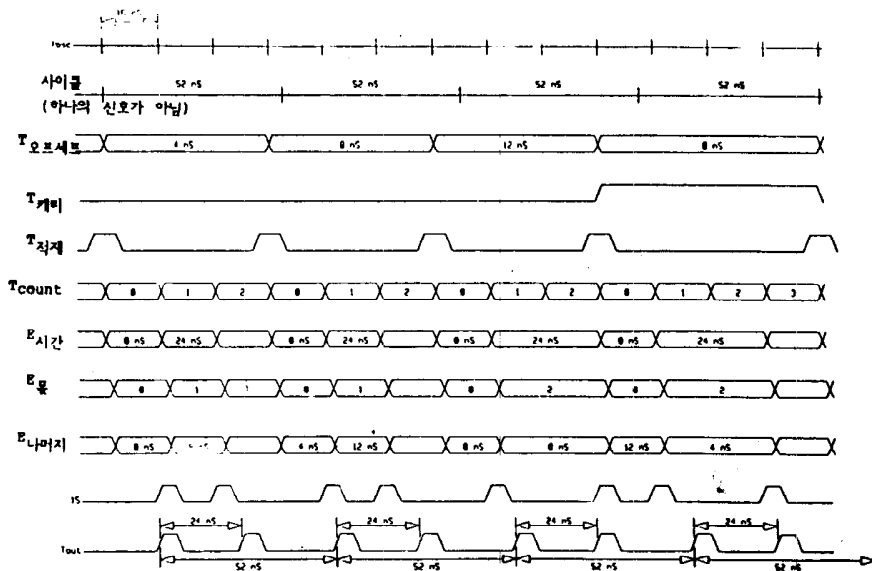
도면1



도면2



도면3



도면4

