

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-120931

(P2017-120931A)

(43) 公開日 平成29年7月6日(2017.7.6)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 G 4/232 (2006.01)	H O 1 G 4/12 3 5 2	5 E 0 0 1
H O 1 G 4/12 (2006.01)	H O 1 G 4/12 3 6 4	5 E 0 8 2
H O 1 G 4/30 (2006.01)	H O 1 G 4/30 3 0 1 C	
	H O 1 G 4/30 3 0 1 D	
	H O 1 G 4/30 3 0 1 B	
審査請求 有 請求項の数 22 O L (全 17 頁) 最終頁に続く		

(21) 出願番号	特願2017-73574 (P2017-73574)	(71) 出願人	594023722
(22) 出願日	平成29年4月3日 (2017.4.3)		
(62) 分割の表示	特願2012-175735 (P2012-175735) の分割	(74) 代理人	100088605
原出願日	平成24年8月8日 (2012.8.8)		
(31) 優先権主張番号	10-2011-0118191		
(32) 優先日	平成23年11月14日 (2011.11.14)	(72) 発明者	チョン・ヘ・スク
(33) 優先権主張国	韓国 (KR)		大韓民国、キョンギード、スウォン、ヨントン、マエタン3ードン 314、サムソン エレクトロメカニクス カンパニーリミテッド
		最終頁に続く	

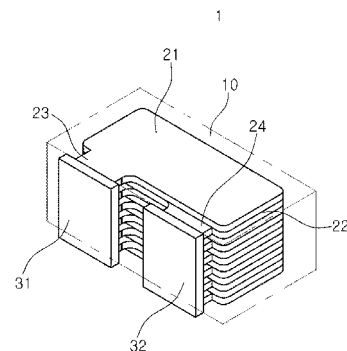
(54) 【発明の名称】 積層セラミック電子部品及びその製造方法

(57) 【要約】

【課題】 デラミネーション及びBDVの低下を防止しながらも低いESL特性を有する積層セラミック電子部品及びその製造方法を提供する。

【解決手段】 複数の誘電体層が積層されたセラミック素体10と、セラミック素体10内で複数の誘電体層の少なくとも一面に形成される本体部21、22、及び本体部の一面でセラミック素体の一面から露出するように延設された第1及び第2リード部23、24をそれぞれ含む第1及び第2内部電極とを含む。本体部21、22と第1及び第2リード部23、24の内側連結部が曲面に形成され、連結部の曲率半径は30～100μmである。本体部21、22と第1及び第2リード部23、24の外側連結部は直角に形成され、第1及び第2内部電極の本体部21、22は、それぞれの先端側コーナー部が曲面に形成される

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数の誘電体層が積層されたセラミック素体と、

前記セラミック素体内で前記複数の誘電体層の少なくとも一面に形成される本体部、及び前記本体部の一面で前記セラミック素体の一面から露出するように延設された第 1 及び第 2 リード部をそれぞれ含む第 1 及び第 2 内部電極とを含み、

前記本体部と前記第 1 及び第 2 リード部の内側連結部が曲面に形成され、前記連結部の曲率半径が $30 \sim 100 \mu\text{m}$ であり、前記本体部と前記第 1 及び第 2 リード部の外側連結部は直角に形成され、

前記第 1 及び第 2 内部電極の本体部は、それぞれの先端側コーナー部が曲面に形成される、積層セラミック電子部品。

10

【請求項 2】

前記第 1 リード部と前記第 2 リード部との間隔が少なくとも $200 \mu\text{m}$ 以上であることを特徴とする請求項 1 に記載の積層セラミック電子部品。

【請求項 3】

前記セラミック素体の一面に形成され、前記第 1 及び第 2 リード部の露出部により前記第 1 及び第 2 内部電極とそれぞれ電氣的に接続される第 1 及び第 2 外部電極をさらに含むことを特徴とする請求項 1 に記載の積層セラミック電子部品。

【請求項 4】

前記本体部の厚さが $0.2 \sim 1.0 \mu\text{m}$ であることを特徴とする請求項 1 に記載の積層セラミック電子部品。

20

【請求項 5】

前記第 1 及び第 2 リード部の厚さが $0.2 \sim 1.0 \mu\text{m}$ であることを特徴とする請求項 1 に記載の積層セラミック電子部品。

【請求項 6】

前記第 1 及び第 2 リード部が前記本体部の長側面の方向に沿って交互に配置されることを特徴とする請求項 1 に記載の積層セラミック電子部品。

【請求項 7】

前記第 1 及び第 2 リード部の幅が同じであることを特徴とする請求項 1 に記載の積層セラミック電子部品。

30

【請求項 8】

前記第 1 及び第 2 リード部の幅が異なることを特徴とする請求項 1 に記載の積層セラミック電子部品。

【請求項 9】

前記第 1 及び第 2 リード部が前記第 1 及び第 2 外部電極の中央部に位置することを特徴とする請求項 1 に記載の積層セラミック電子部品。

【請求項 10】

前記第 1 及び第 2 内部電極は、前記第 1 及び第 2 外部電極が形成された方向に対して垂直方向に沿って積層されていることを特徴とする請求項 1 に記載の積層セラミック電子部品。

40

【請求項 11】

前記第 1 及び第 2 外部電極が前記セラミック素体の先端から離隔して形成されていることを特徴とする請求項 1 に記載の積層セラミック電子部品。

【請求項 12】

マージン部が形成されるように、第 1 及び第 2 セラミックシートの少なくとも一面に第 1 及び第 2 内部電極膜を形成する段階と、

前記第 1 及び第 2 セラミックシートの一面と前記第 1 及び第 2 内部電極膜とが互いに接続されるように、前記第 1 及び第 2 セラミックシートの一側マージン部に第 1 及び第 2 リード膜を形成する段階と、

前記第 1 及び第 2 内部電極膜と前記第 1 及び第 2 リード膜がそれぞれ形成された前記第

50

1 及び第 2 セラミックシートを交互に複数積層して積層体を形成する段階と、
前記積層体を焼成する段階とを含み、

前記第 1 及び第 2 内部電極膜と前記第 1 及び第 2 リード膜の内側連結部を曲面に形成し、前記連結部の曲率半径が $30 \sim 100 \mu\text{m}$ になるようにし、前記本体部と前記第 1 及び第 2 リード部の外側連結部を直角に形成し、前記第 1 及び第 2 内部電極膜は、それぞれの先端側コーナー部を曲面に形成する、積層セラミック電子部品の製造方法。

【請求項 13】

前記第 1 リード膜と前記第 2 リード膜との間隔が少なくとも $200 \mu\text{m}$ 以上になるようにすることを特徴とする請求項 12 に記載の積層セラミック電子部品の製造方法。

【請求項 14】

前記積層体の前記第 1 及び第 2 リード膜が露出した面を覆うように、第 1 及び第 2 外部電極を形成する段階をさらに含むことを特徴とする請求項 12 に記載の積層セラミック電子部品の製造方法。

【請求項 15】

前記第 1 及び第 2 内部電極膜は、その厚さが $0.2 \sim 1.0 \mu\text{m}$ になるように形成することを特徴とする請求項 12 に記載の積層セラミック電子部品の製造方法。

【請求項 16】

前記第 1 及び第 2 リード膜は、その厚さが $0.2 \sim 1.0 \mu\text{m}$ になるように形成することを特徴とする請求項 12 に記載の積層セラミック電子部品の製造方法。

【請求項 17】

前記第 1 及び第 2 リード膜は、前記第 1 及び第 2 セラミックシート上に前記第 1 及び第 2 内部電極膜の長側面の方向に沿って交互に形成することを特徴とする請求項 12 に記載の積層セラミック電子部品の製造方法。

【請求項 18】

前記第 1 及び第 2 リード膜は、その幅が同じ幅になるように形成することを特徴とする請求項 12 に記載の積層セラミック電子部品の製造方法。

【請求項 19】

前記第 1 及び第 2 リード膜は、その幅が異なる幅になるように形成することを特徴とする請求項 12 に記載の積層セラミック電子部品の製造方法。

【請求項 20】

前記第 1 及び第 2 リード膜は、前記第 1 及び第 2 外部電極の中央部に位置させることを特徴とする請求項 12 に記載の積層セラミック電子部品の製造方法。

【請求項 21】

前記積層体は、前記第 1 及び第 2 内部電極膜が前記第 1 及び第 2 外部電極の形成された方向に対して垂直方向になるように、前記第 1 及び第 2 セラミックシートを積層することを特徴とする請求項 12 に記載の積層セラミック電子部品の製造方法。

【請求項 22】

前記第 1 及び第 2 外部電極は、前記積層体の先端から離隔して形成することを特徴とする請求項 12 に記載の積層セラミック電子部品の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、積層セラミック電子部品及びその製造方法に関する。

【背景技術】

【0002】

セラミック材料を用いる電子部品としては、キャパシタ、インダクタ、圧電素子、バリスタ、又はサーミスタなどがある。

【0003】

このようなセラミック電子部品の 1 つである積層セラミックキャパシタ (MLCC: Multi-Layered Ceramic Capacitor) は、小型ながらも高

10

20

30

40

50

容量が保証され、実装が容易であるという利点を有する。

【0004】

このような積層セラミックキャパシタは、コンピュータ、個人用の携帯情報端末（PDA：Personal Digital Assistants）、又は携帯電話などの様々な電子製品の回路基板に取り付けられて充放電を行う重要な役割を果たすチップ型コンデンサであって、使用される用途及び容量によって様々なサイズと積層形態を有する。

【0005】

特に、近年、電子製品が小型化するにつれて、電子製品に使用される積層セラミックキャパシタにも超小型化及び超高容量化が求められている。

【0006】

よって、製品の超小型化のために誘電体層及び内部電極の厚さを薄くし、超高容量化のために多数の誘電体層を積層した積層セラミックキャパシタが製造されている。

【0007】

このように積層セラミックキャパシタの超小型化及び超高容量化を実現するためには、破壊電圧（BDV：Break Down Voltage）の低下を防止し、低い等価直列インダクタンス（ESL）特性を有するようにすることが重要である。

【0008】

積層セラミックキャパシタにおいては、めっき液が誘電体層を介して内部電極に浸透することを防止するために、誘電体層にその周りに沿って所定のマージン部を設け、そのマージン部の一部のみを内部電極と外部電極とが電氣的に接続されるようにする連結部として形成する。

【0009】

ここで、連結部をどのように設計するかによって積層セラミックキャパシタの特性及び信頼性に影響を与えるので、これに関する研究が継続されている。

【0010】

また、連結部が形成された部分は、マージン部のみを有する誘電体層とは異なる厚さを有するだけでなく、誘電体層の先端側にさらに近い位置にあるため、その段差により、製造過程で積層された誘電体層間に剥離が生じるデラミネーション（層間剥離）が発生し得る。

【発明の概要】

【発明が解決しようとする課題】

【0011】

当該技術分野においては、積層セラミック電子部品におけるデラミネーション及びBDVの低下を防止しながらも低いESL特性を有するようにする新たな方法が求められてきた。

【課題を解決するための手段】

【0012】

本発明の一態様は、複数の誘電体層が積層されたセラミック素体と、前記セラミック素体内で前記複数の誘電体層の少なくとも一面に形成される本体部、及び前記本体部の一面で前記セラミック素体の一面から露出するように延設された第1及び第2リード部をそれぞれ含む第1及び第2内部電極とを含み、前記本体部と前記第1及び第2リード部の内側連結部が曲面に形成され、前記連結部の曲率半径が30～100μmであり、前記本体部と前記第1及び第2リード部の外側連結部は直角に形成され、前記第1及び第2内部電極の本体部は、それぞれの先端側コーナー部が曲面に形成される、積層セラミック電子部品を提供する。

【0013】

本発明の一態様において、前記第1及び第2内部電極の本体部は、それぞれの先端側コーナー部が曲面に形成されてもよい。本発明の一態様においては、前記第1リード部と前記第2リード部との間隔が少なくとも200μm以上でもよい。

【0014】

10

20

30

40

50

本発明の一態様においては、前記セラミック素体の一面に形成され、前記第 1 及び第 2 リード部の露出部により前記第 1 及び第 2 内部電極とそれぞれ電氣的に接続される第 1 及び第 2 外部電極をさらに含んでもよい。

【0015】

本発明の一態様においては、前記本体部の厚さが $0.2 \sim 1.0 \mu\text{m}$ でもよい。

【0016】

本発明の一態様においては、前記第 1 及び第 2 リード部の厚さが $0.2 \sim 1.0 \mu\text{m}$ でもよい。

【0017】

本発明の一態様においては、前記第 1 及び第 2 リード部が前記本体部の長側面の方向に沿って交互に配置されてもよい。 10

【0018】

本発明の一態様においては、前記第 1 及び第 2 リード部の幅が同じでもよい。

【0019】

本発明の一態様においては、前記第 1 及び第 2 リード部の幅が異なってもよい。

【0020】

本発明の一態様においては、前記第 1 及び第 2 リード部が前記第 1 及び第 2 外部電極の中央部に位置してもよい。

【0021】

本発明の一態様において、前記第 1 及び第 2 内部電極は、前記第 1 及び第 2 外部電極が形成された方向に対して垂直方向に沿って積層されてもよい。 20

【0022】

本発明の一態様においては、前記第 1 及び第 2 外部電極が前記セラミック素体の先端から離隔して形成されてもよい。

【0023】

本発明の他の態様は、マージン部が形成されるように、第 1 及び第 2 セラミックシートの少なくとも一面に第 1 及び第 2 内部電極膜を形成する段階と、前記第 1 及び第 2 セラミックシートの一面と前記第 1 及び第 2 内部電極膜とが互いに接続されるように、前記第 1 及び第 2 セラミックシートの一側マージン部に第 1 及び第 2 リード膜を形成する段階と、前記第 1 及び第 2 内部電極膜と前記第 1 及び第 2 リード膜がそれぞれ形成された前記第 1 及び第 2 セラミックシートを交互に複数積層して積層体を形成する段階と、前記積層体を焼成する段階とを含み、前記第 1 及び第 2 内部電極膜と前記第 1 及び第 2 リード膜の内側連結部を曲面に形成し、前記連結部の曲率半径が $30 \sim 500 \mu\text{m}$ になるようにし、前記本体部と前記第 1 及び第 2 リード部の外側連結部を直角に形成し、前記第 1 及び第 2 内部電極膜は、それぞれの先端側コーナー部を曲面に形成する、積層セラミック電子部品の製造方法を提供する。 30

【0024】

本発明の他の態様において、前記第 1 及び第 2 内部電極膜は、それぞれの先端側コーナー部を曲面に形成してもよい。本発明の他の態様においては、前記第 1 リード膜と前記第 2 リード膜との間隔が少なくとも $200 \mu\text{m}$ 以上になるようにしてもよい。 40

【0025】

本発明の他の態様においては、前記積層体の前記第 1 及び第 2 リード膜が露出した面を覆うように、第 1 及び第 2 外部電極を形成する段階をさらに含んでもよい。

【0026】

本発明の他の態様において、前記第 1 及び第 2 内部電極膜は、その厚さが $0.2 \sim 1.0 \mu\text{m}$ になるように形成してもよい。

【0027】

本発明の他の態様において、前記第 1 及び第 2 リード膜は、その厚さが $0.2 \sim 1.0 \mu\text{m}$ になるように形成してもよい。

【0028】

本発明の他の態様において、前記第 1 及び第 2 リード膜は、前記第 1 及び第 2 セラミックシート上に前記第 1 及び第 2 内部電極膜の長側面の方向に沿って交互に形成してもよい。

【0029】

本発明の他の態様において、前記第 1 及び第 2 リード膜は、その幅が同じ幅になるように形成してもよい。

【0030】

本発明の他の態様において、前記第 1 及び第 2 リード膜は、その幅が異なる幅になるように形成してもよい。

【0031】

本発明の他の態様において、前記第 1 及び第 2 リード膜は、前記第 1 及び第 2 外部電極の中央部に位置させてもよい。

【0032】

本発明の他の態様において、前記積層体は、前記第 1 及び第 2 内部電極膜が前記第 1 及び第 2 外部電極の形成された方向に対して垂直方向になるように、前記第 1 及び第 2 セラミックシートを積層してもよい。

【0033】

本発明の他の態様において、前記第 1 及び第 2 外部電極は、前記積層体の先端から離隔して形成してもよい。

【発明の効果】

【0034】

本発明によれば、内部電極の本体部とリード部の接続構造を調節することにより、積層セラミック電子部品におけるデラミネーション及びBDVの低下を防止しながらも低いESL特性を有するようにすることができるとい効果がある。

【図面の簡単な説明】

【0035】

【図 1】本発明の一実施形態による積層セラミックキャパシタの概略的な構造を示す斜視図である。

【図 2】図 1 の分解斜視図である。

【図 3】図 1 における第 1 内部電極と第 1 外部電極の結合構造を示す断面図である。

【図 4】図 1 における第 2 内部電極と第 2 外部電極の結合構造を示す断面図である。

【図 5】図 1 における第 1 及び第 2 内部電極と第 1 及び第 2 外部電極の結合構造を示す断面図である。

【発明を実施するための形態】

【0036】

以下、添付図面を参照して本発明の好ましい実施形態を説明する。

【0037】

しかしながら、本発明の実施形態は様々な他の形態に変形することができ、本発明の範囲が後述する実施形態に限定されるものではない。

【0038】

また、本発明の実施形態は、当該技術分野における通常の知識を有する者に本発明をより完全に説明するために提供されるものである。

【0039】

よって、図面において、構成要素の形状及び大きさなどはより明確な説明のために誇張することもあり、同一の構成要素には同一の符号を付す。

【0040】

なお、類似の機能及び作用を果たす部分には図面全体にわたって同一の符号を付す。

【0041】

また、明細書全体にわたって、ある構成要素を「含む」とは、特に断らない限り、他の構成要素を除くのではなく、他の構成要素をさらに含むことがあることを意味する。

10

20

30

40

50

【 0 0 4 2 】

本発明は、セラミック電子部品に関し、本発明の一実施形態によるセラミック電子部品としては、積層セラミックキャパシタ、インダクタ、圧電素子、バリスタ、チップ抵抗、又はサーミスタなどがある。以下、セラミック電子部品の一例として積層セラミックキャパシタについて説明する。

【 0 0 4 3 】

なお、本実施形態においては、説明の便宜上、セラミック素体に外部電極が形成された方向を正方向とし、内部電極の長側面に沿う方向を左右方向として説明する。

【 0 0 4 4 】

本実施形態の積層セラミックキャパシタは２端子垂直積層型キャパシタでもよいが、本発明がこれに限定されるものではない。

10

【 0 0 4 5 】

「２端子（２ - terminal）」とは、キャパシタの端子として２つの端子が回路基板に接続されることを意味し、「垂直積層型（vertically laminated or vertical multilayer）」とは、キャパシタ内の積層された内部電極が回路基板の実装領域面に垂直に配置されることを意味する。

【 0 0 4 6 】

図１～図５に示すように、本実施形態による積層セラミックキャパシタ１は、複数の誘電体層が積層されたセラミック素体１０と、セラミック素体１０内に形成された複数の第１及び第２内部電極とを含む。

20

【 0 0 4 7 】

第１及び第２内部電極は、複数の誘電体層の少なくとも一面に形成される本体部２１、２２と、本体部２１、２２の一面でセラミック素体１０の正方向の側面から露出するように延設された第１及び第２リード部２３、２４とをそれぞれ含む。

【 0 0 4 8 】

ここで、本体部２１、２２と第１及び第２リード部２３、２４の内側連結部は、残留応力が集中することを防止するために曲面に形成し、当該連結部の曲率半径Ｒ１は、３０～１００μｍにしてもよい。

【 0 0 4 9 】

また、第１及び第２内部電極の各本体部２１、２２の先端側コーナー部も、残留応力が集中することを防止するために曲面に形成してもよく、この場合、当該コーナー部の曲率半径Ｒ２も、前記連結部の曲率半径Ｒ１と同様に、３０～１００μｍにしてもよい。

30

【 0 0 5 0 】

このような数値の詳細については、具体的な実施例と比較例を挙げて後述する。

【 0 0 5 1 】

また、セラミック素体１０の正方向の側面には、第１及び第２リード部２３、２４の露出した部分に接触し、これにより本体部２１、２２とそれぞれ電氣的に接続される第１及び第２外部電極３１、３２が形成される。

【 0 0 5 2 】

セラミック素体１０は、複数の誘電体層を積層して形成してもよい。

40

【 0 0 5 3 】

ここで、セラミック素体１０を構成する複数の誘電体層は、焼結された状態であって、隣接する誘電体層間の境界を確認できない程度に一体化されていてもよい。

【 0 0 5 4 】

また、セラミック素体１０は、その形状に特に制限はないが、一般に直方体形状でもよい。

【 0 0 5 5 】

また、セラミック素体１０は、その寸法に特に制限はないが、そのサイズを例えば０．６mm×０．３mmなどにより、１．０μF以上の高容量を有する積層セラミックキャパシタ１を構成してもよい。

50

【 0 0 5 6 】

さらに、必要に応じては、セラミック素体 1 0 の最外面（図における上下面）に所定厚さの誘電体カバー層（図示せず）を形成してもよい。

【 0 0 5 7 】

このようなセラミック素体 1 0 を構成する誘電体層は、セラミック粉末、例えば $BaTiO_3$ 系セラミック粉末などを含んでもよい。

【 0 0 5 8 】

$BaTiO_3$ 系セラミック粉末としては、 $BaTiO_3$ に Ca 又は Zr などが一部固溶した $(Ba_{1-x}Ca_x)TiO_3$ 、 $Ba(Ti_{1-y}Ca_y)O_3$ 、 $(Ba_{1-x}Ca_x)(Ti_{1-y}Zr_y)O_3$ 、又は $Ba(Ti_{1-y}Zr_y)O_3$ などがあり、これに限定されるものではない。

10

【 0 0 5 9 】

セラミック粉末の平均粒径は、 $0.8\mu m$ 以下でもよく、好ましくは $0.05\sim 0.5\mu m$ でもよいが、本発明がこれに限定されるものではない。

【 0 0 6 0 】

誘電体層は、必要に応じて、セラミック粉末と共に、遷移金属酸化物もしくは炭化物、希土類元素、又は Mg 、 Al の少なくとも 1 つをさらに含んでもよい。

【 0 0 6 1 】

また、誘電体層の厚さは、積層セラミックキャパシタ 1 の容量設計によって任意に変更することができる。

20

【 0 0 6 2 】

本実施形態における各誘電体層の厚さは、 $1.0\mu m$ 以下でもよく、好ましくは $0.01\sim 1.0\mu m$ でもよいが、本発明がこれに限定されるものではない。

【 0 0 6 3 】

第 1 及び第 2 内部電極の本体部 2 1、2 2 は、導電性金属を含む導電性ペーストにより形成してもよい。

【 0 0 6 4 】

ここで、導電性金属は、 Ni 、 Cu 、 Pd 、又はこれらの合金でもよいが、本発明がこれに限定されるものではない。

【 0 0 6 5 】

30

このような第 1 及び第 2 内部電極の本体部 2 1、2 2 は、スクリーン印刷法又はグラビア印刷法などの印刷法により、誘電体層を形成するセラミックグリーンシート上に導電性ペーストで内部電極層を印刷し、その内部電極層が印刷されたセラミックグリーンシートを交互に積層した後に焼成することにより、セラミック素体 1 0 に形成することができる。

【 0 0 6 6 】

従って、このように第 1 及び第 2 内部電極の本体部 2 1、2 2 が重なる領域により静電容量が形成される。

【 0 0 6 7 】

40

また、第 1 及び第 2 内部電極の本体部 2 1、2 2 の厚さは用途に応じて決定され、例えばセラミック素体 1 0 のサイズを考慮して $0.2\sim 1.0\mu m$ の範囲内で決定してもよいが、本発明がこれに限定されるものではない。

【 0 0 6 8 】

このように誘電体層に第 1 及び第 2 内部電極を形成する際に、水分やめっき液などが内部に浸透することを防止し、電気的な短絡を防止するために、誘電体層と第 1 及び第 2 内部電極の本体部 2 1、2 2 との間には所定のマージン部を残しておく。

【 0 0 6 9 】

そして、第 1 及び第 2 内部電極の本体部 2 1、2 2 と誘電体層の側面に形成された異なる極性の第 1 及び第 2 外部電極 3 1、3 2 とを電氣的に接続するために、誘電体層のマージン部に第 1 及び第 2 リード部 2 3、2 4 を本体部 2 1、2 2 の一面から正方向に延設す

50

る。

【0070】

第1及び第2リード部23、24の端部は、セラミック素体10の正方向の側面から露出させる。

【0071】

ここで、第1リード部23と第2リード部24との間隔は、デラミネーションの発生を防止するために、 $200\mu\text{m}$ 以下にしてもよい。

【0072】

このような第1及び第2リード部23、24は、それぞれ異なる極性を示す第1及び第2外部電極31、32にのみ接続するように、互いに重なる領域を有してはならない。

10

【0073】

つまり、第1及び第2リード部23、24は、第1及び第2内部電極の本体部21、22の長側面に沿って左右交互に配置されてもよい。

【0074】

ここで、第1及び第2リード部23、24の幅は同じ幅にすることが好ましいが、本発明がこれに限定されるものではなく、必要に応じて、第1及び第2リード部23、24の幅が異なる幅になるようにしてもよい。

【0075】

このような第1及び第2リード部23、24の長さは、誘電体層のマージン部とほぼ対応するので、第1及び第2内部電極の本体部21、22の形成時にマージン部の幅を調節することで決定することができる。

20

【0076】

また、第1及び第2リード部23、24の厚さは、第1及び第2内部電極の本体部21、22と同じ厚さにすることが好ましい。

【0077】

例えば、本実施形態においては、第1及び第2内部電極の本体部21、22の厚さが $0.2\sim 1.0\mu\text{m}$ であるので、第1及び第2リード部23、24の厚さも $0.2\sim 1.0\mu\text{m}$ にするが、本発明がこれに限定されるものではない。

【0078】

本実施形態において、第1及び第2外部電極31、32は、セラミック素体10の正方向の側面にのみ形成される。

30

【0079】

従って、左右に外部電極が形成される他の構造に比べて全体的な実装面積が相対的に減少するので、回路基板の実装密度を向上させることができる。

【0080】

ここで、回路基板の実装密度がさらに向上するように、第1及び第2内部電極を第1及び第2外部電極31、32が形成された方向に対して垂直方向に沿って積層して構成することがより好ましい。

【0081】

一方、第1及び第2外部電極31、32は、上下に積層された複数の第1及び第2内部電極の本体部21、22と安定して接続されるように、セラミック素体10に対応する高さで形成してもよい。

40

【0082】

しかしながら、本発明がこれに限定されるものではなく、必要に応じて、第1及び第2外部電極31、32は、セラミック素体10より高く形成してもよく、低く形成してもよい。

【0083】

また、第1及び第2外部電極31、32は、めっき液の浸透を効果的に防止するために、第1及び第2リード部23、24が左右方向の中央に位置するように形成してもよい。

【0084】

50

また、第 1 及び第 2 外部電極 3 1、3 2 は、セラミック素体 1 の先端から離隔して形成してもよいが、本発明がこれに限定されるものではない。

【0085】

以下、このように構成された本実施形態の積層セラミックキャパシタ 1 の作用について説明する。

【0086】

誘電体層上に第 1 及び第 2 内部電極を形成する上で、誘電体層の内部に第 1 及び第 2 内部電極の本体部 2 1、2 2 との間に所定のマージン部を設ける。

【0087】

このようなマージン部は、各誘電体層を積層してセラミック素体 1 0 を形成した後に第 1 及び第 2 内部電極の本体部 2 1、2 2 に水分やめっき液が浸透することを防止する役割や、第 1 及び第 2 内部電極を外部の衝撃から保護して電氣的な短絡を防止する役割などを果たす。

【0088】

前述したように、本実施形態においては、一側マージン部に第 1 及び第 2 リード部 2 3、2 4 を構成し、第 1 及び第 2 内部電極の本体部 2 1、2 2 と第 1 及び第 2 外部電極 3 1、3 2 とを電氣的に接続する。

【0089】

ここで、マージン部は、第 1 及び第 2 内部電極の静電容量を最大限確保するために小さく形成することが好ましいが、めっき液の浸透を防止するためには最小限の幅を必要とする。

【0090】

第 1 及び第 2 内部電極の本体部 2 1、2 2 と第 1 及び第 2 リード部 2 3、2 4 の内側連結部は、折り曲げられた形状を有する場合、電荷が蓄積されてより大きな電界が形成され、これにより電圧が繰り返し印加されると該当部分の劣化がより速く進むことになり、結局、製品の寿命が短縮されるので、曲面に形成することが好ましい。

【0091】

ここで、連結部の曲率半径 R_1 が $30\ \mu\text{m}$ 未満の場合は、電界が集中して ESL 値が高くなり、前述したように、従来 of 角をなす形状の連結部のような様々な問題が発生し得る。

【0092】

また、連結部の曲率半径 R_1 が $100\ \mu\text{m}$ を超える場合、すなわちその形状が丸すぎる場合は、 BDV が低下するという問題が発生し得る。

【0093】

従って、低い ESL 値を有すると共にデラミネーション及び BDV の低下を防止するために、連結部の曲率半径 R_1 の範囲は、 $30 \sim 100\ \mu\text{m}$ にすることが好ましい。

【0094】

また、第 1 及び第 2 内部電極の本体部 2 1、2 2 の各先端側コーナー部も、折り曲げられた形状を有する場合、電荷が蓄積されてより大きな電界が形成され、これにより電圧が繰り返し印加されると該当部分の劣化がより速く進むことになり、結局、製品の寿命が短縮されるので、曲面に形成することが好ましい。

【0095】

ここで、各コーナー部の曲率半径 R_2 が $30\ \mu\text{m}$ 未満の場合は、電界が集中して ESL 値が高くなり、従来 of 角をなす形状のコーナー部のような様々な問題が発生し得る。

【0096】

また、各コーナー部の曲率半径 R_2 が $100\ \mu\text{m}$ を超える場合、すなわちその形状が丸すぎる場合は、 BDV が低下するという問題が発生し得る。

【0097】

従って、低い ESL 値を有すると共にデラミネーション及び BDV の低下を防止するために、コーナー部の曲率半径 R_2 の範囲も、前述した本体部 2 1、2 2 と第 1 及び第 2 リ

10

20

30

40

50

ード部 23、24 の内側連結部の曲率半径 R1 と同様に、30 ~ 100 μ m にすることが好ましい。

【0098】

以下、具体的な実施例と比較例を挙げて本発明をより詳細に説明する。

【0099】

前述したように、本体部 21、22 と第 1 及び第 2 リード部 23、24 の内側連結部の曲率半径を R1、成形シートの左右方向の長さを L、成形シートの幅を W とし、下記表 1 のように積層セラミックキャパシタの特性を測定した。

【0100】

厚さ 2 μ m の成形シートに本体部 21、22 と第 1 及び第 2 リード部 23、24 とを有する第 1 及び第 2 内部電極、並びに第 1 及び第 2 外部電極 31、32 を各サイズに印刷してチップを製作し、評価を行った。

10

【0101】

下記表 1 においては、成形シートの長さ L を 1.0 mm、幅 W を 0.5 mm とし、本体部 21、22 と第 1 又は第 2 リード部 23、24 の内側連結部の曲率半径 R1 を様々に変更した。

【0102】

その後、100 個のチップのうちデラミネーションが発生したチップの数と各チップの BDV 数値を確認した。

【0103】

20

【表 1】

	R1(mm)	L(mm)	W(mm)	デラミネーション発生数 (100個当たり)	BDV(V)
1	0.020	1.0	0.5	6	153
2	0.028	1.0	0.5	1	162
3	0.032	1.0	0.5	0	223
4	0.035	1.0	0.5	0	231
5	0.047	1.0	0.5	0	235
6	0.060	1.0	0.5	0	238
7	0.070	1.0	0.5	0	237
8	0.095	1.0	0.5	0	242
9	0.104	1.0	0.5	0	174
10	0.110	1.0	0.5	0	165

30

【0104】

< 内部電極の本体部とリード部の内側連結部の曲率半径による積層セラミックキャパシタのデラミネーション発生数及び BDV 数値 >

【0105】

40

表 1 を参照すると、サンプル 1 及びサンプル 2 は、比較例であって、第 1 及び第 2 内部電極の本体部 21、22 と第 1 及び第 2 リード部 23、24 の内側連結部の曲率半径 R1 が 30 μ m 未満のものを示し、この場合、電界が集中して BDV が小さくなり、デラミネーションが発生した不良製品が多数発見されたことから、信頼性に問題があることが分かる。

【0106】

また、サンプル 9 及びサンプル 10 は、比較例であって、第 1 及び第 2 内部電極の本体部 21、22 と第 1 及び第 2 リード部 23、24 の内側連結部の曲率半径 R1 が 100 μ m を超えるものを示し、この場合、第 1 内部電極と第 2 外部電極との距離が短くなり、BDV が低下することが分かる。

50

【 0 1 0 7 】

つまり、表 1 によれば、比較例を除く残りのサンプルのように、第 1 及び第 2 内部電極の本体部 2 1、2 2 と第 1 及び第 2 リード部 2 3、2 4 の内側連結部の曲率半径 R 1 が 30 ~ 100 μ m の場合、デラミネーションの発生及び B D V の低下を防止することができることから、第 1 及び第 2 内部電極の本体部 2 1、2 2 と第 1 及び第 2 リード部 2 3、2 4 の内側連結部の曲率半径 R 1 の数値範囲は、30 ~ 100 μ m であることが好ましいことが分かる。

【 0 1 0 8 】

【表 2】

	P(mm)	L(mm)	W(mm)	デラミネーション発生数 (100個当たり)
1	0.016	0.4	0.2	8
2	0.018	0.4	0.2	1
3	0.021	0.4	0.2	0
4	0.023	0.4	0.2	0
5	0.024	0.4	0.2	0

10

【 0 1 0 9 】

< 第 1 リード部と第 2 リード部との間隔による積層セラミックキャパシタのデラミネーション発生数 >

【 0 1 1 0 】

表 2 を参照すると、サンプル 1 及びサンプル 2 は、比較例であって、第 1 リード部 2 3 と第 2 リード部 2 4 との間隔 P が 200 μ m 未満のものを示し、この場合、デラミネーションが発生した不良製品が多数発見されたことから、信頼性に問題があることが分かる。

【 0 1 1 1 】

【表 3】

	P(mm)	L(mm)	W(mm)	デラミネーション発生数 (100個当たり)
1	0.016	0.6	0.3	10
2	0.018	0.6	0.3	2
3	0.021	0.6	0.3	0
4	0.023	0.6	0.3	0
5	0.024	0.6	0.3	0

30

【 0 1 1 2 】

< 第 1 リード部と第 2 リード部との間隔による積層セラミックキャパシタのデラミネーション発生数 >

【 0 1 1 3 】

表 3 においては、成形シートの長さ L を 0 . 6 mm、幅 W を 0 . 3 mm とし、第 1 リード部 2 3 と第 2 リード部 2 4 との間隔 P を様々に変更し、100 個のチップのうちデラミネーションが発生したチップの数を確認した。

【 0 1 1 4 】

表 3 を参照すると、サンプル 1 及びサンプル 2 は、比較例であって、第 1 リード部 2 3 と第 2 リード部 2 4 との間隔 P が 200 μ m 未満の積層セラミックキャパシタを示し、この場合、デラミネーションが発生した不良製品が多数発見されたことから、信頼性に問題があることが分かる。

50

【 0 1 1 5 】

【 表 4 】

	P(mm)	L(mm)	W(mm)	デラミネーション発生 数 (100個当たり)
1	0.016	1.0	0.5	12
2	0.018	1.0	0.5	3
3	0.021	1.0	0.5	0
4	0.023	1.0	0.5	0
5	0.024	1.0	0.5	0

10

【 0 1 1 6 】

< 第 1 リード部と第 2 リード部との間隔による積層セラミックキャパシタのデラミネーション発生数 >

【 0 1 1 7 】

表 4 においては、成形シートの長さ L を 1 . 0 mm、幅 W を 0 . 5 mm とし、第 1 リード部 2 3 と第 2 リード部 2 4 との間隔 P を様々に変更し、1 0 0 個のチップのうちデラミネーションが発生したチップの数を確認した。

【 0 1 1 8 】

表 4 を参照すると、サンプル 1 及びサンプル 2 は、比較例であって、第 1 リード部 2 3 と第 2 リード部 2 4 との間隔 P が 2 0 0 μ m 未満の積層セラミックキャパシタを示し、この場合、デラミネーションが発生した不良製品が多数発見されたことから、信頼性に問題があることが分かる。

20

【 0 1 1 9 】

つまり、表 2 ~ 表 4 によれば、各実施例のサンプル 3 ~ サンプル 5 のように、第 1 リード部 2 3 と第 2 リード部 2 4 との間隔 P が 2 0 0 μ m 以上の場合にデラミネーションが発生しないことから、第 1 リード部 2 3 と第 2 リード部 2 4 との間隔 P の数値範囲は、2 0 0 μ m 以上であることが好ましいことが分かる。

【 0 1 2 0 】

以下、本発明の一実施形態による積層セラミックキャパシタの製造方法を説明する。

30

【 0 1 2 1 】

まず、複数のセラミックグリーンシートを準備する。

【 0 1 2 2 】

前記セラミックグリーンシートは、セラミック素体 1 0 の誘電体層を形成するためのものであり、セラミック粉末、ポリマー、及び溶剤を混合してスラリーを製造し、前記スラリーをドクターブレードなどの工法により数 μ m 厚さのシート状に製作してもよい。

【 0 1 2 3 】

その後、前記各セラミックグリーンシートの少なくとも一面に所定の厚さ、例えば 0 . 2 ~ 1 . 0 μ m の厚さを有するように導電性ペーストを印刷して、第 1 及び第 2 内部電極膜を形成する。

40

【 0 1 2 4 】

ここで、前記導電性ペーストの印刷は、前記セラミックグリーンシートの縁部に沿って、その内部に前記第 1 及び第 2 内部電極膜と所定の幅のマージン部が形成されるように行ってもよい。

【 0 1 2 5 】

その後、前記第 1 及び第 2 内部電極膜の形成と同様の方法により、前記各セラミックグリーンシートの正方向のマージン部に所定の厚さ、例えば 0 . 2 ~ 1 . 0 μ m の厚さを有するように導電性ペーストを印刷して、前記各セラミックグリーンシートの正方向の側面と前記第 1 及び第 2 内部電極膜とが互いに接続されるように、第 1 及び第 2 リード膜を形

50

成する。

【0126】

ここで、前記第1及び第2内部電極膜と前記第1及び第2リード膜の内側連結部は、曲面に形成してもよく、低いESL値を有すると共にデラミネーション及びBDVの低下を防止することができるように、前記連結部の曲率半径は30～100μmになるように調節してもよい。

【0127】

また、前記第1及び第2内部電極膜は、それぞれの先端側コーナー部を曲面に形成してもよく、デラミネーション及びBDVの低下を防止することができるように、前記コーナー部の曲率半径は30～100μmになるように調節してもよい。

10

【0128】

また、前記第1リード膜と前記第2リード膜とは、互いに離隔して形成し、デラミネーションを防止することができるように、前記第1リード膜と前記第2リード膜との間隔は、少なくとも200μm以上になるように形成してもよい。

【0129】

ここで、前記第1及び第2リード膜は、前記第1及び第2内部電極膜が異なる極性を有するので、複数のセラミックグリーンシートを積層した際に前記第1及び第2内部電極膜の長側面に沿って重なる部分がないように交互に形成する。

【0130】

また、前記第1及び第2リード膜は、その幅が同じ幅になるように形成することが好ましいが、本発明がこれに限定されるものではなく、必要に応じて、前記第1及び第2リード膜の幅が異なる幅になるように形成してもよい。

20

【0131】

このような導電性ペーストの印刷方法としては、スクリーン印刷法又はグラビア印刷法などを用いてもよく、前記導電性ペーストは、金属粉末、セラミック粉末、及びシリカ(SiO₂)粉末などを含んでもよい。

【0132】

前記導電性ペーストの平均粒径は50～400nmでもよいが、本発明がこれに限定されるものではない。

【0133】

また、前記金属粉末としては、ニッケル(Ni)、マンガン(Mn)、クロム(Cr)、コバルト(Co)、及びアルミニウム(Al)のいずれか1つ又はこれらの合金を使用してもよい。

30

【0134】

その後、前記第1及び第2内部電極膜と前記第1及び第2リード膜が形成された複数のセラミックグリーンシートを積層し、積層方向から加圧することにより、積層された複数のセラミックグリーンシートとセラミックグリーンシート上に形成された導電性ペーストとを互いに圧着する。

【0135】

これにより、複数の誘電体層と複数の第1及び第2内部電極が交互に積層され、第1及び第2リード部23、24が第1及び第2内部電極の本体部21、22の長側面の方向に沿って交互に配置された積層体を構成することができる。

40

【0136】

その後、前記積層体を1つのキャパシタに対応する領域毎に切断してチップ化し、高温で焼成することにより、セラミック素体10を完成する。

【0137】

その後、セラミック素体10の正方向の側面から露出した第1及び第2リード部23、24の端部を覆うように、第1及び第2外部電極31、32を形成する。

【0138】

すなわち、第1及び第2外部電極31、32は、第1及び第2リード部23、24にそ

50

れぞれ接続されて、第 1 及び第 2 内部電極の本体部 2 1、2 2 にそれぞれ電氣的に接続されることができる。

【0139】

また、第 1 及び第 2 外部電極 3 1、3 2 は、第 1 及び第 2 リード部 2 3、2 4 との接続性を高めるために、十分な接触面積を確保できるよう、セラミック素体 1 0 に対応する高さで形成してもよい。

【0140】

また、第 1 及び第 2 外部電極 3 1、3 2 は、前記 B D V の低下を防止するために、めっき液浸透防止効果を最適化できるように、第 1 及び第 2 内部電極の本体部 2 1、2 2 の左右方向に沿って第 1 及び第 2 外部電極 3 1、3 2 の中央に第 1 及び第 2 リード部 2 3、2 4 がそれぞれ位置するように形成してもよい。

10

【0141】

また、第 1 及び第 2 外部電極 3 1、3 2 の表面には、必要に応じてニッケル又はスズなどでめっき処理を施してもよい。

【0142】

本発明は、前述した実施形態及び添付された図面により限定されるものではなく、添付された特許請求の範囲により限定される。

【0143】

よって、特許請求の範囲に記載された本発明の技術的思想から外れない範囲内で当該技術分野における通常の知識を有する者により様々な形態の置換、変形、及び変更が可能であり、これも本発明の範囲に属するといえるであろう。

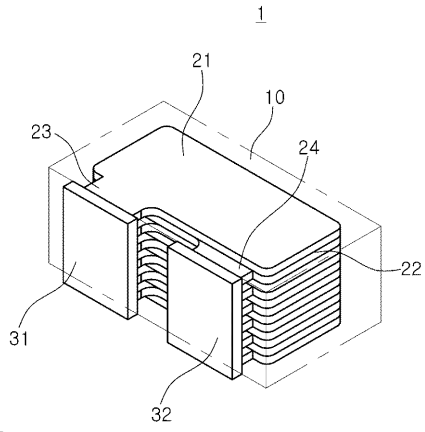
20

【符号の説明】

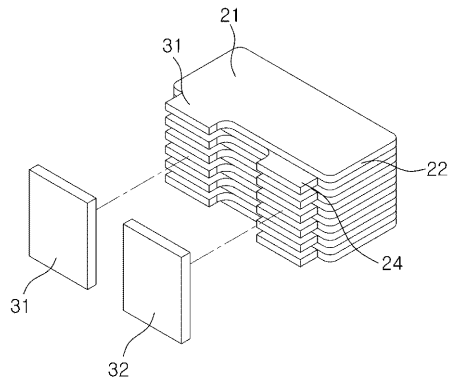
【0144】

- 1 積層セラミックキャパシタ
- 1 0 セラミック素体
- 2 1、2 2 本体部
- 2 3、2 4 第 1 及び第 2 リード部
- 3 1、3 2 第 1 及び第 2 外部電極

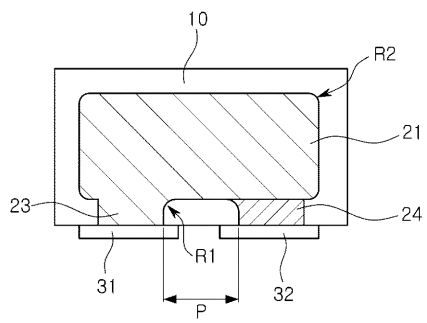
【図 1】



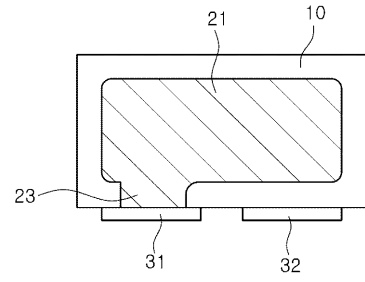
【図 2】



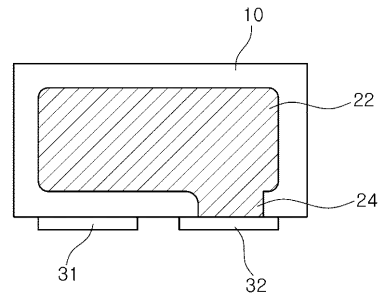
【図 5】



【図 3】



【図 4】



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	H 0 1 G 4/30	3 1 1 D
	H 0 1 G 4/30	3 1 1 E
(72)発明者 バク・ミン・チョル		
大韓民国、キョンギ - ド、スウォン、ヨントン - グ、マエタン 3 - ドン 3 1 4、サムソン エレ		
クトロ - メカニックス カンパニーリミテッド		
(72)発明者 キム・ヒュン・ジュン		
大韓民国、キョンギ - ド、スウォン、ヨントン - グ、マエタン 3 - ドン 3 1 4、サムソン エレ		
クトロ - メカニックス カンパニーリミテッド		
(72)発明者 イ・ビョン・ファ		
大韓民国、キョンギ - ド、スウォン、ヨントン - グ、マエタン 3 - ドン 3 1 4、サムソン エレ		
クトロ - メカニックス カンパニーリミテッド		
F ターム(参考) 5E001 AB03 AC02 AC03		
5E082 AB03 EE04 EE16 FG04 GG10 PP09		