



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I517552 B

(45)公告日：中華民國 105 (2016) 年 01 月 11 日

(21)申請案號：102103810

(22)申請日：中華民國 102 (2013) 年 01 月 31 日

(51)Int. Cl. : H03B5/04 (2006.01)

H03L1/00 (2006.01)

H03L7/00 (2006.01)

(71)申請人：新唐科技股份有限公司 (中華民國) NUVOTON TECHNOLOGY CORPORATION
(TW)

新竹市新竹科學工業園區研新三路 4 號

(72)發明人：游宗榜 YU, CHANG PANG (TW)

(74)代理人：詹銘文；葉璟宗

(56)參考文獻：

TW 200419895A

US 7541878B2

US 7800457B2

US 7898890B2

US 20110193639B2

審查人員：蘇齊賢

申請專利範圍項數：14 項 圖式數：4 共 24 頁

(54)名稱

振盪器校正電路與方法以及積體電路

CIRCUIT AND METHOD FOR CALIBRATING OSCILLATOR AND CORRESPONDING
INTEGRATED CIRCUIT

(57)摘要

一種振盪器校正電路，包括振盪器、校正模組、以及燒錄模組。振盪器輸出振盪時脈訊號，而且包括多個阻抗元件。其中一校正值控制至少一個上述阻抗元件的阻抗值，而上述多個阻抗元件的阻抗值決定振盪時脈訊號的頻率。校正模組耦接振盪器，在校正訊號設立之後，根據振盪時脈訊號和參考時脈訊號的頻率倍數關係，決定並輸出校正值。燒錄模組耦接校正模組，包括一非揮發記憶體。燒錄模組在燒錄訊號設立之後將校正值燒錄至非揮發記憶體。

A circuit for calibrating an oscillator is provided. The calibration circuit includes the oscillator, a calibration module, and a program module. The oscillator outputs an oscillation clock signal and includes multiple impedance components. A trimming value controls the impedance of at least one of the impedance components, while the impedances of the impedance components determine the frequency of the oscillation clock signal. The calibration module is coupled to the oscillator. The calibration module determines and outputs the trimming value according to a multiple relation of frequencies between the oscillation clock signal and a reference clock signal after a trimming enable signal is asserted. The program module is coupled to the calibration module and includes a non-volatile memory. The program module programs the trimming value into the non-volatile memory after a program enable signal is asserted.

指定代表圖：

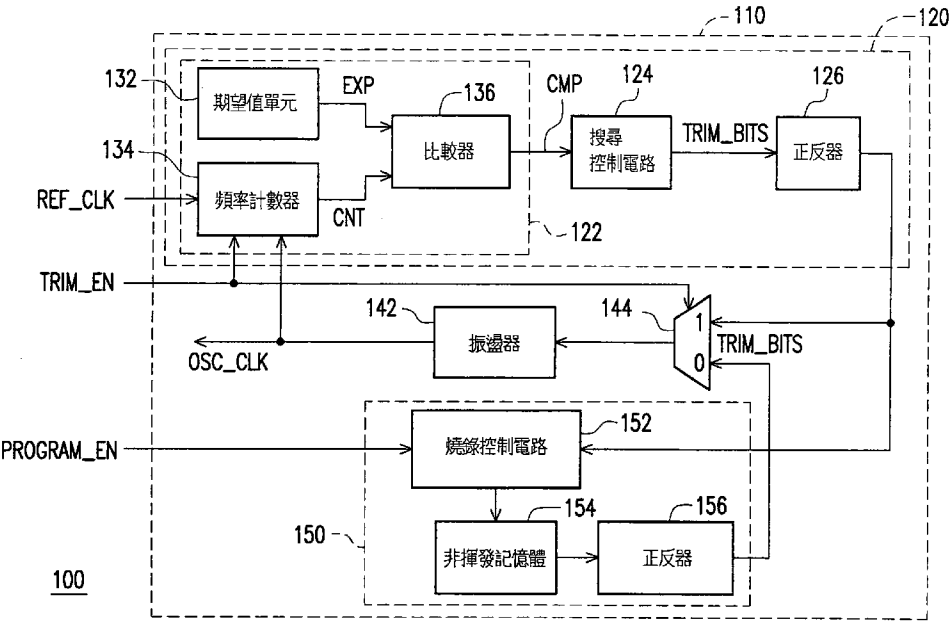


圖 1

符號簡單說明：

- 100 . . . 振盪器校正電路
- 110 . . . 積體電路
- 120 . . . 校正模組
- 122 . . . 比較模組
- 124 . . . 搜尋控制電路
- 126 . . . 正反器
- 132 . . . 期望值單元
- 134 . . . 頻率計數器
- 136 . . . 比較器
- 142 . . . 振盪器
- 144 . . . 多工器
- 150 . . . 燒錄模組
- 152 . . . 燒錄控制電路
- 154 . . . 非揮發記憶體
- 156 . . . 正反器
- CMP、CNT、EXP、OSC_CLK、PROGRAM_EN、REF_CLK、TRIM_BITS、TRIM_EN . . . 電路訊號

發明摘要

※ 申請案號：102103810

※ 申請日：※IPC 分類：

102. 1. 3 1

H03B5/04 (2006.01)

H03L1/00 (2006.01)

H03L7/00 (2006.01)

公告本

【發明名稱】振盪器校正電路與方法以及積體電路

Circuit and Method for Calibrating Oscillator and
Corresponding Integrated Circuit

【中文】

一種振盪器校正電路，包括振盪器、校正模組、以及燒錄模組。振盪器輸出振盪時脈訊號，而且包括多個阻抗元件。其中一校正值控制至少一個上述阻抗元件的阻抗值，而上述多個阻抗元件的阻抗值決定振盪時脈訊號的頻率。校正模組耦接振盪器，在校正訊號設立之後，根據振盪時脈訊號和參考時脈訊號的頻率倍數關係，決定並輸出校正值。燒錄模組耦接校正模組，包括一非揮發記憶體。燒錄模組在燒錄訊號設立之後將校正值燒錄至非揮發記憶體。

【英文】

A circuit for calibrating an oscillator is provided. The calibration circuit includes the oscillator, a calibration module, and a program module. The oscillator outputs an oscillation clock signal and includes multiple impedance components. A trimming value controls the impedance of at least one of the impedance components, while the impedances of the impedance components determine the

frequency of the oscillation clock signal. The calibration module is coupled to the oscillator. The calibration module determines and outputs the trimming value according to a multiple relation of frequencies between the oscillation clock signal and a reference clock signal after a trimming enable signal is asserted. The program module is coupled to the calibration module and includes a non-volatile memory. The program module programs the trimming value into the non-volatile memory after a program enable signal is asserted.

【代表圖】

【本案指定代表圖】：圖 1。

【本代表圖之符號簡單說明】：

100：振盪器校正電路	110：積體電路
120：校正模組	122：比較模組
124：搜尋控制電路	126：正反器
132：期望值單元	134：頻率計數器
136：比較器	142：振盪器
144：多工器	150：燒錄模組
152：燒錄控制電路	154：非揮發記憶體
156：正反器	
CMP、CNT、EXP、OSC_CLK、PROGRAM_EN、REF_CLK、 TRIM_BITS、TRIM_EN：電路訊號	

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 振盪器校正電路與方法以及積體電路

Circuit and Method for Calibrating Oscillator and
Corresponding Integrated Circuit

【技術領域】

【0001】 本發明是有關於一種校正電路與方法以及積體電路(IC: integrated circuit)，且特別是有關於一種振盪器(oscillator)的校正電路與方法以及具有振盪器校正電路的積體電路。

【先前技術】

【0002】 在數位電路中，時脈訊號的重要程度，就像人體的脈搏。很多數位電路包含電阻電容振盪器，用以產生時脈訊號。電阻和電容在積體電路製程中的偏差(deviation)很大，舉例來說，電阻值和目標值的偏差可達到 20%~30%，這對振盪器產生的時脈訊號頻率有很不利的影響。此外，振盪器操作時的環境溫度也是一個變因。所以，積體電路在出廠測試時，必須校正其中的電阻電容振盪器(RC oscillator)。

【0003】 上述校正主要是用測試機台來進行，為了節約成本，許多廠商使用較廉價的測試機台。廉價的測試機台因為控制軟體的功能有限，或因為連接晶片腳位(pin)的訊號通道(channel)有限，一次只能校正一個晶片其中的振盪器，而不能同時校正多個晶片

其中的振盪器。但是這樣會提高晶片測試成本。

【發明內容】

【0004】 本發明實施例提供一種振盪器校正電路與方法以及具有振盪器校正電路的積體電路，可節省晶片測試的時間與成本。

【0005】 本發明實施例提出一種振盪器校正電路，包括振盪器、校正模組、以及燒錄模組。振盪器輸出振盪時脈訊號，而且包括多個阻抗元件。其中一校正值控制至少一個上述阻抗元件的阻抗值(impedance)，而上述多個阻抗元件的阻抗值決定振盪時脈訊號的頻率。校正模組耦接振盪器，在校正訊號設立(assert)之後，根據振盪時脈訊號和參考時脈訊號的頻率倍數關係，決定並輸出校正值。燒錄模組耦接校正模組，包括一非揮發記憶體(non-volatile memory)。燒錄模組在燒錄訊號設立之後將校正值燒錄至非揮發記憶體。

【0006】 本發明實施例另提出一種積體電路，此積體電路包括一振盪器校正電路，上述振盪器校正電路包括振盪器、校正模組、以及燒錄模組。振盪器輸出振盪時脈訊號，包括多個阻抗元件。其中一校正值控制至少一個上述阻抗元件的阻抗值，而上述多個阻抗元件的阻抗值決定振盪時脈訊號的頻率。校正模組耦接振盪器，在一校正訊號設立之後，根據振盪時脈訊號和參考時脈訊號，透過二分搜尋法逐步取代校正值的每一位元並輸出校正值。其中參考時脈訊號為振盪時脈訊號的頻率正確時所對應的時脈訊號。

燒錄模組耦接校正模組，包括非揮發記憶體，在燒錄訊號設立之後將校正值燒錄至非揮發記憶體。

【0007】 本發明實施例另提出一種振盪器校正方法，用於校正一振盪器，此振盪器依據一校正值輸出振盪時脈訊號，其中校正值決定振盪時脈訊號的頻率，上述振盪器校正方法包括下列步驟：在校正訊號設立之後，根據振盪時脈訊號和參考時脈訊號的頻率倍數關係，決定並輸出校正值；以及在燒錄訊號設立之後將校正值燒錄至非揮發記憶體。

【0008】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0009】

圖 1 是依照本發明一實施例的一種振盪器校正電路的示意圖。

圖 2 是依照本發明一實施例的一種振盪器校正電路的訊號示意圖。

圖 3 和圖 4 是依照本發明一實施例的一種振盪器校正方法的流程圖。

【實施方式】

【0010】 圖 1 是依照本發明一實施例的一種振盪器校正電路 100

的示意圖。振盪器校正電路 100 可內建於積體電路 110 之中。振盪器校正電路 100 可自積體電路 110 外部的測試機台接收三個訊號，分別是參考時脈訊號 REF_CLK、校正訊號 TRIM_EN、以及燒錄訊號 PROGRAM_EN。振盪器校正電路 100 包括校正模組 120、燒錄模組 150、振盪器 142、以及多工器(multiplexer) 144。校正模組 120 耦接振盪器 142，燒錄模組 150 耦接校正模組 120，多工器 144 耦接校正模組 120、燒錄模組 150、以及振盪器 142。

● **【0011】** 振盪器 142 輸出振盪時脈訊號 OSC_CLK。振盪器 142 包括多個阻抗元件。校正值 TRIM_BITS 控制至少一個上述阻抗元件的阻抗值，而上述多個阻抗元件的阻抗值決定振盪時脈訊號 OSC_CLK 的頻率。舉例來說，如果振盪器 142 是電阻電容振盪器，則每一上述阻抗元件可以是電阻或電容，前述之阻抗元件可由電阻與電容組合而成。在本發明一實施例中，校正值 TRIM_BITS 可用來控制電阻的阻抗值。

● **【0012】** 圖 2 是振盪器校正電路 100 其中一部份訊號的示意圖，而圖 3 是依照本發明一實施例的一種振盪器校正方法的流程圖，圖 3 的校正方法可由振盪器校正電路 100 執行。如圖 2 所示，振盪器校正電路 100 的操作可分為校正階段和燒錄階段。當校正訊號 TRIM_EN 設立時，表示校正階段開始，然後校正模組 120 在步驟 310 根據振盪時脈訊號 OSC_CLK 和參考時脈訊號 REF_CLK 的頻率倍數關係，決定並輸出校正值 TRIM_BITS。當燒錄訊號 PROGRAM_EN 設立時，表示燒錄階段開始，然後燒錄模組 150

在步驟 320 將來自校正模組 120 的校正值 TRIM_BITS 燒錄至內建的非揮發記憶體 154。在一實施例中，燒錄訊號 PROGRAM_EN 可在校正階段結束後才被設立。燒錄模組 150 會在積體電路 110 啟動(power on)之後輸出非揮發記憶體 154 儲存的校正值 TRIM_BITS。多工器 144 可根據校正訊號 TRIM_EN 設立與否，在校正模組 120 和燒錄模組 150 輸出的校正值其中擇一輸入振盪器 142，以決定振盪時脈訊號 OSC_CLK 的頻率。在其他實施例中，亦可透過其他方式選擇輸出校正模組 120 或燒錄模組 150 的校正值，舉例來說，亦可透過輸出其他控制訊號至多工器 144 的方式，以由校正模組 120 或燒錄模組 150 的校正值中擇一輸出至振盪器 142。

【0013】 校正模組 120 包括比較模組 122、搜尋控制電路(search controlcircuit) 124、以及正反器(flip-flop) 126。正反器 126 可設置於搜尋控制電路 124 之外，亦可設置在搜尋控制電路 124 中。搜尋控制電路 124 可為一控制器、處理器或是狀態機(state machine) 例如二分搜尋狀態機(binary search state machine)。比較模組 122 包括期望值單元 132、頻率計數器 134、以及比較器 136。頻率計數器 134 耦接振盪器 142，比較器 136 耦接期望值單元 132 和頻率計數器 134，搜尋控制電路 124 耦接比較器 136，正反器 126 耦接搜尋控制電路 124、多工器 144、以及燒錄模組 150。燒錄模組 150 包括燒錄控制電路(program controlcircuit) 152、非揮發記憶體 154、以及正反器 156。燒錄控制電路 152 耦接正反器 126，非揮

發記憶體 154 耦接燒錄控制電路 152，正反器 156 耦接非揮發記憶體 154 和多工器 144。燒錄控制電路 152 可為一處理器、控制器或狀態機。在本發明一實施例中，可透過一控制電路例如狀態機(state machine)自動將非揮發記憶體 154 儲存的校正值載入正反器 156 中，前述之控制電路可設置在正反器 156 中，或獨立設置。

【0014】圖 4 是依照本發明另一實施例的一種振盪器校正方法的流程圖，此校正方法可由振盪器校正電路 100 和上述的測試機台執行。首先，測試機台在步驟 405 設立校正訊號 TRIM_EN。搜尋控制電路 124 在步驟 410 輸出最初的校正值 TRIM_BITS。校正值 TRIM_BITS 可為 k 位元的二進位數，其中校正值的第 0 位元是最低有效位元(LSB: least significant bit)，而校正值的第 k-1 位元是最高有效位元(MSB: most significant bit)，k 為預設正整數。在步驟 410，搜尋控制電路 124 將校正值的第 k-1 位元設為 1，其餘位元設為 0。搜尋控制電路 124 使用例如二分搜尋法(binary search)逐步決定校正值 TRIM_BITS 的每一個位元，此時的校正值就是二分搜尋法的數值起點。

【0015】接下來，可透過例如正反器 126 在步驟 415 栓鎖校正值 TRIM_BITS，並輸出校正值 TRIM_BITS 至振盪器 142。本實施例的 k 等於 9，所以校正值 TRIM_BITS 有 9 個位元 b8~b0，就如圖 2 所示。在其他實施例中，k 可為其他數值。此時的校正訊號 TRIM_EN 處於設立狀態(asserted)，所以多工器 144 在步驟 420 選擇校正模組 120 的正反器 126 輸出的校正值 TRIM_BITS，將其輸

入振盪器 142，以決定振盪時脈訊號 OSC_CLK 的頻率。

【0016】 接下來，頻率計數器 134 在步驟 425 計算參考時脈訊號 REF_CLK 的一個週期之中，振盪時脈訊號 OSC_CLK 的週期數 CNT，並輸出週期數 CNT。頻率計數器 134 可偵測在參考時脈訊號 REF_CLK 的一個週期之中，振盪時脈訊號 OSC_CLK 有幾個上升緣(rising edge)或下降緣(falling edge)，以計算週期數 CNT。週期數 CNT 計算的方式，除了可以以 OSC_CLK 的一個上升緣或下降緣為計算單位外，亦可以以一個以上的上升緣或下降緣（例如 2 個）為計算單位。頻率計數器 134 所計算的，就是振盪時脈訊號 OSC_CLK 與參考時脈訊號 REF_CLK 之間的頻率倍數關係。

【0017】 期望值單元 132 提供期望值 EXP。期望值 EXP 就是當振盪時脈訊號 OSC_CLK 的頻率正確時，頻率計數器 134 所產生的週期數 CNT。舉例來說，若希望振盪器 142 所輸出的頻率 OSC_CLK 為 X MHz(即 OSC_CLK 的頻率正確時的頻率)，假定所使用的參考時脈訊號 REF_CLK 為 Y MHz，假設 $Y < X$ ，則期望值 EXP 將會是 X/Y 。比較器 136 在步驟 430 比較週期數 CNT 和期望值 EXP，並根據週期數 CNT 和期望值 EXP 的比較輸出比較值 CMP。若振盪時脈訊號 OSC_CLK 的頻率和校正值 TRIM_BITS 成正比，則比較器 136 在週期數 CNT 大於期望值 EXP 時，將比較值 CMP 設為 0，在週期數 CNT 小於期望值 EXP 時將比較值 CMP 設為 1。反之，若振盪時脈訊號 OSC_CLK 的頻率和校正值 TRIM_BITS 成反比，則比較器 136 在週期數 CNT 大於期望值 EXP 時將比較值 CMP 設

為 1，在週期數 CNT 小於期望值 EXP 時將比較值 CMP 設為 0。

【0018】 在本發明另一實施例中，若參考時脈訊號 REF_CLK 的頻率大於振盪時脈訊號 OSC_CLK 的頻率，則頻率計數器 134 可偵測在振盪時脈訊號 OSC_CLK 的一週期之中，參考時脈訊號 REF_CLK 的週期數。在這樣的實施例中，比較值 CMP 的數值必須和前一實施例相反。也就是說，若振盪時脈訊號 OSC_CLK 的頻率和校正值 TRIM_BITS 成正比，則比較器 136 在週期數 CNT 大於期望值 EXP 時，將比較值 CMP 設為 1，在週期數 CNT 小於期望值 EXP 時將比較值 CMP 設為 0。反之，若振盪時脈訊號 OSC_CLK 的頻率和校正值 TRIM_BITS 成反比，則比較器 136 在週期數 CNT 大於期望值 EXP 時將比較值 CMP 設為 0，在週期數 CNT 小於期望值 EXP 時將比較值 CMP 設為 1。

【0019】 接下來，搜尋控制電路 124 在步驟 435 以比較值 CMP 逐步取代校正值的每一位元，上述取代的順序是從最高有效位元到最低有效位元。更詳細的說，在參考時脈訊號 REF_CLK 的第 i 個週期，搜尋控制電路 124 將比較值 CMP 設定為校正值的第 k-i 位元，i 為整數而且 $1 \leq i \leq k$ 。同樣在參考時脈訊號 REF_CLK 的第 i 個週期，若 i 小於 k，則搜尋控制電路 124 進一步將校正值的第 k-i-1 位元設定為 1。

【0020】 舉例來說，假設 k=4，在 i=1(第一週期)時，步驟 410 的最初校正值為 1000，若週期數 CNT<期望值 EXP 的話(即 CMP=0)，在第一週期時第 3 個位元(第 k-i 個位元)會被設定為 0，同時第 2

個位元會被設定為 1(即校正值成為 0100)，並據此輸出新的 OSC_CLK。若週期數 CNT>期望值 EXP 的話(即 CMP=1)，在第一週期時第 3 個位元會被設定為 1，同時第 2 個位元會被設定為 1(即校正值成為 1100)，並據此輸出新的 OSC_CLK。簡而言之，在 OSC_CLK 大於 REF_CLK 的頻率的情形下，且頻率計數器 134 係透過偵測參考時脈訊號 REF_CLK 的一個週期之中，振盪時脈訊號 OSC_CLK 的週期數的方式計算週期數 CNT，若週期數 CNT 大於期望值 EXP，表示 OSC_CLK 的頻率太高，所以校正值需要往數值較小的那邊搜尋。反之，若週期數 CNT 小於期望值 EXP，表示 OSC_CLK 的頻率太低，所以校正值需要往數值較大的那邊搜尋。

【0021】 本發明前述實施例係於參考時脈訊號 REF_CLK 剛輸入時(i=1)，頻率計數器 134 即開始計數，但本發明並不限於此。在其他實施例中，頻率計數器 134 亦可在延遲數個週期後，例如參考時脈訊號 REF_CLK 的第 n 個週期才開始計數，其中 n 可為任意整數。

【0022】 前述實施例所述的比較器 136 是分別依據 EXP 與 CNT 的數值以決定比較值 CMP。在本發明另一實施例中，亦可直接將 OSC_CLK 與參考時脈訊號 REF_CLK 比較，並據此產生比較值 CMP 並輸出至搜尋控制電路 124。在此實施例中，參考時脈訊號 REF_CLK 可為「期望產生的振盪器頻率」，即振盪時脈訊號 OSC_CLK 的頻率正確時所對應的時脈訊號。

【0023】 測試機台在步驟 440 檢查校正階段是否已結束。如圖 2

所示，校正階段是在校正訊號 TRIM_EN 設立之後的參考時脈訊號 REF_CLK 的 k 個週期之後結束。若校正階段尚未結束，則流程返回步驟 415。步驟 415 至 440 就是上述的二分搜尋法的主迴圈，此迴圈在參考時脈訊號 REF_CLK 的每一個週期執行一次，每次執行設定校正值 TRIM_BITS 的一個位元。當校正階段結束時，校正值 TRIM_BITS 也隨之完成設定。用這個校正值 TRIM_BITS 可使振盪時脈訊號 OSC_CLK 的頻率符合期望值 EXP，達到精確校正的目標。

【0024】 若校正階段已結束，則測試機台在步驟 445 設立燒錄訊號 PROGRAM_EN。然後燒錄控制電路 152 在步驟 450 將正反器 126 輸出的校正值 TRIM_BITS 燒錄至非揮發記憶體 154。當積體電路 110 下次啓動之後，正反器 156 在步驟 455 載入非揮發記憶體 154 儲存的校正值 TRIM_BITS，並輸出這個校正值 TRIM_BITS。積體電路 110 在正常操作時不進行振盪器 142 的校正，校正訊號 TRIM_EN 處於重置(de-asserted)狀態，所以多工器 144 選擇燒錄模組 150 的正反器 156 所輸出的校正值 TRIM_BITS，將其輸入振盪器 142，以設定振盪時脈訊號 OSC_CLK 的頻率。在本發明另一實施例中，亦可使用例如栓鎖電路(latch circuit)代替正反器 126、156 以實施本發明。

【0025】 綜上所述，本發明實施例所述的振盪器校正電路可完全內建於積體電路中，測試機台只需要提供三個簡單訊號 (REF_CLK、TRIM_EN 和 PROGRAM_EN)，若非揮發記憶體為

單次燒錄(OTP: one-time programmable)記憶體，則需再多加一高壓電源訊號，所以需求的訊號通道數量很少，測試機台的軟體僅需要簡單的控制功能。而且即使同時校正多個積體電路其中的振盪器，上述的三個訊號也不需要改變，可同時提供給每一個接受校正的積體電路。因此，本發明實施例的振盪器校正電路與方法，可配合廉價的測試機台，平行進行校正與燒錄，節省大量的機台測試時間，測試機台的控制軟體也容易開發。此外，本發明實施例採用二分搜尋法以決定校正值，加上平行處理，可以非常迅速地完成多個振盪器的精準校正。

【0026】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】

【0027】

100：振盪器校正電路	110：積體電路
120：校正模組	122：比較模組
124：搜尋控制電路	126：正反器
132：期望值單元	134：頻率計數器
136：比較器	142：振盪器
144：多工器	150：燒錄模組
152：燒錄控制電路	154：非揮發記憶體
156：正反器	310~320：方法步驟
405~455：方法步驟	b0~b8：校正值的位元
LSB：最低有效位元	MSB：最高有效位元
CMP、CNT、EXP、OSC_CLK、PROGRAM_EN、REF_CLK、 TRIM_BITS、TRIM_EN：電路訊號	

申請專利範圍

1. 一種振盪器校正電路，其中該振盪器校正電路內建於一積體電路中，包括：

一振盪器，輸出一振盪時脈訊號，包括多個阻抗元件，其中一校正值控制至少一個上述阻抗元件的阻抗值，而上述多個阻抗元件的阻抗值決定該振盪時脈訊號的頻率；

一校正模組，耦接該振盪器，在一校正訊號設立之後，根據該振盪時脈訊號和一參考時脈訊號的頻率倍數關係，決定並輸出該校正值；以及

一燒錄模組，耦接該校正模組，包括一非揮發記憶體，在一燒錄訊號設立之後將該校正值燒錄至該非揮發記憶體；

其中，該參考時脈訊號、該校正訊號、以及該燒錄訊號來自該積體電路之外的一測試機台。

2. 如申請專利範圍第 1 項所述的振盪器校正電路，其中每一上述阻抗元件為電阻或電容，該些阻抗元件為電阻與電容之組合。

3. 如申請專利範圍第 1 項所述的振盪器校正電路，其中該校正模組包括：

一比較模組，耦接該振盪器，在該校正訊號設立之後根據該頻率倍數關係輸出一比較值；

一搜尋控制電路，耦接該比較模組，輸出一校正值，並以該比較值逐步取代該校正值的每一位元；以及

一第一正反器，耦接該搜尋控制電路，栓鎖並輸出該校正值。

104-9-11

4. 如申請專利範圍第 3 項所述的振盪器校正電路，其中該比較模組包括：

一期望值單元，提供一期望值；

一頻率計數器，耦接該振盪器，在該校正訊號設立之後，計算該參考時脈訊號的一個週期之中，該振盪時脈訊號的週期數，並輸出該週期數；以及

一比較器，耦接該期望值單元、該頻率計數器、以及該搜尋控制電路，根據該週期數和該期望值的比較結果輸出該比較值。

5. 如申請專利範圍第 1 項所述的振盪器校正電路，其中該燒錄模組在該振盪器所屬的積體電路啟動之後輸出該非揮發記憶體儲存的該校正值，而且該振盪器校正電路更包括：

一多工器，耦接該振盪器、該校正模組、以及該燒錄模組，根據該校正訊號或一控制訊號在該校正模組和該燒錄模組輸出的上述校正值其中擇一輸入該振盪器。

6. 如申請專利範圍第 5 項所述的振盪器校正電路，其中該燒錄模組更包括：

一燒錄控制電路，耦接該校正模組和該非揮發記憶體，在該燒錄訊號設立之後將該校正值燒錄至該非揮發記憶體；以及

一第二正反器，耦接該非揮發記憶體和該多工器，在該積體電路啟動之後載入並輸出該非揮發記憶體儲存的該校正值。

7. 一種積體電路，包括一振盪器校正電路，其中該振盪器校正電路包括：

104-9-11

一振盪器，輸出一振盪時脈訊號，包括多個阻抗元件，其中一校正值控制至少一個上述阻抗元件的阻抗值，而上述多個阻抗元件的阻抗值決定該振盪時脈訊號的頻率；

一校正模組，耦接該振盪器，在一校正訊號設立之後，根據該振盪時脈訊號和一參考時脈訊號，透過二分搜尋法逐步取代該校正值的每一位元並輸出該校正值，其中該參考時脈訊號為該振盪時脈訊號的頻率正確時所對應的時脈訊號；以及

一燒錄模組，耦接該校正模組，包括一非揮發記憶體，在一燒錄訊號設立之後將該校正值燒錄至該非揮發記憶體。

8. 一種振盪器校正方法，用於校正一積體電路中之一振盪器，其中該積體電路還包括一校正模組與一燒錄模組，該振盪器依據該校正模組所產生的一校正值輸出一振盪時脈訊號，並且該校正值決定該振盪時脈訊號的頻率，該振盪器校正方法包括：

在一校正訊號設立之後，根據該振盪時脈訊號和一參考時脈訊號的頻率倍數關係決定並產生該校正值；以及

在校正完成後設立一燒錄訊號，由該校正模組將該校正值輸入至該燒錄模組，並由該燒錄模組將該校正值燒錄至該燒錄模組的一非揮發記憶體；

其中，該參考時脈訊號、該校正訊號、以及該燒錄訊號來自該積體電路之外的一測試機台。

9. 如申請專利範圍第 8 項所述的振盪器校正方法，其中根據該頻率倍數關係校正該振盪器並輸出該校正值的步驟包括：

104-9-11

在該校正訊號設立之後根據該頻率倍數關係輸出一比較值；
輸出該校正值，並以該比較值逐步取代該校正值的每一位元；以及

栓鎖該校正值，並輸出該校正值至該振盪器。

10. 如申請專利範圍第 8 項所述的振盪器校正方法，其中校正該振盪器並輸出該校正值的步驟包括：

使用二分搜尋法逐步取代該校正值的每一位元並輸出該校正值。

11. 如申請專利範圍第 9 項所述的振盪器校正方法，其中根據該頻率倍數關係輸出該比較值的步驟包括：

在該校正訊號設立之後，計算該參考時脈訊號的一個週期之中，該振盪時脈訊號的週期數；以及

根據該週期數和一期望值的比較輸出該比較值。

12. 如申請專利範圍第 9 項所述的振盪器校正方法，其中該校正值為 k 位元的二進位數，該校正值的第 0 位元為最低有效位元，該校正值的第 $k-1$ 位元為最高有效位元， k 為預設正整數，而且輸出該校正值並以該比較值逐步取代該校正值的每一位元的步驟包括：

在該校正訊號設立時，先將該校正值的第 $k-1$ 位元設為 1，其餘位元設為 0；以及

在該參考時脈訊號的第 i 個週期，將該比較值設定為該校正值的第 $k-i$ 位元，其中 i 為整數而且 $1 \leq i \leq k$ ，若 i 小於 k ，則

104-9-11

將該校正值的第 $k-i-1$ 位元設定為 1。

13. 如申請專利範圍第 8 項所述的振盪器校正方法，更包括：

在該振盪器所屬的積體電路啟動之後，輸出該非揮發記憶體儲存的該校正值；以及

根據該校正訊號或一控制訊號，在根據該頻率倍數關係所決定的該校正值和該非揮發記憶體所儲存的該校正值其中擇一輸入該振盪器。

14. 如申請專利範圍第 13 項所述的振盪器校正方法，其中在上述校正值其中擇一輸入該振盪器的步驟包括：

當該校正訊號設立時，選擇根據該頻率倍數關係所決定的該校正值；以及

當該校正訊號重置時，選擇該非揮發記憶體所儲存的該校正值。

圖式

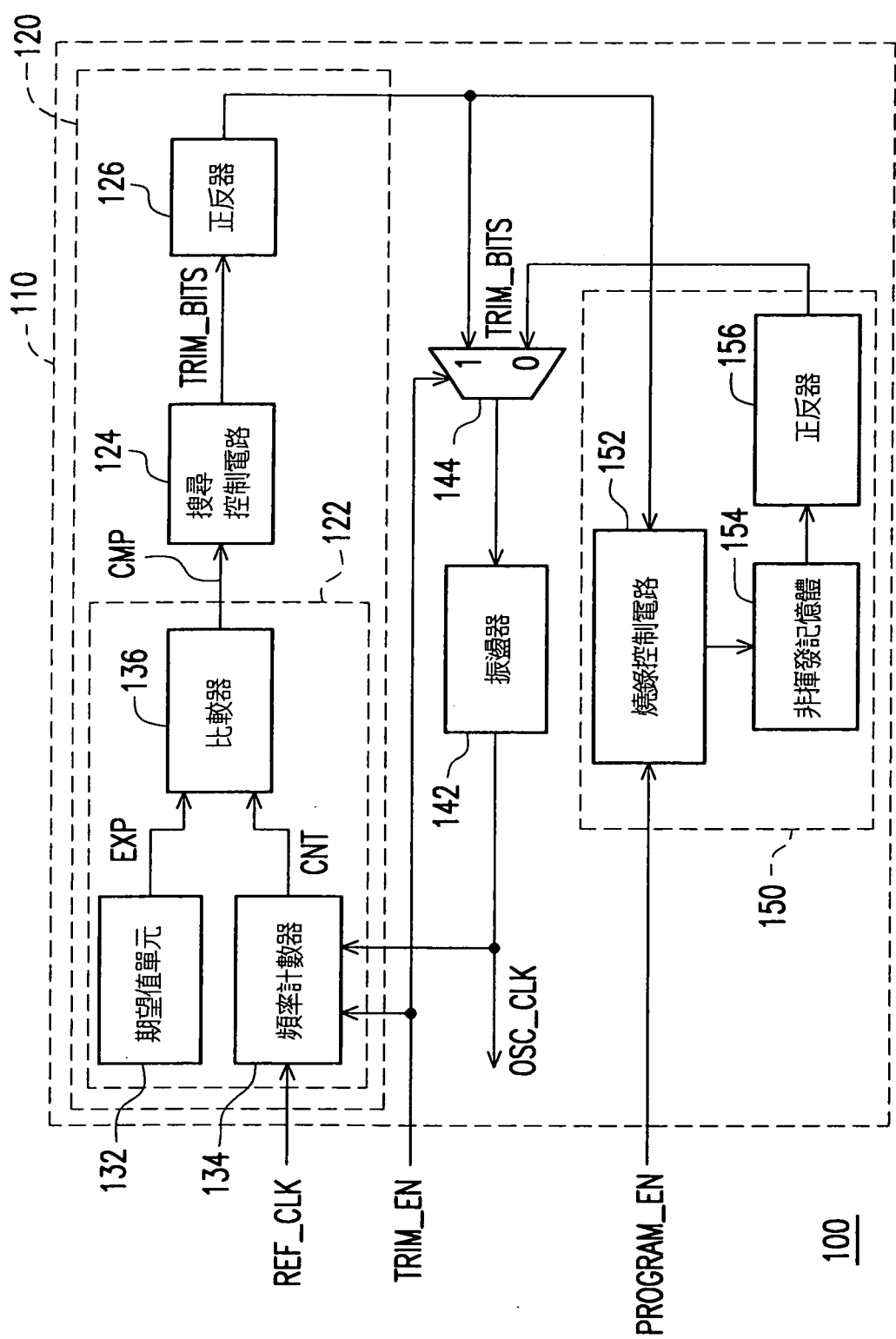


圖 1

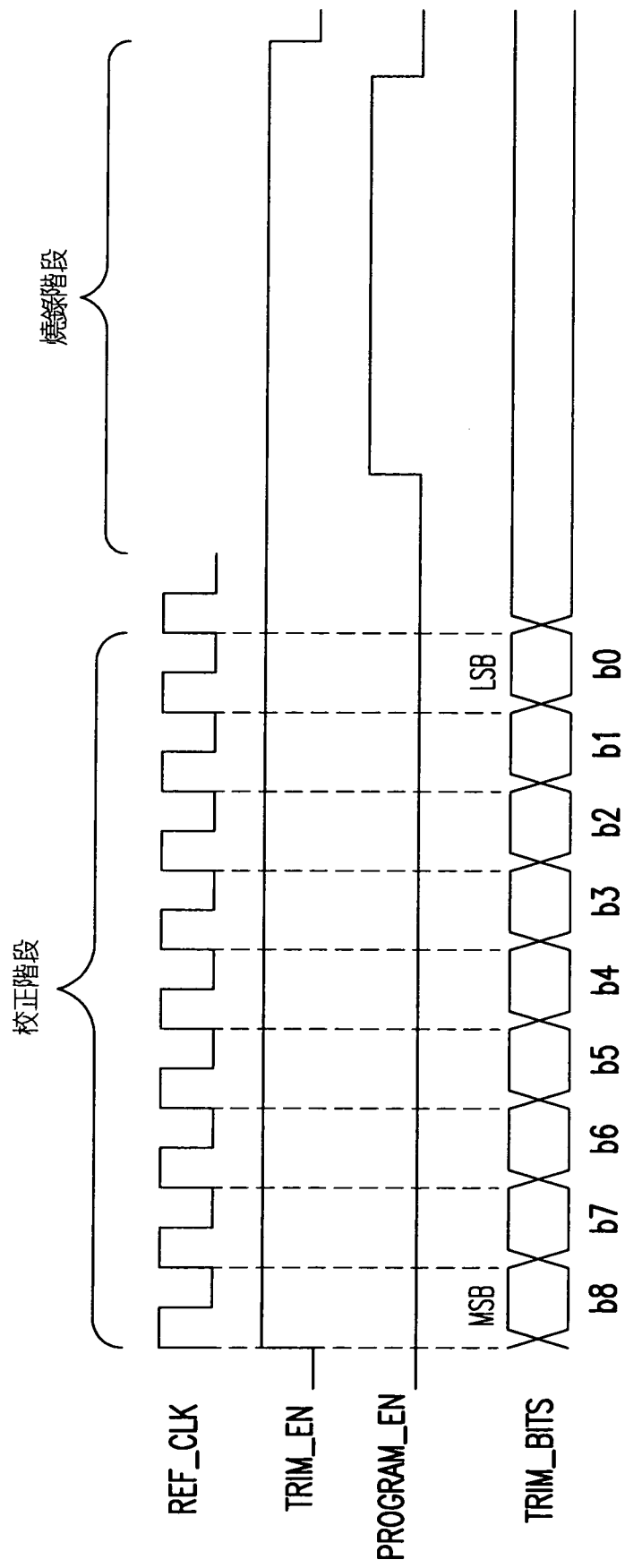


圖 2

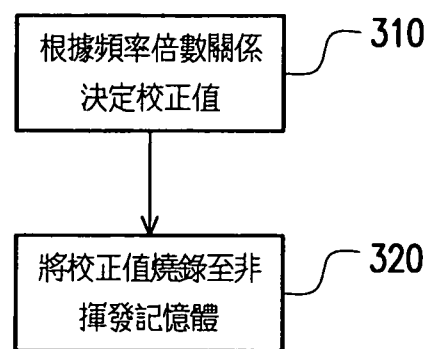


圖 3

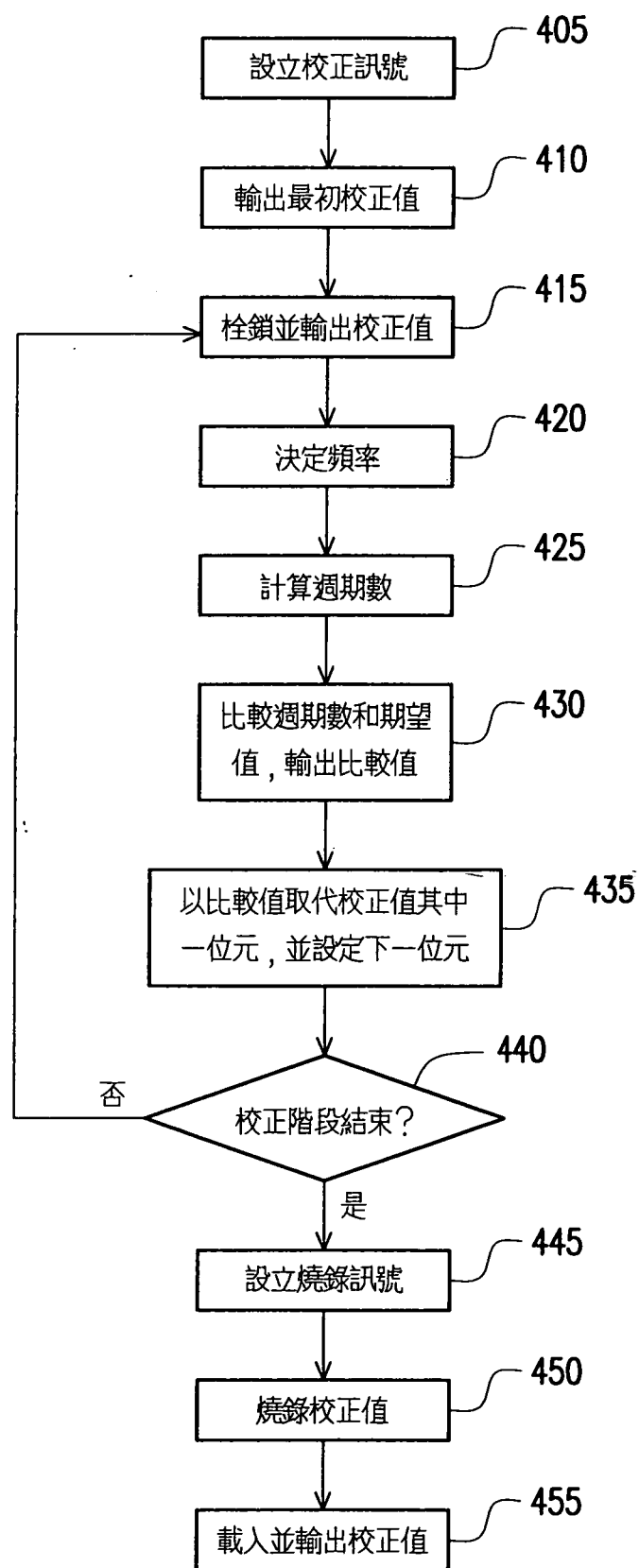


圖 4