

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5511802号  
(P5511802)

(45) 発行日 平成26年6月4日 (2014. 6. 4)

(24) 登録日 平成26年4月4日 (2014. 4. 4)

(51) Int. Cl.

G 0 2 F 1/1345 (2006.01)

F I

G 0 2 F 1/1345

請求項の数 11 (全 9 頁)

|               |                               |           |                                 |
|---------------|-------------------------------|-----------|---------------------------------|
| (21) 出願番号     | 特願2011-513409 (P2011-513409)  | (73) 特許権者 | 508038091                       |
| (86) (22) 出願日 | 平成21年5月22日 (2009. 5. 22)      |           | シリコン・ワークス・カンパニー・リミテッド           |
| (65) 公表番号     | 特表2011-524544 (P2011-524544A) |           | S i l i c o n W o r k s C o . , |
| (43) 公表日      | 平成23年9月1日 (2011. 9. 1)        |           | L T D .                         |
| (86) 国際出願番号   | PCT/KR2009/002692             |           | 大韓民国デジョンシ、ユソング、タムニブ             |
| (87) 国際公開番号   | W02009/154354                 |           | ドン707番                          |
| (87) 国際公開日    | 平成21年12月23日 (2009. 12. 23)    | (74) 代理人  | 100118913                       |
| 審査請求日         | 平成22年12月14日 (2010. 12. 14)    |           | 弁理士 上田 邦生                       |
| (31) 優先権主張番号  | 10-2008-0056179               | (74) 代理人  | 100112737                       |
| (32) 優先日      | 平成20年6月16日 (2008. 6. 16)      |           | 弁理士 藤田 考晴                       |
| (33) 優先権主張国   | 韓国 (KR)                       | (74) 代理人  | 100136168                       |
|               |                               |           | 弁理士 川上 美紀                       |
|               |                               | (74) 代理人  | 100101454                       |
|               |                               |           | 弁理士 山田 卓二                       |

最終頁に続く

(54) 【発明の名称】 ドライバ集積回路チップのパッド配置構造

(57) 【特許請求の範囲】

【請求項 1】

上辺に入力パッドが配置されるとともに下辺に出力パッドが配置された液晶表示パネルに実装されるドライバ集積回路チップのパッド配置構造において、

前記ドライバ集積回路チップに第1電源VDD1を供給するための第1電源パッドと、  
前記ドライバ集積回路チップに第2電源VSS1を供給するための第2電源パッドと、  
前記ドライバ集積回路チップに第3電源VDD2を供給するための第3電源パッドと、  
前記ドライバ集積回路チップに第4電源VSS2を供給するための第4電源パッドと、  
をそれぞれ具備する第1乃至第4電源パッド部を有し、

前記第1電源パッド部は、前記入力パッドの長さ方向の延長線上で前記入力パッドの  
側末端部と、前記入力パッドの側末端部に対向する前記ドライバ集積回路チップの終  
端部との間のうちで前記入力パッドの側末端部に隣接して配置され、

前記第2電源パッド部は、前記入力パッドの長さ方向の延長線上で前記入力パッドの他  
側末端部と、前記入力パッドの他側末端部に対向する前記ドライバ集積回路チップの終  
端部との間のうちで前記入力パッドの他側末端部に隣接して配置され、

前記第3電源パッド部は、前記出力パッドの長さ方向の延長線上で前記出力パッドの一  
側末端部と、前記出力パッドの側末端部に対向する前記ドライバ集積回路チップの終  
端部との間のうちで前記出力パッドの側末端部に隣接して配置され、

前記第4電源パッド部は、前記出力パッドの長さ方向の延長線上で前記出力パッドの他  
側末端部と、前記出力パッドの他側末端部に対向する前記ドライバ集積回路チップの終  
端部との間のうちで前記出力パッドの他側末端部に隣接して配置され、

10

20

部との間のうちで前記出力パッドの他側終端部に隣接して配置されることを特徴とするドライバ集積回路チップのパッド配置構造。

【請求項 2】

前記ドライバ集積回路チップの左側面及び右側面のうちで少なくとも 1 ヶ所に前記第 1 乃至第 4 電源パッドを具備する側面電源パッド部がさらに配置されることを特徴とする請求項 1 に記載のドライバ集積回路チップのパッド配置構造。

【請求項 3】

前記第 1 乃至第 4 電源パッド部のうち少なくとも一つの電源パッド部は、前記ドライバ集積回路チップの左側面または右側面に配置された前記側面電源パッド部のうちで前記少なくとも一つの電源パッド部から近くに位置した側面電源パッド部と互いに連結されていることを特徴とする請求項 2 に記載のドライバ集積回路チップのパッド配置構造。

10

【請求項 4】

前記第 1 乃至第 4 電源パッド部のうち少なくとも一つの電源パッド部の前記第 1 電源パッド及び前記第 2 電源パッドと前記側面電源パッド部の前記第 1 電源パッド及び前記第 2 電源パッドとが、第 1 電源パッド連結ライン及び前記第 2 電源パッド連結ラインによって互いに連結されていることを特徴とする請求項 3 に記載のドライバ集積回路チップのパッド配置構造。

【請求項 5】

前記第 1 乃至第 4 電源パッド部のうち少なくとも一つの電源パッド部の前記第 3 電源パッド及び前記第 4 電源パッドと前記側面電源パッド部の前記第 3 電源パッド及び前記第 4 電源パッドとが、第 3 電源パッド連結ライン及び前記第 4 電源パッド連結ラインによって互いに連結されていることを特徴とする請求項 4 に記載のドライバ集積回路チップのパッド配置構造。

20

【請求項 6】

前記第 1 電源は、デジタル信号処理のための供給電源であり、

前記第 2 電源は、デジタル信号処理のための接地電源であることを特徴とする請求項 4 又は 5 に記載のドライバ集積回路チップのパッド配置構造。

【請求項 7】

前記第 3 電源は、アナログ信号処理のための供給電源であり、

前記第 4 電源は、アナログ信号処理のための接地電源であることを特徴とする請求項 4 又は 5 に記載のドライバ集積回路チップのパッド配置構造。

30

【請求項 8】

前記ドライバ集積回路チップは、前記液晶表示パネルにチップ-オン-ガラス(COG)方式で実装されることを特徴とする請求項 4 又は 5 に記載のドライバ集積回路チップのパッド配置構造。

【請求項 9】

請求項 5 に記載のパッド配置構造を備えたドライバ集積回路チップが実装されたことを特徴とする液晶表示パネル。

【請求項 10】

前記第 1 電源パッド連結ライン乃至前記第 4 電源パッド連結ラインは、前記ドライバ集積回路チップ上をバイパスして連結されていることを特徴とする請求項 9 に記載の液晶表示パネル。

40

【請求項 11】

前記第 1 電源パッド連結ライン乃至前記第 4 電源パッド連結ラインは、ライン-オン-ガラス(LOG)方式で連結されることを特徴とする請求項 10 に記載の液晶表示パネル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置のドライバ集積回路チップのパッド配置構造に関するものであ

50

り、特に、ドライバ集積回路チップを液晶パネルにチップ-オン-ガラス(Chip On Glass: C O G)方式で接着時にチップ内部の電源パッドをチップ角の四つの方向にすべてに配置することでドライバ集積回路チップと液晶パネルの接着性能を向上させることができるドライバ集積回路チップのパッド配置構造に関するものである。

#### 【背景技術】

#### 【0002】

液晶ディスプレイ(Liquid Crystal Display、L C D)は、印加電圧によって液晶分子の配列状態が変わる特徴を利用して液晶に光を通過させるにことによって映像データがディスプレイされる素子を意味する。このうちで最近一番活発に使用されている素子は、シリコン集積回路の製造技術を利用して作る薄膜トランジスタ(Thin Film Transistor、T F T)型液晶ディスプレイ(L C D)である。

10

#### 【0003】

図1は、一般的な液晶ディスプレイの構造を概略的に示す図面である。

#### 【0004】

薄膜トランジスタ(Thin Film Transistor、T F T)型液晶ディスプレイ(L C D)は、互いに対向する薄膜トランジスタアレイ基板とカラーフィルター基板が一定の間隔を置いて合着されて、その一定な離隔空間に液晶層が注入された液晶表示パネル30と、これを駆動するための駆動回路で構成される。

#### 【0005】

前記駆動回路は、フレームごとに複数のゲートラインに走査信号を順次に印加するゲートドライバ集積回路40と、ゲートドライバ集積回路の走査信号に対応してソースラインを駆動するソースドライバ集積回路20と、ゲートドライバ集積回路40及びソースドライバ集積回路20を制御して、ピクセルデータを出力するタイミング制御部10と、液晶表示装置で使用されるさまざまな駆動電圧を供給する電源供給部(図示せず)で構成される。

20

#### 【0006】

一般に、前記ドライバ集積回路を液晶表示パネルと連結する方法としては、高分子物質で作られた薄い伸縮性フィルム、すなわち、T C P(Tape Carrier Package)上にドライバ集積回路を実装して、このフィルムを液晶表示パネルと連結することでドライバ集積回路を液晶表示パネルと電氣的に連結するT A B(Tape Automated Bonding)方式と、前記ドライバ集積回路を液晶表示パネルのガラス基板上に bumps(bump)を使用して直接実装して連結するチップ-オン-ガラス(Chip On Glass:以下、'C O G'と称する)方式がある。

30

#### 【0007】

従来は接続性が良くて改良しやすいT A B方式を多く使用したが、最近は微細実装技術が発展することによって小型化しやすく製造単価が低いC O G方式が主に使用されている。

#### 【0008】

C O G方式とは、ドライバ集積回路の出力電極をパッドに直接連結して基板とドライバ集積回路を一体化させる方法である。前記C O G方式では bumps とパッドを接着する工程時に、 bumps とパッドはこれらの間に位置した導電性粒子を通じて接着される。

40

#### 【0009】

また、前記C O G方式で液晶表示パネルに実装される各ドライバ集積回路チップは、複数の信号ラインが薄膜トランジスタアレイ基板上に直接実装されるライン-オン-ガラス(Line On Glass:以下、'L O G'と称する)方式で相互接続されて、タイミング制御部及び電源供給部から制御信号及び駆動電圧の供給を受ける。

#### 【0010】

図2は、従来のC O G方式で実装されるドライバ集積回路チップのパッド配置構造を示す図面である。

#### 【0011】

図2に示されるように、ドライバ集積回路チップは液晶ディスプレイアプリケーション

50

(application)の特性上左右方向の長さが上下方向の長さより非常に長い直四角形の模様を有することが一般的である。

#### 【0012】

従来のCOG方式に実装されるドライバ集積回路チップ200は、中央に内部回路210が配置されて内部回路の外郭の上辺に入力パッド(Input pad)220が配置されて、下辺に出力パッド(output pad)230が配置される。この外にもドライバ集積回路チップには電源供給ライン251、252及び電源パッド241a～241d、242a～242dなどが配置されなければならない。

#### 【0013】

このようにドライバ集積回路チップに、内部回路、入力パッド及び出力パッド以外に、電源供給ラインと電源パッドなどをすべて設計する場合、ドライバ集積回路チップが実装されるパネルの大きさを大きくしなければならず、したがって、ガラスの効率を低下させる問題があった。

10

#### 【0014】

したがって、従来はソースドライバ集積回路チップ及びゲートドライバ集積回路チップを設計するにおいて、チップの電源ライン(Power line)と接地ライン(Ground line)が占める面積を小さくするために電源パッド(Power pad)と接地パッド(Ground pad)をドライバ集積回路チップの入力パッド(input pad)部分に配置するか、またはチップの左側または右側の側面(A)部分に配置した。

#### 【0015】

20

このように電源パッドと接地パッドがドライバ集積回路チップの入力パッド(input pad)部分またはドライバ集積回路チップの側面(A)部分に配置された時は、接着のために加える力がドライバ集積回路チップ角の4方向に対して均等でなければ回路が正常に動作しない問題がある。

#### 【0016】

すなわち、電源パッド及び接地パッドが入力パッド(input pad)の位置にだけ存在する場合、接着のために入力パッド部分に加えられる力が出力パッド部分に加えられる力より大きければ出力パッド部分の接着力が弱くなって画像不良が発生する。反対に出力パッド部分に加えられる力が入力パッド部分に加えられる力より大きければ電源パッド及び接地パッドの接着力が弱くなって画像ノイズや周波数不良などのさまざまな問題が発生する。

30

#### 【0017】

このように従来のソースドライバ集積回路チップ及びゲートドライバ集積回路チップでは、チップの一方向にだけ電源パッドと接地パッドが配置されることで、接着のためにチップに加えられる力がある一方向で不均等になる場合、画像不良や周波数不良などを発生させる問題があった。

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0018】

本発明が解決しようとする技術的課題は、ドライバ集積回路チップ内部の電源パッドをチップ角の四つの方向に配置することで、ドライバ集積回路チップと液晶パネルの接着時の問題を最小化できるドライバ集積回路チップのパッド配置構造を提供することにある。

40

#### 【課題を解決するための手段】

#### 【0019】

前記技術的課題をなすための本発明によるドライバ集積回路チップのパッド配置構造は、液晶表示パネルに実装されるドライバ集積回路チップのパッド配置構造において、前記ドライバ集積回路チップに第1電源(VDD1)を供給するための第1電源パッド、前記ドライバ集積回路チップに第2電源VSS1を供給するための第2電源パッド、前記ドライバ集積回路チップに第3電源VDD2を供給するための第3電源パッド及び前記ドライバ集積回路チップに第4電源VSS2を供給するための第4電源パッドを具備する電源パッド部が前記ドライバ集積回路チップの4ヶ所の角に配置されることを特徴とする。

50

## 【発明の効果】

## 【0020】

本発明によるドライバ集積回路チップのパッド配置構造によれば、ドライバ集積回路チップ内部の電源パッドをチップ角の四つの方向に配置することで、ドライバ集積回路チップと液晶表示パネルの接着時にドライバ集積回路チップに加えられる力が均一ではない場合にも、ドライバ集積回路チップと液晶表示パネルとの接着性能を向上させることができる長所がある。

## 【図面の簡単な説明】

## 【0021】

【図1】一般的な液晶ディスプレイの構造を概略的に示す図面である。

10

【図2】従来のCOG方式に実装されるドライバ集積回路チップのパッド配置構造を示す図面である。

【図3】本発明によるドライバ集積回路チップのパッド配置構造を示す図面である。

## 【発明を実施するための形態】

## 【0022】

本発明の核心的なアイデアは、ドライバ集積回路チップ内部の電源パッドをチップ角の四つの方向に配置することで、ドライバ集積回路チップと液晶表示パネルの接着時の問題を最小化できるドライバ集積回路チップのパッド配置構造を提供することにある。

## 【0023】

以下では本発明の具体的な実施例を、図面を参照して詳しく説明する。

20

## 【0024】

図3は、本発明によるドライバ集積回路チップのパッド配置構造を示す図面である。

## 【0025】

図3を参照すれば、本発明によるドライバ集積回路チップは、中央に内部回路310が配置されて、内部回路の外郭の上側面に入力パッド320が配置されて、下側面には出力パッド330が配置される。

## 【0026】

但し、前記ドライバ集積回路チップの入力パッド部分または側面にだけ電源パッドが配置された従来のドライバ集積回路チップと異なり、本発明によるドライバ集積回路チップは、前記ドライバ集積回路チップの4ヶ所の角及び左側面と右側面に電源パッド部を具備する。

30

## 【0027】

説明の便宜上前記ドライバ集積回路チップの4ヶ所の角に配置された電源パッド部341乃至344を角電源パッド部と称し、前記ドライバ集積回路チップの左側面と右側面に配置された電源パッド部を側面電源パッド部345、346と称する。

## 【0028】

一方、前記電源パッド部には、電源を供給する電源供給ライン351乃至354が連結され、前記各電源供給ラインは、ライン-オン-ガラス(LOG)方式でガラス基板上に接着される。

## 【0029】

40

前記角電源パッド部341乃至344及び側面電源パッド部345、346は、前記ドライバ集積回路チップに第1電源VDD1を供給するための第1電源パッド341a乃至346a、第2電源VSS1を供給するための第2電源パッド341b乃至346b、第3電源VDD2を供給するための第3電源パッド341c乃至346c及び第4電源VSS2を供給するための第4電源パッド341d乃至346dをそれぞれ具備する。

## 【0030】

この時、前記第1電源VDD1は、デジタル信号処理のための供給電源として使用されることができ、前記第2電源VSS1は、デジタル信号処理のための接地電源として使用されることができ、また、前記第3電源VDD2は、アナログ信号処理のための供給電源として使用されることができ、前記第4電源VSS2は、アナログ信号処理のための接

50

地電源として使用されることができる。

【0031】

前記ドライバ集積回路チップの左側上面に配置された角電源パッド部341は、ドライバ集積回路チップの側面に配置された側面電源パッド部345、346のうち近くに位置した左側の側面電源パッド部345と連結される。この時、前記角電源パッド部341の第1電源パッド341aと側面電源パッド部345の第1電源パッド345aは、第1電源パッド連結ライン361aによって連結され、前記角電源パッド部341の第2電源パッド341bと側面電源パッド部345の第2電源パッド345bは第2電源パッド連結ライン361bによって連結される。

【0032】

一方、前記ドライバ集積回路チップの左側下面に配置された角電源パッド部343は、ドライバ集積回路チップの側面に配置された側面電源パッド部345、346のうち近くに位置した左側の側面電源パッド部345と連結される。この時、前記角電源パッド部343の第3電源パッド343cと側面電源パッド部345の第3電源パッド345cは、第3電源パッド連結ライン361cによって連結され、前記角電源パッド部343の第4電源パッド343dと側面電源パッド部345の第4電源パッド345dは第4電源パッド連結ライン361dによって連結される。

【0033】

前記第1電源パッド連結ライン361aと第2電源パッド連結ライン361b及び第3電源パッド連結ライン361cと第4電源パッド連結ライン361dは、前記ドライバ集積回路チップの上をバイパスしてライン-オン-ガラス(LOG)方式でガラス基板に実装されるか、または前記ドライバ集積回路チップ内部に形成されることができる。

【0034】

一方、前記ドライバ集積回路チップの右側上面に配置された角電源パッド部342は、ドライバ集積回路チップの側面に配置された側面電源パッド部345、346のうち近くに位置した右側の側面電源パッド部346と連結される。この時、前記角電源パッド部342の第1電源パッド342aと側面電源パッド部346の第1電源パッド346aは、第1電源パッド連結ライン362aによって連結され、前記角電源パッド部342の第2電源パッド342bと側面電源パッド部346の第2電源パッド346bは、第2電源パッド連結ライン362bによって連結される。

【0035】

また、前記ドライバ集積回路チップの右側下面に配置された角電源パッド部344は、ドライバ集積回路チップの側面に配置された側面電源パッド部345、346のうち近くに位置した右側の側面電源パッド部346と連結される。この時、前記角電源パッド部344の第3電源パッド344cと側面電源パッド部346の第3電源パッド346cは、第3電源パッド連結ライン362cによって連結され、前記角電源パッド部344の第4電源パッド344dと側面電源パッド部346の第4電源パッド346dは、第4電源パッド連結ライン362dによって連結される。

【0036】

前記第1電源パッド連結ライン362a、第2電源パッド連結ライン362b、第3電源パッド連結ライン362c、及び第4電源パッド連結ライン362dは、前記ドライバ集積回路チップの上をバイパスして、ライン-オン-ガラス(LOG)方式でガラス基板に実装されるか、または前記ドライバ集積回路チップ内部に形成されることができる。

【0037】

すなわち、本発明によるドライバ集積回路チップのパッド配置構造によれば、ドライバ集積回路チップ内部の電源パッド部341～346がドライバ集積回路チップ角の四つの方向及び左右側面に配置されて、前記電源パッド部内の第1電源パッド341a～346a乃至第4電源パッド341d～346dを互いに連結するための第1電源パッド連結ライン361a、362a乃至第4電源パッド連結ライン361d、362dがドライバ集積回路チップをバイパスして連結される。

10

20

30

40

50

## 【0038】

前記ドライバ集積回路チップ角の四つの方向及び左右側面に配置された電源パッドがすべて液晶表示パネル上にL O Gで連結されることで、ドライバ集積回路チップと液晶表示パネルの接合時の問題点を最小化できる。

## 【0039】

以上では、本発明に対する技術思想を添付図面と共に敘述したが、これは本発明の望ましい実施例を例示的に説明したものであって、本発明を限定するものではない。また、本発明が属する技術分野で通常の知識を有した者なら誰でも本発明の技術的思想の範疇を離脱しない範囲内で多様な変形及び模倣が可能であることは明白な事実である。

## 【符号の説明】

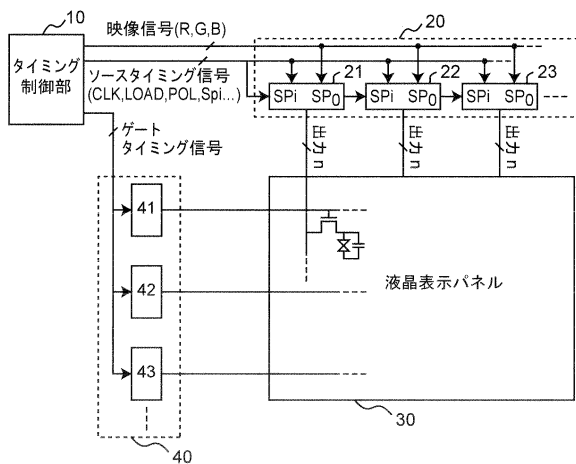
## 【0040】

- 310 内部回路
- 320 入力パッド
- 330 出力パッド
- 341乃至344 角電源パッド部
- 345、346 側面電源パッド部
- 351乃至354 電源供給ライン
- 341a乃至346a 第1電源パッド
- VSS1 第2電源
- 341b乃至346b 第2電源パッド
- VDD2 第3電源
- 341c乃至346c 第3電源パッド
- VSS2 第4電源
- 341d乃至346d 第4電源パッド

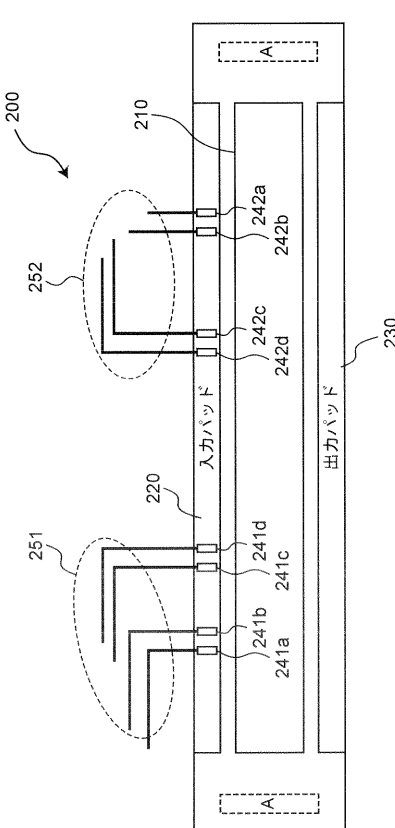
10

20

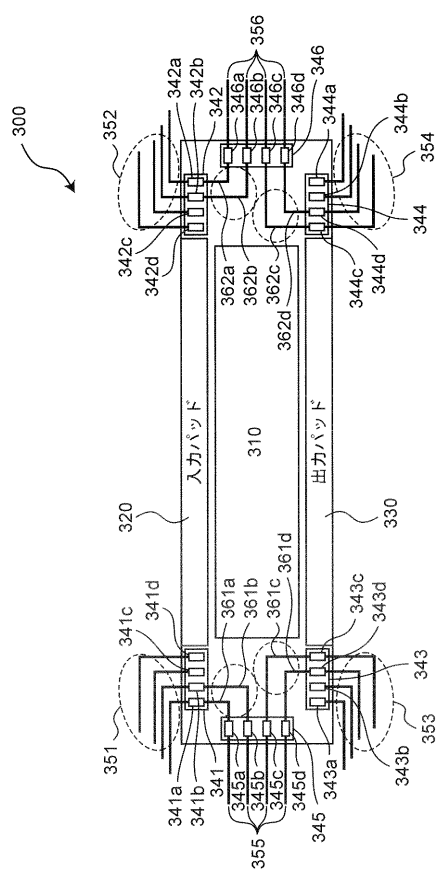
【図1】



【図2】



【图 3】



---

フロントページの続き

- (74)代理人 100081422  
弁理士 田中 光雄
- (74)代理人 100125874  
弁理士 川端 純市
- (72)発明者 チョイ・ジョンチュル  
大韓民国700-444デグシ、ジュング、ナムサン4ドン、ナムサン・グリーン・タウン101-802
- (72)発明者 キム・アンヨン  
大韓民国306-761デジョンシ、デドクグ、ウプネドン、ヒュンダイ・アパートメント106-303
- (72)発明者 ナ・ジョンホ  
大韓民国302-120デジョンシ、ソグ、ドゥンサンドン、ソジョン・アパートメント8-608
- (72)発明者 キム・デソン  
大韓民国306-787デジョンシ、デドクグ、オジョンドン635-1番、シンドンア・アパートメント6-1503
- (72)発明者 ハン・デクン  
大韓民国302-120デジョンシ、ソグ、ドゥンサンドン970番、ヒョンチョン・アパートメント109-1301

審査官 山口 裕之

- (56)参考文献 特開平06-222378 (JP, A)  
特開平11-095241 (JP, A)  
特開2004-361722 (JP, A)  
特開2007-227579 (JP, A)  
特開平11-095243 (JP, A)  
特開平11-109309 (JP, A)  
特開2002-328390 (JP, A)  
国際公開第98/012597 (WO, A1)

- (58)調査した分野(Int.Cl., DB名)  
G02F 1/1345