

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
G11C 29/00

(45) 공고일자 1996년01월25일  
(11) 공고번호 특허1996-0001325

(21) 출원번호	특1992-0022034	(65) 공개번호	특1993-0011006
(22) 출원일자	1992년11월20일	(43) 공개일자	1993년06월23일
(30) 우선권주장	91-304335 1991년11월20일 일본(JP) 91-304343 1991년11월20일 일본(JP)		
(71) 출원인	가부시기가이샤 도시바 사또오 후미오		
(72) 발명자	일본국 가나가와켄 가와사키시 사이와이쿠 호리가와 쇼오 72 구시야마 나트스키 일본국 가와사키시 사이와이쿠 고무카이 도시바 쇼오 1 가부시기가이샤 도 시바 종합연구소내 후루야마 도루 일본국 가와사키시 사이와이쿠 고무카이 도시바 쇼오 1 가부시기가이샤 도 시바 종합연구소내 누마타 겐지 일본국 가와사키시 사이와이쿠 고무카이 도시바 쇼오 1 가부시기가이샤 도 시바 종합연구소내		
(74) 대리인	나영환, 도두형		

심사관 : 김희태 (책  
자공보 제4305호)

(54) 반도체 메모리

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

반도체 메모리

[도면의 간단한 설명]

제1도는 웨이퍼 프로세스 후의 반도체 메모리에 포함되는 메모리 셀의 특성의 분포 상황을 도시하는 도면.

제2도는 종래의 DRAM의 일부를 도시하는 회로도.

제3도는 제2도중의 메모리 셀의 1개분을 도시하는 회로도.

제4도는 제2도중의 센스앰프의 1개분을 도시하는 회로도.

제5도는 제2도의 DRAM의 독출 동작예를 도시하는 전압파형도.

제6도는 본 발명의 제1실시예에 관한 DRAM의 일부를 도시하는 회로도.

제7도는 제6도의 DRAM에 있어서의 더미 워드선 구동 방식의 일예를 사용한 독출 동작을 도시하는 전압파형도.

제8도는 제6도의 DRAM에 있어서의 더미 워드선 구동 방식의 다른 예를 사용한 독출 동작을 도시하는 전압파형도.

제9도는 제6도의 DRAM에 있어서의 더미 워드선 구동 방식의 다른 예를 사용한 독출 동작을 도시하는 전압파형도.

제10도는 제6도의 DRAM에 있어서의 더미 워드선 구동 방식의 다른 예를 사용한 독출 동작을 도시하는 전압파형도.

제11도는 제6도의 DRAM에 있어서의 더미 워드선 구동 방식의 다른 예를 사용한 독출 동작을 도시하는 전압파형도.

제12도는 제6도중의 DWL 전위 제어 회로의 일예를 도시하는 회로도.

제13도는 제6도중의 DWL 전위 제어 회로의 다른 예를 도시한 회로도.

제14도는 제6도중의 DWL 전위 제어 회로의 다른 예를 도시한 회로도.

제15도는 제6도중의 DWL 전위 제어 회로의 다른 예를 도시한 회로도.

제16도는 본 발명의 DRAM의 제조 공정의 일예를 도시한 플로우차트.

제17도는 제6도중의 용량으로서 더미용 DRAM 셀의 용량을 사용한 예를 도시하는 회로도.

제18도는 제17도의 DRAM의 독출 동작예를 도시하는 전압파형도.

제19도는 본 발명의 제2실시예에 관한 DRAM의 일예를 도시하는 회로도.

제20도는 제19도중의 DWL 전위 제어 회로의 일예를 도시하는 회로도.

제21도는 제19도중의 DWL 전위 제어 회로의 다른 예를 도시하는 회로도.

제22도는 본 발명의 제3실시예에 관한 DRAM의 일부를 도시하는 회로도.

제23도는 제22도의 DRAM의 독출 동작예를 도시하는 전압 파형도.

제24도는 본 발명의 제4실시예에 관한 DRAM의 일부를 도시하는 회로도.

제25도는 제24도의 DRAM의 독출 동작예를 도시하는 전압 파형도.

제26도는 본 발명의 제5실시예에 관한 DRAM의 일부를 도시하는 회로도.

제27도는 제26도의 DRAM의 독출 동작예를 도시하는 전압파형도.

제28도는 본 발명의 반도체 메모리의 스크리닝 테스트 방법이 적용된 DRAM의 일예의 일부를 도시하는 회로도.

제29도는 제28도의 DRAM의 독출 동작예를 도시하는 타이밍 파형도.

제30도는 본 발명의 반도체 메모리의 스크리닝 방법이 적용되는 DRAM의 다른 예에 대하여 일부를 도시하는 회로도.

제31도는 제30도의 DRAM의 독출 동작예를 도시하는 타이밍 파형도.

제32도는 본 발명의 반도체 메모리의 스크리닝 테스트 방법이 적용되는 DRAM의 또 다른 예의 일부를 도시하는 회로도.

제33도는 제32도의 DRAM의 독출 동작예를 도시하는 타이밍 파형도.

#### \* 도면의 주요부분에 대한 부호의 설명

W1~Wm : 워드선	BL1~BLn : 비트선
10 : 메모리 셀 어레이	11 : 더미셀부
12 : 더미 워드선 구동 회로	13 : 더미 워드선 구동 방식 결정 회로
15, 17, 84, 91 : 더미 워드선 전위 제어 회로	
16 : 더미 워드선 레벨 결정 회로	SA1~SAn : 센스 앰프
81 : DWL 구동 회로	100 : 프리차지 회로
103 : 내부 VAL 발생 회로	113 : 내부 VDC 발생 회로
153 : 내부 VPL 발생 회로	

#### [발명의 상세한 설명]

본 발명은 반도체 메모리 및 그 스크리닝 테스트 방법에 관한 것으로, 특히 메모리 셀의 데이터를 독출하여 제어하기 위한 수단 및 웨이퍼 상태에 있어서의 반도체 메모리의 메모리 셀의 불량률을 검출하기 위한 스크리닝 테스트 방법에 관한 것이다.

반도체 메모리를 제조하는 공정은 엄격히 관리되고 있으나, 그래도 어느 정도의 편차(또는 공차)는 피할 수 없다. 각각의 공정에서의 미소한 편차가 모든 웨이퍼 프로세스 공정을 종표하기까지 누적되어 이 허용치의 누적은 웨이퍼 프로세스 후의 반도체 메모리내에 포함되는 메모리 셀의 특성의 편차로서 나타난다.

제1도는 웨이퍼 프로세스 후의 반도체 메모리에 포함되는 메모리 셀의 특성의 분포상황을 도시하는 도면이다.

제1도의 도시와 같이 메모리 셀의 특성 분포는 대략 3군으로 분할되고 있는 것으로 생각된다. 즉, 분포(1)은 건전한 메모리 셀군, 분포(2)는 독출 또는 기입이 전혀 불가능한 완전한 불량 메모리 셀군, 분포(3)은 독출 기입은 가능하나 그 동작이 불완전한 메모리 셀군이다.

반도체 메모리를 제조할 때 웨이퍼 프로세스 종료후의 웨이퍼 상태에 있어서의 최초의 테스트 공정(이른바 다이소트 공정)에서 양품 및 불량품의 선별 테스트를 실시하고 있다. 다이소트 공정에서는 웨이퍼상에 형성된 메모리 칩의 패드에 프로브카드의 바늘에 대고, 칩의 동작에 필요한 전원, 어드레스, 입력 데이터, 제어신호 등을 부여하여 각 바늘에 유입되는 전류 또는 출력 데이터 등을 측정하여 기대치와 비교하는 것으로 양품 및 불량품의 판정을 실시하고 있다.

다이소트 공정은 많은 항목으로 분할되어 있으나, 일반적으로는 (1) 전류 시험, (2) 동작 시험으로 대별된다.

우선, 처음에 전류 시험이 실시된다. 이 시험에서는 대기시 전원 전류 또는 동작시 전원 전류, 입력핀 누설 전류 등의 측정이 실시된다. 측정 전류치가 어떤 규정 범위내에 들어 있으면 양품으로 판단되고, 다음 항목의 시험이 실행되는데, 측정 전류치가 규정 범위내에 안들어 있을 경우에는 불량품으로 판정되어, 더 이상의 항목 시험은 실행되지 않는다.

전류 시험에 합격한 칩에는 다음의 동작 시험이 실시된다. 이 시험의 목적은 메모리 셀의 기입 독출 동작이 정확히 실행되는지의 여부를 테스트하는 것이다. 동작 시험은 여러개의 항목으로 구분해서 실시된다. 전원 전압, 입력 데이터의 전압 타이밍, 어드레스의 전압 타이밍, 메모리 셀에 기입하는 데이터 패턴(메모리 셀 평면에 기입되는 "0", "1"의 조합) 등을 여러가지 조합해서 기입 독출을 실시하고, 기입된 데이터 패턴이 정확히 독출되는지를 시험한다.

종래의 다이소트 공정에 있어서, 제1도중에 도시한 (2)군의 메모리 셀은 간단하게 제거할 수 있다. 이것에 대하여 (3)군의 메모리 셀은 독출했을 때의 정보량(전압 독출의 경우는 비트선상의 전위차, 전류 독출의 경우는 비트선상의 전류차)이 적으므로 그 제거는 용이하지 않다.

그래서 통상적으로는 다이소트 공정에서 (3)군의 메모리 셀을 제거하기 위하여 여러가지 스크리닝 테스트가 실시되고 있다. 예를들면 사양서(仕様書)에서 규정되어 있는 전원 전압 범위보다도 낮은(또는 높은) 전원 전압으로 동작시키는 테스트, 또는 사양서에서 규정된 타이밍보다도 엄격한 타이밍으로 제어신호, 어드레스, 데이터 등을 제공하여 동작시키는 테스트, 또는 메모리 셀 평면내에 여러가지 데이터 패턴(인접된 메모리 셀의 "0", "1"의 조합)으로 데이터를 제공하는 동작시키는 테스트 등이다.

그러나, 이와 같은 종래의 스크리닝 테스트에서는 반드시 (3)군의 모든 메모리 셀을 제거 했다고는 할 수 없다. 또 (3)군의 메모리 셀은 일반적으로 불안정하고, 같은 테스트를 수회반복 실행해도 어떤 때는 불량으로 검출되고 있는데, 어떤 때는 불량으로 검출되지 않을 때도 있다.

다이소트 공정에서 종종 불량으로 검출되지 않은 (3)군의 메모리 셀에 대해서는 패키지에 수납된 후의 최종 테스트 공정에서 불량으로 검출할 필요가 있다. 그러나, 최종 테스트 공정에서 불량으로 검출된 반도체 메모리는 패키지 재료나 테스트 비용이 낭비된다.

상기와 같이 (3)군의 모든 메모리 셀을 다 제거할 수 없는 문제는, 특히 DRAM (Dynamic Random Access Memory)에 있어서는 대용량화에 수반하여 스택형 셀 또는 트랜치형 셀등의 3차원적 구조를 갖게 되면 스택형 셀의 스트레이지 노드의 접촉불량이나 트랜치형 셀의 트랜치구멍 불량으로 충분한 셀용량을 확보하기가 곤란해지고, 상기와 같이 불량이 되기 쉬운 셀이 어떤 확률로 발생함으로 더욱 중요해진다.

다음에 제2도~제5도를 참조하면서 종래의 DRAM의 일부 구성의 일예 및 동작예를 간단히 설명한다.

제2도는 종래의 DRAM에 있어서의 메모리 셀 어레이(MCA)의 구성 및 센스 앰프(SA1-SAn)와의 접속 관계를 도시하는 회로도이다.

메모리 셀 어레이 MCA에 있어서, MC...는 행렬상으로 배열된 DRAM 셀, WL1-WLm은 동일행의 셀 MC...에 공통 접속된 워드선, BL1,/BL1,...BLn,/BLn은 동일열의 셀 MC...에 접속된 비트선이다. DCA는 더미 셀부이고, 상기 메모리 셀 어레이 MCA의 각 비트선 BL1,/BL1,...BLn,/BLn에 1개씩 더미 셀 DC가 접속되어 있다.

상기 더미 셀부 DCA에 있어서, DWL 및 /DWL은 더미 워드선, VPL은 더미 셀 커패시터 플레이트 전위, VDC는 더미 셀 기입 전위이다.

센스앰프 SA1-SAn는 상기 메모리 셀 어레이 MCA의 상보적인 비트선쌍 (BL 1,/BL1)-(BLn,/BLn)에 각각 대응해서 접속되고, 선택된 행의 메모리 셀에서 비트선에 독출된 정보를 센스 증폭하는 것이다.

제3도는 제2도중의 메모리 셀 MC의 1개분을 도시하는 회로도이다.

Q는 트랜스퍼 게이트용 MOS 트랜지스터이고, 드레인 비트선 BLi 또는 /BLi에 접속되고, 게이트가 워드선 WLi에 접속되고 있다. C는 정보 기억용의 용량이고, 그 일단이 상기 트랜지스터 Q의 소스에 접속되고, 타단이 커패시터 플레이트 전위 VPL에 접속되어 있다.

제4도는 제2도중의 센스 앰프(SA1-SAn)의 1개분을 대표적으로 도시하는 회로도이다.

EQ는 비트선 프리차지·이퀄라이즈 회로이고, VPR은 비트선 프리차지 전위, /øEQ는 프리차지·이퀄라이즈 신호이다. SN는 비트선 전위 센스용의 N 채널 센스 앰프, SP는 비트선 전위 리스토어용의 P 채널 센스 앰프, /øn는 N 채널 센스 앰프 활성화 신호, øP는 P 채널 센스 앰프 활성화 신호이다.

제5도는 제2도의 DRAM의 독출 동작예를 도시하는 전압 파형도이다.

Vcc는 전원 전위, Vcc/2는 비트선의 프리차지 전위, WL은 선택된 행의 워드선, DWL은 선택된 한쪽의 더미 워드선, /DWL은 선택되지 않은 다른 쪽의 더미 워드선, BL은 선택 행의 셀에 접속된 한쪽의 비트선,

/BL은 상기 비트선 BL에 대하여 상보쌍을 이루는 다른 쪽의 비트선(상기 더미 워드선 DWL에 의하여 선택되는 더미 셀 DC가 접속되고 있는 비트선)이다.

Vn은 선택행의 워드선 WL의 전위가 상승했을때에 선택행의 셀 MC의 게이트 드레인간의 용량을 통해서 상기 한쪽의 비트선 BL에 발생하는 커플링 노이즈에 의한 전위, Vd는 상기 더미 워드선 DWL의 전위를 상승시킴으로써 선택되는 더미 셀 DC가 접속되고 있는 다른 쪽의 비트선 /BL에 발생하는 커플링 노이즈에 의한 전위, V1은 선택된 셀 MC의 "1" 데이터가 상기 비트선 BL에 독출되었을때에 나타나는 신호 전위의 변화량, V0은 선택된 셀 MC의 "0" 데이터가 상기 비트선 BL에 독출되었을때에 나타나는 신호 전위의 변화량이다.

그런데, DRAM의 대용량화, 메모리 셀의 고집적화, 미세화에 수반하는 셀 패턴 면적의 축소화에 의하여 셀 트랜지스터의 기판 바이어스 효과에 의한 임계치 전압의 상승 및 "1" 데이터에 대한 셀 용량의 저하가 발생하여 셀에 충분한 레벨의 "1" 데이터를 기입하는 것이 곤란해지고 있다.

이것에 의하여 "1" 데이터 독출시의 비트선 신호 전위의 변화량  $\Delta V1$ 이 "0" 데이터의 독출시의 비트선 신호 전위의 변화량  $\Delta V0$ 보다 작아지는 경향이 강해지고 즉, "1" 데이터의 독출 마진(비트선 센스 앰프의 센스 마진)과 "0" 데이터의 독출 마진의 불균형이 발생하여 마진 소프트 에러율이 악화되는 문제가 있다.

그런데, 종래의 DRAM은 메모리 셀의 독출 마진을 임의로 변경하여 최적화하는 것이 용이하지 않았다.

본 발명은 종래의 반도체 메모리는 메모리 셀의 고집적화, 미세화에 수반하여 발생하는 "1", "0" 데이터의 독출 마진의 불균형을 용이하게 보정할 수가 없는 문제를 해결한 반도체 메모리를 제공하는 것을 목적으로 한다.

또, 본 발명은 종래의 반도체 메모리는 웨이퍼 상태에 있어서의 스크리닝 테스트에 있어서 동작이 불안정한 메모리 셀군에 대하여 반드시 모든 메모리 셀을 불량으로서 검출할 수가 없다는 문제를 해결한 반도체 메모리 및 그 스크리닝 테스트 방법을 제공하는 것을 목적으로 한다.

상기의 목적을 달성하기 위하여 본 발명의 반도체 메모리는 다이내믹형의 메모리 셀 어레이와, 이 메모리 셀 어레이에 있어서의 선택된 메모리 셀의 독출정보를 센스 증폭하는 센스앰프와, 상기 메모리 셀 어레이에 있어서의 상보적인 비트선쌍에 각각 대응해서 용량을 통해서 더미 워드선이 접속된 더미 셀부와, 상기 메모리 셀 어레이에 있어서의 선택된 워드선이 활성화될때에 상기 더미 워드선을 구동하는 방식을 임의로 제어할 수 있는 더미 워드선 전위 제어 회로를 구비하고 있다.

상기 반도체 메모리에 의하면, 더미 워드선 전위 제어 회로에 의한 제어에 의하여 메모리 셀의 "1", "0" 데이터의 독출 마진의 불균형을 용이하게 보정할 수가 있다.

따라서, 반도체 메모리의 제조 과정에 있어서 로트중의 샘플이 되는 반도체 메모리에 대하여 소프트 에러테스트를 실시했을때의 결과에 따라 필요하면 "1", "0" 데이터의 독출 마진의 불균형을 보정할 수 있다.

이 경우, 상기 로트의 메모리 칩상의 소정의 패드를 소정의 전위노드에 접속하고, 상기 패드의 전위에 의해 더미 워드선의 구동방식을 결정하도록 해두면, 상기 로트의 반도체 메모리에 대하여 보정을 실시하기 위한 더미 워드선 구동 방식을 반영구적으로 고정할 수 있게 되고, 신뢰성, 수율의 향상을 도모할 수 있다.

또한 본 발명의 반도체 메모리의 스크리닝 테스트 방법은 반도체 웨이퍼의 메모리 칩 영역상에 형성되어 있는 메모리 회로의 메모리 셀 어레이의 메모리 셀에서 데이터를 독출할 때 상기 메모리 칩 영역상에 형성된 패드에 제어 신호를 인가함으로써 상기 메모리 셀에서 데이터를 독출했을 때에 상기 메모리 셀 어레이의 비트선쌍에 나타나는 전위차 또는 전류차가 작아져서 독출이 어려워 지도록 강제적으로 변화시키고, 그 결과 상기 비트선대에 충분한 전위차 또는 전류차가 발생되지 않는 기입·독출 마진의 적은 메모리 셀은 검출하여 상기 메모리 셀을 불량으로 판정한다.

이와 같은 웨이퍼 상태에 있어서의 반도체 메모리의 스크리닝 테스트 방법에 의하면, 스크리닝 테스트에 있어서 메모리 칩 영역상에 패드에 전압을 인가함으로써 메모리 셀의 "1" 데이터의 독출 마진 또는 "0" 데이터의 독출 마진을 엄격히 하도록 제어할 수가 있게 된다.

따라서, 기입·독출 마진이 적은(즉, 동작이 불안정한) 메모리 셀군에 대하여 모든 메모리 셀을 불량으로 검출할 수 있다.

이것에 의하여 스크리닝 테스트의 효율이 향상을 도모할 수 있는 동시에 패키징 후의 불량발생율을 저감할 수 있고, 패키지 재료나 테스트 비용을 절감할 수 있다.

또 스크리닝 테스트에 의하여 판명된 독출 마진이 적은 불량량의 메모리 셀을 용장 비트로 치환하도록 하면 종합적으로 본 경우의 수율이 향상된다.

이하, 도면을 참조하면 본 발명의 반도체 메모리 및 그 스크리닝 테스트 방법의 몇몇 실시예를 설명한다. 또 본 설명에서 전 도면에 걸쳐서 공통 부분에는 공통된 참조 부호를 사용함으로써 중복 설명을 방지한다.

제6도는 본 발명의 제1실시예에 관한 DRAM의 일부를 도시하는 회로도이고, 이 DRAM 회로는 반도체 칩(DRAM 칩)(1)상에 형성되어 있다.

상기 DRAM 회로에 있어서, 메모리 셀 어레이(10)는 행렬 형상으로 배열된 DRAM 셀(MC...)과, 동일행의 셀(MC...)에 공통으로 접속된 워드선(WL1~WLm)과, 동일열의 셀(MC...)에 공통으로 접속된 비트선(BL1, /BL1, ~BLn, /BLn)을 갖는다.

11은 커플링 용량형의 더미 셀부이고, 상기 메모리 셀 어레이 MCA의 각 비트선 BL1~BLn에 1개씩 용량 C를 통하여 더미 워드선 DWL이 접속되고, 각 비트선 /BL1~/BLn에 1개씩 용량 C를 통하여 더미 워드선 /DWL이 접속되어 있다. 이들의 용량 C는 MOS형 용량 또는 플레이트 포리실리콘과 게이트 전극 재료와의 사이의 층간 용량이 사용된다.

12는 상기 더미 워드선 DWL, /DWL에 접속된 더미 워드선 구동 회로, 13은 이 더미 워드선 구동 회로(12)에 의한 더미 워드선 구동 방식을 결정하기 위한 더미 워드선 구동 방식 결정 회로이다. 14는 칩상의 패드이고, 상기 더미 워드선 구동 방식 결정 회로(13)에 더미 워드선 구동 방식 제어 전위를 제공하기 위한 것이다. 이들의 더미 워드선 구동 회로(12), 더미 워드선 구동 방식 결정 회로(13) 및 패드(14)는 더미 워드선 전위 제어 회로(DWL 전위 제어 회로)(15)를 형성하고 있다.

센스 앰프(SA1~SAn)는 상기 메모리 셀 어레이(10)의 상보적인 비트선쌍 (BL1,/BL1)~(BLn,/BLn)에 각각 대응해서 접속되고, 선택된 행의 메모리 셀에서 비트선에 독출된 정보를 센스 증폭하는 것으로 각각 예를들면 제4도의 도시와 같이 구성되고 있다. 또 복수조의 비트선쌍에 대하여 1개의 센스 앰프가 전환 접속되도록 구성되는 경우도 있다.

제7도 내지 제11도는 제6도의 DRAM에 있어서의 워드선·더미 워드선의 구동 방식에 대하여 각종의 방식을 설명하기 위하여 각 방식에 있어서의 독출 동작을 도시하는 저압파형도이다.

제7도 내지 제11도에 있어서, Vcc는 전원 전위, Vcc/2는 비트선의 프리차지 전위, WL은 선택된 행의 워드선, DWL은 한쪽의 더미 워드선, /DWL은 다른쪽의 더미 워드선, BL은 선택행의 셀에 접속되는 한쪽의 비트선, /BL은 상기 비트선 BL에 대하여 상보쌍을 이루는 다른쪽 비트선(상기 더미 워드선 DWL에 의하여 선택되는 용량 C가 접속되고 있는 비트선)이다. Vn은 선택행의 워드선 WL의 전위가 상승했을때에 선택행의 셀 MC의 게이트·드레인간의 용량을 통해서 상기 한쪽의 비트선 BL에 발생하는 커플링 노이즈에 의한 전위, Vd는 상기 더미 워드선 DWL의 전위를 상승시키므로써 상기 다른쪽의 비트선 /BL에 발생하는 커플링 노이즈에 의한 전위, V1은 선택된 셀 MC의 "1" 데이터가 상기 비트선 BL에 독출되었을때에 나타나는 신호 전위의 변화량, V0은 선택된 셀 MC의 "0" 데이터가 상기 비트선 BL에 독출되었을때에 나타나는 신호전위의 변화량이다.

제7도에 도시한 구동 방식은 선택 워드선 WL의 활성화시에 더미 워드선 DWL, /DWL를 다같이 비활성 상태로 유지하는 방식이다.

즉, 비트선쌍(BL,/BL)의 전위가 프리차지·이퀄라이즈된 상태가 해제된 후 선택된 행의 워드선 WL이 승압 전위까지 상승한다. 이 워드선 WL의 전위가 상승했을때에 선택행의 셀의 게이트·드레인간 용량을 통해서 한쪽의 비트선 BL에 커플링 노이즈에 의한 전위 Vn이 발생한다. 그리고 선택행의 셀에서 한쪽의 비트선 BL에 데이터가 독출되어 비트선쌍(BL,/BL)에 전위차가 발생했을때 센스 앰프가 동작하여 비트선쌍(BL,/BL)의 한쪽의 전위를 풀다운하고, 다른쪽의 전위를 풀업한다.

제7도의 구동 방식에서는 워드선 전위의 상승시에 발생하는 워드선 WL로부터의 커플링 노이즈에 의한 전위 Vn분 만큼 한쪽의 비트선 BL의 전위가 높아지는데, 다른 쪽의 비트선 /BL에는 더미 워드선 DWL로부터의 커플링 노이즈에 의한 전위 Vd가 나타나지 아니함으로  $V1 > V0$ 이 된다.

제8도에 도시한 구동방식은 제7도에 도시된 구동방식과 비교해서 선택 워드선 WL의 활성화시에 더미 워드선 /DWL의 전위를 H 레벨로 유지하고, 더미 워드선 DWL의 전위를 "H"에서 "L"로 변화시키는 점이 상이하고, 그 밖에는 동일하다.

제8도의 구동 방식으로는 워드선 전위의 상승시에 발생하는 워드선 WL로부터의 커플링 노이즈에 의한 전위 Vn분 만큼 한쪽의 비트선 BL의 전위가 높아지는 동시에 더미 워드선 DWL의 전위가 하강했을때에 발생하는 더미 워드선 DWL로부터의 커플링 노이즈에 의한 전위 Vd(=Vn)만큼 다른쪽의 비트선 /BL의 전위가 낮아지므로,  $V1 \gg V0$ 이 된다.

제9도에 도시한 구동 방식은 제7도에 도시한 구동 방식과 비교해서 선택 워드선 WL의 활성화시에 더미 워드선 DWL의 전위를 "L" 레벨로 유지하고, 더미 워드선 /DWL의 전위를 "L"에서 "H"로 변화시키는 점이 다르고 그 밖에는 동일하다.

제9도의 구동 방식에서는 워드선 전압의 상승시에 발생하는 워드선 WL로부터의 커플링 노이즈에 의한 전위 Vn분 만큼 한쪽의 비트선 BL의 전위가 높아지는 동시에 더미 워드선 /DWL의 전위가 상승했을때에 발생하는 더미 워드선 /DWL로부터의 커플링 노이즈에 의한 전위 Vd(=Vn)만큼 한쪽의 비트선 BL의 전위가 높아지므로,  $V1 \gg V0$ 이 된다.

제10도에 도시한 구동 방식은 제7도에 도시한 구동 방식과 비교해서 선택 워드선 WL의 활성화시에 더미 워드선 DWL의 전위를 "H" 레벨로 유지하고, 더미 워드선 /DWL의 전위를 "H"에서 "L"로 변화시키는 점이 상이하고, 그밖에는 동일하다.

제10도의 구동 방식에서는 워드선 전위의 상승시에 발생하는 워드선 WL로부터의 커플링 노이즈에 의한 전위 Vn분을 더미 워드선 /DWL의 전위가 하강했을때에 발생하는 더미 워드선 /DWL로부터의 커플링 노이즈에 의한 전위 Vd(=Vn)에 의하여 상쇄되므로  $V1 = V0$ 이 된다.

제11도에 도시한 구동 방식은 제7도에 도시한 구동 방식과 비교해서 선택 워드선 WL의 활성화시에 더미 워드선 DWL의 전위를 "H"에서 "L"로 변화시키는 동시에 더미 워드선 /DWL의 전위를 "L"에서 "H"로 변화시키는 점이 다르고, 그밖에는 동일하다.

제11도의 구동 방식에서는 워드선 전위의 상승시에 발생하는 워드선 WL로부터의 커플링 노이즈에 의한 전위 Vn분 만큼 한쪽의 비트선 BL의 전위가 높아지는 동시에 더미 워드선 /DWL의 전위가 상승했을때에 발생하는 더미 워드선 /DWL로부터의 커플링 노이즈에 의한 전위 Vd(=Vn)만큼 한쪽의 비트선 BL의 전위가 높아지는 동시에 더미 워드선 DWL의 전위가 하강했을때에 발생하는 더미 워드선 DWL로부터의 커플링 노

이즈에 의한 전위  $V_d (= -V_n)$ 만큼 다른 쪽의 비트선 /BL의 전위가 낮아지므로  $V_1 \gg V_{00}$ 이 된다.

제12도 내지 제15도는 제7도 내지 제11도의 구동 방식을 실현하기 위한 제6도중의 DWL 전위 제어 회로(15)의 상위한 예를 도시하는 회로도이다.

제12도에 도시하는 DWL 전위 제어 회로에 있어서, 14는 패드, 20은 패드(14)와 접지 전위( $V_{ss}$ ) 노드와의 사이에 접속된 고저항, 21은 상기 패드(14)에 입력 노드가 접속된 인버터, 22는 상기 인버터(21)의 출력 및 워드선 구동 타이밍 신호( $\phi_{WL}$ )가 입력되는 2 입력의 앤드 게이트, 23은 비트선 (BL1~BLn)계를 선택하기 위한 로우계의 어드레스 신호(AOR) 및 상기 앤드 게이트(22)의 출력이 입력되는 2 입력의 낸드 게이트, 24는 상기 낸드 게이트(23)의 출력을 반전하여 상기 더미 워드선 DWL에 공급하는 인버터, 25는 비트선 /BL1~/BLn계를 선택하기 위한 로우계의 어드레스 신호 /AOR 및 상기 앤드 게이트(22)의 출력이 입력하는 2 입력의 낸드 게이트, 26은 상기 낸드 게이트(25)의 출력을 반전하여 상기 더미 워드선 /DWL에 공급하는 인버터이다.

제12도의 회로에 있어서, 패드(14)가  $V_{ss}$  전위의 상태에서는 인버터(21)의 출력이 "H" 레벨이고, 워드선 구동 타이밍 신호( $\phi_{WL}$ )가 활성화했을 때(본 예에서는 "H" 레벨이 된다), 어드레스 신호 AOR 또는 /AOR에 따라서 더미 워드선 DWL 또는 /DWL를 활성화한다. 이 동작은 제5도에 도시한 종래예의 동작과 동일하다.

이것에 대하여 외부로부터 패드(14)에 "H" 레벨의 신호를 인가해서 인버터(21)의 출력을 "L" 레벨을 유지하면 워드선 구동 타이밍 신호( $\phi_{WL}$ )가 활성화해도 더미 워드선 DWL, /DWL을 다같이 비활성 상태(본 예에서는 "L" 레벨)로 유지함으로 제7도의 도시와 같은 동작이 얻어진다.

제13도에 도시한 DWL 전위 제어 회로에 있어서, 14는 패드, 30은 고저항, 31은 인버터, 32는 상기 인버터(31)의 출력 및 워드선 구동 타이밍 신호( $\phi_{WL}$ ) 및 비트선(BL1~BLn)계를 선택하기 위한 로우계의 어드레스 신호(AOR)가 입력되어 그 출력을 상기 더미 워드선 DWL에 공급하는 3입력의 낸드 게이트, 33은 상기 인버터(31)의 출력 및 워드선 구동 타이밍 신호( $\phi_{WL}$ ) 및 비트선 /BL1~/BLn계를 선택하기 위한 로우계의 어드레스 신호 /AOR가 입력되고, 그 출력을 상기 더미 워드선 /DWL에 공급하는 3 입력의 낸드 게이트이다.

제13도의 회로에 있어서, 패드(14)가  $V_{ss}$  전위의 상태에서는 인버터(31)의 출력이 "H" 레벨이고, 워드선 구동 타이밍 신호( $\phi_{WL}$ )가 활성화했을 때, 어드레스 신호 AOR 또는 /AOR에 따라서 더미 워드선 DWL 또는 /DWL를 활성화함으로 제8도의 도시와 같은 동작이 얻어진다.

이것에 대하여 외부로부터 패드(14)에 "H" 레벨의 신호를 인가하여 인버터(31)의 출력을 "L" 레벨로 유지하면 워드선 구동 타이밍 신호( $\phi_{WL}$ )가 활성화해도 더미 워드선 DWL, /DWL를 다같이 비활성화 상태로 유지함으로 제7도의 도시와 같은 동작을 얻을 수 있다.

제14도에 도시하는 DWL 전위 제어 회로에 있어서, 14는 패드, 40은 고저항, 41a는 인버터, 41b는 상기 인버터(41a)의 출력(제어 신호  $\phi_A$ )을 반전하며 반전 제어 신호( $\phi_B$ )를 생성하는 인버터이다.

42는 비트선 BL1~BLn계를 선택하기 위한 로우계의 어드레스 신호(AOR) 및 워드선 구동 타이밍 신호( $\phi_{WL}$ )가 입력되는 2 입력의 낸드 게이트, 43은 상기 낸드 게이트(42)의 출력이 입력되고, 상기 상보적인 제어 신호( $\phi_B$ ) 및 ( $\phi_A$ )에 의하여 동작이 제어되는 클록 인버터, 44는 상기 낸드 게이트(42)의 출력이 입력되는 인버터이다.

45는 상기 인버터(44)의 출력이 입력되고, 상기 상보적인 제어 신호( $\phi_A$ ) 및 ( $\phi_B$ )에 의하여 동작의 가부가 제어되는 클록 인버터이고, 이 클록 인버터(45) 및 상기 클록 인버터(43)의 출력은 와이어드 오어 접속되어 상기 더미 워드선(DWL)에 공급된다.

46은 비트선 /BL1~/BLn계를 선택하기 위한 로우계의 어드레스 신호 /AOR 및 워드선 구동 타이밍 신호( $\phi_{WL}$ )가 입력되는 2 입력의 낸드 게이트, 47은 상기 낸드 게이트(46)의 출력이 입력되고 상기 상보적인 제어 신호( $\phi_B$ ) 및 ( $\phi_A$ )에 의하여 동작이 제어되는 클록 인버터, 48은 상기 낸드 게이트(46)의 출력이 입력되는 인버터이다.

49는 상기 인버터(48)의 출력이 입력되고, 상기 상보적인 제어 신호( $\phi_A$ ) 및 ( $\phi_B$ )에 의하여 동작의 가부가 제어되는 클록 인버터이고, 이 클록 인버터(49) 및 상기 클록 인버터(47)의 출력은 와이어드 오어 접속되어 상기 더미 워드선 /DWL에 공급된다.

제14도의 회로에 있어서 패드(14)가  $V_{ss}$  전위의 상태로는 제어 신호( $\phi_A$ ) 및 ( $\phi_B$ )는 대응해서 "H" / "L" 레벨이 되고 있다. 이것으로 워드선 구동 타이밍 신호( $\phi_{WL}$ )가 활성화했을 때, 어드레스 신호 AOR 또는 /AOR에 따라서 더미 워드선 DWL 또는 /DWL를 활성화한다. 이 동작은 제5도에 도시한 종래예의 동작과 동일하다.

이것에 대해서 외부로부터 패드(14)에 "H" 레벨의 신호를 인가하여 제어 신호  $\phi_A$  및  $\phi_B$ 를 대응해서 "L" / "H" 레벨로 유지해 놓으면 워드선 구동 타이밍 신호  $\phi_{WL}$ 가 활성화했을 때 제8도의 도시와 같은 동작을 얻을 수 있다.

제15도에 도시한 DWL 전위 제어 회로에 있어서, 14는 패드, 50은 고저항, 51a 및 51b는 인버터이다.

52는 비트선 (BL1~BLn)계를 선택하기 위한 로우계의 어드레스 신호(AOR) 일단에 입력되고 상기 상보적인 제어 신호  $\phi_B$  및  $\phi_A$ 에 의하여 동작이 제어되는 CMOS 트랜스퍼 게이트이다.

53은 비트선 /BL1~/BLn계를 선택하기 위한 로우계의 어드레스 신호 /AOR가 일단에 입력되고 상기 상보적인 제어 신호  $\phi_A$  및  $\phi_B$ 에 의하여 동작이 제어되는 CMOS 트랜스퍼 게이트이고, 그 출력은 상기 CMOS 트랜스퍼 게이트(52)의 출력과 와이어드 오어 접속되어 있다.

54는 상기 CMOS 트랜스퍼 게이트(52,53)의 와이어드 오어 출력 및 워드선 구동 타이밍 신호( $\phi_{WL}$ )가 입

력되고, 그 출력을 상기 더미 워드선(DWL)에 공급하는 2 입력의 앤드 게이트이다.

55는 상기 어드레스 신호(AOR)가 일단에 입력되고, 상기 상보적인 제어 신호  $\phi A$  및  $\phi B$ 에 의하여 동작이 제어되는 CMOS 트랜스퍼 게이트, 56은 상기 어드레스 신호 /AOR이 일단에 입력되고, 상기 상보적인 제어 신호  $\phi B$  및  $\phi A$ 에 의하여 동작이 제어되는 CMOS 트랜스퍼 게이트이고, 이들의 CMOS 트랜스퍼 게이트(55) 및 (56)의 출력은 와이어드 오어 접속된다.

57은 상기 CMOS 트랜스퍼 게이트(55) 및 (56)의 와이어드 오어 출력 및 워드선 구동 타이밍 신호( $\phi WL$ )가 입력되고, 그 출력을 상기 더미 워드선 /DWL에 공급하는 2 입력의 앤드 게이트이다.

제15도의 회로에 있어서, 패드(14)가 Vss 전위의 상태에서는 제어 신호  $\phi A$  및  $\phi B$ 는 대응해서 "H" / "L" 레벨을 유지하고 있다. 이것에 의하여 워드선 구동 타이밍 신호  $\phi WL$ 이 활성화했을 때 어드레스 신호 AOR 또는 /AOR에 따라서 더미 워드선 (DWL) 또는 /DWL을 활성화한다. 이 동작은 제5도에 도시한 종래예의 동작과 동일하다.

이것에 대하여 외부로부터 패드(14)에 "H" 레벨의 신호를 인가하여 제어 신호  $\phi A$  및  $\phi B$ 를 대응해서 "L" / "H" 레벨로 유지해 놓으면 워드선 구동 타이밍 신호  $\phi WL$ 가 활성화했을 때에 제9도의 도시와 같은 동작을 얻을 수 있다.

제6도에 도시한 제1실시예의 DRAM에 의하면 DWL 전위 제어 회로(15)로서 제7도 내지 제9도, 제11도에 도시한 더미 워드선 구동 방식의 어느 하나(예를들면 제7도에 도시한 더미 워드선 구동 방식)를 선택할 수 있는 회로 구성(예를들면 제12도에 도시한 회로 구성)을 채용해 놓으면 메모리 셀의 "1" 데이터의 독출 마진이 작아서 "1" 데이터 독출 신호(V1)가 작을 경우에도 "1" 데이터의 독출 마진을 크게 하도록 구동 방식을 선택 제어함으로써 "1", "0" 데이터의 독출 마진의 불균형을 보정할 수 있게 된다.

따라서 DRAM의 제조 과정에서 로트중의 샘플이 되는 DRAM에 대하여 소프트 에러 테스트를 실시할 때의 결과에 따라서 필요하면 "1", "0" 데이터의 독출 마진의 불균형을 보정할 수 있다.

그리고 상기 로트의 DRAM에 대해서 상기와 같은 DWL 전위 제어 회로(15)에 의한 더미 워드선 구동 방식을 반영구적으로 고정하도록 상기 패드(14)를 "H" 레벨의 전위에 고정(예를 들면 전원 패드에 와이어 본딩한다)할 수도 있다.

또, 더미 워드선 구동 방식을 반영구적으로 고정하는 수단으로는 패드(14)의 전위를 고정하는데에 한정되지 않고 퓨즈 회로 또는 불휘발성의 프로그램 회로를 사용하거나 프로세스중의 배선층의 접속을 변경하는 것 등을 생각할 수 있다.

또, 제6도에 도시한 제1실시예의 DRAM에 의하면, 본 발명의 반도체 메모리의 스크리닝 테스트 방법을 적용할 수 있다.

즉, 웨이퍼 프로세스 종료 후의 웨이퍼 상태의 DRAM의 스크리닝 테스트시에 DRAM 회로와 동일 칩 영역상에 형성되는 패드에 제어 신호를 인가함으로써 메모리 셀의 "1" 데이터의 독출 마진 또는 "0" 데이터의 독출 마진을 엄격히 하도록 제어할 수 있게 된다.

이 경우 DWL 전위 제어 회로(15)로서, 예를들면 제11도에 도시한 더미 워드선 구동 방식을 선택할 수 있는 구성을 채용하면 웨이퍼 프로세스를 종료한 DRAM의 스크리닝 테스트시에 "0" 데이터의 독출 마진을 엄격히 하도록 제어할 수 있게 된다.

상기와는 반대로 DWL 전위 제어 회로(15)로서 "1" 데이터의 독출 마진을 엄격히 할 수 있는 더미 워드선 구동 방식을 선택할 수 있는 구성을 채용해 놓으므로써, "1" 데이터의 독출 마진을 엄격히 하도록 제어할 수 있게 된다.

그 결과, "1" 데이터의 독출 마진 또는 "0" 데이터의 독출 마진이 적은 메모리 셀을 검출하면 이 메모리 셀을 불량으로 판정할 수가 있다.

따라서, 기입, 독출 마진의 적은(즉 동작이 불완전한) 메모리 셀군에 대하여 모든 메모리 셀의 불량을 검출할 수 있다.

이것에 의하여 스크리닝 테스트의 효율의 향상을 도모할 수 있는 동시에 패키징 후의 불량 발생률을 저감할 수 있고, 패키지 재료나 테스트 원가를 절약할 수 있다.

또, 스크리닝 테스트에 의하여 판명된 독출 마진이 적은 불량량의 메모리 셀을 용장 비트로 치환하도록 하면 종합적으로 본 경우의 수율이 향상된다.

제16도는 본 발명의 DRAM의 제조 공정의 일예를 도시하는 플로우차트이다. 우선 웨이퍼 제조 공정(웨이퍼 프로세스)에서는 반도체 웨이퍼의 복수개의 칩 영역상에 각각 용장 회로를 구비한 DRAM 회로를 형성하는 동시에 더미 워드선 전위 제어 신호를 인가하기 위한 패드를 형성한다.

다음의 칩 선별 테스트 공정에서는 상기 DRAM 회로에 대해서 다이소트 시험을 실시하여 DRAM 회로의 전기적 특성의 양·불량을 선별한다.

다음의 스크리닝 테스트 공정에서는 상기 칩 영역상의 패드에 더미 워드선 전위 제어 신호를 인가함으로써 DRAM 회로의 메모리 셀의 독출 마진을 엄격히 설정하고, 독출 마진이 적은 메모리 셀을 검출하여 불량으로 판정한다.

다음의 리던던시(redundancy) 공정에서는 상기 다이소트 시험 및 스크리닝 테스트에 의하여 불량으로 판별된 메모리 셀에 대하여 상기 용장 회로를 사용하여 치환하고, 불량 칩을 구제한다.

다음의 웨이퍼 다이싱(dicing) 공정에서는 각 칩 영역을 웨이퍼에서 개별적으로 분리해서 DRAM 칩을 얻

는다.

다음의 칩 어셈블리 공정에서는 상기 공정에 의하여 얻어진 DRAM 칩을 IC 장치로 조립한다.

그리고 최종 테스트를 행하고 출하의 가부를 결정한다.

제17도는 제6도중의 용량 C로서 더미용 DRMA 셀 DC의 용량 C를 사용한 예를 나타내는 회로도이다.

이 용량 C의 일단은 트랜스터 게이트용 MOS 트랜지스터 Q를 통하여 비트선에 접속되어 있고, 이 MOS 트랜지스터 Q의 게이트가 상기한 바와같이 더미 워드선 DWL, /DWL에 접속되어 있고, 상기 용량 C의 타단(커패시터 플레이트 전극)은 더미 셀 커패시터 플레이트선 DWL, /DWL에 접속되어 있다.

제18도는 제17도의 DRAM에 있어서의 워드선, 더미 워드선의 구동 방식의 일예에 있어서의 독출 동작예를 나타내는 전압 파형도이다.

제18도의 구동 방식은 제7도에 도시한 구동 방식과 비교하여 선택 워드선 WL의 활성화시에 더미 워드선 /DWL의 전위를 "L" 레벨로 유지하고, 더미 워드선의 DWL의 전위를 "L" 에서 "H" 로 변화시키고, 상기 커패시터 플레이트선 DWL, /DWL의 전위를 "H" 에서 "L" 로 변화시키도록 DWL 구동 회로(12)가 구성되어 있는 점이 상이하고 기타는 같다.

이 DRAM의 더미 워드선 구동 방식에서는 커패시터 플레이트선 DWL, /DWL의 전위를 제어함으로써 셀 MC의 독출 마진을 임의로 바꿀 수 있다.

또, 워드선의 커플링 노이즈 Vn이 더미용 셀 DC의 선택시의 용량에 의한 커플링 노이즈 Vd에 의한 상쇄되므로 선택 셀 MC의 용량에 의한 커플링만으로 비트선의 레벨을 결정하는 것이 가능하게 되고 비트선쌍 내의 비트선 끼리의 용량의 불균형이 없어진다.

또 상기 커패시터 플레이트선 DWL, /DWL에 동일한 신호를 공급해도 된다.

제19도는 본 발명의 제2실시예에 관한 DRAM의 일부를 나타내는 회로도이다.

이 DRAM은 제6도의 DRAM과 비교해서 복수개의 패드(본 예에서는 2개의 패드(141, 142))를 사용함으로써 3종류 이상의 더미 워드선 구동 방식을 선택적으로 실현할 수 있도록 변경되어 있고, 또 더미 워드선 DWL, /DWL을 임의의 레벨에서 구동할 수 있도록 더미 워드선 레벨 결정 회로(16)가 부가된 것이다.

제19도중 더미 워드선 구동 회로(12), 더미 워드선 구동 방식 결정 회로(13), 패드(141, 142) 및 더미 워드선 레벨 결정 회로(16)는 DWL 전위 제어 회로(17)를 형성하고 있다.

제20도는 제19도중의 DWL 전위 제어 회로(17)의 일예를 나타내는 회로이다. 141은 제1의 패드, 601은 이 패드(141)와 Vss 전위 노드와의 사이에 접속된 고저항, 61a는 상기 패드(141)에 입력 노드가 접속된 인버터, 61b는 상기 인버터(61a)의 출력(제어 신호  $\phi A$ )을 반전하여 반전 제어 신호  $\phi B$ 를 생성하는 인버터이다.

142는 제2의 패드, 602는 이 패드(142)와 Vss 노드와의 사이에 접속된 고저항, 61c는 상기 패드(142)에 입력 노드가 접속된 인버터이다.

62는 상기 인버터(61c)의 출력 및 워드선 구동 타이밍 신호  $\phi WL$  및 비트선 BL1~BLn계를 선택하기 위한 로우계의 어드레스 신호 AOR이 입력된 3입력의 낸드 게이트이다.

63은 상기 낸드 게이트(62)의 출력이 입력하고, 상기 상보적인 제어 신호  $\phi B$  및  $\phi A$ 에 의하여 동작이 제어되는 클록 인버터, 64는 상기 낸드 게이트(62)의 출력이 입력하는 인버터이다.

65는 상기 인버터(64)의 출력이 입력하여 상기 상보적인 제어 신호  $\phi A$  및  $\phi B$ 에 의하여 동작의 가부가 제어되는 클록 인버터이고, 그 출력은 상기 클록 인버터 (63)의 출력과 와이어드 오어 접속되어서 상기 더미 워드선 DWL에 공급된다.

66는 상기 인버터(61c)의 출력 및 워드선 구동 타이밍 신호  $\phi WL$  및 비트선 /BL1~/BLn계를 선택하기 위한 로우계의 어드레스 신호 /AOR이 입력되는 3 입력의 낸드 게이트이다.

67은 상기 낸드 게이트(66)의 출력이 입력하고, 상기 상보적인 제어 신호  $\phi B$  및  $\phi A$ 에 의하여 동작이 제어되는 클록 인버터, 68은 상기 낸드 게이트(66)의 출력이 입력하는 인버터이다.

69는 상기 인버터(68)의 출력이 입력하고 상기 상보적인 제어 신호  $\phi A$  및  $\phi B$ 에 의하여 동작의 가부가 제어되는 클록 인버터이고 그 출력은 상기 클록 인버터 (67)의 출력과 와이어드 오어 접속되어서 상기 더미 워드선 /DWL에 공급된다.

또 본 예는 더미 워드선 구동 회로(12)의 동작 전원으로, 더미 워드선 레벨 결정 회로(도시 생략)에서 Vcc 전위가 주어지는 경우를 도시하고 있다.

제20도의 회로에 있어서 제1의 패드(141)가 Vss 전위의 상태에서는 제어 신호  $\phi A$  및  $\phi B$ 는 대응하여 "H" / "L" 레벨로 되어 있다. 제2의 패드(142)가 Vss 전위의 상태에서는 인버터(61c)의 출력이 "H" 레벨이다. 이것에 의하여 워드선 구동 타이밍 신호  $\phi WL$ 가 활성화된 때, 어드레스 신호 AOR 혹은 /AOR에 따라 더미 워드선 DWL 혹은 /DWL을 활성화한다. 이 동작은 제5도에 도시한 종래예의 동작과 같다.

이에 대하여 제1의 패드(141)는 Vss 전위인채, 외부에서 제2의 패드(142)에 "H" 레벨의 신호를 인가하여 인버터(61c)의 출력을 "L" 레벨로 하면 제7도에 도시한 바와같은 동작을 얻을 수 있다.

이와는 반대로 제2의 패드(142)는 Vss 전위인채 외부에서 제1의 패드(141)에 "H" 레벨의 신호를 인가하여 제어 신호  $\phi A$  및  $\phi B$ 를 대응하여 "L" / "H" 레벨로 해두면 워드선 구동 타이밍 신호  $\phi WL$ 가 활성화한 때에 제8도에 도시한 바와같은 동작을 얻을 수 있다.



제21도는 제19도중의 DWL 전위 제어 회로(17)의 다른 예를 나타내는 회로도이다.

143은 제3도의 패드, 701은 상기 패드(143)와 Vcc 전위 노드와의 사이에 접속된 고저항, 71은 상기 패드(143)에 한쪽의 입력 노드가 접속된 커런트 미러 부하형의 CMOS 차동 증폭 회로이다.

71은 Vcc 전위 노드와 상기 차동 증폭 회로(71)의 다른쪽의 입력 노드와의 사이에 소스·드레인 사이가 접속되고, 게이트가 상기 차동 증폭 회로(71)의 한쪽의 출력 노드에 접속된 P채널 MOS 트랜지스터, 73은 상기 차동 증폭 회로(71)의 다른쪽의 입력 노드와 Vss 전위 노드와의 사이에 접속된 저항이다. 이것에 의하여 상기 차동 증폭 회로(71)의 다른쪽의 입력 노드에 Vcc 전위를 강압한 전위 Vout가 출력된다.

144는 제4의 패드, 702는 이 패드(144)와 Vss 전위 노드와의 사이에 접속된 고저항, 74는 상기 패드(144)에 입력 노드가 접속된 인버터, 75는 상기 인버터(74)의 출력 및 워드선 구동 타이밍 신호  $\phi_{WL}$ 이 입력하는 2입력의 앤드 게이트이다.

76은 상기 앤드 게이트(75)의 출력 및 비트선 BL1~BLn계를 선택하기 위한 로우계의 어드레스 신호 AOR이 입력하는 2입력의 낸드 게이트, 77은 상기 낸드 게이트(76)의 출력이 입력하고, 고전위측 전원으로 부터 상기 강압 전위 Vout가 주어지고, 그 출력이 상기 더미 워드선 DWL에 공급되는 CMOS 인버터이다.

78은 상기 앤드 게이트(75)의 출력 및 비트선 /BL1~/BLn계를 선택하기 위한 로우계의 어드레스 신호 /AORI 입력하는 2 입력의 낸드 게이트, 79는 상기 낸드 게이트(78)의 출력이 입력하고 고전위측 전원으로 부터 상기 강압 전위 Vout가 주어지고, 그 출력이 상기 더미 워드선 /DWL에 공급되는 CMOS 인버터이다.

또한 본 예는 상기 더미 워드선 구동 방식 결정용의 패드로서, 1개의 패드(144)가 사용되고 있는 경우를 나타내고 있다.

제21도의 회로에 있어서 제3의 패드(143)가 Vcc 전위의 상태에서는 차동 증폭 회로(71)의 다른쪽의 입력 노드에 Vcc 전위가 나타난다. 그리고, 제4의 패드(144)가 Vss 전위의 상태에서는 인버터(74)의 출력이 "H" 레벨이다. 이것에 의하여 워드선 구동 타이밍 신호  $\phi_{WL}$ 가 활성화한 때 어드레스 신호 AOR 혹은 /AOR에 따라 더미 워드선 DWL 혹은 /DWL을 활성화한다. 이 동작은 제5도에 도시한 종래예의 동작과 동일하다.

이에 대하여 외부에서 제4의 패드(144)에 "H" 레벨의 신호를 인가하여 인버터(74)의 출력을 "L" 레벨로 하면, 제7도에 도시한 바와같은 동작이 얻어진다.

한편 외부에서 제3의 패드(143)에 Vcc 전위 이하의 임의의 전위를 부여하면, 이 주어진 전위에 대응한 강압 전위 Vout가 차동 증폭 회로(71)의 다른쪽의 입력 노드에 나타난다.

이것에 의하여 셀의 독출 마진을 최적화하든가 스크리닝 테스트에 있어서 셀의 독출 마진을 엄격하게 할 수 있다.

제22도는 본 발명의 제3실시예에 관한 DRAM의 일부(셀 어레이에 있어서의 1 컬럼 분 및 더미 워드선 구동계)를 나타내는 회로도이다.

제22도에 있어서, (BL, /BL)은 상보적인 비트선 쌍, SA는 비트선 센스 앰프, MC는 비트선 쌍(BL, /BL)에 복수개씩 접속되어 있는 메모리 셀(대표적인 1개만 도시한다), WL은 워드선, VPL은 메모리 셀 커패시터 플레이트 전위, VBL은 비트선 프리차지 전위, 80은 비트선 프리차지·이퀄라이즈 회로, /EQL은 이퀄라이즈 신호이다. 상기 메모리 셀 MC의 용량은 CS이고, 각 비트선(BL, /BL)의 용량은 CBL이라고 가정한다.

C1은 비트선 쌍 BL에 1개 접속되어 있는 커패시터 용량(더미 셀), C0은 비트선 쌍 /BL에 1개 접속되어 있는 커패시터 용량(더미 셀), DWL1은 비트선 BL측의 용량 C1에 접속되어 있는 더미 워드선, DWL0은 비트선 /BL측의 용량 C0에 접속되어 있는 더미 워드선, 81은 DWL 구동 회로, 82는 DWL 스위치 패드, 83은 데이터 입력 패드, 84는 DWL 전위 제어 회로(84)이다. 이 DWL 전위 제어 회로(84)는 2개의 낸드 게이트(85, 86)와, 3개의 CMOS 인버터(87~89)와, 1개의 고저항(90)으로 구성된다.

상기 DWL 전위 제어 회로(84)는 상기 워드선 WL이 활성화될 때에 2개의 더미 워드선 DWL1, DWL0의 어느 한쪽을 활성화하든가, 그 양쪽을 비활성 상태로 하여 두던가를 선택할 수 있는 제1의 선택 기능 및 이 제1의 선택 기능에 의하여 상기 2개의 더미 워드선 DWL1, DWL0의 어느 한쪽을 선택하여 활성화 할 때의 임의의 한쪽을 선택할 수 있는 제2의 선택 기능을 갖는다.

상기 DWL 스위치 패드(82)는 DWL 구동 회로(81)에서의 출력을 DWL 전위 제어 회로(84)를 통하여 상기 더미 워드선 DWL1 또는 더미 워드선 DWL0에 공급할 것인가 여부를 절환하기 위한 스위치 신호를 입력하기 위한 것이고, 고저항(90)을 통하여 Vss전위에 접속되어 있다.

또 상기 데이터 입력 패드(83)는 DWL 구동 회로(81)로부터의 출력을 더미 워드선 DWL1 또는 더미 워드선 DWL0의 어느 쪽에 공급할 것인가를 결정하기 위한 데이터를 입력하기 위한 것이다.

제22도의 회로를 갖는 DRAM에 있어서, DWL 스위치 패드(82) 및 데이터 입력 패드(83)가 본딩 접속되지 않은 상태에서 패키징되는 것으로 하면, 패키지에 봉입된 상태에서는 상기 DWL 스위치 패드(82)가 Vss 전위이고, DWL 전위 제어 회로(84)의 출력 전위에 의하여 더미 워드선 DWL1의 전위 및 더미 워드선 DWL0의 전위가 각각 "L" 레벨로 되고, 2개의 용량 C1, C0은 비트선 쌍(BL, /BL)에 대하여 같은 용량 결함을 갖는다.

이에 대하여 상기 DRAM의 스크리닝 테스트에 있어서, DWL 스위치 패드(82)에 "H" 레벨을 부여하면 데이터 입력 패드(83)의 입력 레벨에 따라서 DWL 전위 제어 회로(84)의 출력 전위에 의하여 2개의 용량 C1, C0가 비트선 쌍(BL, /BL)에 대하여 상이한 용량 결함을 갖는다.

즉, DWL 스위치 패드(82)에 "H" 레벨을 부여하는 동시에 데이터 입력 패드(83)에 "L" 레벨을 부여하면 DWL 전위 제어 회로(84)의 출력 전위에 의하여 한쪽의 더미 워드선 DWL0의 전위만이 상승한다. 상

기와는 반대로 DWL 스위치 패드(82)에 "H" 레벨을 부여하는 동시에 데이터 입력 패드(83)에 "H" 레벨을 부여하면 DWL 전위 제어 회로(84)의 출력 전위에 의하여 다른쪽의 더미 워드선 DWL1의 전위만이 상승한다.

제23도는 제22도의 회로의 독출 동작에 있어서의 각부의 동작 파형을 나타낸다.

스탠드 바이 상태에서는 이퀄라이즈 신호 /EQL은 "H" 레벨이므로 비트선 쌍 (BL,/BL)은 비트선 프리차지 전위 VBL에 접속되어 있다. 메모리 셀 MC에는 앞의 사이클로 데이터 "0" 이나 "1" 이 기입되어 있다.

/RAS(로우 어드레스 스트로브) 신호가 "L" 레벨(활성화 레벨)로 되어 독출 동작이 시작되면 워드선 WL이 "H" 레벨이 되고, 메모리 셀 MC에 기입되어 있는 데이터가 비트선 BL에 독출된다. 이 경우 메모리 셀 MC에 이전의 사이클로 데이터 "0" 이 기입되어 있는 경우에는 그 데이터를 독출할 때에 DWL 스위치 패드(82)를 "H" 레벨로, 데이터 입력 패드(83)를 "L" 레벨로 한다. 그러면 한쪽의 더미 워드선 DWL0만 전위가 상승하고, 이 더미 워드선 DWL0에 접속되어 있는 용량 C0에 의한 용량 결합으로 비트선 /BL의 전위가 약간 상승하고, 비트선 쌍(BL,/BL)의 전위차가 좁아져서 센트 마진이 좁아진다.

상기와는 반대로 메모리 셀 MC에 데이터 "1" 이 쓰여져 있는 경우에는 그 데이터를 독출할 때에 DWL 스위치 패드(82)를 "H" 레벨로, 데이터 입력 패드(83)를 "H" 레벨로 한다. 그러면 한쪽의 더미 워드선 DWL1만 전위가 상승하고, 이 더미 워드선 DWL1에 접속되어 있는 용량 C1에 의한 용량 결합으로 비트선 BL의 전위가 약간 상승하고, 비트선 쌍(BL,/BL)의 전위차가 좁아져서 센스 마진이 좁아진다.

상기한 바와 같은 제22도에 도시한 제3실시예의 DRAM에 있어서의 DWL 전위 제어 회로(84)에 의하면 워드선이 활성화 될 때에 제1의 더미 워드선과 제2의 더미 워드선의 어느 한쪽을 활성화하느냐, 그 양쪽을 비활성 상태로 하여 두는가를 선택할 수 있는 제1의 선택 기능 및 상기 제1의 선택 기능에 의하여 상기 제1의 더미 워드선과 제2의 더미 워드선의 어느 한쪽을 선택하여 활성화할 때에 임의의 한쪽을 선택할 수 있는 제2의 선택 기능을 갖는다.

따라서, 웨이퍼 프로세스를 종료한 DRAM의 스크리닝 테스트에 있어서 제1의 더미 워드선과 제2의 더미 워드선의 어느 한쪽을 활성화시킴으로써 메모리 셀에 저장되어 있는 데이터를 독출할 때에 비트선 쌍에 나타나는 전위차 또는 전류차가 작아져서 독출이 곤란해지도록 강제적으로 변화시킬 수 있다. 그 결과, 기입, 독출 마진이 적은 메모리 셀을 불량으로 판정할 수 있다.

이 경우, 상기한 바와같이 독출 마진을 변화시키도록 제어하는 것은 통상의 리드/라이트 동작과 같이 최소의 사이클내에서 행할 수 있다.

제24도는 본 발명의 제4실시예에 관한 DRAM의 일부를 나타내는 회로도이다.

이 DRAM은 제22도에 도시한 DRAM과 비교해서, DWL 전위 제어 회로(91)의 구성과 DWL 스위치 패드(82), 데이터 입력 패드(83)의 기능이 다르고, 기타는 동일하다.

상기 DWL 전위 제어 회로(91)는 배타적 논리화 회로(92)와, 2개의 CMOS 트랜스퍼 게이트(93),(94)와, 2개의 CMOS 인버터(95,96)와, 2개의 N채널 트랜지스터 (97,98)와, 1개의 고저항(90)으로 구성된다.

이 DWL 전위 제어 회로(91)는 상기 워드선 WL이 활성화될 때에 2개의 더미 워드선 DWL1, DWL0를 역상(逆相)으로 활성화하던가 혹은 그 양쪽을 비활성 상태로 하여 두는가를 선택할 수 있는 선택 기능 및 이 선택 기능에 의하여 상기 2개의 더미 워드선 DWL1, DWL0을 역상으로 활성화 하도록 선택할 때에 2개의 더미 워드선 DWL1, DWL0의 상호 관계를 반전시키는 기능을 갖는다.

DWL 스위치 패드(82)는 DWL 구동 회로(81)와 데이터 입력 패드(83)로부터의 출력을 더미 워드선 DWL1, 더미 워드선 DWL0의 양쪽에 전하든가 또는 더미 워드선 DWL1, DWL0의 양쪽을 Vss 전위에 떨어뜨리는가를 절환하기 위한 것이며 고저항(90)을 통하여 Vss 전위에 접속되어 있다.

또 상기 데이터 입력 패드(83)는 2개의 더미 워드선 DWL1, DWL0의 상호 관계를 반전시키기 위한 데이터를 입력하기 위한 것이다.

상기 제24도의 회로를 갖는 DRAM에 있어서 DWL 스위치 패드(82) 및 데이터 입력 패드(83)가 본딩 접속되지 않는 상태에서 패키징되는 것이라면 패키지에 봉입된 상태에서는 상기 DWL 스위치 패드(82)가 Vss 전위이고, 2개의 트랜지스터(97,98)가 모두 온이되고, 더미 워드선 DWL1의 전위 및 더미 워드선 DWL0의 전위는 모두 상승하지 않는다.

이에 대하여 상기 DRAM의 스크리닝 테스트에 있어서 DWL 스위치 패드(82)에 "H" 레벨을 부여하면, 2개의 CMOS 트랜스퍼 게이트(93,94)가 모두 온으로 되고, DWL 구동 회로(81)의 출력이 데이터 입력 패드(83)의 입력 레벨에 따라서 배타적 논리화 회로(92)를 거친 후에 더미 워드선 DWL1 및 더미 워드선 DWL0에 역상으로 전해진다.

제25도는 제24도의 회로의 독출 동작예를 나타내는 전압 파형도이다.

스탠드바이 상태에서는 이퀄라이즈 신호 /EQL은 "H" 레벨이므로 비트선 쌍 (BL,/BL)은 비트선 프리차지 전위 VBL에 접속되어 있다. 메모리 셀 MC에는 앞의 사이클에서 예컨대 "0" 데이터가 기입되어 있고, DWL 스위치 패드(82)에는 "H" 레벨, 데이터 입력 패드(83)에는 "L" 레벨을 부여하고 있는 것으로 한다. 이 상태에서는 더미 워드선 DWL0이 "H" 레벨, 더미 워드선 DWL1이 "L" 레벨로 되어 있다.

독출 동작이 시작되면 워드선 WL이 "H" 레벨로 되고, 메모리 셀 MC에 기입되어 있는 "0" 데이터가 비트선 BL에 독출되고, 이 비트선 BL의 전위는 하강한다. 이때 더미 워드선 DWL1이 "L" 레벨에서 "H" 레벨로 천이하고, 더미 워드선 DWL0은 "H" 레벨에서 "L" 레벨로 천이한다. 그러면 용량 C1, C0에 의한 결합으로 비트선 BL의 전위가 약간 상승하고, 비트선 /BL의 전위가 약간 하강하여 비트선 쌍(BL

,/BL)의 전위차가 좁아지고 센스 마진이 좁아진다.

상기와는 반대로 메모리 셀 MC에 데이터 "1"이 쓰여져 있을 경우에는 그 데이터를 독출할 때에 DWL 스위치 패드(82)는 "H" 레벨로, 데이터 입력 패드(83)를 "H" 레벨로 한다. 그러면 더미 워드선 DWL1의 전위와 더미 워드선 DWL0의 전위와의 관계가 반대로 되고, 역시 비트선 쌍(BL, /BL)의 전위차가 좁아져서 센스 마진이 좁아진다.

상기한 바와같은 제24도에 도시한 제4실시예의 DRAM에 있어서의 DWL 전위 제어 회로(91)에 의하면 워드선이 활성화될 때에 제1의 더미 워드선과 제2의 더미 워드선과를 역상으로 활성화하느냐 그 양쪽을 비활성 상태로 두는가를 선택할 수 있는 선택 기능 및 상기 제1의 선택 기능에 의하여 상기 제1의 더미 워드선과 제2의 더미 워드선을 역상으로 활성화하도록 선택할 때에 제1의 더미 워드선과 제2의 더미 워드선의 상호 관계를 반전시키는 기능을 갖는다.

따라서 웨이퍼 프로세스를 종료한 DRAM의 스크리닝 테스트에 있어서, 제1의 더미 워드선과 제2의 더미 워드선의 상호 관계를 반전시킴으로써 메모리 셀에 저장되어 있는 데이터를 독출할 때에 비트선 쌍에 나타나는 전위차 또는 전류차가 작아져서 독출하기 곤란하도록 강제적으로 변화시킬 수 있다. 그 결과 기입, 독출 마진이 적은 메모리 셀을 불량으로 판정할 수 있다.

제26도는 본 발명의 제5실시예에 관한 DRAM의 일부를 나타내는 회로도이다.

이 DRAM은 제22도에 도시한 DRAM과 비교하여 더미 셀을 갖지 않고 메모리 셀에서의 독출 전위를 비트선 프리차지 전위와 비교하는 센스 방식을 채용하고 있는 점이 다르고 기타는 같다.

제26도에 있어서, 100은 비트선 프리차지 회로, /BPC는 비트선 프리차지 신호, 101은 비트선 BL측의 비트선 프리차지 전위선, 102는 비트선 /BL측의 비트선 프리차지 전위선, 103은 내부 VBL 발생 회로, 104는 VBL 스위치 패드, 105는 외부 VBL 입력 패드, 106은 외부 /VBL 입력 패드, 107은 내부 VBL 외부 VBL 스위치 회로이다. 상기 내부 VBL 외부 VBL 스위치 회로(107)는 4개의 N채널 트랜지스터(108~111)와, 1개의 CMOS 인버터(112)와, 1개의 고저항(90)으로 이루어진다.

상기 내부 VBL 외부 VBL 스위치 회로(107)는 내부 VBL 발생 회로(103)에서의 출력(내부 VBL)과 외부 VBL 입력 패드(105) 및 외부 /VBL 입력 패드(106)로부터의 입력을 절환하여 비트선 프리차지 전위선(101, 102)에 공급하기 위한 것이다.

상기 VBL 스위치 패드(104)는 고저항(90)을 통하여 Vss 전위에 접속되어 있다. 이 VBL 스위치 패드(104)가 "L" 레벨이면, N채널 트랜지스터(108, 109)가 온, N채널 트랜지스터(110, 111)가 오프가 되고, 내부 VBL 발생 회로(103)의 출력이 N채널 트랜지스터(108, 109)를 통하여 비트선 프리차지 전위선(101, 102)에 접속된다.

이에 대하여 상기 VBL 스위치 패드(104)에 "H" 레벨을 부여하면 N채널 트랜지스터(108, 109)가 오프, N채널 트랜지스터(110, 111)가 온이 되고, 외부 VBL 입력 패드(105) 및 외부 /VBL 입력 패드(106)에서의 입력이 N채널 트랜지스터(110, 111)를 통하여 비트선 프리차지 전위선(101, 102)에 접속된다.

상기 제26도의 회로를 갖는 DRAM에 있어서, VBL 스위치 패드(104), 외부 VBL 입력 패드(105) 및 외부 /VBL 입력 패드(106)가 본딩 접속되지 않는 상태에서 패키징되는 것이라면, 패키지에 봉입된 상태에서는 상기 VBL 스위치 패드(104)는 Vss 전위이고, 내부 VBL 발생 회로(103)의 출력이 비트선 프리차지 전위선(101, 102)에 접속된다.

이에 대하여 스크리닝 테스트에 있어서 VBL 스위치 패드(104)에 "H" 레벨을 부여하면, 외부 VBL 패드(105) 및 외부 /VBL 입력 패드(106)에서의 입력이 비트선 프리차지 전위선(101, 102)에 접속된다.

제27도는 제26도의 회로의 독출 동작예를 나타내는 전압 파형도이다.

스탠드바이 상태에서는 비트선 프리차지 신호 /BPC는 "H" 레벨이므로 비트선 프리차지 회로(100)가 온으로 된다. 이 경우 VBL 스위치 패드(104)에 예컨대 "H" 레벨이 주어져 있다고 하면 비트선 BL에는 외부 VBL 입력 패드(105)가 접속되고, 비트선 /BL에는 외부 /VBL 입력 패드(106)가 접속되어 있다. 메모리 셀 MC에 "0" 데이터가 쓰여져 있는 경우는, 외부 VBL 입력 패드(105)의 입력 전위 VBL > 외부 /VBL 입력 패드(106)의 입력 전위 /VBL인 관계로 하여 둔다.

독출 동작이 시작되면 워드선 WL이 "H" 레벨로 되고, 메모리 셀 MC에 기입되어 있는 "0" 데이터가 비트선 BL에 독출되고 이 비트선 BL의 전위는 내려간다. 그러나 외부에서 입력되는 프리차지 전위(VBL, /VBL)의 차가 있기 때문에 비트선 쌍(BL, /BL)의 전위차는 양 비트선(BL, /BL)이 같은 전위에 프리차지되어 있는 경우와 비교하여 좁아지고, 센스 마진이 좁아진다.

이에 대하여 메모리 셀 MC에 "1" 데이터가 쓰여져 있는 경우는, 외부 VBL 입력 패드(105)의 입력 전위 VBL < 외부 /VBL 입력 패드(106)의 입력 전위 /VBL인 관계로 하여 두면, 비트선 쌍(BL, /BL)의 전위차는 양 비트선(BL, /BL)이 같은 전위로 프리차지되어 있는 경우와 비교하여 좁아지고 센스 마진이 좁아진다.

또 상기 예에서는 비트선 쌍(BL, /BL)에 다른 전위를 설정하기 위한 프리차지 전위(VBL, /VBL)를 외부 VBL 입력 패드(105) 및 외부 /VBL 입력 패드(106)에서 입력하고 있는데, 이들의 프리차지 전위(VBL, /VBL)를 칩 내부에서 발생시키도록 해도 상관은 없다.

상기한 바와 같이 제26도에 도시한 제5실시예의 DRAM에 의하면 비트선 쌍(BL, /BL)에 다른 전위를 프리차지하는 프리차지 회로(100)를 구비하고 있다.

따라서 웨이퍼 프로세스를 종료한 DRAM의 스크리닝 테스트에 있어서 비트선 쌍(BL, /BL)에 상이한 전위를 프리차지 함으로써 메모리 셀 MC에 저장되어 있는 데이터를 독출한 때에 비트선 쌍(BL, /BL)에 나타나는 전위차 또는 전류차가 작아져서 독출이 곤란하도록 강제적으로 변화시킬 수 있다. 그 결과 기입·독출

마진이 적은 메모리 셀을 불량이라고 판정할 수 있다.

제28도, 제30도 및 제32도는 각각 본 발명의 반도체 메모리의 스크리닝 테스트 방법이 적용되는 DRAM의 몇가지 예에 대하여 일부를 나타내는 회로도이다.

제28도의 DRAM은 제22도에 도시한 DRAM과 비교하여 메모리 셀로부터의 독출 전위를 더미 셀로부터의 독출 전위와 비교하여 센스하는 방식 및 더미 셀 기입 전위 VDC를 제어하는 방식을 채용하고 있는 점이 다르고 기타는 같다.

제28도에 있어서 DC는 각 비트선(BL, /BL)에 1개씩 접속되어 있는 더미 셀, DWL은 더미 워드선, 120은 더미 셀 기입 회로, 121은 더미 셀 기입 전위선, VDC는 더미 셀 기입 전위, 113은 내부 VDC 발생 회로, 114는 VDC 스위치 패드, 115는 외부 VDC 입력 패드, 116은 내부 VDC · 외부 VDC 스위치 회로이다. 상기 스위치 회로(116)는 2개의 CMOS 스위치(117, 118)와, 1개의 CMOS 인버터(119)로 이루어진다.

또 메모리 셀 MC의 용량과 더미 셀 DC의 용량은 똑같이 CS이고, 비트선 쌍(BL, /BL)의 각 용량은 CBL이라고 가정한다.

상기 VDC 스위치 패드(114) 및 내부 VDC · 외부 VDC 스위치 회로(116)는 내부 VDC 발생 회로(113)로부터의 출력(내부 VDC)과 외부 VDC 입력 패드(115)로부터의 입력(외부 VDC)을 절환하여 더미 셀 기입전위선(111)에 공급하기 위한 것이다.

VDC 스위치 패드(114)에 로우 레벨 "L" (Vss 전위)를 부여하면, 내부 VDC 발생 회로(113)의 출력이 CMOS 스위치(117)를 거쳐 더미 셀 기입 전위선(111)에 접속된다.

이에 대하여 VDC 스위치 패드(114)에 하이 레벨 "H" (Vcc 전위)를 부여하면 외부 VDC 입력 패드(115)로부터의 입력이 CMOS 스위치(118)를 거쳐 더미 셀 기입 전위선(111)에 접속된다.

VDC 스위치 패드(114)는 고저항 R을 통하여 Vss 전위에 접속되어 있고 통상의 패키지에 봉입된 상태에서는 VDC 스위치 패드(114) 및 외부 VDC 입력 패드(115)는 본딩 접속되지 않는 것이라 하면 패키지에 봉입된 후에는 내부 VDC 발생 회로(113)의 출력이 더미 셀 기입 전위선(111)에 접속된다.

이에 대하여 스크리닝 테스트에 있어서 VDC 스위치 패드(114)에 "H" 레벨을 부여하면 외부 VDC 입력 패드(115)로부터의 입력이 더미 셀 기입 전위선(111)에 접속된다.

제29도는 제28도의 회로의 독출 동작의 일예를 나타내는 타이밍 파형도이다.

스탠드바이 상태에서는 이퀄라이즈 신호 /EQL은 "H" 레벨이므로 비트선 쌍(BL, /BL)은 비트선 프리차지 전위 VBL에 접속되고, 더미 셀 DC에는 더미 셀 기입 전위 VDC가 접속되어 있다. 메모리 셀 MC에는 앞의 사이클에서 데이터 "0" 이라든가 "1" 이 기입되어 있다고 한다.

/RAS(로우 어드레스 스트로브) 신호가 "L" 레벨(활성화 레벨)로 되어 독출 동작이 시작되면 워드선 WL과 더미 워드선 DWL이 "H" 레벨이 되고 메모리 셀 MC와 더미 셀 DC에 기입되어 있는 데이터가 각각 비트선 BL과 비트선 /BL에 독출된다.

스탠드바이 상태와 독출 동작시에 전하는 보존되므로 독출후의 비트선 /BL의 전위를 V/BL'로 하면,

$$(VDC - VPL)CS + VBL \cdot CBL = (V/BL' - VPL)CS + V/BL' \cdot CBL$$

이 되고, 데이터 독출 후의 비트선 /BL의 전위 V/BL'은

$$V/BL' = (VBL \cdot CBL + CS \cdot VDC) / (CBL + CS)$$

로 된다.

한편, 비트선 BL측에 있어서는 비트선 BL에 접속되어 있는 메모리 셀 MC의 스탠드바이 상태의 전위를 VCELL로 하면, VCELL은 "1"로 읽을 경우는 Vcc, "0"으로 읽을 경우는 0V로 된다. 데이터 독출후의 비트선 BL의 전위를 VBL'로 하면, 전하는 보존되므로

$$(VCELL - VPL)CS + VBL \cdot CBL = (VBL' - VPL)CS + VBL' \cdot CBL$$

로 되므로, 데이터 독출후의 비트선 BL의 전위 VBL'은

$$VBL' = (VBL \cdot CBL + CS \cdot VCELL) / (CBL + CS)$$

로 된다. 센스 마진은 비트선 쌍(BL, /BL)의 전위차이므로

$$V/BL' - VBL' = \{CS(VDC - VCELL)\} / (CBL + CS) \dots\dots\dots (1)$$

로 된다.

이 식(1)에서, 센스 마진은 반드시 프리차지 전위 VBL 또는 커패시터 플레이트 전위 VPL에는 관계가 없고, 더미 셀 기입 전위 VDC에만 의존하고 있음을 안다.

즉, "1"로 읽을 경우는 외부 VDC 입력을 전원 전위 Vcc에 근접시킴으로써, 또 "0"으로 읽을 경우는 외부 VDC 입력을 0V에 근접시킴으로써 센스 마진을 좁힐 수 있고, 마진이 적은 메모리 셀을 불량 상태로 할 수 있다.

제30도의 DRAM은 제26도에 도시한 DRAM에 비하여 비트선 프리차지 전위 VBL을 비트선 쌍(BL, /BL)에 인가하는 방식이 상이하고 기타는 같다.

제30도에 있어서, 80은 비트선 프리차지, 이퀄라이즈 회로, 131은 비트선 프리차지 전위선, 134는 VBL 스위치 패드, 135는 외부 VBL 입력 패드, 136은 내부 VBL · 외부 VBL 스위치 회로이다. 또 메모리 셀 MC

의 용량은 CS이고, 비트선 쌍(BL, /BL)의 각 용량은 CBL이라고 가정한다.

상기 VBL 스위치 패드(134) 및 내부 VBL · 외부 VBL 스위치 회로(136)는 내부 VBL 발생 회로(103)로부터의 출력(내부 VBL)과 외부 VBL 입력 패드(136)로부터의 입력(외부 VBL)을 절환해서 비트선 프리차지 전위선(131)에 공급하기 위한 것이다.

VBL 스위치 패드(134)에 “L” 레벨을 부여하면, 내부 VBL 발생 회로(103)의 출력이 CMOS 스위치(117)를 거쳐 비트선 프리차지 전위선(131)에 접속된다.

이에 대하여 VBL 스위치 패드(134)에 “H” 레벨을 부여하면 외부 VBL 입력 패드(135)로부터의 입력이 CMOS 스위치(118)를 거쳐 비트선 프리차지 전위선(131)에 접속된다.

VBL 스위치 패드(134)는 고저항 R을 통하여 VSS 전위에 접속되어 있고, 통상의 패키지에 봉입된 상태에서는 VBL 스위치 패드(134) 및 외부 VBL 입력 패드(135)는 본딩 접속되지 않는 것으로 한다면, 패키지에 봉입된 후에는 내부 VBL 발생 회로(103)의 출력이 비트선 프리차지 전위선(131)에 접속된다.

이에 대하여 스크리닝 테스트에 있어서 VBL 스위치 패드(134)에 “H” 레벨을 부여하면 외부 VBL 입력 패드(135)로부터의 입력이 비트선 프리차지 전위선(131)에 접속된다.

제31도는 제30도의 회로의 독출 동작의 일례를 나타내는 타이밍 파형도이다.

스탠드바이 상태에서는 이퀄라이즈 신호 /EQL은 “H” 레벨이므로 비트선 쌍 (BL, /BL)은 비트선 프리차지 전위 VBL에 접속되어 있다. 메모리 셀 MC에는 앞의 사이클에서 데이터 “0” 이나 “1” 이 기입되어 있다고 한다.

독출 동작이 시작되면 워드선 WL이 “H” 레벨로 되고, 메모리 셀 MC에 기입되어 있는 데이터가 한쪽의 비트선 BL에 독출된다. 다른쪽의 비트선 /BL은 더미 셀이 접속되어 있지 않으므로 데이터 독출후에도 전위는 변환하지 않는다. 따라서 데이터 독출후의 비트선 /BL의 전위 V/BL' 는

$$V/BL' = VBL$$

로 된다.

한편, 비트선 BL측에 있어서는 비트선 BL에 접속되어 있는 메모리 셀 MC의 스탠드바이 상태의 전위를 VCELL이라 하면, VCELL은 “1” 로 읽은 경우는 Vcc, “0” 으로 읽은 경우는 0V로 된다. 데이터 독출후의 비트선 BL의 전위 VBL' 는 전하 보존 법칙에 의해,

$$(VCELL - VPL)CS + VBL \cdot CBL = (VBL' - VPL)CS + VBL' \cdot CBL$$

이 되므로, 데이터 독출후의 비트선 BL의 전위 VBL' 는

$$VBL' = (VBL \cdot CBL + CS \cdot VCELL) / (CBL + CS)$$

가 된다. 센스 마진은 비트선 쌍(BL, /BL)의 전위차이므로

$$V/BL' - VBL' = \{CS(VBL - VCELL)\} / (CBL + CS) \dots\dots\dots (2)$$

로 된다.

이 식(2)에서 센스 마진은 비트선 프리차지 전위 VBL에 의존하는 것을 알 수 있다.

즉, “1” 로 읽은 경우는 외부 VBL 입력을 전원 전위 Vcc에 근접시킴으로써 또 “0” 으로 읽은 경우는 외부 VBL 입력을 0V에 근접시킴으로써 센스 마진을 좁힐 수 있고 마진이 적은 메모리 셀을 불량 상태로 할 수 있다.

제32도의 DRAM은 제30도에 도시한 DRAM에 비하여 메모리 셀 커패시터 플레이트 전위 VPL을 제어하는 방식을 채용하고 있는 점이 다르고, 기타는 동일하다.

제32도에 있어서, 151은 커패시터 플레이트 전위선, 153은 내부 VPL 발생 회로, 154는 VPL 스위치 패드, 155는 외부 VPL 입력 패드, 156은 내부 VPL · 외부 VPL 스위치 회로이다. 또 메모리 셀 MC의 용량은 CS이고, 비트선 쌍(BL, /BL)의 각 용량은 CBL이라고 가정한다.

상기 VPL 스위치 패드(154) 및 내부 VPL · 외부 VPL 스위치 회로(156)는 내부 VPL 발생 회로(153)에서의 출력(내부 VPL)과 외부 VPL 입력 패드(155)로부터의 입력(외부 VPL)을 절환해서 커패시터 플레이트 전위선(151)에 공급하기 위한 것이다.

VPL 스위치 패드(154)에 “L” 레벨을 부여하면, 내부 VPL 발생 회로(153)의 출력이 CMOS 스위치(117)를 거쳐 커패시터 플레이트 전위선(151)에 접속된다.

이것에 대해, VPL 스위치 패드(154)에 “H” 레벨을 부여하면 외부 VPL 입력 패드(155)로부터의 입력이 CMOS 스위치(118)를 거쳐 커패시터 플레이트 전위선(151)에 접속된다.

VPL 스위치 패드(154)는 고저항 R을 통해 VSS 전위에 접속되어 있으며, 통상의 패키지에 봉입된 상태에서는 VPL 스위치 패드(154) 및 외부 VPL 입력 패드(155)는 본딩 접속되지 않는 것으로 하면 패키지에 봉입된 다음에는 내부 VPL 발생 회로(153)의 출력이 커패시터 플레이트 전위선(151)에 접속된다.

이것에 대해, 스크리닝 테스트시에 VPL 스위치 패드(154)에 “H” 레벨을 부여하면, 외부 VPL 입력 패드(155)로부터의 입력이 커패시터 플레이트 전위선(151)에 접속된다.

제33도는 제32도의 회로의 독출 동작의 일례를 나타낸 타이밍 파형도이다.

스탠드바이 상태에서 이퀄라이즈 신호 /EQL은 “H” 레벨이므로 비트선 쌍 (BL, /BL)은 비트선 프리차지

전위 VBL에 접속되어 있다. 메모리 셀 MC에는 앞의 사이클에서 데이터 “0” 또는 “1”이 기록되어 있는 것으로 한다.

독출 동작이 시작되면 워드선 WL이 “H” 레벨로 되고, 메모리 셀 MC에 기록되어 있는 데이터가 한쪽의 비트선 BL에 독출된다. 다른쪽의 비트선 /BL은 더미 셀이 접속되어 있지 않으므로, 데이터 독출 후에도 전위는 변화하지 않는다. 따라서 데이터 독출후의 비트선 /BL의 전위 V/BL'는

$$V/BL' = VBL$$

로 된다.

한편, 커패시터 플레이트 전위 VPL을 기록시와 독출시에 변화시키는 것으로 하고, 기록시의 커패시터 플레이트 전위를 VPLW, 독출시의 커패시터 플레이트 전위를 VPLR로 한다. 비트선 BL측에 있어서는 비트선 BL에 접속되어 있는 메모리 셀 MC의 스탠드바이 상태의 전위를 VCELL로 하면, VCELL은 “1”로 읽은 경우는 VCC, “0”로 읽을 경우는 0V로 된다. 데이터 독출후의 비트선 BL의 전위 VBL'는 전하 보존 법칙에 의해

$$(VCELL - VPLW)CS + VBL \cdot CBL = (VBL' - VPLR)CS + VBL' \cdot CBL$$

로 되므로, 데이터 독출후의 비트선 BL의 전위 VBL'는

$$VBL' = \{VBL \cdot CBL + CS(VCELL - VPLW + VPLR)\} / (CBL + CS)$$

로 된다.

센스 마진은 비트선 쌍(BL, /BL)의 전위차이므로,

$$V/BL' - VBL' = CS(VBL - VCELL + VPLW - VPLR) / (CBL + CS) \dots\dots\dots (3)$$

로 된다.

이 식(3)에서 센스 마진은 기록시의 커패시터 플레이트 전위 VPLW와 독출시의 커패시터 플레이트 전위 VPLR와의 차에 의존하는 것을 알 수 있다. 즉, “1”로 읽은 경우는 기록시의 커패시터 플레이트 전위 VPLW를 낮게, 독출시의 커패시터 플레이트 전위 VPLR을 높게 함으로써, 또, “0”으로 읽은 경우는 기록시의 커패시터 플레이트 전위 VPLW를 높게, 독출시의 커패시터 플레이트 전위 VPLR을 낮게 하도록 외부 VPL 입력을 제어함으로써, 센스 마진을 증할 수 있고, 마진이 적은 메모리 셀을 불량 상태로 할 수 있다.

이상, 본 명세서 및 도면에서 상세히 나타낸 실시예는 본 발명을 한정하는 것은 아니다. 본 발명의 주지 및 특허 청구의 범위내에서의 여러가지 변형은 본 발명의 범위내에 있다.

그리고, 본원의 특허 청구 범위의 각 구성 요소에 병기한 도면의 참조 번호는 본원 발명의 이해를 용이하게 하기 위한 것이며, 본원 발명의 기술적 범위를 도면에 도시한 실시예에 한정하는 의도로 병기한 것은 아니다.

## (57) 청구의 범위

### 청구항 1

제1 및 제2비트선을 각각 포함하는 한쌍의 비트선과; 상기 한쌍의 비트선에 각각 접속된 복수의 메모리 셀과; 상기 메모리 셀을 선택하는 복수의 워드선과; 상보형 제1 및 제2의 더미 워드선과; 상기 비트선 쌍 중 하나의 제1비트선과 제1 더미 워드선 사이에 접속되는 제1커패시터와; 상기 비트선 쌍 중 다른 하나의 제2비트선과 제2 더미 워드선 사이에 접속되는 제2커패시터와; 사전결정된 복수의 더미 워드선 구동 모드로부터 더미 워드선 구동 모드를 결정하는 더미 워드선 구동 모드 결정 회로와, 상기 더미 워드선 구동 모드 결정 회로에 의해 결정된 더미 워드선 구동 모드에서 상기 더미 워드선을 구동하는 더미 워드선 구동 회로를 포함하는 더미 워드선 전위 제어회로를 구비하는 것을 특징으로 하는 반도체 메모리.

### 청구항 2

제1항에 있어서, 상기 더미 워드선 전위 제어 회로는 더미 워드선 레벨 제어 전위의 기능에 따라 상기 더미 워드선의 전위 레벨을 제어하는 것을 특징으로 하는 반도체 메모리.

### 청구항 3

제1항에 있어서, 상기 더미 워드선 전위 제어 회로는 선택된 메모리 셀의 “1” 데이터 판독 마진과 “0” 데이터 판독 마진간의 불균형 상태를 보정하도록 동작하는 것을 특징으로 하는 반도체 메모리.

### 청구항 4

제1항에 있어서, 사전결정된 복수의 더미 워드선 구동 모드에서 더미 워드선 구동 모드를 선택하는 제어 전위는 반도체 메모리가 웨이퍼 상태에 있는 동안 스크리닝 테스트될 때 “1” 데이터 판독 마진 또는 “0” 데이터 판독 마진으로 제한되도록 상기 더미 워드선의 전위 제어 회로에 인가되는 것을 특징으로 하는 반도체 메모리.

### 청구항 5

제1항에 있어서, 상기 더미 워드선 전위 제어 회로가 형성되는 메모리칩 상에 형성된 패드를 추가로 포함하고, 상기 사전결정된 복수의 더미 워드선 구동 모드에서 더미 워드선 구동 모드를 선택하는 제어 전

위는 상기 더미 워드선 구동 모두가 상기 패드에 인가되는 제어 전위에 응답해서 결정되도록 상기 패드에 외부에서 인가되는 것을 특징으로 하는 반도체 메모리.

#### 청구항 6

제2항에 있어서, 상기 더미 워드선 전위 제어 회로는 선택된 메모리 셀의 "1" 데이터 판독 마진과 "0" 데이터 판독 마진간의 불균형 상태를 보정하도록 동작하는 것을 특징으로 하는 반도체 메모리.

#### 청구항 7

제3항에 있어서, 상기 더미 워드선 전위 제어 회로가 형성되는 메모리칩 상에 형성되고 소정의 전위 노드에 접속되는 패드를 추가로 포함하고, 상기 더미 워드선의 구동 모드는 상기 패드에 인가되는 제어 전위에 응답해서 선택되는 것을 특징으로 하는 반도체 메모리.

#### 청구항 8

제6항에 있어서, 상기 더미 워드선 전위 제어 회로가 형성되는 메모리칩 상에 형성되고 소정의 전위노드에 접속되는 패드를 추가로 포함하고, 상기 더미 워드선의 구동 모드는 상기 패드에 인가되는 제어 전위에 응답해서 선택되는 것을 특징으로 하는 반도체 메모리.

#### 청구항 9

제2항에 있어서, 사전결정된 복수의 더미 워드선 구동 모드에서 더미 워드선 구동 모드를 선택하는 제어 전위는 반도체 메모리가 웨이퍼 상태에 있는 동안 스크리닝 테스트될 때 "1" 데이터 판독 마진 또는 "0" 데이터 판독 마진으로 제한되도록 상기 더미 워드선의 전위 제어 회로에 인가되는 것을 특징으로 하는 반도체 메모리.

#### 청구항 10

제2항에 있어서, 상기 더미 워드선 전위 제어 회로가 형성되는 메모리칩 상에 형성된 패드를 추가로 포함하고, 상기 사전결정된 복수의 더미 워드선 구동 모드에서 더미 워드선 구동 모드를 선택하는 제어 전위는 상기 더미 워드선 구동 모두가 상기 패드에 인가되는 제어 전위에 응답해서 결정되도록 상기 패드에 외부에서 인가되는 것을 특징으로 하는 반도체 메모리.

#### 청구항 11

제4항에 있어서, 상기 더미 워드선 전위 제어 회로가 형성되는 메모리칩 상에 형성된 패드를 추가로 포함하고, 상기 사전결정된 복수의 더미 워드선 구동 모드에서 더미 워드선 구동 모드를 선택하는 제어 전위는 상기 더미 워드선 구동 모두가 상기 패드에 인가되는 제어 전위에 응답해서 결정되도록 상기 패드에 외부에서 인가되는 것을 특징으로 하는 반도체 메모리.

#### 청구항 12

제9항에 있어서, 상기 더미 워드선 전위 제어 회로가 형성되는 메모리칩 상에 형성된 패드를 추가로 포함하고, 상기 사전결정된 복수의 더미 워드선 구동 모드에서 더미 워드선 구동 모드를 선택하는 제어 전위는 상기 더미 워드선 구동 모두가 상기 패드에 인가되는 제어 전위에 응답해서 결정되도록 상기 패드에 외부에서 인가되는 것을 특징으로 하는 반도체 메모리.

#### 청구항 13

제1항에 있어서, 상기 더미 워드선 전위 제어 회로는 상기 사전결정된 복수의 더미 워드선 구동 모드로부터 더미 워드선 구동 모드를 선택하는 제어 전위에 따라서 선택되는 더미 워드선의 전위의 변화를 제어하는 것을 특징으로 하는 반도체 메모리.

#### 청구항 14

제1항에 있어서, 상기 더미 워드선 전위 제어 회로는 상기 사전결정된 복수의 더미 워드선 구동 모드로부터 더미 워드선 구동 모드를 선택하는 제어 전위에 따라서 선택되는 더미 워드선의 전위의 변화 방향을 제어하는 것을 특징으로 하는 반도체 메모리.

#### 청구항 15

제13항에 있어서, 상기 더미 워드선 전위 제어 회로는 상기 제어 전위에 따라서 선택되는 더미 워드선의 전위의 변화 방향을 제어하는 것을 특징으로 하는 반도체 메모리.

#### 청구항 16

제4항 내지 제13항중 어느 한 항에 있어서, 상기 더미 워드선 전위 제어 회로는 더미 워드선 레벨 제어 전위의 기능에 따라 상기 더미 워드선의 전위 레벨을 제어하는 것을 특징으로 하는 반도체 메모리.

#### 청구항 17

제4항 내지 제13항중 어느 한 항에 있어서, 상기 더미 워드선 전위 제어 회로는 선택된 메모리 셀의 "1" 데이터 판독 마진과 "0" 데이터 판독 마진간의 불균형 상태를 보정하도록 동작하는 것을 특징으로 하는 반도체 메모리.

#### 청구항 18

제16항에 있어서, 상기 더미 워드선 전위 제어 회로는 선택된 메모리 셀의 “1” 데이터 판독 마진과 “0” 데이터 판독 마진간의 불균형 상태를 보정하도록 동작하는 것을 특징으로 하는 반도체 메모리.

#### 청구항 19

제17항에 있어서, 상기 더미 워드선 전위 제어 회로는 상기 더미 워드선 전위 제어 회로가 형성되는 메모리칩 상에 형성되고 소정의 전위 노드에 접속되는 패드를 추가로 포함하고, 상기 더미 워드선의 구동 모드는 상기 패드에 인가되는 제어 전위에 응답해서 선택되는 것을 특징으로 하는 반도체 메모리.

#### 청구항 20

제7항에 있어서, 상기 더미 워드선 전위 제어 회로는 상기 더미 워드선 전위 제어 회로가 형성되는 메모리칩 상에 형성되고 소정의 전위 노드에 접속되는 패드를 추가로 포함하고, 상기 더미 워드선의 구동 모드는 상기 패드에 인가되는 제어 전위에 응답해서 선택되는 것을 특징으로 하는 반도체 메모리.

#### 청구항 21

제4항 내지 제13항중 어느 한 항에 있어서, 사전결정된 복수의 더미 워드선 구동 모드에서 더미 워드선 구동 모드를 선택하는 제어 전위는 반도체 메모리가 웨이퍼 상태에 있는 동안 스크리닝 테스트될 때 “1” 데이터 판독 마진 또는 “0” 데이터 판독 마진으로 제한되도록 상기 더미 워드선의 전위 제어 회로에 인가되는 것을 특징으로 하는 반도체 메모리.

#### 청구항 22

제16항에 있어서, 사전결정된 복수의 더미 워드선 구동 모드에서 더미 워드선 구동 모드를 선택하는 제어 전위는 반도체 메모리가 웨이퍼 상태에 있는 동안 스크리닝 테스트될 때 “1” 데이터 판독 마진 또는 “0” 데이터 판독 마진으로 제한되도록 상기 더미 워드선의 전위 제어 회로에 인가되는 것을 특징으로 하는 반도체 메모리.

#### 청구항 23

제4항 내지 제13항중 어느 한 항에 있어서, 상기 더미 워드선 전위 제어 회로가 형성되는 메모리칩 상에 형성된 패드를 추가로 포함하고, 상기 사전결정된 복수의 더미 워드선 구동 모드에서 더미 워드선 구동 모드를 선택하는 제어 전위는 상기 더미 워드선 구동 모드가 상기 패드에 인가되는 제어 전위에 응답해서 결정되도록 상기 패드에 외부에서 인가되는 것을 특징으로 하는 반도체 메모리.

#### 청구항 24

제16항에 있어서, 상기 더미 워드선 전위 제어 회로가 형성되는 메모리칩 상에 형성된 패드를 추가로 포함하고, 상기 사전결정된 복수의 더미 워드선 구동 모드에서 더미 워드선 구동 모드를 선택하는 제어 전위는 상기 더미 워드선 구동 모드가 상기 패드에 인가되는 제어 전위에 응답해서 결정되도록 상기 패드에 외부에서 인가되는 것을 특징으로 하는 반도체 메모리.

#### 청구항 25

제10항에 있어서, 상기 더미 워드선 전위 제어 회로가 형성되는 메모리칩 상에 형성된 패드를 추가로 포함하고, 상기 사전결정된 복수의 더미 워드선 구동 모드에서 더미 워드선 구동 모드를 선택하는 제어 전위는 상기 더미 워드선 구동 모드가 상기 패드에 인가되는 제어 전위에 응답해서 결정되도록 상기 패드에 외부에서 인가되는 것을 특징으로 하는 반도체 메모리.

#### 청구항 26

제22항에 있어서, 상기 더미 워드선 전위 제어 회로가 형성되는 메모리칩 상에 형성된 패드를 추가로 포함하고, 상기 사전결정된 복수의 더미 워드선 구동 모드에서 더미 워드선 구동 모드를 선택하는 제어 전위는 상기 더미 워드선 구동 모드가 상기 패드에 인가되는 제어 전위에 응답해서 결정되도록 상기 패드에 외부에서 인가되는 것을 특징으로 하는 반도체 메모리.

#### 청구항 27

제1항에 있어서, 상기 제1 및 제2커패시터는 트랜스터 게이트용 MOS 트랜지스터를 통해 상기 비트선에 접속되는 하나의 단자를 각각 갖는 다이내믹형 메모리 셀 커패시터인 것을 특징으로 하는 반도체 메모리.

#### 청구항 28

제1항에 있어서, 상기 더미 워드선 전위 제어 회로는 선택된 워드선이 활성화될 때 상기 더미 워드선중 하나의 더미 워드선을 활성화하거나 그 양쪽의 더미 워드선을 비활성 상태로 하는지를 선택할 수 있는 제1의 선택 기능과, 상기 제1의 기능에 의해 상기 더미 워드선중 하나의 더미 워드선을 활성화할 때 임의의 한쪽을 선택할 수 있는 제2의 선택 기능을 제공하는 것을 특징으로 하는 반도체 메모리.

#### 청구항 29

제1항에 있어서, 상기 더미 워드선 전위 제어 회로는 선택된 워드선이 활성화될 때 상기 2개의 더미 워드선을 역상으로 활성화하거나 그 양쪽의 2개의 더미 워드선을 비활성 상태로 유지하는가를 선택할 수 있는 제1의 선택 기능과, 상기 제1의 선택 기능의 수단에 의해 상기 2개의 더미 워드선이 역상으로 활성화될 때 상기 2개의 더미 워드선의 위상을 반전시키는 제2의 선택 기능을 제공하는 것을 특징으로 하는



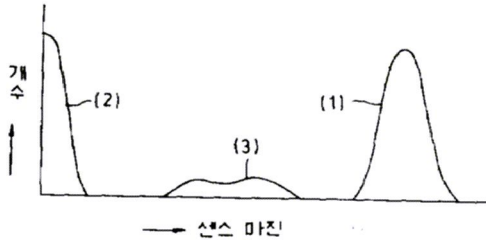
반도체 메모리.

### 청구항 30

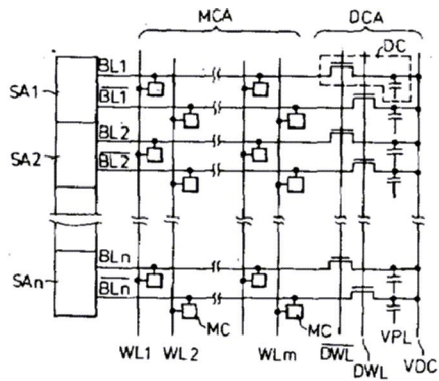
메모리 셀이 행렬 형상으로 배열되고, 동일 행의 메모리 셀에 공통 접속된 워드선(WL) 및 동일 열의 메모리 셀에 접속된 비트선(BL, /BL)을 갖는 메모리 셀 어레이와 상기 메모리 셀 어레이에 있어서의 비트선 쌍을 프리차지하는 기간에 비트선 쌍에 상이한 전위를 프리차지하는 프리차지 회로(100)와; 상기 메모리 셀 어레이에 있어서의 상보적인 비트선 쌍에 접속되고, 선택된 메모리 셀에서 비트선에 독출된 정보를 센스 증폭하는 센스 앰프(SA)를 구비하는 것을 특징으로 하는 반도체 메모리.

### 도면

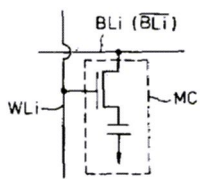
도면1



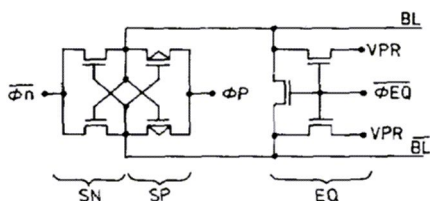
도면2



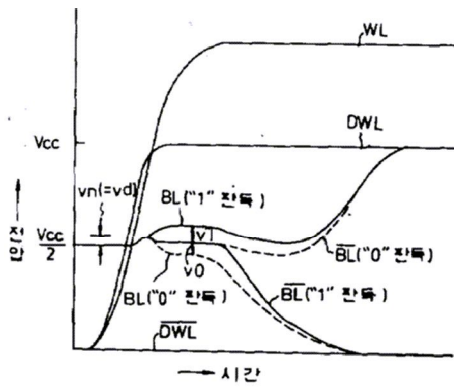
도면3



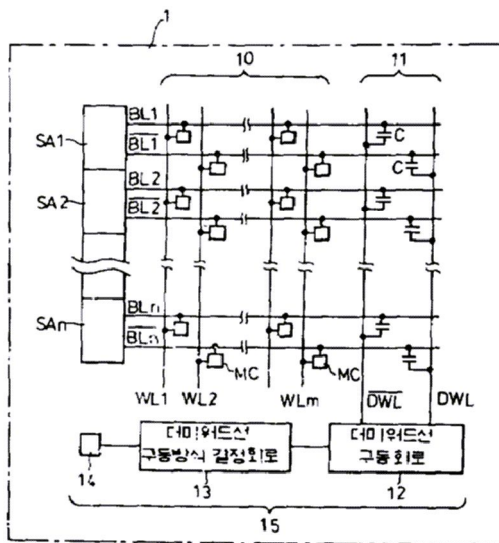
도면4



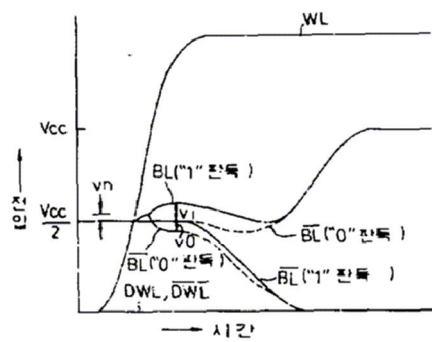
도면5



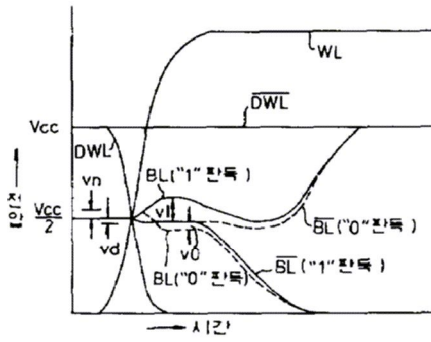
도면6



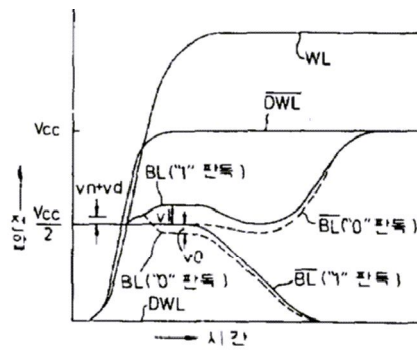
도면7



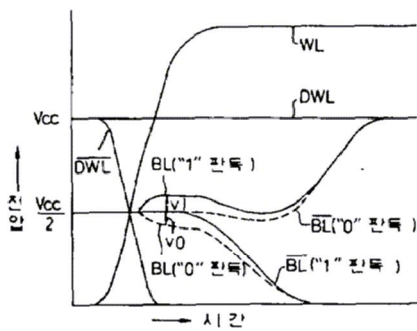
도면8



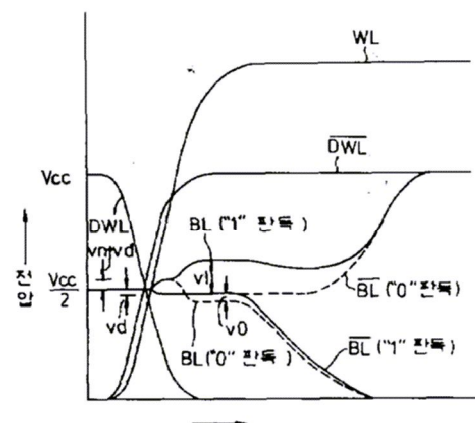
도면9



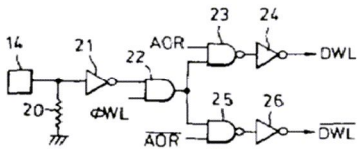
도면10



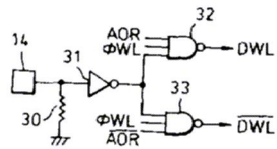
도면11



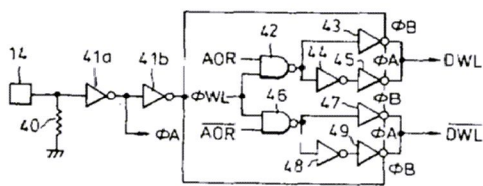
도면 12



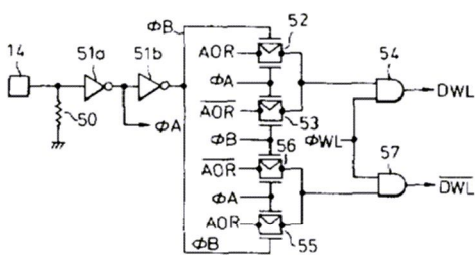
도면 13



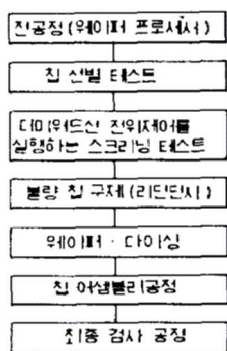
도면 14



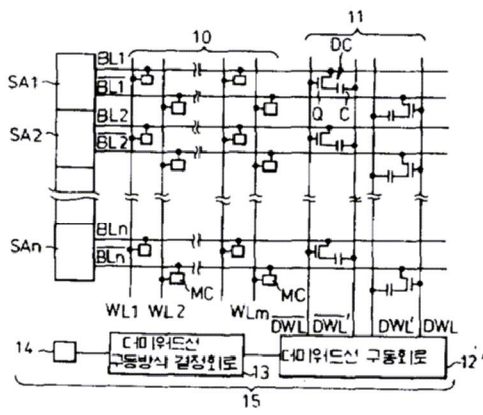
도면 15



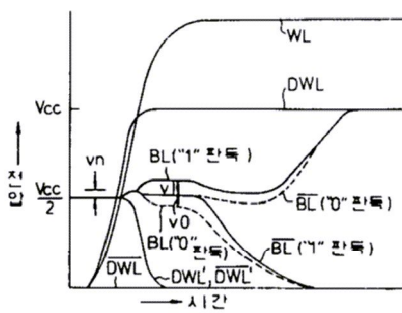
도면 16



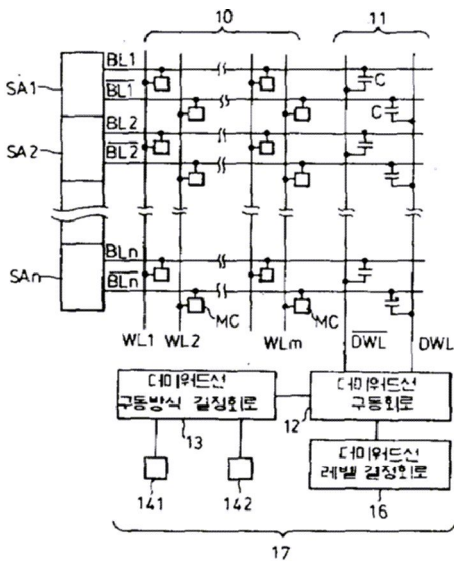
도면17



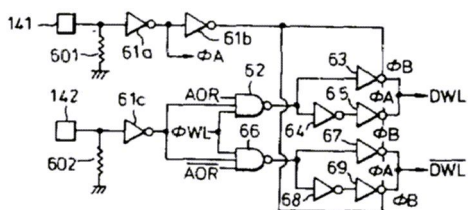
도면18



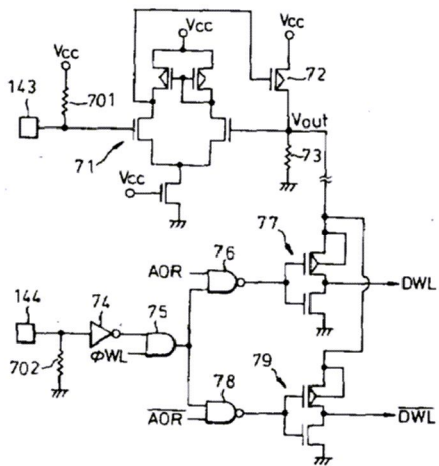
도면19



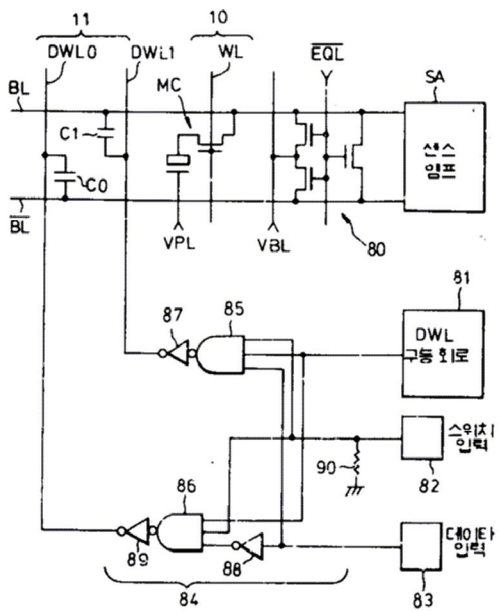
도면20



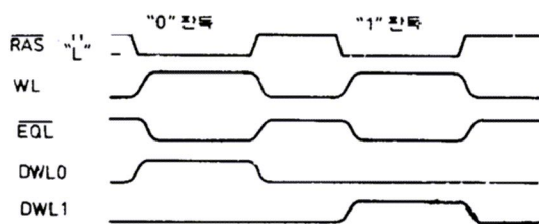
도면21



도면22



도면23

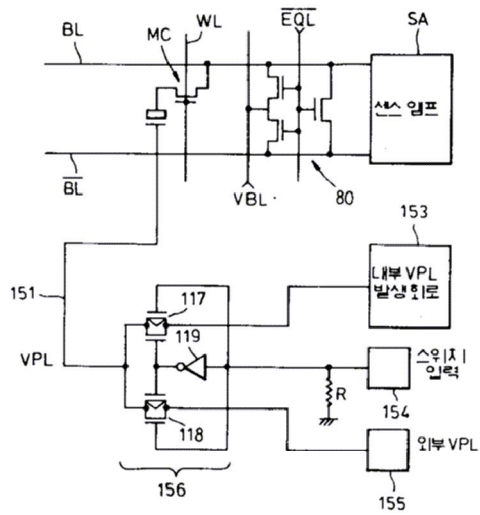








도면32



도면33

