[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H01L 21/00
H01L 27/15

[12] 发明专利申请公开说明书

[21] 申请号 02813089.8

[43] 公开日 2004 年 8 月 18 日

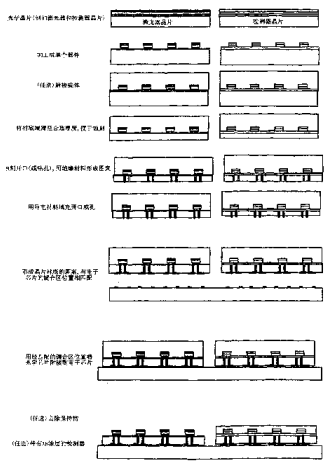
[11] 公开号 CN 1522459A

[22] 申请日 2002.6.28 [21] 申请号 02813089.8
[30] 优先权
[32] 2001. 6.29 [33] US [31] 09/896,189
[32] 2001. 6.29 [33] US [31] 09/897,158
[32] 2001. 6.29 [33] US [31] 09/897,160
[32] 2001. 6.29 [33] US [31] 09/896,983
[32] 2002. 3.19 [33] US [31] 60/365,998
[32] 2002. 3.19 [33] US [31] 60/365,996
[32] 2002. 3.19 [33] US [31] 60/366,032
[86] 国际申请 PCT/US2002/022291 2002.6.28
[87] 国际公布 WO2003/003426 英 2003.1.9
[85] 进入国家阶段日期 2003.12.29
[71] 申请人 美莎诺普有限公司
地址 美国新罕布什尔州
[72] 发明人 格雷格·杜德夫 约翰·特雷泽
[74] 专利代理机构 上海市华诚律师事务所
代理人 傅强国
权利要求书 3 页 说明书 20 页 附图 26 页

[54] 发明名称 光电子器件集成

[57] 摘要

描述了一种将芯片和顶面光学芯片集成在一起的方法。 顶面光学芯片至少有一个光学器件，该器件有一个包括一个光学活性区域的活性面，一个有一定高度的激光器腔，一个光学非活性区域，一个和活性面相对的键合面和一个器件厚度。 该方法包括，将光学芯片键合到电子芯片上；施加一个衬底到活性面上，该衬底有一个在活性区域上面的在一个第一数量和一个第二数量之间的衬底厚度，和施加一个抗反射涂层，在施加抗反射涂层时不需形成特殊的图形或在至少一个的光学激光器器件和其他器件之间进行区别。



ISSN1008-4274

1．一种将一个芯片和一个顶面活性光学芯片集成在一起的方法，该顶面活性光学芯片至少包括一个光学激光器器件，该器件具有一个包括一个光学活性区域的活性面，一个有一定高度的激光器腔，一个光学非活性区域，一个和活性面相对的键合面和一个器件厚度，该方法包括：

将光学芯片键合到电子芯片；

施加一个衬底到活性面，该衬底在活性区域上面有一个在一个第一数量和一个第二数量之间的范围内的衬底厚度，该第一数量在一个最小激光发射厚度和约十倍于激光器腔高度之间，该第二数量约100微米；和

施加一个抗反射涂层，在施加抗反射涂层时不需形成特殊的图形或在该至少一个光学激光器器件和任何其他器件之间进行区别。

2．如权利要求1所述的方法，其特征在于，其中施加的步骤进一步包括：

将光学活性区域上面的衬底减薄到约为器件厚度的经减薄的衬底厚度。

3．如权利要求1所述的方法，其特征在于，其中施加的步骤进一步包括：

将光学活性区域上面的衬底减薄到约为0微米到100微米的范围中的经减薄的衬底厚度。

4．如权利要求1所述的方法，其特征在于，其中施加的步骤进一步包括：

将光学活性区域上面的衬底减薄到约为50微米到100微米的范围中的经减薄的衬底厚度。

5．如权利要求1所述的方法，其特征在于，其中施加的步骤进一步包括：

将光学活性区域上面的衬底减薄到约为20微米到100微米的范围中的经减薄的衬底厚度。

6．如权利要求1所述的方法，其特征在于，其中施加的步骤进一步包括：

将光学活性区域上面的衬底减薄到约为20微米到50微米的范围中的经减薄的衬底厚度。

7．如权利要求1所述的方法进一步包括：在衬底中形成光学接近进路。

8．如权利要求7所述的方法进一步包括：将孔钻进衬底。

9．如权利要求7所述的方法进一步包括：刻蚀衬底，使衬底有一个孔。

10．如权利要求9所述的方法，其特征在于，其中刻蚀包括：形成一个直侧壁以限定孔的至少一部分。

11. 如权利要求 9 所述的方法，其特征在于，其中刻蚀包括：形成一个斜侧壁以限定孔的至少一部分。

12. 如权利要求 9 所述的方法，其特征在于，其中刻蚀包括：

形成一个直侧壁以限定孔的一个第一部分；和

形成一个斜侧壁以限定孔的一个第二部分。

13. 如权利要求 1 所述的方法，其特征在于，其中至少一个光学器件包括一个探测器，并且该方法进一步包括：对探测器进行抗反射涂覆。

14. 如权利要求 1 所述的方法，其特征在于，其中在紧接着施加以后衬底有一个表面区域，该方法进一步包括：对衬底形成抗蚀剂图形以将该表面区域增加一个数量。

15. 如权利要求 1 所述的方法，其特征在于，其中在紧接着施加以后衬底有一个表面区域，该方法进一步包括：除去衬底以将该表面区域增加一个数量。

16. 如权利要求 1 所述的方法进一步包括：在光学活性区域上面的衬底中形成光学接近进路，该光学接近进路的尺寸足以容纳一个光纤或一个微透镜中的一个。

17. 如权利要求 1 所述的方法进一步包括：在衬底中形成一个光学接近进路，该光学接近进路从衬底的一个表面延伸进厚度中一个距离。

18. 如权利要求 17 所述的方法进一步包括：将一个光纤的末端插进该光学接近进路。

19. 如权利要求 17 所述的方法进一步包括：用光学接近进路支撑一个光纤的一个末端。

20. 如权利要求 17 所述的方法进一步包括：将一个微透镜的一部分插进该光学接近进路。

21. 如权利要求 1 所述的方法进一步包括：用光学接近进路支撑一个微透镜的至少一部分。

22. 一种混合光电芯片包括：

一个电子芯片；和

一个顶面活性光学芯片，其中该混合光电芯片通过权利要求 1-21 中的一项的方法制作。

23. 一种模块包括：

一个具有至少一个顶面活性激光器和至少一个光探测器的光学芯片，该至少一个顶面活性激光器有在两者之间 限定一个活性区域的相对镜。

一个键合到光学芯片的电子芯片；和

在活性区域上面的衬底的顶部的一个抗反射涂层，该涂层在施加时不需要作为抗反射涂覆工艺的一个部分的在至少一个的顶面活性激光器和至少一个的光探测器之间进行区别。

24. 如权利要求 23 所述的模块，其特征在于，其中，至少一个的顶面活性激光器是一种垂直腔表面发射激光器。

25. 如权利要求 23 所述的模块进一步包括一个活性区域上方的光学接近进路。

26. 如权利要求 25 所述的模块进一步包括一个有一个部分在光学接近进路中的光纤。

27. 如权利要求 25 所述的模块进一步包括一个由光学接近进路支撑的微透镜。

28. 如权利要求 25 所述的模块进一步包括一个有一个部分在光学接近进路内的微透镜。

29. 一种混合模块包括：

一个由至少两个每一个都有一个在一个活性区域上面的衬底的顶面发射激光器组成的光学芯片，衬底有一个在至少两个顶面发射激光器的非活性区域上面的第一厚度，和一个在至少两个顶面发射激光器的活性区域上面小于约 100 微米的第二厚度；

一个在衬底的顶部的抗反射涂层；和

一个光学芯片被键合到其上的电子芯片。

30. 如权利要求 29 所述的混合模块，其特征在于，其中，第二厚度大于抗激光发射厚度，而小于 100 微米，其中的混合模块进一步包括：一层施加在衬底上的抗反射涂层，对该至少两个背面发射的激光器的衬底不进行特定的图案形成。

31. 如权利要求 30 所述的混合模块进一步包括：至少一个光检测器。

32. 如权利要求 31 所述的混合模块进一步包括：在至少一个光检测器上的抗反射涂层。

# 光电子器件集成

## 发明领域

本发明涉及光电芯片集成，尤其涉及高产量密度集成光电子器件的集成。

## 背景技术

图 1 和图 2 阐明了先有技术所使用的方法，用来附贴多个底层发射（或检测）（也称为“背面发射（或检测）”）器件以形成一个集成光电芯片。

根据图 1 所示的方法，按照传统的方法，多个激光器在晶片衬底 102 上生成，如多个探测器（在这里也可互换地称为光探测器）在它们自己的或和激光器共同的晶片衬底上生成。通常，最邻近光学器件 106、108 和衬底 102 之间结合处的衬底 102 的 104 部分，是由一种材料构成，这种材料对于光学器件的工作波长是光学透明的。然后，器件 106、108 用传统技术如湿法或干法蚀刻处理，以在器件 106、108 中形成沟槽 112，把它们分成一系列分离的单个激光器 106 或探测器 108。被蚀刻的沟槽 112 可以在到达衬底 102 前就停止，也可以部分延伸到衬底 102 中，这依赖于所使用的具体技术。蚀刻后，衬底 102 及其相关器件被翻转，在硅（Si）电子晶片 114 上排到合适的位置，然后使用传统的倒装片键合技术把它键合到硅电子晶片 114 上。键合之后，使用传统的机械磨光法，传统的蚀刻技术或两者的组合方法，使衬底 102 的全部减得极薄，约 5 微米的数量级，或者更薄，使达到对器件的光学接近并产生集成光电晶片 116。

可选择地，然后用传统的技术，集成的光电晶片 116 被制作图案，以保护单个的激光器，单个的探测器也被涂覆上一层抗反射（AR）涂层 118。

一种相关的可替代图 1 所示技术的方法如图 2 所示。该方法中激光器和探测器如前所述生成。然而，当用图 2 的技术时，沟槽 112 被蚀刻到衬底 102 内。然后衬底 102 和与它们相联系的器件被翻转，在硅（Si）电子晶片 114 上排到合适的位置，然后用传统的倒装片键合技术把它键合到硅电子晶片 114 上。键合之后，使用传统的机械磨光法，传统的蚀刻技术或两者的组合方法，把衬底 102 完全除去，使达到对器件的光学接近并产生集成光电晶片 116。

可选择地，然后集成的光电晶片116被制作图案，以保护单个的激光器，单个的探测器也被涂覆上一层抗反射（AR）涂层。

图1和图2的技术使光纤或光学透镜能足够接近器件以捕获合适的光，而不会使来自或者进入相邻的器件的光影响任何一个相邻的器件，即产生所谓的串话问题。一般来说，这要求一个器件和光纤或光学微透镜之间的分离距离要小于100微米。

此外，这两种技术都确保了在器件的活性区域没有阻止光逃逸的明显的吸收层，因为图1的减薄技术把整块衬底102的厚度减小到约5微米或更小，图2的方法把衬底102完全去除，留下了多个完全独立的光学器件。

然而这两种技术独特产生的光电子芯片在使用过程中都存在散热问题，使得单个器件对在制造过程中产生的热和机械应力更加敏感，因此减少了单个器件的使用寿命，并导致产量减少及整块芯片寿命的缩短。

而且，对于图1（其中衬底非常薄）和图2（衬底被完全去除）的方法，由器件引入的应力大部分被转移到极薄的光学器件层，恰恰又是器件中结构最薄弱的部分。

因此，有必要寻求一种方法来产生一种集成光电子芯片，它对在制造或使用过程中产生的热和/或结构应力不那么敏感。

此外，光电子器件制造商有两种方法获得光学和电子晶片---他们可以自己制造两者之一或全部，也可以从第三方得到两者之一或全部。通过制造光学器件（也可互换地简称为“光学芯片”）和电子晶片（也可互换地简称为“电子芯片”），制造商能采取措施，使当光学芯片被定位在电子芯片上时确保每个器件的键合区正确放置而互相对准。然而，一般来说，不是同时设计电子和光学芯片的，即使是在同一个部门设计和制造它们。因此，即使是单个制造商，除非在部门内关于光学和电子芯片的设计有紧密的协调，也会容易发生在两者的接触键合区之间缺少一致性—尤其是一个或两者是计划中设计后要向第三方销售，或者计划中要与其他来源的器件一起集成时更是如此。而且，随后对任一个设计的改进和改变，必须得改变接触键合区的位置，因此会在以前不存在未对准的地方造成键合区的未对准。

更糟糕的是，如果电子芯片被设计成和许多不同的光学芯片一起使用，而光学芯片是从第三方获得的商品库存（如，芯片包括：顶层发射垂直腔激光器，底层发射垂直腔激光器，分布反馈（DFB）或分布布拉格反射镜（DBR）激光器（每个都有

为了远距离应用的较好的线性调频脉冲和线宽特性），顶层接收探测器或底层接收探测器），这些都是大规模生产，并分配到许多不相关的用户的，因此未必光学器件上的键合区都位于相同的位置，即使它们在其他方面与电子芯片相兼容。

例如，由图 3 所示，单个光学器件 300 有放置在由制造商指定的位置的接触键合区 302、304。电子晶片 306 的一部分也有放置在由制造商指定的位置的光学器件可以连接到它上面的接触键合区 308、310。如果光学器件为和电子晶片倒装片式键合而翻转，每个器件的接触键合区 302、304、308、310 将像图 4 所示的那样不对准。

这就呈现了一个问题，即限制了“混合和匹配”器件的能力。而且，如果一个芯片计划中被设计成连接到特定的另一块芯片，随后的进程又需要使用具有一个不同接触点位置的不同的器件，则为原始器件所做的所有计划和协调对于新的器件都将是不适合的。

因此，有对这样的工艺的进一步的需要，该工艺有利于提高混合和匹配器件的能力，不需要任何器件的设计师之间的协调，或不需要应用标准的或共同的接触点位置方案。

此外，有时在一些情况下为一些器件，尤其是探测器涂覆一层 AR 涂层是很可取的。

AR 涂层防止光进入探测器件的顶部，然后由于折射率的不同而在探测器-空气的分界面被反射。对于探测器来说这是很重要的，因为反射光没有进入探测器本身，因而不能被转化为电信号（也就是从系统的观点来说，它是“丢失的光”）。因此 AR 涂层使探测器的收集效率最优化，因为它防止光在分界面被反射。

然而激光器在工作时需要一块反射率很高的顶端镜。激光器上的 AR 涂层改变了顶端镜的反射率。结果是，即使没有完全阻止激光器发射激光，至少对于其发射激光有不利影响。

如果一块晶片同时有激光器和探测器在一个阵列上，为了只使探测器涂覆上 AR 涂层，传统的方法要求对晶片实施特殊的制作图案，以在 AR 涂层淀积阶段保护激光器，从而确保那些激光器件没有被 AR 涂层覆盖。

对于晶片上的各种不同器件的保护或完全不同的处理需要额外的处理步骤，这是耗时的，又因此增加了工艺成本，还造成损坏受保护器件的可能，最后它还迫使电接触键合区也被保护。

此外，当处理在相同区域有电接触键合区的芯片时，对器件的完全不同的处理引起了其它工艺问题。例如，如果一块芯片在靠近器件处有电接触点，并且使用电镀、化学镀、热蒸发、电子束蒸发或溅射技术把焊料放置在接触键合区上，焊料凸起的高度就会使区域制作图案以保护激光器避免被 AR 涂层覆盖难以进行，因为焊料凸起比光学器件要高很多。

先有技术缺少一种方法，该方法在整块晶片（也就是激光器和探测器）上涂覆 AR 涂层时不需在激光器上制作图案保护层。

因此，有进一步的需要寻找一种在一个电子芯片上集成多种类型的器件的方法，这样在集成后任何附加的工艺步骤，例如 AR 涂层的涂覆，可以同时在整块晶片上实现，并且不需要特殊的图案制作。

## 发明内容

我们设计了一种制造光电芯片的方法，该方法在各种不同的实施变型下，克服了一种或多种上述先有技术的缺点，导致高产量和长寿命（也就是更可靠）的器件。特别是，我们设计了一种制造光电芯片的方法，在一些变型下，提供如下的一种或多种优点：允许使用低工作电流，因此降低了功耗和产热；对所产热提供更好的发散，允许激光器在较低的温度下工作，因此增加了其使用寿命和/或提供较好的波长控制；和/或具有更高的结构完整性，使得缺陷更少并且增加了器件的寿命。

我们进一步设计了一种集成光学和电子芯片的方法来制造一种集成光电器件，而不需考虑组成的器件是否是在协调的方式下制造或是有相适合的电接触点匹配。

更进一步，我们设计了一种制造一种集成光电器件的方法，它允许对有完全不同的器件的一整块晶片涂覆 AR，无需特殊处理以保护激光器，或者不会影响它们发射激光的能力。

当集成和电子芯片有密切关联的光学器件时，四种特征对制造可靠的集成光学器件是有重要意义的。

一、必须能够使光纤或光学透镜足够接近以捕获光而没有串话。二、在器件的活性区域上面必须不能有会阻止光逃逸或进入特殊的器件的吸收层。三、应该有一块足够大的散热区连在器件上以有效率地散热。四、应该在处理过程中保持器件的结构完整性，这样器件承受的应力或张力不会影响器件的性能。

如上所述，图 1 和图 2 的方法能够满足前两种特征，然而由于没有一种方法导致一块大的散热区连在器件（也就是器件的衬底）上或者减小器件上的应力，这些方法都不能满足第三或第四特征。

尽管申请者没有意识到有任何这种情况存在于先有技术中，或者，图 1 的方法有可能通过在器件上留下一层厚的衬底而用来满足第四条特征。然而，这只是在如果特殊器件的工作波长对于该器件的工作波长是非常透明时才可能实现。而且，在许多情况下，这将减少，如果不破坏的话，满足第一特征的能力，并可能也会不利地影响激光器的工作，除非将激光器重新设计成例如将激光射入一块半导体材料而不是设计成射入空气。此外，如果留下厚的衬底，必需在结构上涂覆 AR 以防止光反馈进入激光器。另外这种方法将可能妨碍商业可购买的预制半导体光学器件的使用，例如大多数第三方提供的垂直腔表面发射激光器（VCSELs），分布反馈（DFB）激光器或分布布拉格反射（DBR）激光器。

总之，我们设计了一种紧密集成光学器件和电子芯片的方法以制造一种能满足所有四种特性的光电芯片。而且，当需要时，我们使用来自第三方的器件也可以这样做。更进一步，我们在生产的低成本，高产量和延长工作寿命方面具有优于先有技术的优势。

本发明的第一实施例包括一种将一个芯片和顶面活性光学芯片集成在一起的方法。顶面活性光学芯片至少有一个光学激光器件，该光学激光器件有一个包括一个光学活性区域的活性面，一个有一定高度的激光器腔，一个光学非活性区域，一个在活性面对面的键合面和一个器件厚度。该方法包括，将光学芯片键合到电子芯片；施加一个衬底到活性面，该衬底在活性区域上面有一个在一个第一数量和一个第二数量之间的范围内的衬底厚度，以及施加一个抗反射涂层，在施加抗反射涂层时不需形成特殊的图形或在该至少一个光学激光器器件和任何其他器件之间进行区别。

本发明的第二实施例包括一个混合的光电芯片。该混合光电芯片有一个电子芯片；和一个顶面活性光学芯片。该混合光电芯片由本文的方法中的一种方法制造。

本发明的第三实施例包括一个模块，它有一个有至少一个顶面活性激光器和至少一个光探测器的光学芯片，该至少一个的顶面活性激光器有限定两者之间的一个活性区域的相对的两个镜，键合到光学芯片上的一个电子芯片，和一个在活性区域上

方的衬底的顶部的抗反射涂层，该抗反射涂层在涂覆时不需要作为抗反射涂层工艺的一部分的在至少一个顶面活性激光器和至少一个光探测器之间进行区别。

在此描述的这些和其它的实施例，或者来自应用本文包含的学说的实施例，都提供优于先有技术的优势和好处。

这里描述的优点和特征是从所描述的实施例中可以得到的许多优点和特征的一部分，呈现它们只是为了帮助理解本发明。应该懂得它们不应被认为是如权利要求所限定的对本发明的限制，或者是对权利要求的等价物的限制。例如，一些优点是互相矛盾的，因此它们不可能同时呈现在一个单个的实施例中。同样的，一些优点可以应用到本发明的一个实施例，而不能应用到其它实施例。因此，这些特性和优点的总结在确定等同物时不应该被认为是否定性的。本发明的另外的特性和优点将在下面的描述，附图和权利要求中变得更加明显。

## 附图说明

图 1 阐明了先有技术所使用的方法，用来附贴上多个底层发射器件以形成一个集成光电芯片；

图 2 阐明了先有技术所使用的方法，用来附贴上多个底层发射器件以形成一个集成光电芯片。

图 3 阐明了带有放置在由其制造商指定的位置的接触键合区的单个光学器件，以及带有放置在由其制造商指定的位置的接触键合区的电子晶片的一部分；

图 4 阐明了带有放置在由其制造商指定的位置的接触键合区的单个光学器件，以及带有放置在由其制造商指定的位置的接触键合区的电子晶片的一部分，但每个键合区将不对准。

图 5 在简化的高水平概观中阐明了根据本发明的学说的一个示范方法；

图 6 和图 7 阐明了几种不同的光学接近进路的变型实例。

图 8 阐明了一种光学阵列，其中光纤由衬底支撑。

图 9 阐明了一种光学阵列，它容纳一个微透镜阵列。

图 10 阐明了一个根据描述的技术制造光电芯片变型的示范工艺。

图 11 阐明了一个根据描述的技术制造光电芯片变型的示范工艺。

图 12 阐明了一个根据描述的技术制造光电芯片变型的示范工艺。

图 13 阐明了一个根据描述的技术制造光电芯片变型的示范工艺。

图 14 阐明了用与图 10—12 的器件相似的方法制造的另一种光电器件。

图 15 阐明了对于底层活性器件有用的一个工艺。

图 16A 阐明了对于顶面活性器件有用的一个工艺。

图 16B 阐明了接触孔被涂覆，但没有被充填，并能帮助对准的工艺。

图 16C 显示了一个光学芯片，它的接触点被在衬底上的图案制作的电迹线重定路线，以使之与另一个芯片的接触点匹配。

图 16D 显示了一个电子芯片上的接触点被在衬底上的图案制作的电迹线重定路线，以使之与另一个芯片的接触点匹配。

图 17 阐明了与图 16A 所示相似的一个工艺，只是没有使用载体。

图 18 阐明了用来连接不同器件的连接芯片或适配器芯片。

图 19 阐明了另一种可供选择的实施方法，它是适配器或连接芯片变型的对顶面活性器件有用的另一个变型。

图 20A 阐明了应用根据本发明的一种技术的两个或更多器件的堆叠。

图 20B 阐明了应用根据本发明的一种技术的堆叠在一个激光器的顶部的调节器。

图 21 阐明了应用根据本发明的一种技术制造的一个例如 100 个激光器的阵列。

图 22 阐明了应用根据本发明的一种技术在制造一个用于 DWDM 应用的阵列中的步骤。

图 23 阐明了从顶视图上看到的图 22 的过程。

## 具体实施方式

图 5 在简化的高水平的概观下显示了根据本发明的学说的一个示范方法。这种方法克服了先前方法的缺点，而允许光学接近，去除吸收区域，提供更高的结构完整性，并有更好的散热特性。

在图 5 的方法中，例如，通过应用传统的技术来制造或从合适的第三方购买，获得了一个激光器晶片 502（由集成在衬底 102 上的激光器组成）和一个探测器晶片 504（由集成在衬底 102 上的探测器组成）。或者，在例如一些替代的图案或其它组合中制造或获得一个由激光器和探测器集成在一个共同的衬底上制成的混合晶片。

蚀刻沟槽 506 以使晶片被加工成为单个的器件（通过将沟槽蚀刻到衬底中），或者，在一些情况下，例如，如在一个标题为“冗余器件阵列”，并和本文同时申请

的共同转让申请（该申请通过引用被结合在本文中）中所示，通过在一些地方将沟槽蚀刻进衬底，而在其它地方在沟槽到达衬底之前停止蚀刻，使晶片加工成适当的器件组。

或者，由于本发明不是制造光学芯片本身（也就是，制造晶片，器件的生长，或蚀刻以制造分离的器件），因此如果光学器件晶片是购买的而不是制造的，上面的步骤将被完全跳过。

光学器件晶片然后被翻转，在一块电子晶片 508 上对准，并应用例如传统的倒装片键合技术或一些其它合适的以适当和可靠的方式实现光学晶片和电子晶片的键合的专用技术键合到电子晶片 508 上。

或者，并且在一些情况下是有利的，正如下面马上要描述的，对衬底 102 的进一步处理，可以在将光学晶片键合到电子晶片之前，或者在键合之后完成，只要它在将器件放在超过由如果以后会发生的器件工作导致的工作温度的极限的条件下循环之前做好就可以。这样的处理对于上述和图 1 和图 2 有关的先有技术是不合适的，因为，如果使用这样的方法的话，它将显著增加生产器件的成本，因为如果衬底完全去除时它需要对每个分离器件进行单个键合，或者当衬底非常薄时由于应力和/或张力问题而使产量急剧降低。

取决于使用的具体的晶片和光学器件，不同的工艺变型现在是可能的。

在第一种变型中，通常为了紧密的光学接近的需要，衬底被减薄到大于 50 微米的厚度，一般是减薄到约 50 微米到 100 微米的范围。

在第二种变型中，衬底的厚度被减薄到介于 100 微米和相应于晶片的光学器件部分的厚度之间。

在第三种变型中，衬底的厚度被减薄到介于 20 微米和 50 微米之间。

在第四种变型中，衬底的厚度约等于晶片的光学器件部分的厚度，因此不需要减薄。

在第五种变型中，衬底的厚度被减薄到约等于晶片的光学器件部分的厚度。

从下面的描述中将变得明显的是，根据本发明，整块衬底的厚度也可以保持较大的满足紧密光学接近的必要厚度，例如，接近进路被构造成（如下描述的）使光纤或微透镜插入到进路中，在紧密光学接近范围内和器件有一个分开间距。然而，这种情况将是非典型的。

一种以沟或孔的形式的接近进路 510 也在光被发射或检测的一个光学器件部分的上面的衬底例如用传统的蚀刻或钻孔技术被蚀刻或钻孔，而最好保留一些余下的衬底使之完整无缺。取决于具体的衬底和器件，可以使用不同的技术，包括激光钻孔、蚀刻或一些它们的组合。此外，取决于使用的具体技术，接近进路可以有直的侧壁，斜的侧壁或一些它们的组合。

例如，为了制造一个在靠近衬底外表面处有初始直侧壁和在靠近衬底与器件相遇处有斜侧壁的接近进路 510，在混合到一个 ASIC（总称为“样品”）上的具有（铝砷化镓）AlGaAs 阻挡层（支持光学器件如，VCSELs 和/或光检测器，（这里也可互换地称为检测器））的砷化镓（GaAs）衬底上，可以使用下面的方法：

首先，在衬底上用抗蚀剂制作接近进路 510 的图案。

然后把样品放到一个 13.56 兆赫兹频率的平行板离子反应蚀刻器（RIE）中，并在引入进动气体之前抽真空到压力小于 $3*10^{-5}$ Torr 以减少或消除残留水。一旦到达这个基础压力，就开始蚀刻的第一部分，工艺条件如表 1 所示。

表 1

| | |
|---|---|
| SiCl4 | 14 sccm |
| SF6 | 7 sccm |
| 压力 | 20 毫托 |
| 卡盘温度 | 30 摄氏度 |
| 射频功率 | 129 瓦 |
| 偏压 | -245 伏直流 |
| 时间 | 5 分钟 |

这产生了一个直的侧壁，从衬底的表面朝着器件的方向延伸到衬底内一段距离。

然后优化工艺条件以产生有斜侧壁的接近进路 510 部分，在这个例子中，从砷化镓到铝砷化镓选择性接近无穷，而器件损伤降到最低。具体的工艺条件如表 2 所示。

表 2

| | |
|---|---|
| SiCl4 | 14 sccm |
| SF6 | 7 sccm |
| 压力 | 70 毫托 |
| 卡盘温度 | 30 摄氏度 |
| 射频功率 | 92 瓦 |
| 偏压 | -190 伏直流 |
| 时间 | 30 分钟 |

然后优化工艺条件以从 AlGaAs 阻挡层中截取残留的 Cl。这是为了防止样品从处理室出来后进一步形成 HCl（也就是进行湿蚀刻）。这部分工艺的工艺条件由表 3 阐明。

表 3

| | |
|---|---|
| SF6 | 7 sccm |
| 压力 | 70 毫托 |
| 卡盘温度 | 30 摄氏度 |
| 射频功率 | 50 瓦 |
| 偏压 | -20 伏直流 |
| 时间 | 3 分钟 |

在最简单的情况下，接近进路将尽可能小，为了使器件上剩下的衬底数最大化。剩下的衬底提供了一个刚性的框架，防止单个器件例如在附接到电子晶片的过程中受到应力。但是，取决于使用的具体器件和衬底，例如，在产生接近进路的时候，或例如在附接到电子晶片之后，通过在衬底的一些点上制作图案，可以进一步实施附加的去除衬底。

然而，应该指出的是，如果去除附加的衬底不是适当地计划的话，当去除很多衬底时，散热的优点会减少甚至消失。而且，取决于去除附加衬底的多少，和/或从哪里去除，承受应力和张力的能力也会减少。然而，值得重视的是，在一些情况下，通过选择性的去除衬底，可以借助于增加整个衬底的表面积而改进散热，而如果有

的话也不会牺牲许多结构上的优点。因此，应该理解去除衬底的重要方面是，在器件上留下足够的衬底以确保达到所需的热特性和结构特性。

而且，取决于使用的具体技术，设置接近进路在一些情况下在实现键合之前或之后进行是有益的，例如，当分开单个器件的沟被蚀刻时，或之前，或之后。

可任选地，如果需要，可以在探测器上涂覆一层 AR 涂层。

取决于三种前述的变型中使用何种变型，将会有不同的处理方法。图 6 和图 7 显示了几种不同的接近进路变型的例子。例如，如果使用第一种变型，接近进路可通过整个衬底延伸（如图 6a, 6b, 7a, 7c, 7e 所示）。或者，它们可以从衬底的外表面延伸到一个深度，该深度上保留在发射或检测光的光学器件部分的正上方的衬底被减少但没有被完全去除，例如，如图 6c, 6d, 7b, 7d, 7f 所示的那样。一般而言，保留在发射或检测光的光学器件部分的正上方的衬底，为了能有对器件的紧密的光学接近，衬底厚度被减少到约 100 微米或更少。在其它情况下，厚度可以减少到约 50 微米或更少，有些情况下 20 微米或更少，尽管一般来说，厚度在约 20 微米到 50 微米的范围内。

此外，取决于制造的具体接近进路，接近进路可以进一步有利地用于容纳一根光纤，例如，如图 6a, 6c, 7b 所示，或一个微透镜，例如，如图 6b, 6d, 7a, 7c 所示。

因此，通过使用一种上面的方法，可以制造一种光学阵列，其中光纤的末端由衬底支撑（如图 8 所示），可以制造一种容纳一个或更多由衬底支撑的单个放置的微透镜的光学阵列（如图 6b, 6d, 7a, 7c, 7e 所示），或制造一种容纳一个微透镜阵列的光学阵列（如图 9 所示）。

如上面指出的，为了更好地散热，衬底也能被制作图案以使衬底的表面变得粗糙，增加暴露的表面积。

值得重视的是，通过应用本文描述的技术，也就是保留附着的衬底，应力将不会主要传播到光学器件上，而是被连接媒质或电子晶片吸收，这两者都能较好地承受这种应力。

图 10 到 13 分别是一个例子，阐明了根据上面描述的技术制造光电芯片变型的工艺。

图 10a 是一个单个底面发射激光器件 1002 的简图，是一个激光器件阵列的一部分，其它部分没有显示。

器件 1002 通过隔离沟 1004 与它邻近的器件隔离，并由合适材料制成的衬底 1006 支撑，例如，硅（Si），锗化硅（SiGe），砷化镓（GaAs），或磷酸铟（InP）。尽管用作衬底的具体材料可能由与本发明无关的因素决定，值得指出的是，由于热因素引起的应力可以通过匹配光学器件衬底和电子晶片的膨胀系数使之尽可能接近来减少。理想的是，两种材料应该相同，这样两者的膨胀系数是相同的。

每个用于激光激发和控制的电接触点 1008、1010 都装配在用作支撑的基台 1012、1014 上。每个电接触点的一个末端 1016、1018 都作为激光器件的一个电极，另一个末端是一个键合区 1020、1022，在它上面淀积一种电导材料 1024，例如焊料，用于把器件 1002 键合到一个电子晶片上去。

图 10b 显示了激光器阵列被翻转并位于在电子晶片 1030 对应的键合区 1026、1028 上方之后的图 10a 的激光器件 1002。

图 10c 显示了在通过介于各自的键合区 1020、1022、1026、1028 之间的焊料键合 1032 被附接到电子晶片 1030 之后的激光器件 1002。

图 10d 显示了衬底 1006 被减薄到介于 20 微米和 50 微米之间之后的激光器件。

图 10e 显示了在衬底 1006 上在本情况下通过蚀刻而不是钻孔制造接近进路 1034 之后的器件。注意在这个例子中，接近进路从衬底 1036 的表面延伸到器件覆盖层 1038。

图 10f 显示了向器件施加一种可选择的热传导材料 1040 之后的图 10e 的器件，该热传导材料例如为低粘性（因此能顺畅流动而有良好覆盖）的在固化后有良好的热导率的热环氧树脂。

尽管上文关于一个激光器件作了阐述，但对于探测器类型的器件的工艺是一样的，除了该探测器件也可以被涂覆 AR 以外。

图 11a—11f 显示了另一个由类似于图 10a—10f 所示的方法制造的光电器件，除了这个激光器件使用器件的半导体材料作为基台 1102、1104 以外。

图 12a—12f 显示了另一个由类似于前述器件的方法制造的光电器件。正如显示的，该器件的类型是属于器件的半导体材料不用作基台。此外，该光电器件的激光器是分组的，这样可以以冗余的方式使用它们。正如上面指出的，制造一个有冗余激光器的阵列是通过引用而结合的题为“冗余光学器件阵列”的专利申请来描述的。具体地说，图 13 显示了阵列中的两个相邻的激光器，在那里除了制造一个接近

进路 1034 以外，在余下的衬底 1006 上使用已知的蚀刻技术将分组沟 1302，1304 蚀刻到一个深度，使分组沟 1302、1304 和一些隔离沟 1004 连接起来。在该方式中，可以安排两个或更多的激光器共享一根公用光纤，其中一个或更多的激光器作为后备激光器，例如在一个题为“冗余光学器件阵列”的共同转让申请中所描述的那样，该申请通过引用被结合在本文中。

以这种方式分组激光器的一个优点是，一块单块晶片的产量增加，因为，例如，对于一对分组激光器，如果一个激光器损坏了，另一个激光器可以代替它使用。这样做的另一个潜在的优点是，光电器件的寿命延长了。例如，当一对激光器的一个坏了，如果激光器是外部独立可选择的，就可以选择第二个激光器并代替坏的激光器工作。

另一个可获得的优点是在实现一个或两个上述的两个优点时降低了成本。由于在一块晶片上增加激光器的数目引起成本的增加是可忽略的，提高产量和/或可靠性/延长寿命几乎是免费的。

图 13 也显示了使用图 12a—12f 的技术制造的示范阵列 1306 的功能性的陈述。阵列 1306 从器件的顶部阐明，这样每个激光器上的接近进路 1034 和剩余的衬底 1006 都是清晰可见的。如图 13 所示，激光器为四个一组，一组 1308 由分组沟 1302、1304 限定，分组沟保证了在组 1308 中相邻的激光器之间没有通过导电的衬底 1006 的电流路径。为了说明，显示了一些隔离沟 1004，尽管从这个视图的角度来看没有一个是可见的。

图 14a—14f 显示了用一种类似于图 10 到图 12 的器件的方法制造的另一个光电器件。正如显示的，该器件的类型是属于器件的半导体材料是用作基台 1402、1404 的。此外，这个光电器件的激光器也都如图 12 和 13 一样分组，除了是成对的（其中的一个没有显示），这从分组沟看是明显的。

如上指出的，一个上述类型光电器件的制造商有两种方法获得光学器件—他们可以自己制造，或是从第三方获得。通过制造光学器件（为简单计，后文称为“光学芯片”）和电子晶片（为简单计，后文称为“电子芯片”），制造商能采取措施以保证每个芯片上的键合区是正确放置的，这样当光学芯片放置在电子芯片上时键合区能互相对准。然而，一般来说，电子和光学芯片不是同时设计的，即使它们在同一个组织内部设计和制造也是如此。因此，即使对单个制造商，除非在组织内关于电子和光学芯片的设计有紧密的协调，否则容易发生每个芯片的接触键合区之间缺

少一致性—尤其是在计划中一个或两个都是设计后要卖给第三方，或和其它来源的器件一起集成更是如此。而且，随后对任一个的设计的改进或改变必须要改变接触键合区的位置，因此会在以前不存在未对准的地方造成键合区的未对准，即使是在同一组织内也是如此。

更糟糕的是，如果设计的电子芯片要和许多不同的光学芯片一起使用，而光学芯片是从第三方获得的商品库存（如，芯片包括：顶层发射腔激光器，底层发射腔激光器，DFB 或 DBR 激光器，顶层接收探测器或底层接收探测器），都是大规模生产，并分配到许多不相关的用户的，因此光学器件上的键合区都位于相同的位置是不可能的，即使它们在其他方面与电子芯片相兼容。

例如，如上由图 3 所示，单个光学器件有放置在由制造商指定的位置的接触键合区，且电子晶片也有放置在由制造商指定的位置的光学器件可以连接到它上面的接触键合区。当光学器件为和电子晶片倒装片式键合而被翻转时，每个芯片的接触键合区将不会被对准。然而，通过改变上面描述的技术，在实施本发明时就可以使用直到现在在例子中涉及的底层发射激光器以外的激光器，以及有不同接触键合区排列的底层发射激光器，顶层或底层接收探测器。

有利的是，这允许选择和使用“最好的品种”的芯片，具有最好的单个应用性能，且避免了只是因为他们不能或不大可能符合电接触点位置要求或标准而将这样的销售商排除在外。

一般而言，取决于光学器件是底层发射/接收还是顶层发射/接收，使用两种不同的工艺。

为了解释方便，使用术语“底层活性”指底层发射器件（激光器）和底层接收器件（探测器）。相似的，“顶层活性”或“ 最上层活性”指顶层发射激光器和顶层接收探测器。

底层活性器件工艺。

现在参考图 15 解释适用于底层发射/接收器件（也就是底层活性器件）的工艺。为了便于解释，假设将光学晶片 1502 加工成如上讨论的光学芯片 1504。或者，光学芯片 1504 可以从第三方获得。

首先，用已知的技术在光学芯片 1504 的表面添加一个绝缘层 1506。

然后在绝缘层 1506 中制造开口 1508，允许进入光学芯片的接触键合区。这也是例如以在一个题为“多件光纤光学元件和制造技术”的共同转让申请中叙述的用以

在晶片中制造通孔的方法，通过激光钻孔或蚀刻完成的。该文和本文同时申请，并通过引用结合在本文中。

或者，开口 1508 可以在附接之前在绝缘层中预先形成，例如，如果预先知道接触键合区的位置的话。

然后，通过将一种导电材料 1510 施加到开口的侧壁（这在之前就可选择地涂覆一层绝缘体），或者用材料 1510 填充该开口而将开口 1508 制成导电的。

有利的是，如果开口没有完全被填充，它们可以用来帮助对准。如果开口足够宽以致允许其它芯片上的焊料块“纳进”该孔里，就可以实现上述对准，因此而在两者之间提供了一个初始的对准。而且，在一些情况下，当焊料熔化时毛细作用将引起部分焊料被吸入开口中，造成更好的连接和进一步帮助对准。

任选地，或者如果开口在附接之前就预先形成了，开口的涂覆或填充（根据需要）也可以在把绝缘层附接到光学芯片之前进行。

接着，在绝缘体暴露的侧面制作电迹线 1512 的图案，以制造一个从开口（现在已被涂覆或填充）到绝缘体表面上将和电子晶片上的接触键合区的位置对准的位置的传导路径。如果可任选地可能有几种不同的排列，取决于具体的光学芯片将要和其配对的电子芯片，单个的电迹线能产生两个或更多的替代连接点，或者，如果接触点互相轻微地偏斜，但是在一个可控制的限定区域内，则产生一个连接区域。

在上面的一种变型中，如果光学芯片将要与其连接的芯片是一个电子芯片（而不是另一个光学芯片，例如调制器，或光学芯片对其是光学透明的另一个激光器），电迹线就能在电子芯片上制作图案，这是因为，一般来说，大多数电子芯片已经有一个可以用作接触点重定路线的绝缘层。

一旦这个实现了，工艺就如上面描述的继续下去，连接两块芯片 1514（在这个例子中，使用倒装片技术），在具体情况下，接着使衬底减薄，完全去除衬底，或保留衬底原来的厚度。其后，可以按照需要进行制造接近进路 1516，制作芯片衬底图案，流动一种热导体，或施加 AR 涂层。

顶层活性器件工艺。

现在参考图 16 解释适用于顶层发射/接收器件（也就是顶层活性器件）的工艺。为了便于解释，假设光学芯片是从某个第三方获得，制造光学芯片本身的过程与本发明无关。

此外，可以在开始该工艺前先进行两个任选步骤的其中之一或两个。首先，在光学芯片的上侧表面处附接一个载体。这个载体可由任何材料制成，且只是用作刚性和在剩下的工艺过程中保持该光学芯片。其次，包括使光学芯片衬底减薄。这使为接近存在于光学芯片正面的接触点而必须被蚀刻去或钻去的材料数量减少。

至此，工艺按照与图 15 类似的方法进行如下。

孔或开口或是被蚀刻，或是被钻孔而通过光学芯片衬底到达在光学芯片正面的接触点。

孔或开口用导电材料涂覆或填充（导电材料底下可加一层绝缘涂层），使接触点延伸到光学芯片的背部。

另一种方法是，例如，如果接触点的位置使直接从芯片的背部通过衬底的接近会损坏芯片或出现其他的一些问题，那么将在一个合适的位置蚀刻或钻孔或开口，在正面添加一个导电体来将接触键合区和涂覆或填充开口或孔的导电体连接在一起。

有利的是，例如如果开口没有完全填充满，它们可被用于帮助对准。如果开口足够宽以致允许其它芯片上的焊料块“纳进”该孔里，就可以实现上述对准，因此而在两者之间提供了一个初始的对准。而且，在一些情况下，当焊料熔化时毛细作用将引起部分焊料被吸入开口中，造成更好的连接和进一步帮助对准。

或者，如果开口或孔的位置和与电子芯片对准配对的正确位置相重合，也可以运用上面的方法，开口或孔可以运用传统技术连接到正面的接触键合区。

对于背部发射/接收器件集成工艺，如果开口或孔和电子芯片的接触键合区不重合，就在图 16C 的光学晶片和图 16D 的其他芯片，在本场合中是电子芯片上形成电迹线的图案，以在开口或孔和其他芯片上接触点的位置之间提供了连接。

就此而言，芯片可以通过以上描述的方法接触和连接在一起。

如果进行了添加载体这一可选步骤，现在可以将载体去除了。如果载体太厚以致于引起了光学接近问题，或存在一个不相容的复折射率而反过来影响激光穿过载体的传输，那么应该去除载体。在一个替代的变型中，通过最好在附接到光学芯片之前在载体上开接近进路或通孔，这样即使它能引起光学接近问题或存在一个不相容的复折射率，载体也可以留下。

此外，如果需要，可以将一个或更多附加的光学元件，如微透镜或波导，放置在载体的顶部。

图 17 所示的工艺类似于图 16，除了它没有使用载体。

连接或适配器芯片替代

在一个有用的替代变型中，例如，当从不同的厂商购买光学芯片和其他的芯片时，或考虑两个或更多不同的芯片，而它们有不同的接触键合区位置，而每个芯片的接触键合区位置已知时，就能以直接的方式应用在此介绍的方法容易地制造一个适配器或连接芯片，这样，使设计和制造仍然可以进行。

现在参考图 18，它展示了用于连接不同芯片的连接芯片或适配器芯片，共同晶片 1800 的顶面 1802 和底面 1804 经过形成图案，在每个面从每个芯片指定的接触键合区位置 1812、1814、1816、1818 到每个芯片的一些共同点形成了电迹线。

然后形成通孔和在孔中填充导电材料，来连接相应的一对部位，例如，将顶部的接触点和低部的相对应接触点连接，这时两面的触点就被连接在一起。

图 19 展示了另一个可替代的实施方法，它是适配器或连接芯片变型的另一个变型，适用于顶层发射器件。如图所示，适配器和连接芯片 1902 仅在一个面上有电接触点 1904，用于通过接触键合区 1908 直接连接到光学芯片 1906，和通过例如支座 1912，跳接线，导线，导线带或其他已知的连接器件连接到电子芯片 1910。在这个布局中，因为器件是顶层发射/接收和适配器位于顶面，因此在适配器中设置“光学开口”1914 来允许对光学器件的光学接近。

接着，将光学芯片放在电子芯片的顶面，连接芯片可以放在两个芯片的顶面，来提供光学和电子芯片之间的连接。

一个注意点是，虽然描述的是有关光学芯片和电子芯片的配对方法，同样的基本工艺（即使用连接芯片或适当形成图形后的绝缘层或衬底来补偿键合区错位）也能以直接的方式适用于补偿任何光学，电学，电子，电子-机械晶片组合之间键合区的错位。

其他变型

如上面提到的，在一些情况下，有时候更为理想的是，对一些器件，尤其是检测器涂覆一层 AR 涂层。可是，上述光电芯片由两个（可能更多）不同类型的光学器件组成。因此不理想的是，AR 涂层对激光器有不利影响。

有利的是，在上述工艺的一个进一步可选的变型中，需要涂覆 AR 涂层的器件没有必要和一般不涂覆 AR 涂层的器件区分开来。

工艺主要遵循上述结合图 5 的工艺流程，工艺中制造了激光器晶片和检测器晶片，将其翻转，通过倒装片键合技术附接到电子芯片上去。

使衬底减薄，但对于激光器衬底，仅仅针对那些相对于激光腔的厚度仍然被认为厚的衬底。虽然不同类型的激光器件需要不同特定的厚度，在 DFB 和 DBR 的情况下，衬底的厚度应该至少是激光腔厚度的几倍，在 VCSEL 的情况下，衬底的厚度应该至少是镜子间的距离的几倍。因为，精确距离随器件而变化，一个好的经验法则是，使用一个 10X 激光腔厚度的因子。可是，如果可以精确控制厚度，它可以小于 10X 因子，具体的最小厚度可经验确定为 AR 涂层不影响激光器发射激光的能力的最小厚度。

一个类似的方法可用在顶层发射激光器上。在顶层发射激光器中，可以在它的顶部附接一个衬底（它可以是上述提到的载体，或者，如果没有必要进行或在其他芯片上进行接触点重定路线而在载体去除后替代载体施加的分离的衬底）。衬底或者在施加后减薄到上述厚度，或者在施加前减薄到这样的厚度。

一旦这些工艺都能达到，激光器和检测器可以同时涂覆防反射涂层。这样，在 AR 涂覆工艺过程中不需要特殊形成图形，或另外将激光器和检测器区分开来。

这样，我们应该理解上述工艺可应用于各种不同的器件。例如，运用本发明的学说，可以做到以一种阵列可兼容的格式在激光器的顶部堆叠调制器。事实上，当调制器在激光器的顶部或底部时，它都能实现。而且，不管是否在一个单独的外延步骤中制造两个或更多的器件，它也都能实现。类似地，可以进行将顶层发射活性器件堆叠在顶层活性器件或背面活性器件的顶部，和如图 20A 所示的，可以将背面活性器件堆叠在顶层或背面活性器件的顶部一样，以及如图 20B 详细介绍的将调制器安放在背面发射激光器上。

带有晶格错位的器件可以类似地进行堆叠，而不需考虑单个器件执行的功能。

在进一步的应用中，可将来自不同外延晶片的器件在晶片规模的水平上集成到一个共同的芯片上。这样，不同波长的激光器可以混合在一起，应用于双波长分路复用（DWDM）技术和多波长分路复用（MWDM）技术中，如图 21 所示。

图 21 展示了将一个由一百个不同波长的激光器组成的阵列以晶片规模全部集成在一个共同的芯片上。通过这样做，并且使每个激光器都是可选择的，就能选择特定的波长（或波长的组合）。因此，消除对可调激光器的需要，而该可调激光器依赖于实体部件的模拟运动，或显示了热变化或热效应，它的速度限制在微秒级，精度也受到限制。

此外，波长可以以和数据发送同样的速率切换，这样组成了按该比特率和不同的波长多路复用不同数据流的系统结构。从而，可实现在大约 100 皮秒内的切换（每秒数十吉比特）。

而且，不同类型的不同器件（即不同类型的激光器，激光器和检测器等）可以组合在一起，如剖视图 22 的所示的一样。

如图 22 所示，制造了两条不同波长的激光器带 2202 和 2206，及两条不同的互补波长的光检测器带 2204 和 2208。第一个器件带（图示为激光器 2202（λ1））按本文介绍的方法附接。下一个器件带（图示为激光器 2204（△λ1））以类似的方法附接。接下来，第三个器件带（图示为激光器 2206（λ2））以类似的方式附接。最后，最后的器件带（图示为激光器 2208（△λ2））也以类似的方式附接。

取决于具体情况，例如，衬底或载体可以立刻从所有的器件上去除或减薄,如果衬底或载体不影响以后器件的集成，或它们可以在每一组器件附接之后被去除或减薄。

图 23 显示图 22 的器件的集成的俯视图。如图所示，附接了所有的第一波长的激光器。然后，附接所有的第一波长的光检测器。接下来，附接所有的第二波长的激光器，再接着是附接所有的第二波长的光检测器，这样，最后的结果是完全集成的双波长收发器芯片，图 23 右侧是它的局部放大图。

当然，虽然在即刻前述的实例中使用两个激光器和两个检测器，但本质上，其工艺是一样的，与不同器件的数量，是否是顶层或底层活性，器件是否成组，是否是所有的激光器和检测器等都没有关系，因为，这个工艺的一个好处是混合和匹配的能力，特别是在一个晶片的规模上。

在这些情况下，能够很容易地在单一器件（或器件类型）的基础上进行集成，或者能够以例如带（如图所示）或组的形式集成，根据带 2202、2204、2206、2208 或组的限定来保留衬底。

更进一步，通过将同一波长的冗余激光器组和其他波长的冗余激光器组集成在一起，就能在低成本下生产极其可靠的 DWDM 或 MWDW 模块。

这样，因为用先有技术不能得到 DWDM 系统的单个器件、集成发射器阵列，通过将大量激光器集成在一个芯片上，可以减少封装尺寸。通过将含有两个或更多不同波长的、十个或更多激光器的阵列集成在一个芯片和例如，使用一种光纤结合器/反向分离器，一种全息摄影透镜阵列或通过引用而结合的题为多片光纤光学组件和

制造技术的申请的技术将它们中的一组耦合到一个单一光纤，就可以在输出光纤中得到多波长的多路复用，在一些情况中，不需要光机械或光电元件来完成切换动作（光学交越连接）。

在此项技术的进一步应用中，可以构成一个大的阵列，该阵列能在同一时间或不同时间，作为泵激激光器或通信激光器来使用。

应该理解的是，上述叙述仅仅是针对图示实施例的描述。为了便于读者，上述文字集中于所有可能实施例中具有代表性的例子，这些例子体现了本发明的主要原理。本文不想详尽无遗地列举所有可能的变化。对于本发明的特定部分，可能没有提出替代的实施例，对于这些特定部分可能有本文未叙述到的另外的替代实施例，但不能被认为对这些替代的实施例的弃权。普通的技术熟练人士将理解到，许多这些未在本文中叙述过的实施例也结合了本发明的同样的原理，其他的实施例都是同等的。

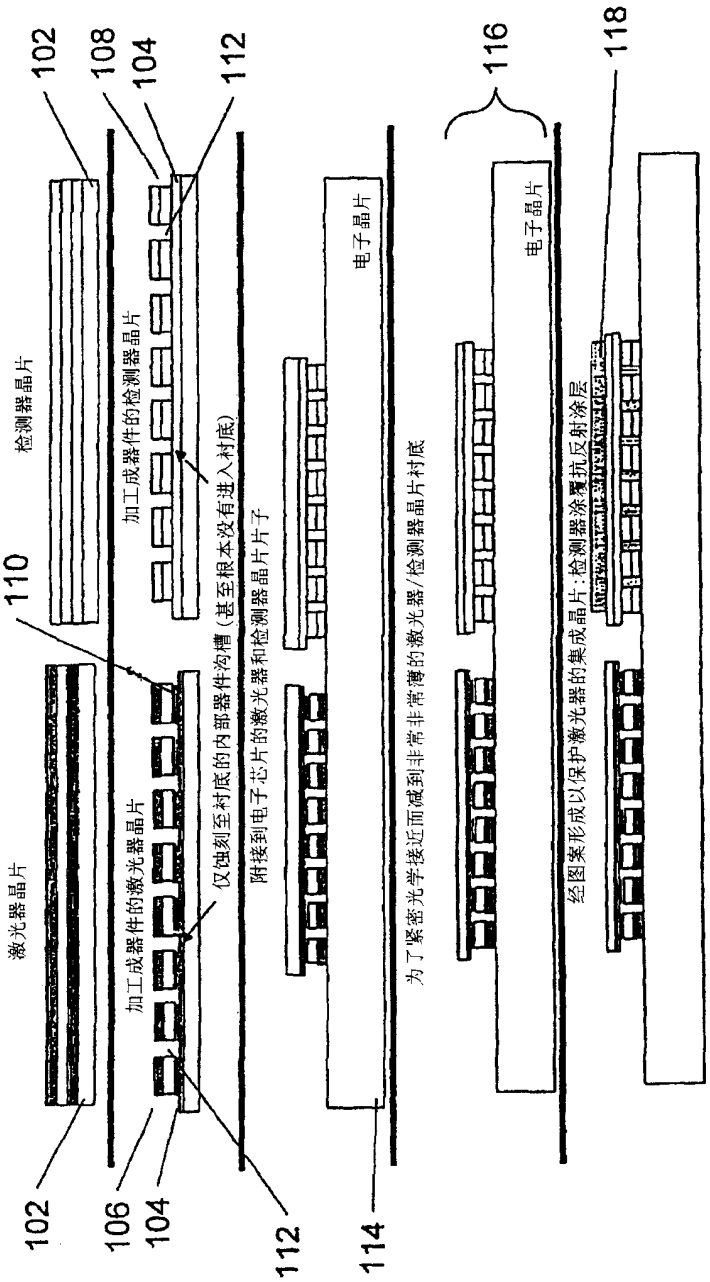

102
108
104
112
检测器晶片
加工成器件的检测器晶片
110
116
118
电子晶片
激光器晶片
加工成器件的激光器晶片
仅蚀刻至衬底的内部器件沟槽（甚至根本没有进入衬底）
附接到电子芯片的激光器和检测器晶片片子
为了紧密光学接近而减到非常非常薄的激光器/检测器晶片衬底
经图案形成以保护激光器的集成晶片上检测器涂覆抗反射涂层
102
106
104
112
114

图 1

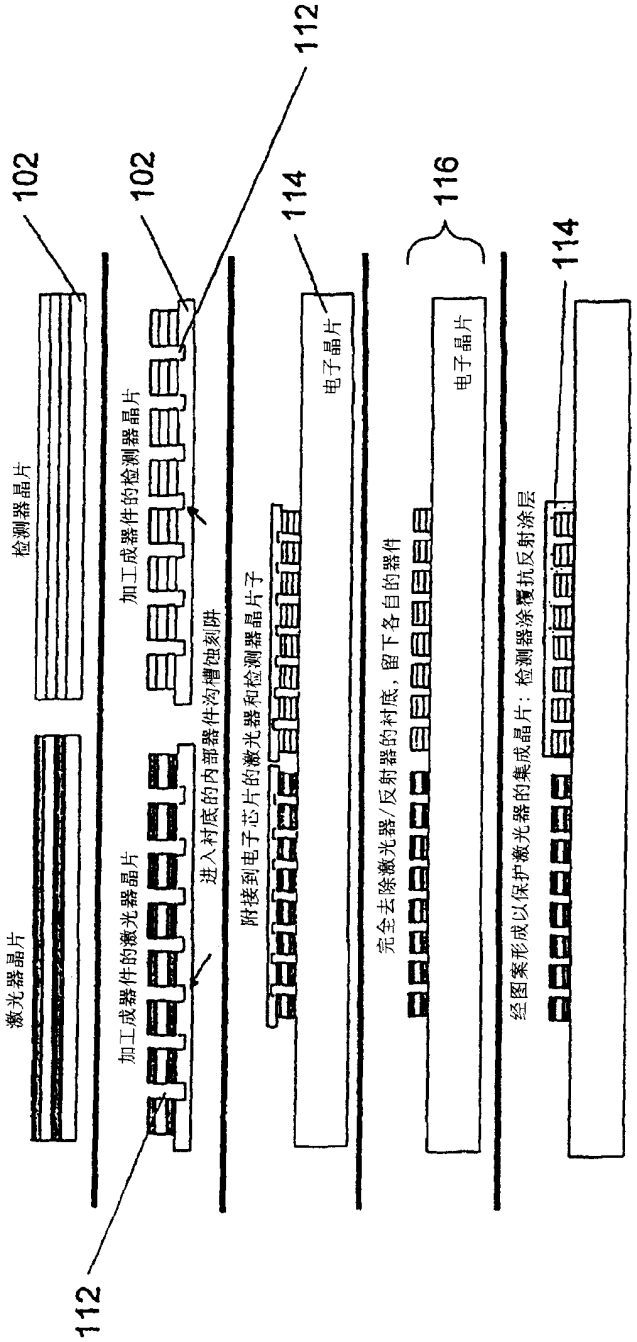

102
102
112
114
116
114
112
检测器晶片
加工成器件的检测器晶片
进入衬底的内部器件沟槽蚀刻阱
附接到电子芯片的激光器和检测器晶片子
电子晶片
完全去除激光器/反射器的衬底，留下各自的器件
电子晶片
经图案形成以保护激光器的集成晶片：检测器涂覆抗反射涂层
激光器晶片
加工成器件的激光器晶片

图 2

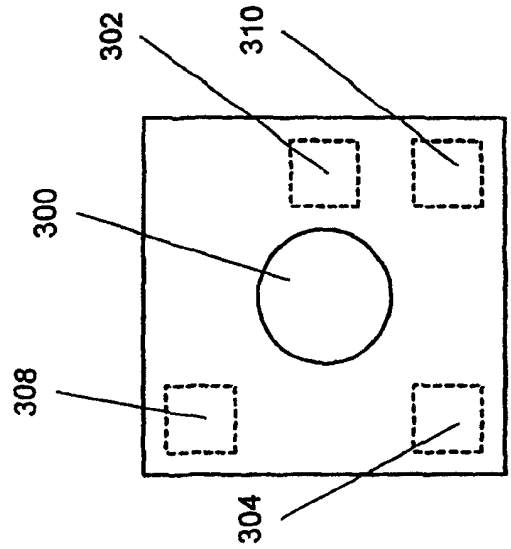



图 4

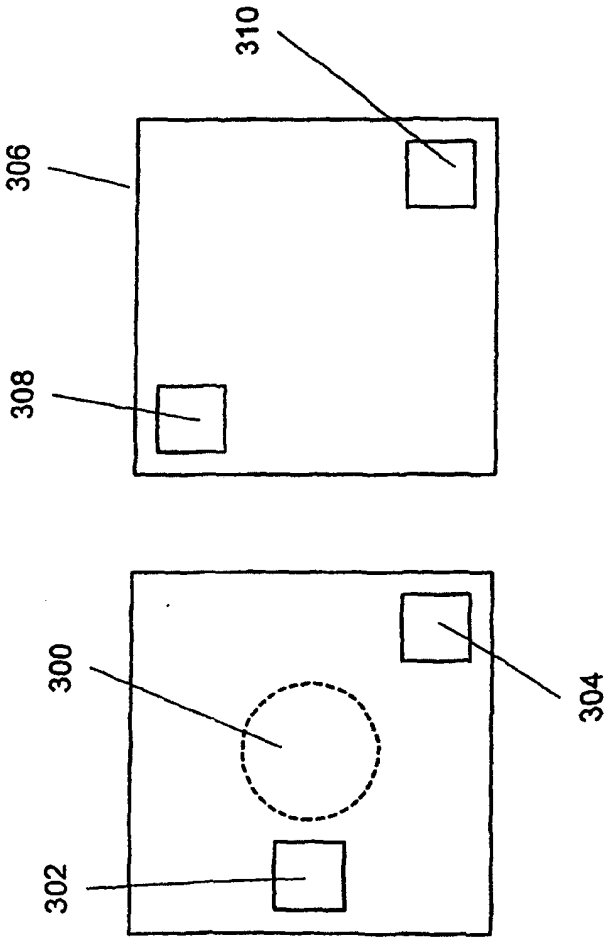



图 3

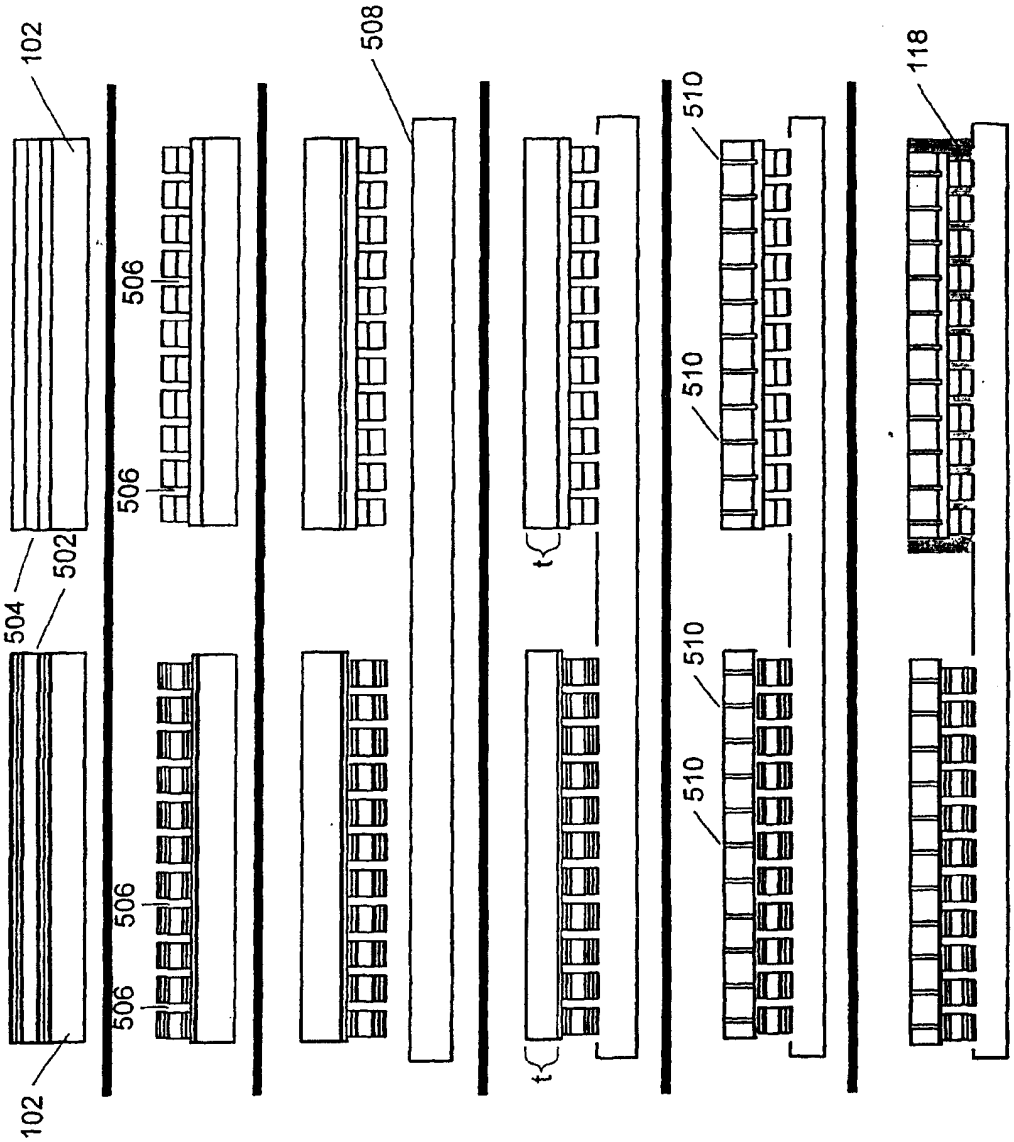
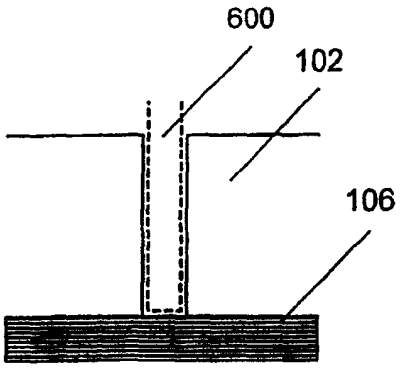
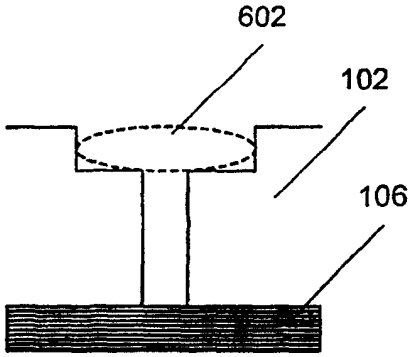


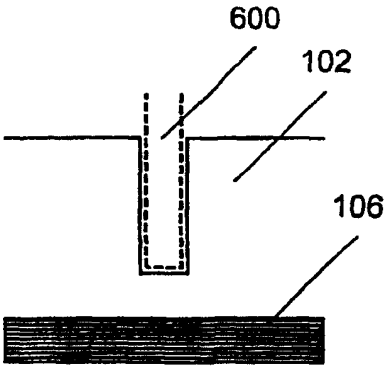

图 5



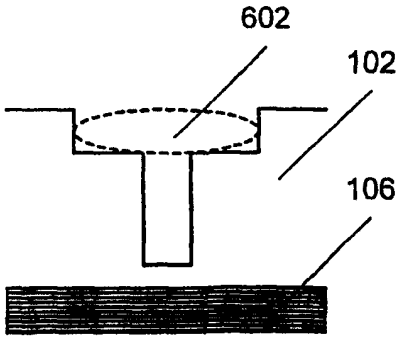

(a)




(b)




(c)




(d)

图 6

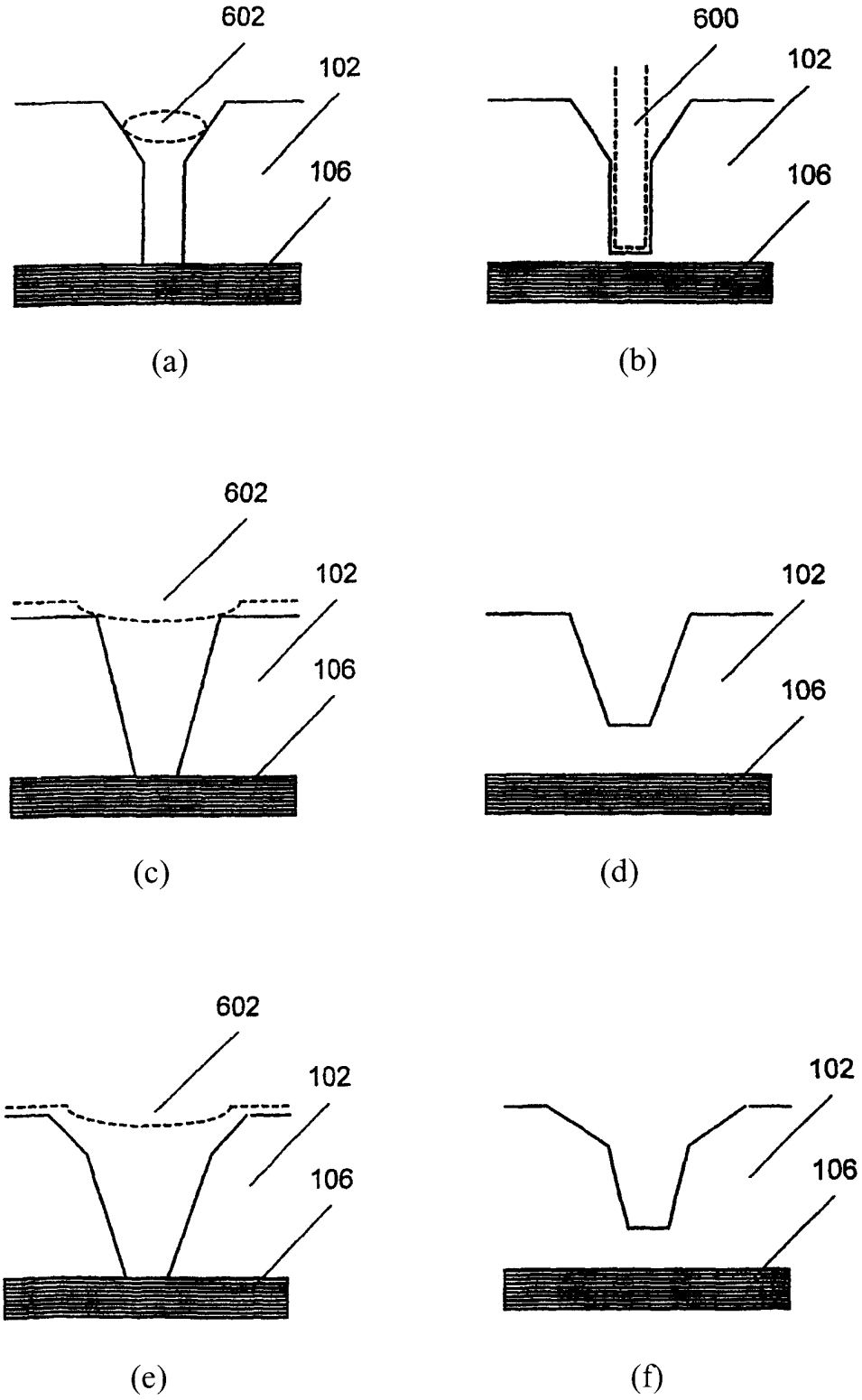

602
102
106
(a)
600
102
106
(b)
602
102
106
(c)
102
106
(d)
602
102
106
(e)
102
106
(f)

图 7

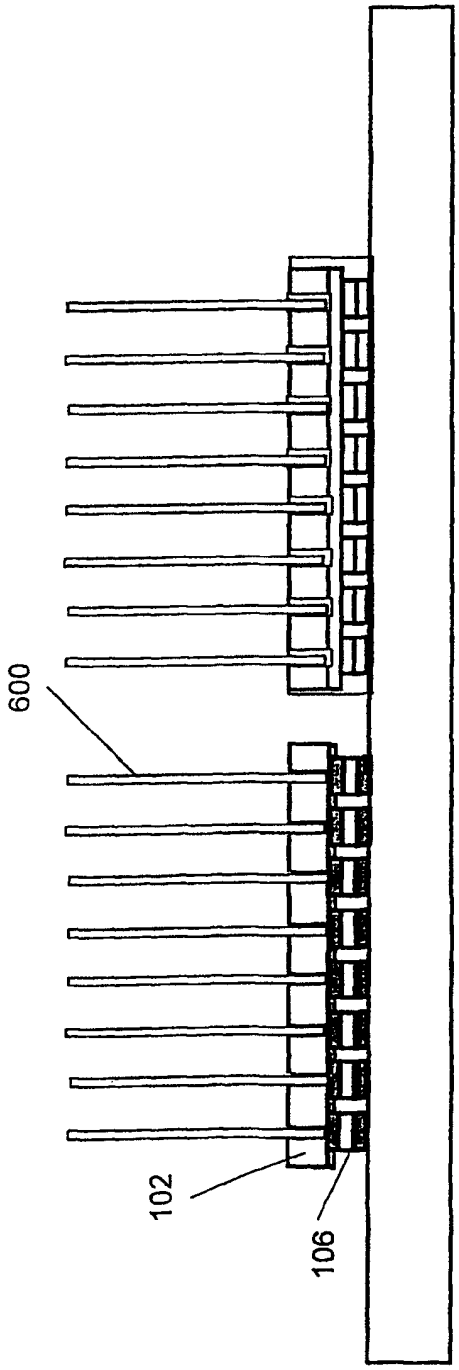



图 8

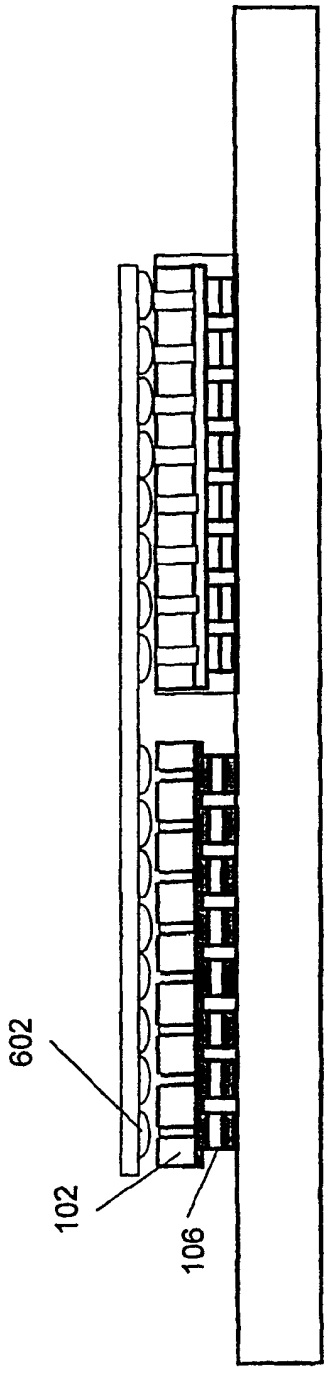
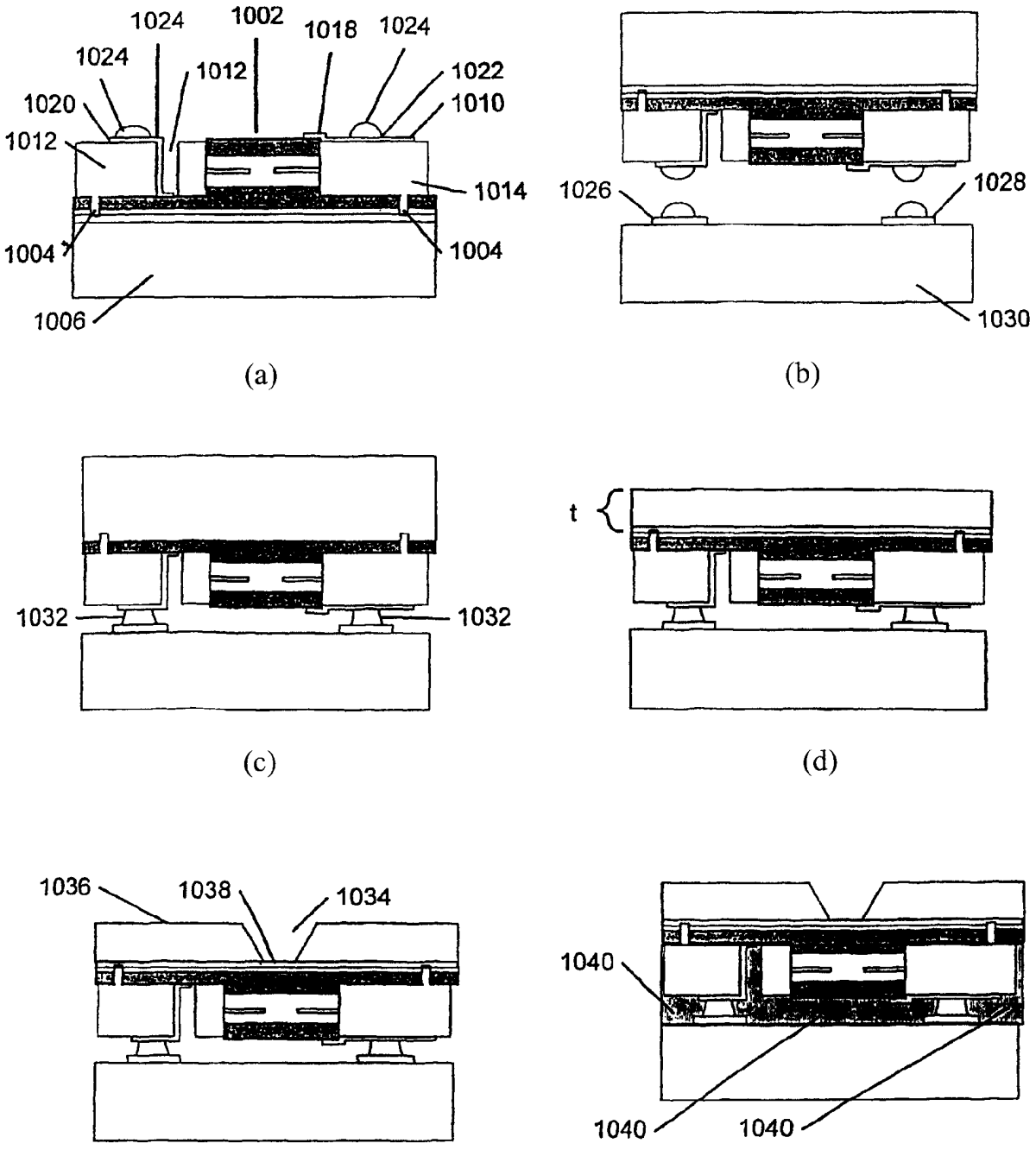



图 9


1024
1002
1018
1024
1024
1012
1022
1020
1010
1012
1014
1004
1004
1006
1026
1028
1030
1032
1032
t

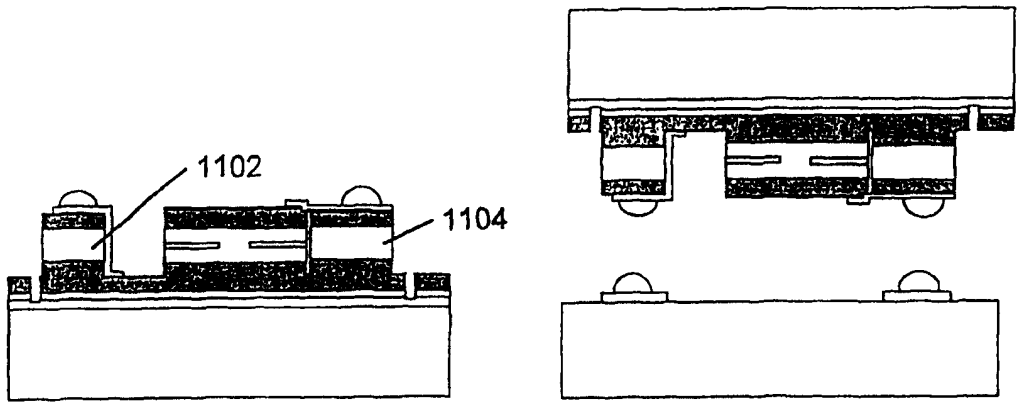
(a) (b)

(c) (d)

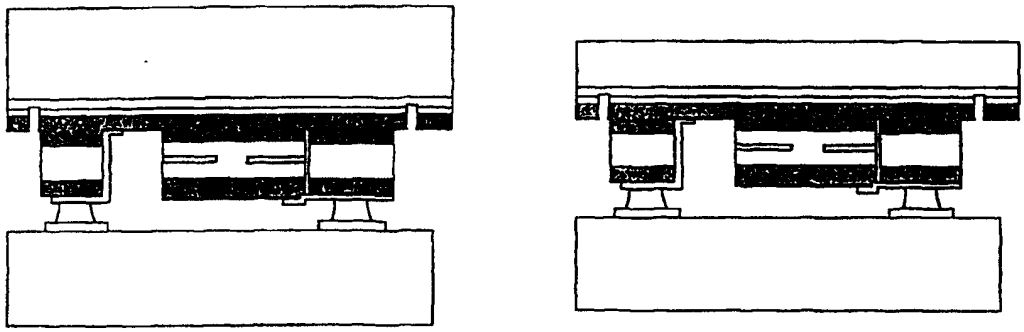

1036
1038
1034
1040
1040
1040

(e) (f)

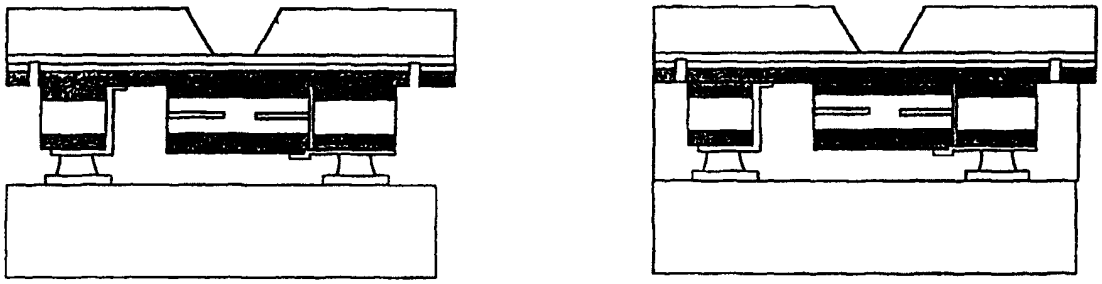
图 10




(a) (b)



(c) (d)



(e) (f)

图 11

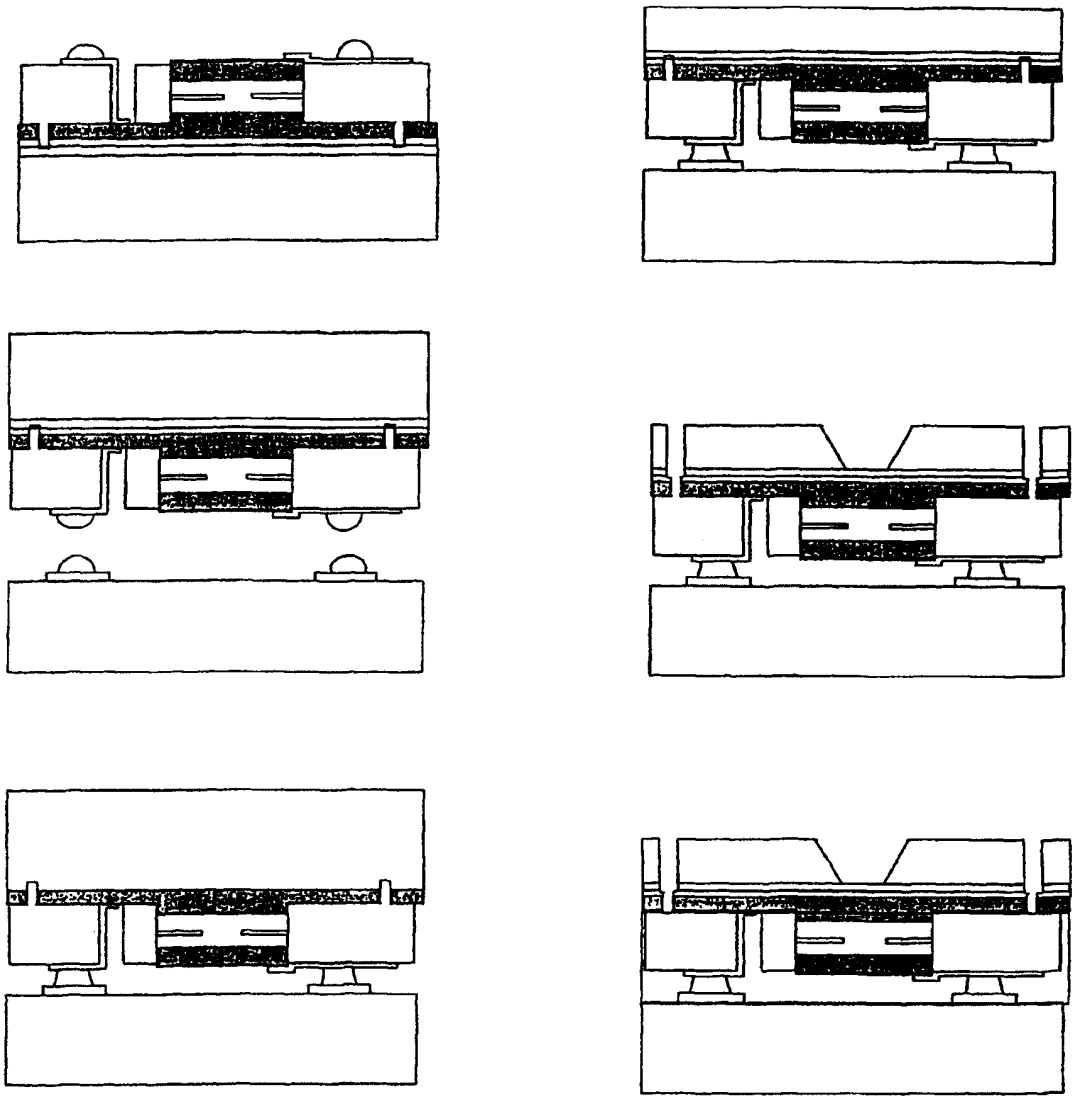


图 12

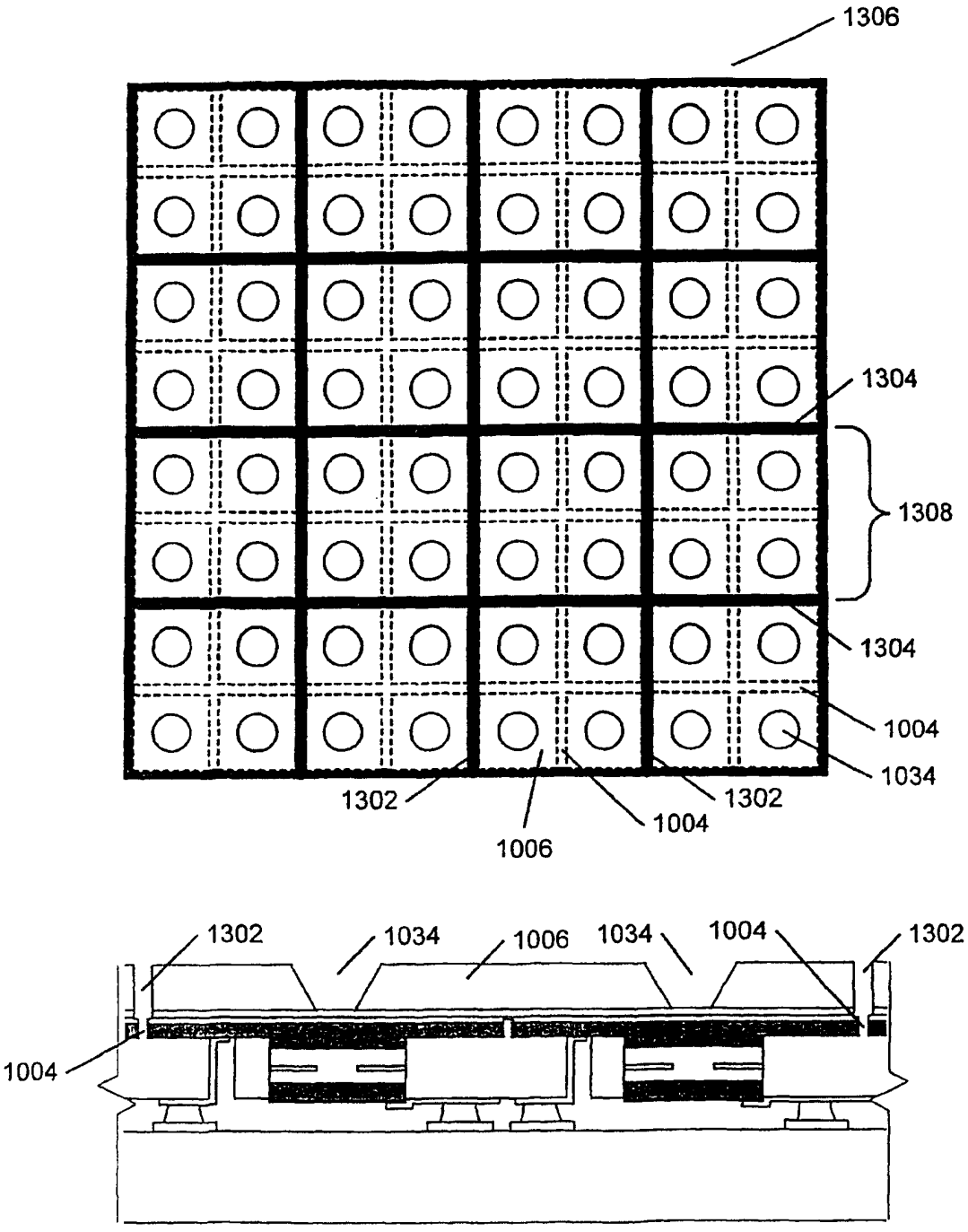
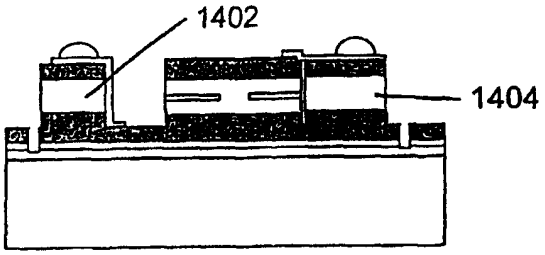
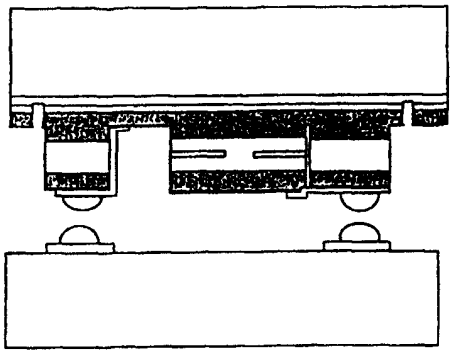

1306
1304
1308
1304
1004
1034
1302
1004
1302
1006
1302
1034
1006
1034
1004
1302
1004

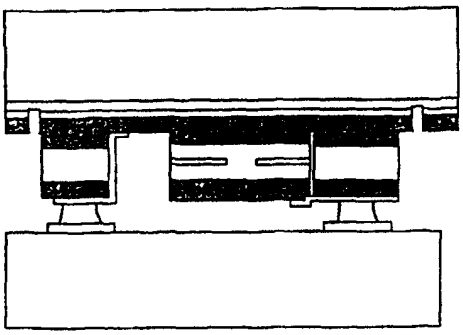
图 13



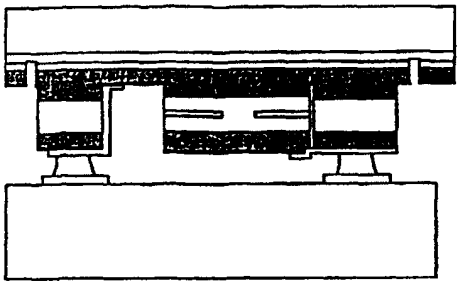

(a)



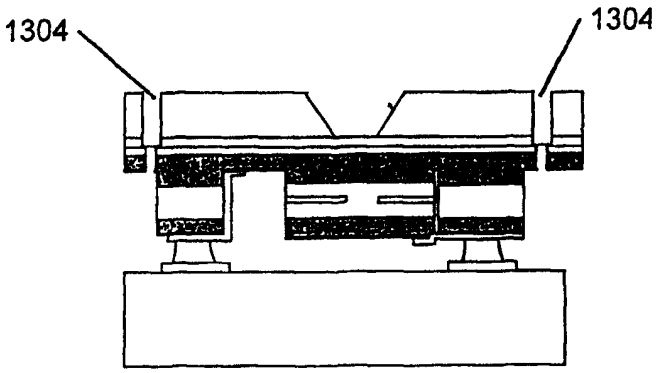
(b)



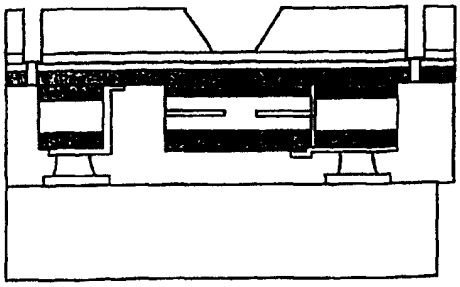
(c)



(d)




(e)



(f)

图 14

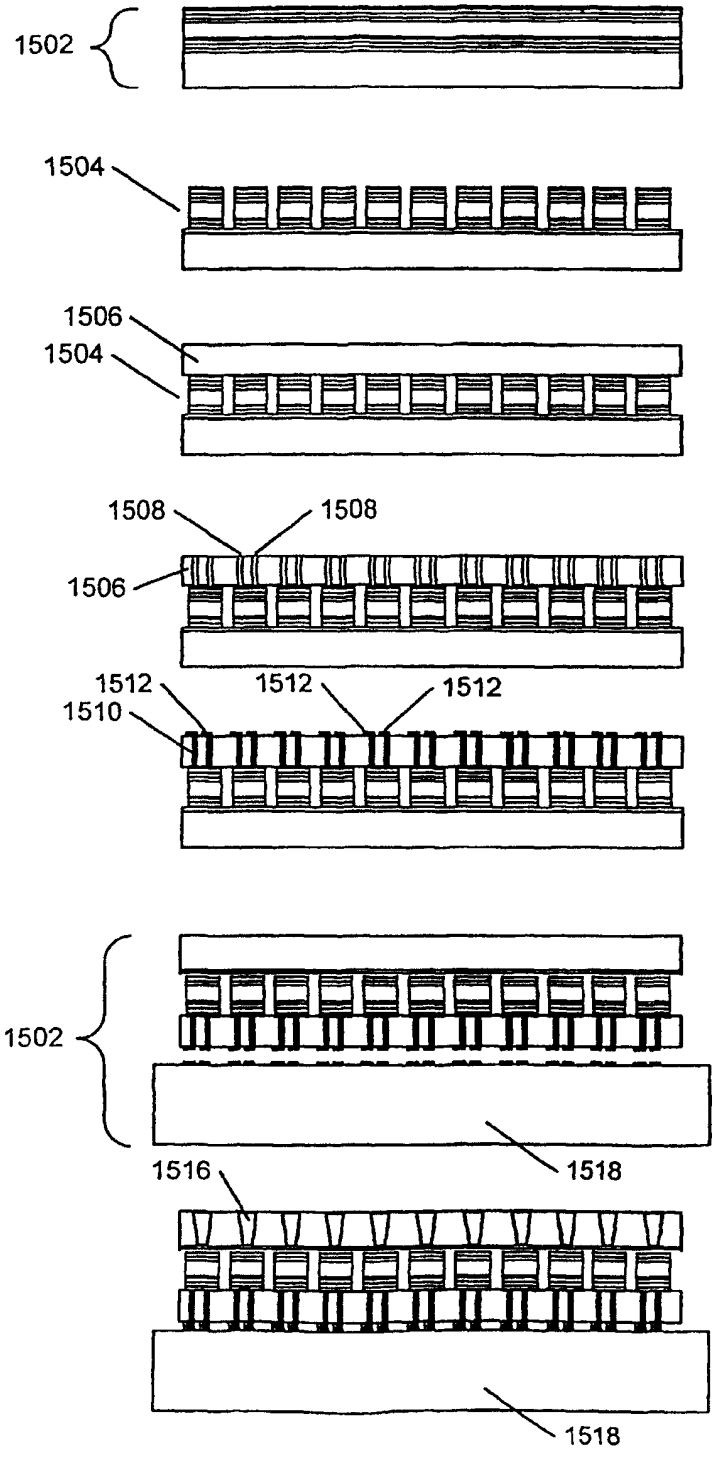

1502
1504
1506
1504
1508
1508
1506
1512
1512
1512
1510
1502
1516
1518
1518

图 15

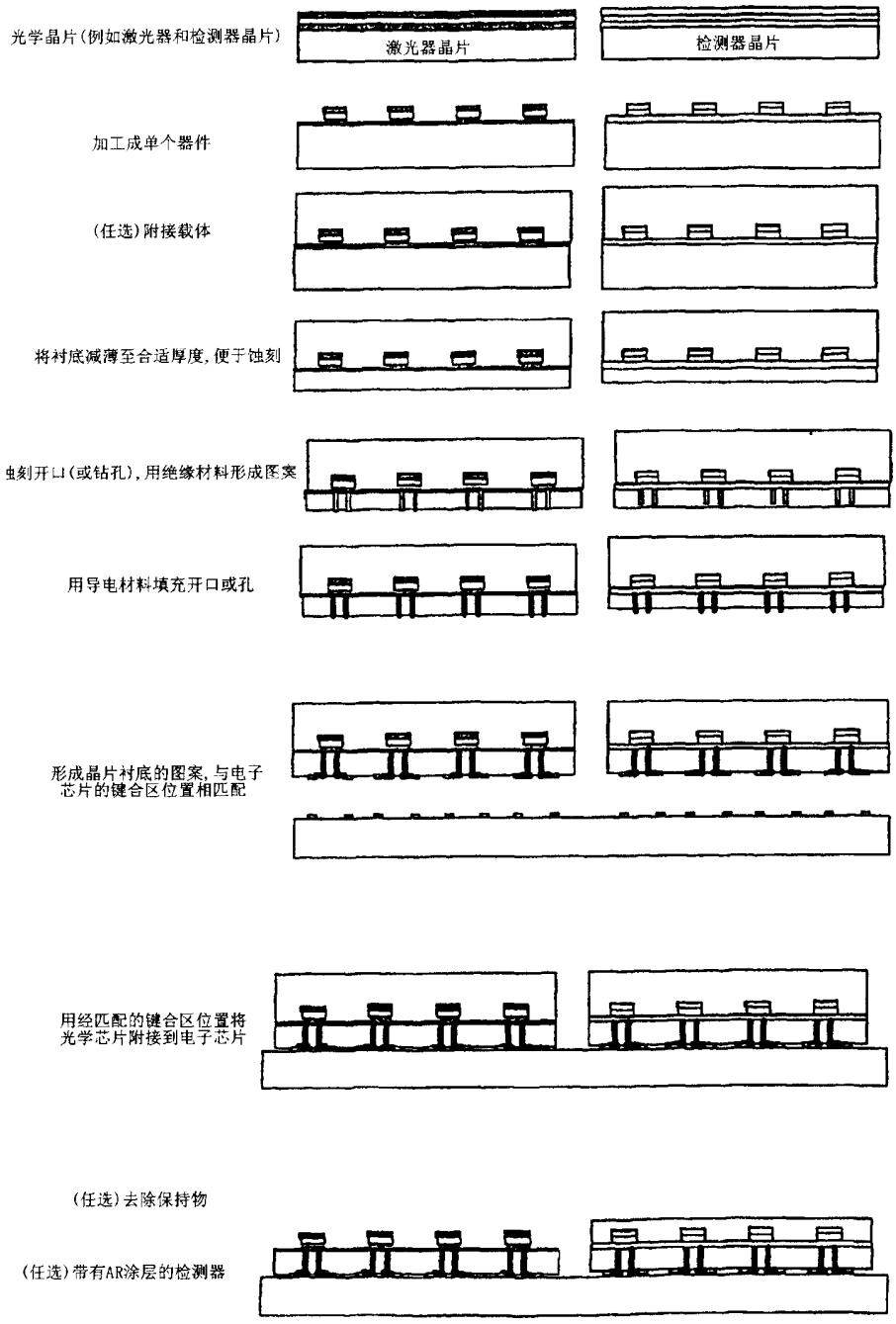

光学晶片(例如激光器和检测器晶片)
激光器晶片
检测器晶片
加工成单个器件
(任选)附接载体
将衬底减薄至合适厚度,便于蚀刻
蚀刻开口(或钻孔),用绝缘材料形成图案
用导电材料填充开口或孔
形成晶片衬底的图案,与电子芯片的键合区位置相匹配
用经匹配的键合区位置将光学芯片附接到电子芯片
(任选)去除保持物
(任选)带有AR涂层的检测器

图 16 A

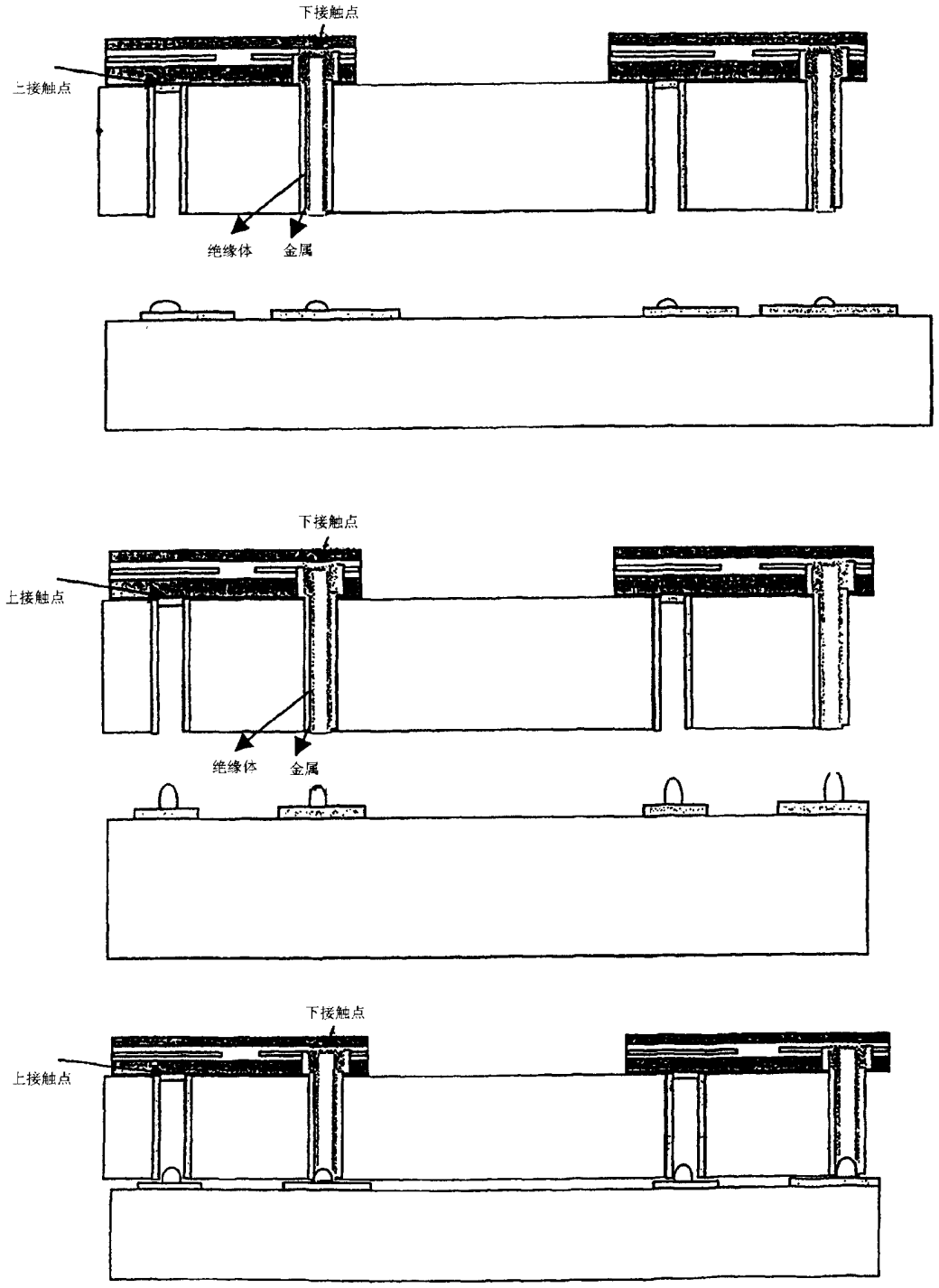



图 16 B

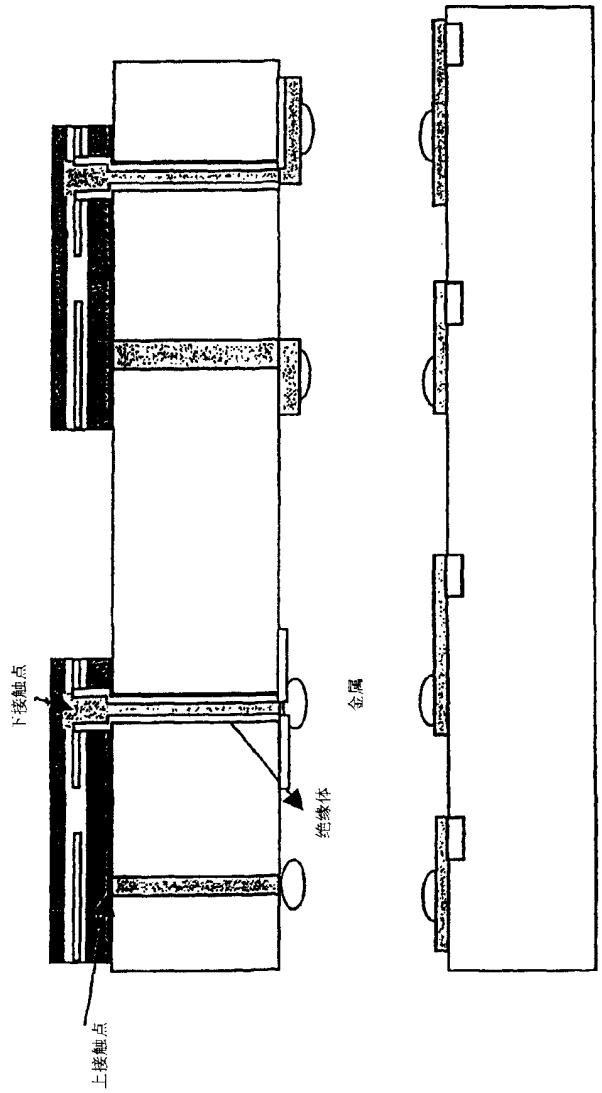



图 16 C

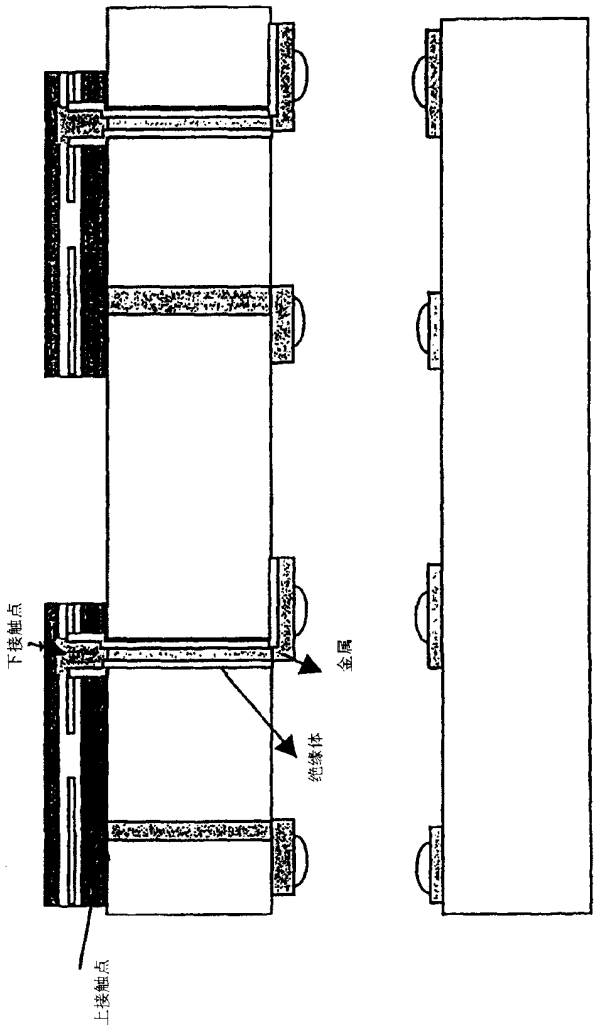



图 16 D

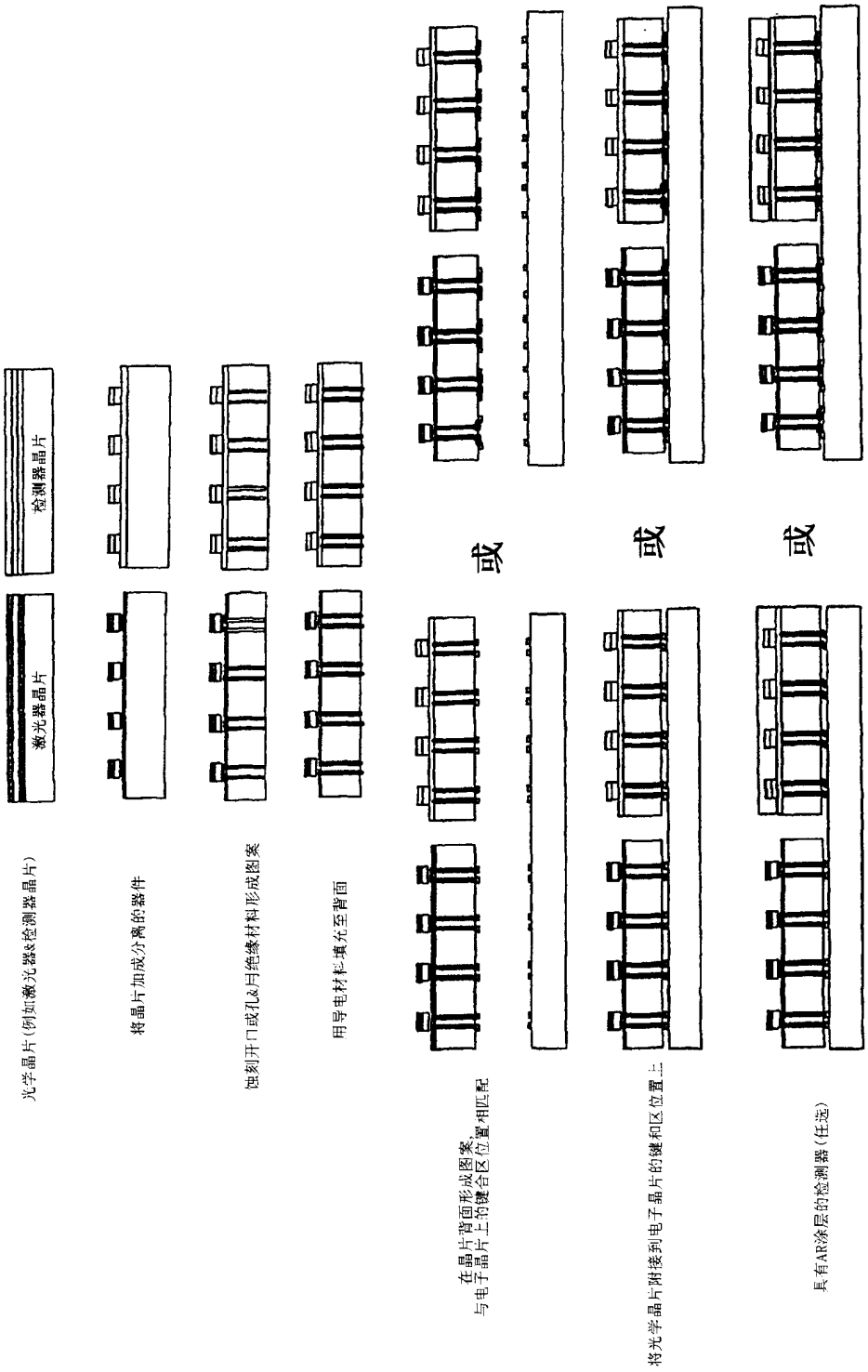

光学晶片(例如激光器&检测器晶片)
激光器晶片
检测器晶片
将晶片加成分离的器件
蚀刻开口或孔&局绝缘材料形成图案
用导电材料填充至背面
或
在晶片背面形成图案,
与电子晶片上的键合区位置相匹配
或
将光学晶片附接到电子晶片的键和区位置上
或
具有AR涂层的检测器(任选)

图 17

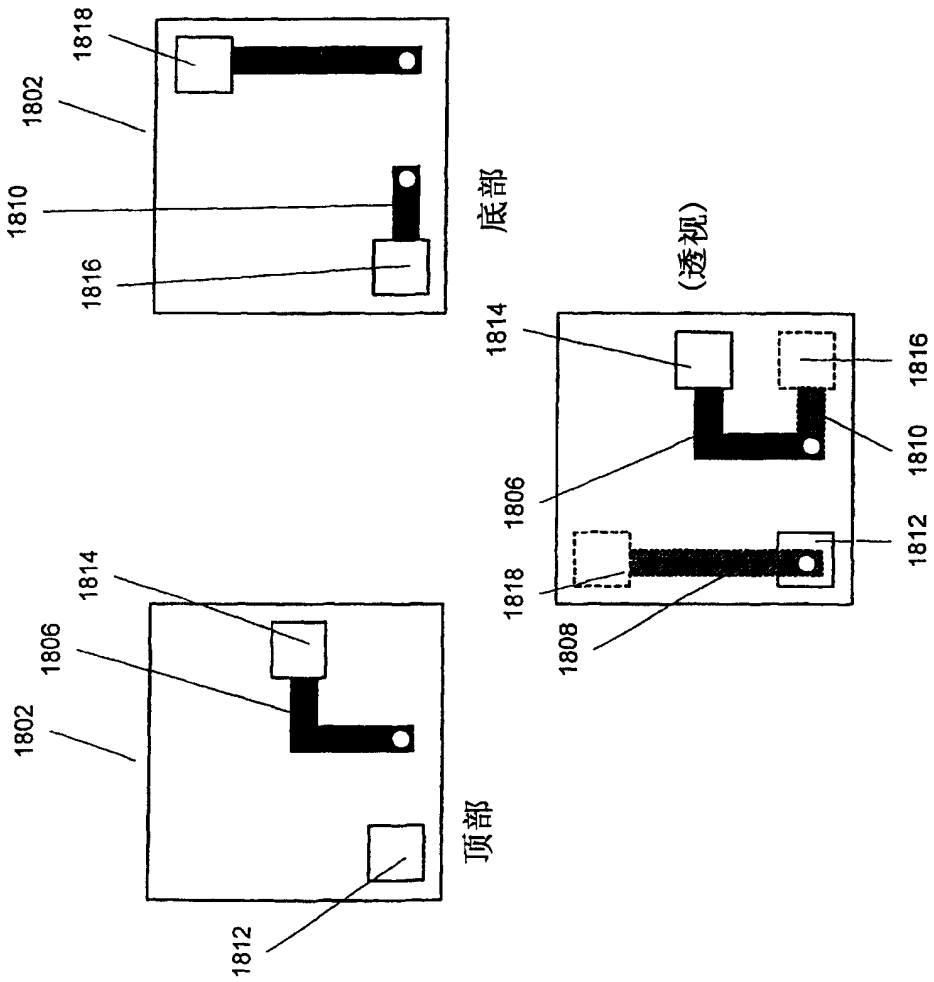

1818
1802
1810
1816
底部
(透视)
1814
1816
1806
1810
1812
1818
1808
1814
1806
1802
1812
顶部

图 18

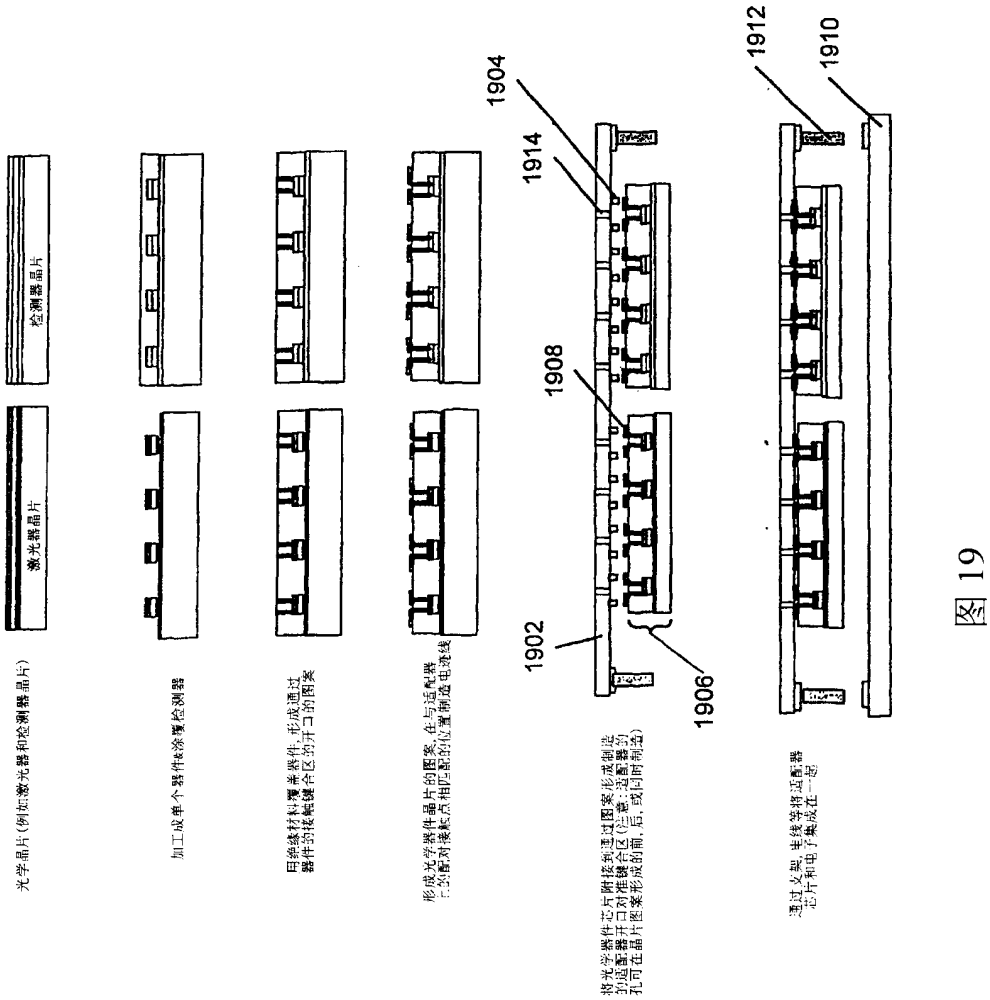

光学晶片(例如:激光器和检测器晶片)
激光器晶片
检测器晶片
加工成单个器件并涂覆检测器
层绝缘材料覆盖器件,形成通过
器件的接触孔区的开口的图案
形成光学器件晶片的图案,在与适配器
上的配对接触点相匹配的位置制造电连线
1902
1904
1906
1908
1910
1912
1914
将光学器件芯片附接到适配器形成倒装
到适配器开口对准键合区(注意:适配器为
孔可在晶片图案形成的前,后,或同时制造)
通过支架,导线等将适配器
芯片和电子集成在一起

图 19

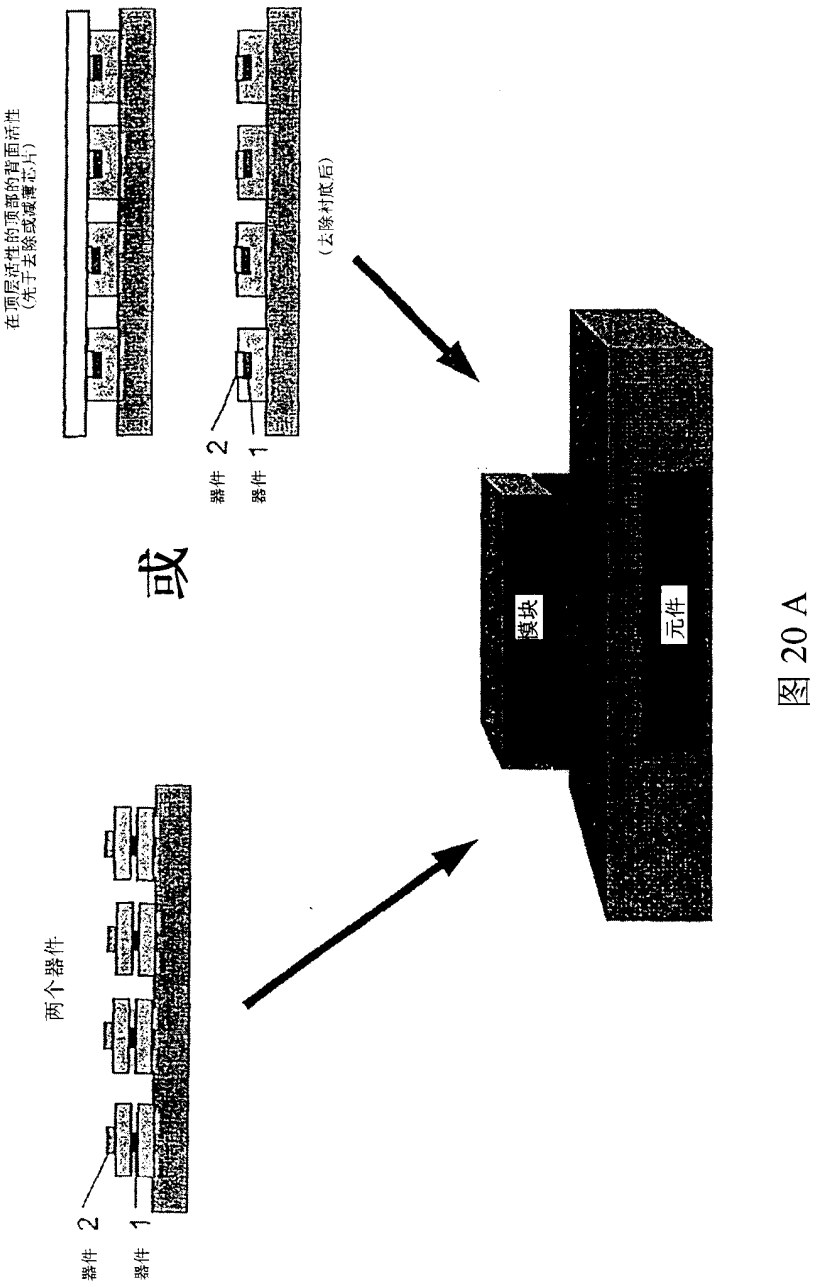



图 20 A

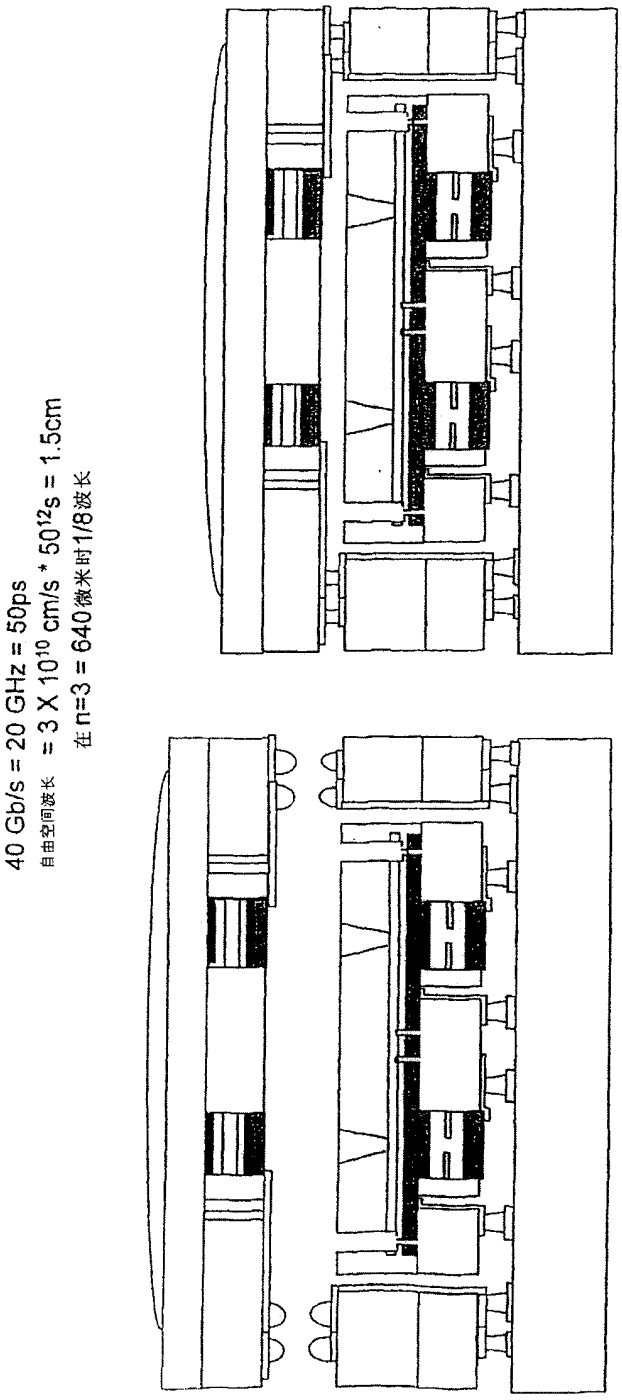

40 Gb/s = 20 GHz = 50ps
自由空间波长 = 3 X 10^10 cm/s * 50^12s = 1.5cm
在 n=3 = 640微米时1/8波长

图 20 B

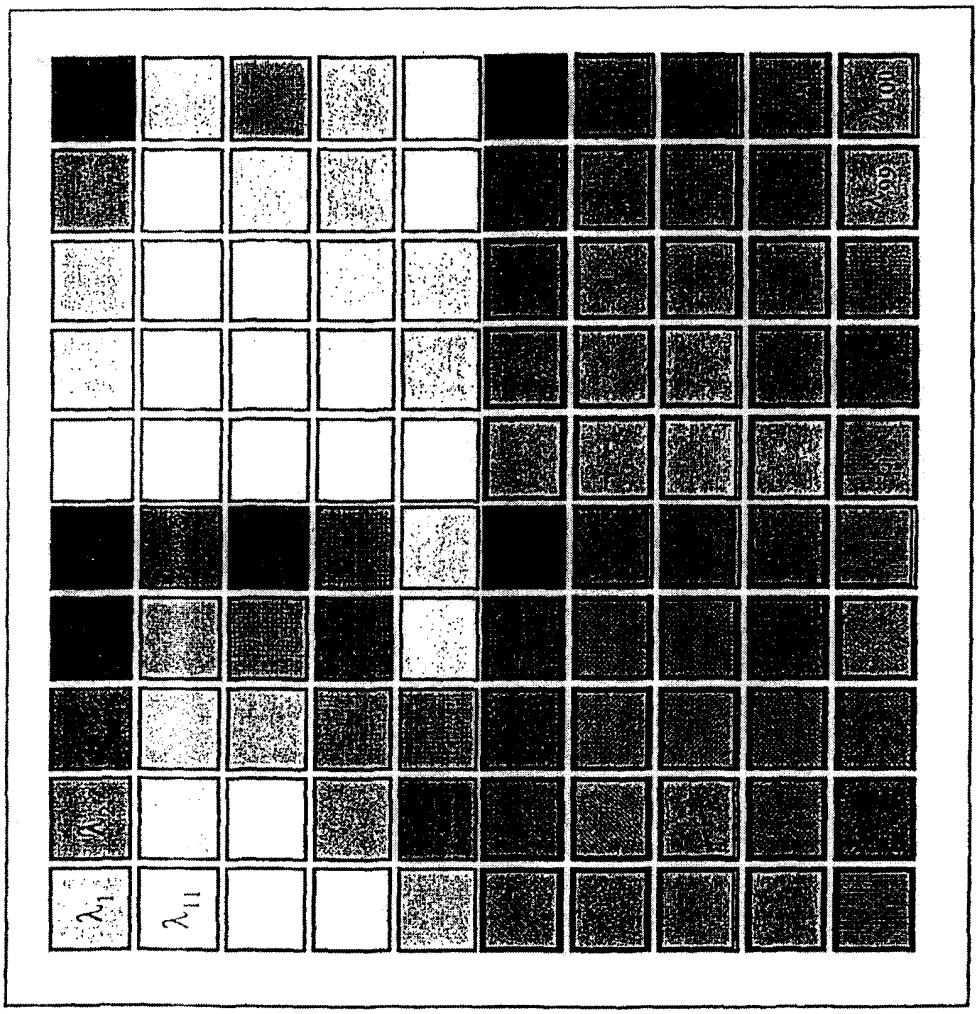

$\lambda_{11}$
$\lambda_{12}$
$\lambda_{13}$
$\lambda_{14}$
$\lambda_{15}$
$\lambda_{16}$
$\lambda_{17}$
$\lambda_{18}$
$\lambda_{19}$
$\lambda_{110}$

图 21

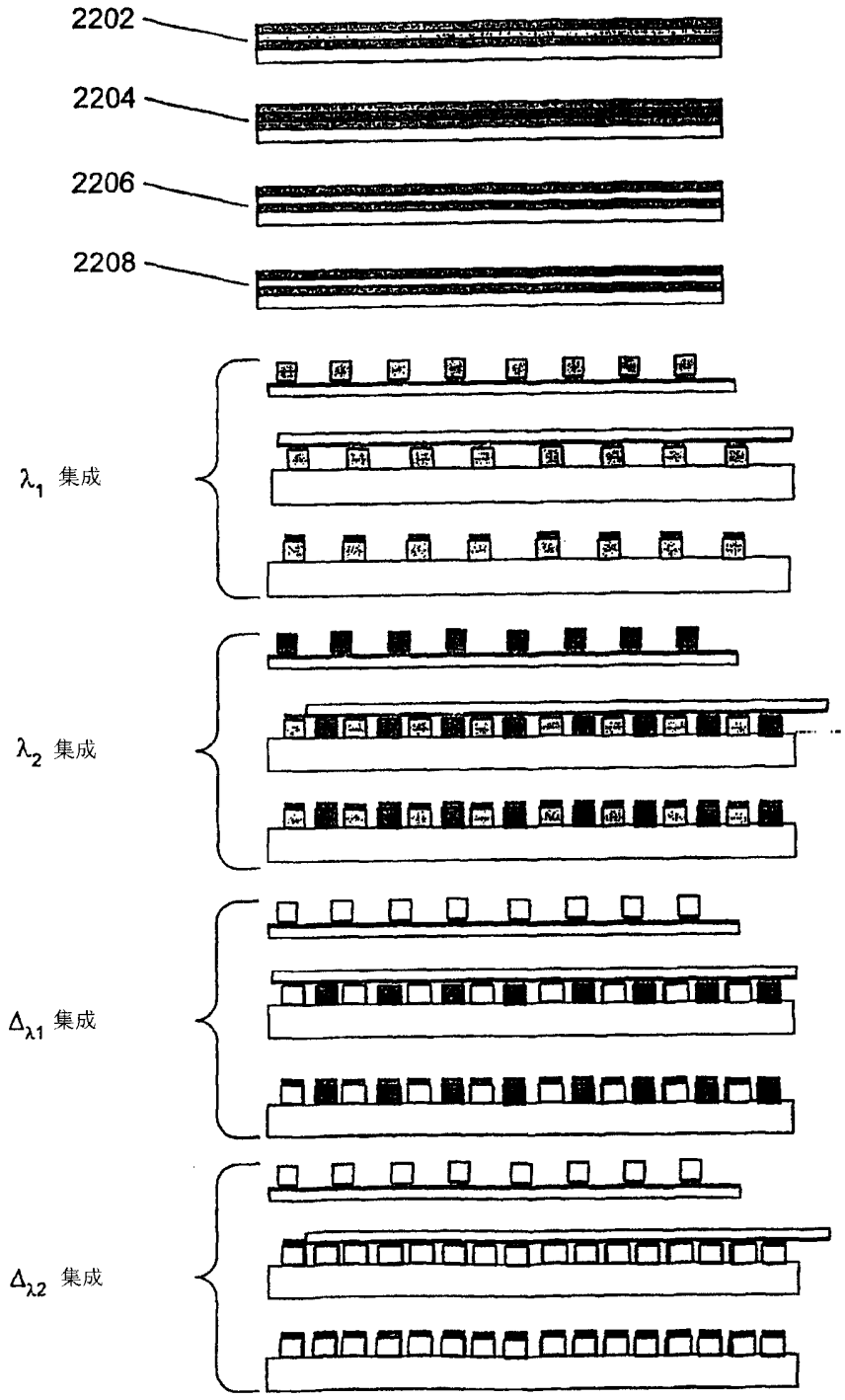

2202
2204
2206
2208
$\lambda_1$ 集成
$\lambda_2$ 集成
$\Delta_{\lambda 1}$ 集成
$\Delta_{\lambda 2}$ 集成

图 22

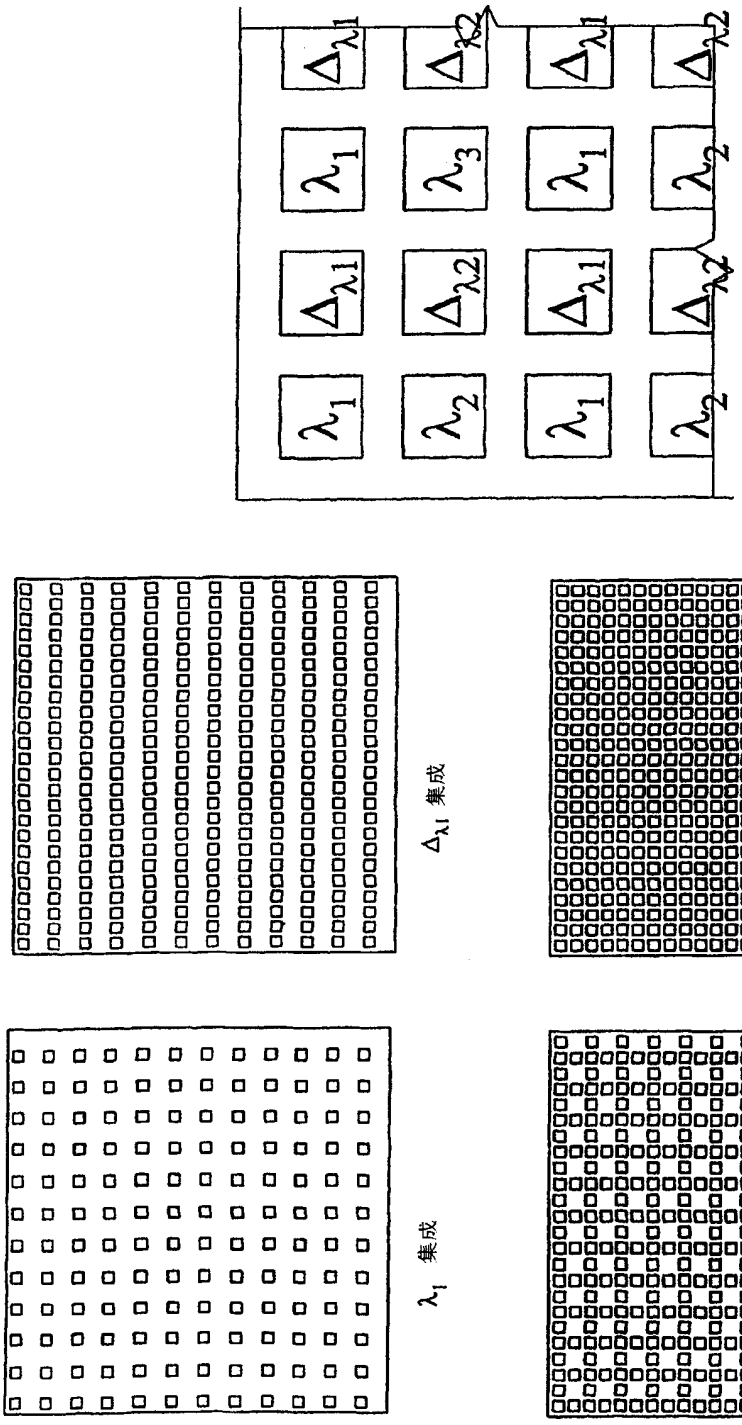

$\Delta_{\lambda 1}$
$\Delta_{\lambda 2}$
$\Delta_{\lambda 1}$
$\Delta_{\lambda 2}$
$\lambda_1$
$\lambda_3$
$\lambda_1$
$\lambda_2$
$\Delta_{\lambda 1}$
$\Delta_{\lambda 2}$
$\Delta_{\lambda 1}$
$\Delta_{\lambda 2}$
$\lambda_1$
$\lambda_2$
$\lambda_1$
$\lambda_2$
$\Delta_{\lambda 1}$ 集成
$\Delta_{\lambda 2}$ 集成
$\lambda_1$ 集成
$\lambda_2$ 集成

图 23