(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0112700
(43) 공개일자 2021년09월15일

(51) 국제특허분류(Int. Cl.)
G01K 7/20 (2006.01) *H03K 3/03* (2006.01)
H03L 7/099 (2006.01)
(52) CPC특허분류
G01K 7/203 (2013.01)
H03K 3/0315 (2013.01)
(21) 출원번호 10-2020-0028059
(22) 출원일자 2020년03월06일
심사청구일자 2020년03월06일

(71) 출원인
한림대학교 산학협력단
강원도 춘천시 한림대학길 1, 한림대학교(옥천동)
(72) 발명자
문규
강원도 춘천시 소양로 171번길 10, 4층
(74) 대리인
김남혁

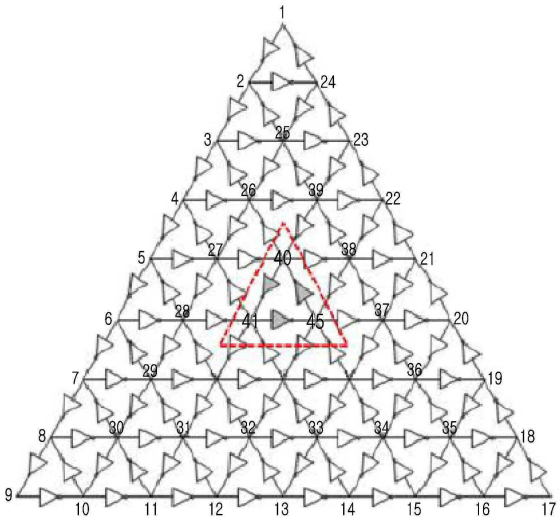
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 **셀룰러 발진 네트워크 회로를 이용한 온도 측정 방법, 장치 및 시스템**

(57) 요 약

온도 측정을 위한 셀룰러 발진 네트워크를 포함하는 전자 장치가 제공된다. 상기 전자 장치는, 셀룰러 발진 네트워크 회로; 및 프로세서;를 포함하고, 상기 셀룰러 발진 네트워크 회로는, 수신부; 발진부; 출력부; 및 주파수 측정부;를 포함하고, 상기 수신부는, 상기 셀룰러 발진 네트워크 회로에 전원 전압 신호를 수신하고, 상기 발진부는, 상기 수신한 전원 전압 신호를 동위상의 신호로 생성하고, 상기 출력부는, 상기 생성된 동위상의 신호를 출력하고, 상기 주파수 측정부는, 상기 출력부에서 출력된 동위상의 신호에 대한 주파수를 획득하고, 상기 프로세서는, 상기 획득된 주파수를 바탕으로 상기 전자 장치의 온도를 측정한다.

대 표 도 - 도1



(52) CPC특허분류
H03K 3/0322 (2013.01)
H03L 7/0995 (2013.01)

명 세 서

청구범위

청구항 1

셀룰러 발진 네트워크 회로; 및

프로세서;를 포함하는 전자 장치에 있어서,

상기 셀룰러 발진 네트워크 회로는,

수신부;

발진부;

출력부; 및

주파수 측정부;를 포함하고,

상기 수신부는, 상기 셀룰러 발진 네트워크 회로에 전원 전압 신호를 수신하고,

상기 발진부는, 상기 수신한 전원 전압 신호를 동위상의 신호로 생성하고,

상기 출력부는, 상기 생성된 동위상의 신호를 출력하고,

상기 주파수 측정부는, 상기 출력부에서 출력된 동위상의 신호에 대한 주파수를 획득하고,

상기 프로세서는, 상기 획득된 주파수를 바탕으로 상기 전자 장치의 온도를 측정하는 것을 특징으로 하는 전자 장치.

청구항 2

제1항에 있어서,

상기 주파수 측정부는,

하기 수학식 1을 바탕으로 주파수를 측정하는 것을 특징으로 하는 전자 장치.

[수학식 1]

$$f = \frac{1}{0.7NC_{load}(R_{DN} + R_{DP})}$$

이때, f는 주파수, N은 링 오실레이터의 인버터 수, C_{load}는 부하 커패시턴스, R_{DN}은 NMOS의 턴온 저항, R_{DP}은 PMOS의 턴온 저항.

청구항 3

제1항에 있어서,

상기 프로세서는,

하기 수학식 2를 바탕으로, 상기 전자 장치의 온도를 측정하는 것을 특징으로 하는 전자 장치.

[수학식 2]

$$f = \frac{I_{DS}}{0.72 \times 0.7\, V_{DD} NC_{load}} \times \left(\frac{T}{T_0}\right)^{B_{EX}}$$

이때, f는 발진하는 셀룰러 발진 네트워크 회로의 주파수, I_{DS}는 드레인 소스 전류, V_{DD}는 NMOS의 드레인 소스

전압과 PMOS의 드레인 소스 전압의 합, N은 링 오실레이터의 인버터 수, C_{load}는 부하 커패시턴스, T는 현재 온도, T_0는 기 설정된 실온 온도, B_{EX}는 이동 온도 지수.

청구항 4

제3항에 있어서,

상기 프로세서는,

하기 수학식 3을 바탕으로 상기 전자 장치의 온도를 측정하는 것을 특징으로 하는 전자 장치.

[수학식 3]

$$f = \frac{I_{DS}}{0.72 \times 0.7 \times N C_{load} V_{DD} \times \alpha} \times \left(\frac{T}{T_0}\right)^{B_{EX}}$$

이때, α는 전원 전압 신호에 따른 피팅 팩터.

청구항 5

제4항에 있어서,

상기 전원 전압 신호가 1V인 경우, 상기 피팅 팩터는 0.962으로 설정되는 것을 특징으로 하는 전자 장치.

청구항 6

제5항에 있어서,

상기 셀룰러 발진 네트워크 회로는,

프랙탈(fractal) 구조를 가지기 위해서 3 개의 노드가 하나의 셀을 구성하고, 각 노드 사이에는 인버터가 배치되고,

상기 발진부는, 상기 셀룰러 발진 네트워크 회로의 일부 국부적인 셀에 전압 변화가 3% 이내의 범위에서 발생하는 경우,

일정 시간이 지남에 따라서, 동위상의 신호로 생성하도록 설정되고,

상기 셀룰러 발진 네트워크 회로의 중앙측 셀의 클럭 스큐 현상이 상기 셀룰러 발진 네트워크 회로의 바깥측 셀의 클럭 스큐 현상보다 적은 것을 특징으로 하는 전자 장치.

청구항 7

제1항에 있어서,

상기 프로세서는, 상기 획득된 주파수를 바탕으로 상기 전자 장치의 압력, 습도 및 조도 중, 적어도 하나의 값을 측정하는 것을 특징으로 하는 전자 장치.

청구항 8

전자 장치의 온도 측정 방법에 있어서,

셀룰러 발진 네트워크 회로에 전원이 공급되어 발진 상태로 전환하는 단계;

CMOS 다층 메탈 공정을 통해 동위상의 신호를 생성하는 단계;

상기 생성된 동위상의 신호를 출력하는 단계;

상기 출력된 동위상의 신호에 대한 주파수를 획득하는 단계; 및

상기 획득된 주파수를 바탕으로, 상기 전자 장치의 온도를 측정하는 단계; 를 포함하는 온도 측정 방법.

청구항 9

수신부;

발진부;

출력부; 및

주파수 측정부;를 포함하는 셀룰러 발진 네트워크 회로에 있어서,

상기 수신부는, 상기 셀룰러 발진 네트워크 회로에 전원 전압 신호를 수신하고,

상기 발진부는, 상기 수신한 전원 전압 신호를 동위상의 신호로 생성하고,

상기 출력부는, 상기 생성된 동위상의 신호를 출력하고,

상기 주파수 측정부는, 상기 출력부에서 출력된 동위상의 신호에 대한 주파수를 획득하고,

상기 셀룰러 발진 네트워크 회로는,

상기 획득된 주파수의 변화에 따라서, 상기 출력되는 동위상의 신호는 주기 대비 0.4% 이내의 클럭 스큐를 가지는 것을 특징으로 하는, 셀룰러 발진 네트워크 회로.

발명의 설명

기 술 분 야

[0001] 본 발명은 셀룰러 발진 네트워크 회로를 이용한 온도 측정 방법, 장치 및 시스템에 관한 것이다.

배 경 기 술

[0002] SoC(System on Chip) 설계 기술의 발달로 시스템을 구성하는 집적회로(IC)의 클럭 신호(Clock signal, Clock frequency)는 대부분 GHz급의 초고주파수이며, 이에 따라 동작 속도 또한 계속 증가하고 있다.

[0003] 이러한 초고속 클럭 신호의 생성과 분배는 집적 회로의 설계에 있어서 중요한 요소로 작용될 수 있으며, 위상이 지연되는 클럭 스큐 (Clock Skew) 현상 등이 발생하는 경우 동기화가 정확히 되지 않아 동작상에 오류로 출력될 수 있다.

[0004] 기존의 클럭 신호 발생 회로 중에서 일반적으로 많이 사용되는 회로는 PLL(Phase Locked Loop)이지만, PLL 회로의 경우 위상 검출기(Phase Detector; PD), 전압제어 오실레이터(Voltage Controlled Oscillator; VCO), 루프 필터(Loop Filter) 등으로 구성되어 있어 회로 구성이 복잡하고, 배선 면적이 증가함에 따라서 칩 사이즈 또한 커지는 공간적인 부담을 가지고 있다.

[0005] 예를 들어, 오실레이터(oscillator) 회로는 안정적인 발진 주파수를 발생시키는 것을 목적으로 하고 있다. 종래의 오실레이터 회로는, 회로의 사이즈가 커짐에 따라 주파수가 순간적으로 흔들리는 지터(jitter) 현상, 위상이 지연되는 클럭 스큐(clock skew) 현상 등이 발생하는 문제점이 있었다.

[0006] 이러한 문제점을 해결하기 위하여, 선행기술 1(등록 특허 제10-1783997)은 CMOS 인버터를 이용한 셀룰러 발진 네트워크 회로를 제안하고 있다. 이러한 셀룰러 발진 네트워크 회로는, 프랙탈 구조를 이용하여 회로의 사이즈가 커지더라도, 전원 전압과 온도 변화에 둔감한 클럭 발생 및 분배 회로를 제시하고 있다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 등록특허공보 제10-1783997호, 2017.10.10

발명의 내용

해결하려는 과제

[0008] 본 발명이 해결하고자 하는 과제는 본 발명은 셀룰러 발진 네트워크 회로를 이용한 온도 측정 방법, 장치 및 시스템을 제공하는 것이다.

[0009] 본 발명이 해결하고자 하는 과제들은 이상에서 언급된 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0010] 상술한 과제를 해결하기 위한 본 발명의 일 면에 따른 전자 장치는, 셀룰러 발진 네트워크 회로; 및 프로세서; 를 포함하고, 상기 셀룰러 발진 네트워크 회로는, 수신부; 발진부; 출력부; 및 주파수 측정부;를 포함하고, 상기 수신부는, 상기 셀룰러 발진 네트워크 회로에 전원 전압 신호를 수신하고, 상기 발진부는, 상기 수신한 전원 전압 신호를 동위상의 신호로 생성하고, 상기 출력부는, 상기 생성된 동위상의 신호를 출력하고, 상기 주파수 측정부는, 상기 출력부에서 출력된 동위상의 신호에 대한 주파수를 획득하고, 상기 프로세서는, 상기 획득된 주파수를 바탕으로 상기 전자 장치의 온도를 측정한다.

[0011] 이때, 상기 주파수 측정부는, 하기 수학식 1을 바탕으로 주파수를 측정할 수 있다.

[0012] [수학식 1]

[0013] $$f = \frac{1}{0.7NC_{load}(R_{DN} + R_{DP})}$$

[0014] 이때, f는 주파수, N은 링 오실레이터의 인버터 수, C_{load}는 부하 커패시턴스, R_{DN}은 NMOS의 턴온 저항, R_{DP}은 PMOS의 턴온 저항일 수 있다.

[0015] 이때, 상기 프로세서는, 하기 수학식 2를 바탕으로, 상기 전자 장치의 온도를 측정할 수 있다.

[0016] [수학식 2]

[0017] $$f = \frac{I_{DS}}{0.72 \times 0.7\, V_{DD} NC_{load}} \times \left(\frac{T}{T_0}\right)^{B_{EX}}$$

[0018] 이때, f는 발진하는 셀룰러 발진 네트워크 회로의 주파수, I_{DS}는 드레인 소스 전류, V_{DD}는 NMOS의 드레인 소스 전압과 PMOS의 드레인 소스 전압의 합, N은 링 오실레이터의 인버터 수, C_{load}는 부하 커패시턴스, T는 현재 온도, T_0는 기 설정된 실온 온도, B_{EX}는 이동 온도 지수일 수 있다.

[0019] 이때, 상기 프로세서는, 하기 수학식 3을 바탕으로 상기 전자 장치의 온도를 측정할 수 있다.

[0020] [수학식 3]

[0021] $$f = \frac{I_{DS}}{0.72 \times 0.7 \times NC_{load} V_{DD} \times \alpha} \times \left(\frac{T}{T_0}\right)^{B_{EX}}$$

[0022] 이때, α 는 전원 전압 신호에 따른 피팅 팩터일 수 있다.

[0023] 이때, 상기 전원 전압 신호가 1V인 경우, 상기 피팅 팩터는 0.962으로 설정될 수 있다.

[0024] 이때, 상기 셀룰러 네트워크 발진 회로는, 프랙탈(fractal) 구조를 가지기 위해서 3 개의 노드가 하나의 셀을 구성하고, 각 노드 사이에는 인버터가 배치되고, 상기 발진부는, 상기 셀룰러 발진 네트워크 회로의 일부 국부적인 셀에 전압 변화가 3% 이내의 범위에서 발생하는 경우, 일정 시간이 지남에 따라서, 동위상의 신호로 생성하도록 설정되고, 상기 셀룰러 발진 네트워크 회로의 중앙측 셀의 클럭 스큐 현상이 상기 셀룰러 발진 네트워크 회로의 바깥측 셀의 클럭 스큐 현상보다 적을 수 있다.

[0025] 이때, 상기 프로세서는, 상기 획득된 주파수를 바탕으로 상기 전자 장치의 압력, 습도 및 조도 중, 적어도 하나의 값을 측정할 수 있다.

[0026] 한편, 상술한 본 과제의 목적을 달성하기 위한 본 발명의 또 다른 실시예에 따른 전자 장치의 온도 측정 방법은, 셀룰러 발진 네트워크 회로에 전원이 공급되어 발진 상태로 전환하는 단계; CMOS 다층 메탈 공정을 통해 동위상의 신호를 생성하는 단계; 상기 생성된 동위상의 신호를 출력하는 단계; 상기 출력된 동위상의 신호에 대한 주파수를 획득하는 단계; 및 상기 획득된 주파수를 바탕으로, 상기 전자 장치의 온도를 측정하는 단계; 를

포함한다,

[0027] 한편, 상술한 본 과제의 목적을 달성하기 위한 본 발명의 또 다른 실시예에 따른 셀룰러 발진 네트워크 회로는, 수신부; 발진부; 출력부; 및 주파수 측정부;를 포함하고, 상기 수신부는, 상기 셀룰러 발진 네트워크 회로에 전원 전압 신호를 수신하고, 상기 발진부는, 상기 수신한 전원 전압 신호를 동위상의 신호로 생성하고, 상기 출력부는, 상기 생성된 동위상의 신호를 출력하고, 상기 주파수 측정부는, 상기 출력부에서 출력된 동위상의 신호에 대한 주파수를 획득하고, 상기 셀룰러 발진 네트워크 회로는, 상기 획득된 주파수의 변화에 따라서, 상기 출력되는 동위상의 신호는 주기 대비 0.4% 이내의 클럭 스큐를 가질 수 있다.

[0028] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0029] 상술한 본 발명의 다양한 실시예에 따라, 셀룰러 발진 네트워크 회로는, 본 기능인 오실레이터로서의 기능뿐만 아니라, 회로 및 회로가 탑재된 전자 장치의 온도를 측정하기 위한 온도 센서로 동작할 수 있는 새로운 효과가 존재한다.

[0030] 또한, 본 발명에 따른 셀룰러 발진 네트워크 기반의 온도 센서는 오차는 -50 ~ 150℃의 온도 범위에서 0.9 % 미만의 정확도를 가지며 1V 전원 공급 장치에서 1mV 시프트하면 최대 ±0.08 % 주파수 변동이 측정되어 안정적이고 넓은 범위의 온도 측정이 가능한 효과가 존재한다.

[0031] 본 발명의 효과들은 이상에서 언급된 효과로 제한되지 않으며, 언급되지 않은 또 다른 효과들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0032] 도 1은 본 발명의 일 실시예에 따른 셀룰러 발진 네트워크의 구조를 설명하기 위한 예시도이다.

도 2는 본 발명의 일 실시예에 따른 셀룰러 발진 네트워크의 프랙탈 구조를 설명하기 위한 예시도이다.

도 3은 본 발명의 일 실시예에 따른 405개의 인버터를 이용한 셀룰러 발진 네트워크 구조를 설명하기 위한 예시도이다.

도 4는 본 발명의 일 실시예에 따른 셀룰러 발진 네트워크의 칩 구조를 설명하기 위한 예시도이다.

도 5는 본 발명의 일 실시예에 따른 링 오실레이터의 출력 파형을 설명하기 위한 예시도이다.

도 6은 본 발명의 일 실시예에 따른 셀룰러 발진 네트워크의 출력 파형을 설명하기 위한 예시도이다.

도 7은 본 발명의 일 실시예에 따른 캐리어 이동성의 온도 의존성 곡선을 설명하기 위한 예시도이다.

도 8은 본 발명의 일 실시예에 따른 임계 전압의 온도 의존성 곡선을 설명하기 위한 예시도이다.

도 9는 본 발명의 일 실시예에 따른 10fF 부하 커패시터가 있는 CMOS 인버터 회로도를 설명하기 위한 예시도이다.

도 10a 및 도 10b는 본 발명의 일 실시예에 따른, -50도와 150도에서의 셀룰러 발진 네트워크의 출력 파형을 설명하기 위한 예시도이다.

도 11은 본 발명의 일 실시예에 따른 -50도에서의 공급 전압에 따른 셀룰러 발진 네트워크의 주파수 변화를 설명하기 위한 예시도이다.

도 12는 본 발명의 일 실시예에 따른 시뮬레이션 출력 주파수와 분석방적식을 비교하기 위한 예시도이다.

도 13은 본 발명의 일 실시예에 따른, 셀룰러 발진 네트워크의 3차원 구조를 설명하기 위한 예시도이다.

도 14는 본 발명의 일 실시예에 따른 온도 측정 방법을 설명하기 위한 흐름도이다.

도 15는 본 발명의 일 실시예에 따른 장치의 구성도이다

발명을 실시하기 위한 구체적인 내용

[0033] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 제한되는 것이 아니라 서

로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술 분야의 통상의 기술자에게 본 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0034] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소 외에 하나 이상의 다른 구성요소의 존재 또는 추가를 배제하지 않는다. 명세서 전체에 걸쳐 동일한 도면 부호는 동일한 구성 요소를 지칭하며, "및/또는"은 언급된 구성요소들의 각각 및 하나 이상의 모든 조합을 포함한다. 비록 "제1", "제2" 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.

[0035] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야의 통상의 기술자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또한, 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.

[0036] 명세서에서 사용되는 "부" 또는 “모듈”이라는 용어는 소프트웨어, FPGA 또는 ASIC과 같은 하드웨어 구성요소를 의미하며, "부" 또는 “모듈”은 어떤 역할들을 수행한다. 그렇지만 "부" 또는 “모듈”은 소프트웨어 또는 하드웨어에 한정되는 의미는 아니다. "부" 또는 “모듈”은 어드레싱할 수 있는 저장 매체에 있도록 구성될 수도 있고 하나 또는 그 이상의 프로세서들을 재생시키도록 구성될 수도 있다. 따라서, 일 예로서 "부" 또는 “모듈”은 소프트웨어 구성요소들, 객체지향 소프트웨어 구성요소들, 클래스 구성요소들 및 태스크 구성요소들과 같은 구성요소들과, 프로세스들, 함수들, 속성들, 프로시저들, 서브루틴들, 프로그램 코드의 세그먼트들, 드라이버들, 펌웨어, 마이크로 코드, 회로, 데이터, 데이터베이스, 데이터 구조들, 테이블들, 어레이들 및 변수들을 포함한다. 구성요소들과 "부" 또는 “모듈”들 안에서 제공되는 기능은 더 작은 수의 구성요소들 및 "부" 또는 “모듈”들로 결합되거나 추가적인 구성요소들과 "부" 또는 “모듈”들로 더 분리될 수 있다.

[0037] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 구성요소와 다른 구성요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 구성요소들의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들어, 도면에 도시되어 있는 구성요소를 뒤집을 경우, 다른 구성요소의 "아래(below)"또는 "아래(beneath)"로 기술된 구성요소는 다른 구성요소의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 구성요소는 다른 방향으로도 배향될 수 있으며, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.

[0038] 본 명세서에서, 컴퓨터는 적어도 하나의 프로세서를 포함하는 모든 종류의 하드웨어 장치를 의미하는 것이고, 실시 예에 따라 해당 하드웨어 장치에서 동작하는 소프트웨어적 구성도 포괄하는 의미로서 이해될 수 있다. 예를 들어, 컴퓨터는 스마트폰, 태블릿 PC, 데스크톱, 노트북 및 각 장치에서 구동되는 사용자 클라이언트 및 애플리케이션을 모두 포함하는 의미로서 이해될 수 있으며, 또한 이에 제한되는 것은 아니다.

[0039] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다.

[0040] 본 명세서에서 설명되는 각 단계들은 컴퓨터에 의하여 수행되는 것으로 설명되나, 각 단계의 주체는 이에 제한되는 것은 아니며, 실시 예에 따라 각 단계들의 적어도 일부가 서로 다른 장치에서 수행될 수도 있다.

[0041] 도 1은 본 발명의 일 실시예에 따른 셀룰러 발진 네트워크의 구조를 설명하기 위한 예시도이다.

[0042] 셀룰러 발진 네트워크는 이론적으로 인버터 개수를 추가함으로써 프랙탈 구조를 무한히 확장시킬 수 있다. 도 1은 인버터 수를 108개로 구성한 프랙탈 구조의 셀룰러 발진 네트워크이다.

[0043] 네트워크 회로에 전원이 공급되면 기본적인 링 오실레이터와 같이 발진 상태가 되며, 네트워크가 갖는 구조적 특성에 의해서 모든 노드가 동일 주파수를 가지게 된다. 회로의 국부적인 노드의 위상 또는 주파수 변화(local disturbance)가 발생하더라도 네트워크 전체로 전달됨으로써 전체 네트워크에 동일한 위상과 주파수 변화(global state change)를 발생하게 된다.

[0044] 일 실시예에 따라, 도 1에서, 중앙 셀(40-41-45)에서의 위상 또는 주파수의 변화와 바깥측 셀(16-17-18)에서의 위상 또는 주파수의 변화는 클럭 스큐의 정도가 다를 수 있다.

[0045] 또 다른 실시예에 따라, 중앙 셀(40-41-45)의 경우, 프랙탈 구조 내에서 변화의 전파(분반)가 바깥측 셀(16-17-18)보다 용이하므로 클럭 스큐가 적을 수 있다. 반대로 바깥측 셀(16-17-18)은 중앙 셀(40-41-45)보다 전체 셀룰러 발진 네트워크에 전파(분반)되는 것이 어려우므로 클럭 스큐가 많을 수 있다. 다만, 이는 실험적인 데이터에 의해서 달라질 수 있으며, 바깥측 셀의 클럭 스큐가 중앙 셀의 클럭 스큐보다 적을 수도 있다.

[0046] 다만, 회로에 가해지는 변화의 값이 큰 경우라면 발진 네트워크 전체에 대하여 클럭 스큐의 값이 셀의 위치에 따라서 그 차이가 의미가 없을 정도로 작은 차이만 가질 수 있다.

[0047] 도 2는 본 발명의 일 실시예에 따른 셀룰러 발진 네트워크의 프랙탈 구조를 설명하기 위한 예시도이다.

[0048] 도 2에 도시된 바와 같이, 큰 삼각형(1-2-3) 내에는 이보다 작은 크기의 삼각형(4-5-6), 더 작은 크기의 삼각형(7-8-9)와 같이 동일 구조로 계속하여 확장이 가능한 프랙탈(fractal) 구조를 확인할 수 있다.

[0049] 상대적으로 작은 삼각형(10-11-12)을 인버터(inverter)로 구성하여 기본 셀(cell) 단위로 할 수 있으며, 이를 계속 확장한 형태로서 CMOS를 이용한 오실레이터를 구성할 수 있다.

[0050] 예를 들어, 삼각형(1-6-5)로 구성된 구조에서 노드(node) 1 및 노드 6 사이의 인버터에 대해서 노드 1은 입력 신호일 수 있으며, 노드 6은 출력 신호일 수 있다.

[0051] 본 발명에서의 프랙탈 구조의 링 오실레이터는 GHz 급의 높은 클럭 주파수(clock frequency)를 발생시킬 수 있으며, 이를 분배시킬 수 있다. 프랙탈 링 오실레이터는 고속의 GHz 급의 클럭 주파수를 요구하는 회로에 안정적으로 일정 주파수를 발생시킬 수 있는 회로이다.

[0052] 각 노드 사이에서는 홀수 개의 인버터가 연결된 형태로 구성될 수 있다. 바람직하게는 각 노드 사이에는 홀수 개의 인버터가 직렬로(in series) 연결될 수 있다. 홀수 개의 인버터를 이용함으로써, 반전을 방지할 수 있다.

[0053] 프랙탈 구조로 인해서 프랙탈 구조의 링 오실레이터의 크기를 확장할 수 있다. 적게는 15개부터 45개 이상의 노드를 가지는 프랙탈 구조의 링 오실레이터를 구성할 수 있다. 이러한 경우, 하나의 인버터가 ⅓ π의 위상(phase) 차이를 가지고, 3개의 인버터가 하나의 셀을 구성하므로, 하나의 셀은 ⅔ π의 위상 차를 가지게 된다. 따라서, 3개의 서로 다른 인버터에 의해서 하나의 2π 사이클(cycle)의 위상을 가질 수 있다.

[0054] CMOS 프랙탈 오실레이터 회로에 전원을 공급할 경우 모든 노드에 동일한 클럭 주파수를 가지는 발진 상태를 만들 수 있다. 하나의 노드에서 주파수 차이가 발생하더라도 프랙탈 오실레이터 구조의 특성에 의해서 상호 위상 차이를 감소시키게 되어 동일한 주파수로 변환되고, 위상 역시 동일하게 제어될 수 있다.

[0055] 본 발명에 따른 셀룰러 발진 네트워크(Cellular Oscillator Network)은 최신의 다중 레이어 내장 회로 처리 및 패키징 기법에 의해서 실행되어, 디지털 및 아날로그 평면 사이의 간격을 최소의 간섭으로 감소시킬 수 있다.

[0056] 상술한 본 발명에 따른 셀룰러 발진 네트워크는, 한번의 오실레이션으로 즉각적으로 전역 주파수가 변화하는 것을 특징으로 하고 있다. 이때, 본 발명은 셀룰러 발진 네트워크의 주파수를 분석하여 온도를 측정할 수 있다. 셀룰러 발진 네트워크의 온도를 측정하거나, 셀룰러 발진 네트워크를 포함하는 시스템의 온도를 특정할 수 있다.

[0057] 즉, 본 발명은 기존의 온도 센서가 채택하고 있는, PTAT (Proportional-To-Absolute Temperature) or CTAT (Conversely proportional-To-Absolute Temperature), 다이오드 전류 또는 BJT 밴드 갭 전압 또는 낮은 전력 소비를 위한 하위 임계 값 동작에서 온도에 대한 전류 의존성을 바탕으로 온도를 측정하는 대신, 온도에 대한 CMOS 트랜지스터의 임계 전압, 캐리어 이동성 및 트랜지스터 턴온 저항 의존성에 대한 분석을 통해 온도를 측정할 수 있는 새로운 온도 측정 방법을 제시할 수 있다.

[0058] 나아가, 본 발명에 따른 셀룰러 발진 네트워크는 도 13에 도시된 바와 같이 3D의 형태로 확장되어 시스템의 온도 변화를 더욱 잘 관찰 할 수 있는 효과가 존재한다.

[0059] 나아가, 본 발명에 따른 셀룰러 발진 네트워크는 네트워크 상에서, 개방 회로가 발생하더라도, 각 인버터가 간단한 스위치 역할을 하며, 셀룰러 발진 네트워크 구조에서 복수의 피드백을 제공하므로 셀룰러 발진 네트워크를 쉽게 분석하고 복원 할 수 있는 효과가 존재한다.

[0060] 도 3은 본 발명의 일 실시예에 따른 405개의 인버터를 이용한 셀룰러 발진 네트워크 구조를 설명하기 위한 예시

도이고, 도 4는 본 발명의 일 실시예에 따른 셀룰러 발진 네트워크의 칩 구조를 설명하기 위한 예시도이다.

[0061] 본 발명의 일 실시예에 따라, 도 3의 셀룰러 발진 네트워크 구조는 405 개의 인버터를 사용하지만, 2D 또는 3D 프랙탈 구조로 무한히 확장될 수 있음음 물론이다.

[0062] 일 실시예에 따라, 외부 전원 또는 전원 전압 신호(예를 또는, 1V)가 공급되면 각각의 모든 셀이 발진할 수 있다. 이때, 각각의 모든 노드의 주파수는 정확히 동일 하며, 각 노드 사이에 최소 클럭 스큐가 발생할 수 있다. 이를 통해, 셀룰러 발진 네트워크는 클록 생성기 또는 클록 분배기로 동작할 수 있다.

[0063] 이때, 본 발명에 따른 셀룰러 발진 네트워크의 주파수는 후술하는 바와 같이 주변 온도에 따라 단조롭게(monotonously) 변하므로, 셀룰러 발진 네트워크의 주파수 변화에 따른 분석을 통해 셀룰러 발진 네트워크를 온도 센서로 활용할 수 있다.

[0065] 도 5는 본 발명의 일 실시예에 따른 링 오실레이터의 출력 파형을 설명하기 위한 예시도이다.

[0066] 도 5에 도시된 바와 같이, 출력 파형은 셀룰러 발진 네트워크에서 생성된 3개의 서로 다른 위상 발진 신호가 존재하는 것을 확인할 수 있다.

[0067] 도 6은 본 발명의 일 실시예에 따른 셀룰러 발진 네트워크의 출력 파형을 설명하기 위한 예시도이다.

[0068] 구체적으로, 도 6은 도 3에 도시된 구조에서의 출력 파형 중 하나의 출력 파형을 나타낸다. 본 발명에 따른 시뮬레이션에서, 동일한 주파수(494.3MHz)가 실온에서 다른 CON 크기로 측정되었다는 것을 확인할 수 있다. 상기 주파수가 온도에 따라 단조롭게 변하는 경우, 셀룰러 발진 네트워크는 온도 센서의 역할을 수행할 수 있으며, 동일한 주파수의 여러 노드에서 여러 출력을 생성할 수 있다. 또한, 일부 셀에서 개방 회로가 발생하더라도, 임계 전압 및 산화물 두께와 같은 공정 파라미터 기울기는 셀룰러 발진 네트워크를 통해 평균화될 수 있으므로, 안정적인 온도 센싱이 가능하다.

[0069] 본 발명의 일 실시예에 따라, 링 발진기의 주파수는 하기 수학식 1로 표현될 수 있다.

[0070] [수학식 1]

[0071] $$f = \frac{1}{N(t_{PLH}+t_{PHL})}$$

[0073] 이때, f는 링 오실레이터의 주파수, N은 링 오실레이터의 인버터 수, t_{PLH}는 인버터의 로우-하이 전파 지연 t_{PHL}은 인버터의 하이-로우 전파 지연일 수 있다.

[0074] 이때, 수학식 1은 하기 수학식 2를 이용하여 근사화 될 수 있으며, 수학식 2를 수학식 1에 적용하여 링 오실레이터의 주파수는 수학식 3으로 근사화 될 수 있다.

[0075] [수학식 2]

[0076] $$t_{PLH} \approx 0.7 R_{DN} C_{load}$$

[0077] $$t_{PHL} \approx 0.7 R_{DP} C_{load}$$

[0078] $$t_{PLH} + t_{PHL} \approx 0.7 C_{load}(R_{DN} + R_{DP})$$

[0080] [수학식 3]

[0082] $$f = \frac{1}{0.7NC_{load}(R_{DN}+R_{DP})}$$

[0083] 이때, R_{DN}은 NMOS의 턴온 저항, R_{DP}는 PMOS의 턴온 저항, C_{load}는 각 단계의 부하 커패시턴스일 수 있다.

[0084] 한편, 부하 커패시턴스 C_{load}는 하기 수학식 4로부터 도출될 수 있다.

[0085] [수학식 4]

[0086] $$C_{load} = \frac{5}{2}(C_{oxp} + C_{oxn})$$

[0087] $$C_{ox} = C'_{ox}WL$$

[0088] $$C'_{ox} = \frac{EPSROX \times \varepsilon_0}{T_{OX}}$$

[0090] 이때, C_{ox}는 게이트 산화물 커패시턴스 (PMOS의 경우 C_{oxp}, NMOS의 경우 C_{oxn}), C'_{ox}는 단위 면적당 게이트 산화물 커패시턴스, W 및 L은 각각 MOSFET의 너비와 길이일 수 있다. 또한, EPSROX는 진공에 대한 게이트 유전 상수 (SiO_2에서 3.9), T_{OX}는 게이트 등가 산화물의 두께, ε_0는 진공 유전율 (8.854x10 ^ (-12) F / m)일 수 있다.

[0091] 한편, RC 전파 지연 $\Delta t = 0.7RC$인 경우, 턴온 저항은 하기 수학식 5로부터 도출될 수 있다.

[0092] [수학식 5]

[0093]

[0094] $$R_{DN} = \frac{\Delta t}{0.7C_{load}}$$

[0095] $$= \frac{V_{DS}}{0.7 \times 2I_{DS}}$$

[0096] $$= \frac{0.72V_{DS}}{I_{DS}}$$

[0097] $$R_{DP} = \frac{\Delta t}{0.7C_{load}}$$

[0098] $$= \frac{V_{SD}}{0.7 \times 2I_{SD}}$$

[0099] $$= \frac{0.72V_{SD}}{I_{SD}}$$

[0100] 이때, V_{DS}는 NMOS의 드레인 소스 전압, V_{SD}는 PMOS의 소스 드레인 전압, I_{DS}는 NMOS의 드레인 소스 전류, I_{SD}는 PMOS의 소스 드레인 전류일 수 있다.

[0101] 또한, 인버터 작동에서, I_{SD}의 평균은 펄스 부하 기간의 I_{DS}의 평균과 동일하며 부하 용량이 동일한 풀업 및 풀다운 전류이고, $V_{DS} + V_{SD} = V_{DD}$일 수 있다.

[0102] 따라서, 상기 수학식 5를 바탕으로, V_{DD}는 하기 수학식 6으로 표현될 수 있다.

[0103] [수학식 6]

[0104] $$R_{DN} + R_{DP} = \frac{0.72V_{DS}}{I_{DS}} + \frac{0.72V_{SD}}{I_{SD}}$$

[0105] $$= \frac{0.72(V_{DS}+V_{SD})}{I_{DS}}$$

[0106] $$= \frac{0.72V_{DD}}{I_{DS}}$$

[0107] 다음으로, PMOS와 NMOS는 모두 포화 영역에서 작동한다고 가정할 경우, 포화 영역에서 MOS 정전류 방정식의 I_{DS} 하기 수학식 7로 표현될 수 있다.

[0108] [수학식 7]

[0109] $$I_{DS} =$$

[0110] $$\frac{I_{DS0} \times NF}{1 + \frac{R_{DS} \times I_{DS0}}{V_{DSeff}}} \times [1 + \frac{1}{C_{clm}} \times \ln\left(\frac{V_A}{V_{Asat}}\right)] \times (1 + \frac{\Delta V_{DS}}{V_{ADIBL}}) \times (1 + \frac{\Delta V_{DS}}{V_{ADITS}}) \times (1 + \frac{\Delta V_{DS}}{V_{ADSCBE}})$$

[0111] 이때, NF는 디바이스 핑거 수(기본값 1), R_{DS}는 드레인 소스 등가 저항, V_{DSeff}는 드레인 소스 유효 전압, C_{clm}는 채널 길이 변조 계수일 수 있다.

[0112] 한편, 상기 수학식 7의 I_{DS0}는 하기 수학식 8로 표현될 수 있다.

[0113] [수학식 8]

[0114] $$I_{DS0} = \frac{W_{eff} \times \mu_{eff} \times C_{oxeff} \times V_{gsteff}\left(1 - A_{bulk} \times \frac{V_{DSeff}}{2 \times \left(V_{gsteff} + 2 \times V_{TH}\right)}\right) \times V_{DSeff}}{L_{eff} \times [1 + \frac{V_{DSeff}}{E_{sat} \times L_{eff}}]}$$

[0116] 이때, 상기 수학식 7 및 수학식 8의 다양한 매개변수는, X. Xi et al., "BSIM4.3.0 MOSFET Model User's Manual," University of California, Berkeley, pp. 5.1-5.20, 2003에서 제시된 매개변수일 수 있음은 물론이다.

[0117] 이하에서는 발진하는 셀룰러 발진 네트워크에서 측정된 주파수를 바탕으로 온도를 측정하는 방법에 대하여 상세히 살펴본다.

[0118] 보즈-아인슈타인 분포(Bose-Einstein distribution) 에서 포논 산란은 온도에 따라 변함은 널리 알려진 공지의 기술이다. 즉, 고온에서는 산란이 증가하여 캐리어가 더 자주 충돌하고, 캐리어 충돌이 증가함에 따라, 캐리어 이동성은 낮아진다. 이때, 온도 변화에 따른 캐리어 이동성 방정식은 하기 수학식 9와 같이 표현될 수 있다.

[0119] [수학식 9]

[0120] $$\mu(T) = \mu(T_0) \times (\frac{T}{T_0})^{BEX}$$

[0122] 이때, μ (T)는 온도 T에서의 캐리어 이동성, μ (T_0)는 실온 (27℃)에서의 캐리어 이동성, BEX는 이동 온도 지수로서, 예를 들어 -1.5일 수 있다.

[0123] 도 7은 본 발명의 일 실시예에 따른 캐리어 이동성의 온도 의존성 곡선을 설명하기 위한 예시도이다.

[0124] 구체적으로, 도 7은 상기 수학식 9에 대한 그래프로서, 가로축은 온도, 세로축은 이동성을 나타낸다. 도 7에 도시 된 바와 같이, 이동성은 CTAT 인자로서 작용할 수 있다.

[0125] 한편, 트랜지스터 임계 전압은 온도에 대한 의존성을 가지고 있으므로, 온도와 관련하여 하기 수학식 10과 같이 임계 전압 방성식이 표현될 수 있다.

[0126] [수학식 10]

[0127] $$V_{TO}(T) = V_{TO} - T_C(T - T_0)$$

[0128] 이때, V_{TO}는 실온에서 트랜지스터의 임계 전압, $V_{TO}(T)$는 온도 T에서의 트랜지스터의 임계 전압, T_C는 임계 전압 온도 계수일 수 있다.

[0129] 도 8은 본 발명의 일 실시예에 따른 임계 전압의 온도 의존성 곡선을 설명하기 위한 예시도이다.

[0130] 구체적으로, 도 8에 도시된 그래프는, 왼쪽에서부터 각각 온도가 54℃, 27℃, 0℃인 경우의 임계 전압의 변화를

나타낸다. 따라서, 임계 전압은 또 다른 CTAT 요소로 사용될 수 있다.

[0131] 결론적으로, 상기 수학식 3 내지 수학식 10을 바탕으로, 주파수에 대한 온도의 관계는 하기 수학식 11로 도출될 수 있다. 이때, 수학식 10은 수학식 11의 I_{DS}를 포괄적으로 표현한 것으로 이해할 수 있음은 물론이다.

[0132] [수학식 11]

[0133] $$f = \frac{I_{DS}}{0.72\times0.7\,V_{DD}NC_{load}} \times \left(\frac{T}{T_0}\right)^{B_{EX}} \quad (12)$$

[0135] 여기서 식 (11)은 식 (12)의 IDS로 포괄적으로 표현된다.

[0136] 이하에서는, 도 9 내지 도 12를 이용하여 본 발명에 따른 시뮬레이션 결과를 설명한다.

[0137] 도 9는 본 발명의 일 실시예에 따른 10fF 부하 커패시터가 있는 CMOS 인버터 회로도를 설명하기 위한 예시도이다.

[0138] 도 9에 도시된 바와 같이, 본 발명에 따른 시뮬레이션에서는 출력 외부 부하 커패시턴스가 10fF인 인버터가 사용되었다. 다만, 본 발명에서 사용되는 인버터는 다양한 종류일 수 있음은 물론이고, 다양한 종류의 인버터에 맞는 주파수-온도 방정식이 산출될 수 있음은 물론이다.

[0139] 도 10a 및 도 10b는 본 발명의 일 실시예에 따른, -50도와 150도에서의 셀룰러 발진 네트워크의 출력 파형을 설명하기 위한 예시도이다.

[0140] 구체적으로, 도 10a 및 도 10b는 도 3의 셀룰러 발진 네트워크 구조에서의 출력 파형을 도시한 것이다. 이때 도 10a는 -50℃에서의 출력 파형을, 도 10b는 150℃을 나타낸다.

[0141] 도 10a 및 도 10b를 참조하면, 온도의 변화에 따라 주파수가 변하는 것을 확인할 수 있다. 이는 수학식 12에서 B_{EX}가 -1.5 인 음의 값이기 때문이며, 보다 구체적으로, 수학식 9에서의 이동성은 CTAT 인자로서, 캐리어 속도를 감소시키므로, 수학식 11에서 I_{DS}를 감소시킬 수 있다. 반대로, 수학식 10에서의 임계 전압은 또 다른 CTAT 요소를 제공하여 I_{DS}를 증가시킬 수 있다.

[0142] 여기서 이동성은 지수적으로(느린 속도) 감소하지만 임계 전압은 선형으로 (고속) 감소할 수 있다. 따라서 지배적인 CTAT 요소는 이동성이므로 전체 속도가 느려지게 된다(즉, B_EX의 음수 값).

[0143] 한편, 주파수 변화에 따른 온도 변화를 더욱 정확히 측정하기 위한 커브 피팅 팩터(α)를 도출할 수 있다. 상기 α 값을 적용한 주파수에 대한 온도의 관계는 하기 수학식 12로 도출될 수 있다.

[0144] [수학식 12]

[0146] $$f = \frac{I_{DS}}{0.72\times0.7\times NC_{load}V_{DD}\times\alpha} \times \left(\frac{T}{T_0}\right)^{B_{EX}}$$

[0148] 이때, α는 셀룰러 발진 네트워크의 피팅 팩터일 수 있다. 또한, 상술한 바와 같이, I_{DS}는 상기 수학식 7에서 도출된 값, N은 인버터의 수, C_{load}는 10fF일 수 있다.

[0149] 본 발명의 일 실시예에 따라, 공급 전압(전원 전압 신호)이 1V인 경우, α는 0.962로 설정될 수 있다.

[0150] 일반적으로, 링 발진기의 동작은 공급 전압 변동에 민감할 수 있다. 본 발명에 따른 시뮬레이션에서는, 전원 전압 (V_{DD})은 “T. Matsuda, R. Minami, A. Kanamori, H. Iwata, T. Ohzone, S. Yamamoto, T. Ihara, S. Nakajima, "A VDD and temperature independent CMOS voltage reference circuit", Proc. IEEE Asia-South Pacific Des. Autom. Conf., pp. 559-560, 2004.” 의 온도 독립 CMOS 전압 기준 회로를 사용할 수 있다.

[0151] 또한, 공급 전압 감도 분석의 경우, “T. Matsuda, R. Minami, A. Kanamori, H. Iwata, T. Ohzone, S. Yamamoto, T. Ihara, S. Nakajima, "A VDD and temperature independent CMOS voltage reference circuit",

Proc. IEEE Asia-South Pacific Des. Autom. Conf., pp. 559-560, 2004." 에서 달성 된 5㎶ /℃의 평균 온도 계수를 가정하는 경우, 200℃ 온도 변화 (-50℃ ~ 150℃) 범위에서, V_{DD}가 1mV 변화할 것을 예상할 수 있다.

[0152] 도 11은 본 발명의 일 실시예에 따른 -50도에서의 공급 전압에 따른 셀룰러 발진 네트워크의 주파수 변화를 설명하기 위한 예시도이다.

[0153] 구체적으로, 도 11은 셀룰러 발진 네트워크의 1mV V_{DD} 변화에 따른 주파수 변화를 도시한 그래프이다. 하기 표 1은 200℃ 온도 범위(-50℃~150℃)에서의 주파수 감도를 나타낸 것이다. -50℃에서 1mV V+ 시프트로 최대 ±0.08 % 주파수 변동이 측정되었으며 ±0.08 %의 주파수 변동이 최대 값임을 확인할 수 있다.

표 1

[0154]

	1V-0.5mV	1V-0.25mV	1V	1V+0.25mV	1V+0.5mV
-50℃	604.36 (0.08%)	604.59 (0.04%)	604.82	605.06 (0.04%)	605.29 (0.08%)
0℃	523.86(0.08%)	5-24.06 (0.04%)	524.26	524.46 (0.04%)	524.67 (0.08%)
50℃	458.19(0.08%)	458.37 (0.04%)	458.55	458.73 (0.04%)	458.90 (0.08%)
100℃	404.33(0.08%)	404.49 (0.04%)	404.64	404.80 (0.04%)	404.95 (0.08%)
150℃	359.55 (0.08%)	359.69 (0.04%)	359.82	359.96 (0.04%)	360.10 (0.08%)

[0155] Frequency sensitivity over Supply voltage ($\frac{\Delta Frequency}{\Delta V_{DD}} \times 100$)

[0156] 도 12는 본 발명의 일 실시예에 따른 시뮬레이션 출력 주파수와 분석방적식을 비교하기 위한 예시도이다.

[0157] 구체적으로, 도 12는 -50℃ ~ 150℃ 범위에서 두가지 피팅 팩터에 대한 그래프를 나타낸다. 즉, α = 1 인 경우 시뮬레이션 결과 (삼각형이있는 선)와 분석 방정식 (녹색 X 표시가 있는 선)간에 눈에 띄는 차이가 있는 반면 α = 0.962 (직사각형이있는 선)인 경우 분석 방정식(수학식 11)과 거의 동일한 결과가 나타남을 확인할 수 있다.

[0158] 구체적으로, 하기 표 2에 도시된 바와 같이, 시뮬레이션과 분석 방정식 주파수의 비교는 도 12에서의 피팅 팩터에 따른 그래프와 분석 방정식에 따른 결과를 나타낸다. 즉, 표 2에 의하면, α = 0.962 케이스가 α = 1 케이스보다 시뮬레이션 결과에 더 적합함을 확인할 수 있다. 상술한 바와 같이, 상기 피팅 팩터는, 공급 전압이 1V인 경우에 따른 것이며, 공급 전압이 변경되면, 피팅계수 또한 변경될 수 있음은 물론이다.

표 2

[0159]

Temperature [℃]	Simulation result [MHz]	Equation (α=1) [MHz]	Equation (α=0.962) [MHz]
-50	604.82	579.86	602.76
0	524.26	504.92	524.87
50	458.55	441.72	459.17
100	404.64	388.96	404.32
150	359.82	344.81	358.43

[0160] Comparison of simulation frequency and analytical equation frequencies with two different fitting factors

[0161] 결론적으로, 적절한 피팅 팩터를 사용하여 340 ~ 610MHz의 주파수 범위를 생성하는 셀룰러 발진 네크워크 기반의 온도 센서는 시뮬레이션 결과에서 0.39 %의 오차 내에서 온도를 감지하며, 99.1 %의 온도 정확도를 보장하는

것을 확인할 수 있다. 이는 200℃ 온도 범위에서 약 1.8℃ 온도 오류만이 발생하는 것을 의미할 수 있다.

[0162] 표 3은 본 발명에 따라 구현된 셀룰러 발진 네트워크 기반의 온도 센서와 다른 온도 센서들 간의 성능을 비교한 것이다.

[0163] 비교를 위한 각각의 온도 센서는, 하기 문헌에 개시된 온도 센서일 수 있다.

[0164] A: P. Chen, T.-K. Chen, Y.-S. Wang, and C.-C. Chen, "A time-domain sub-micro Watt temperature sensor with digital set-point programing," IEEE Sens. J., vol. 9, no. 12, pp. 1639-1646, Dec. 2009.

[0165] B: S. S. Chouhan and K. Halonen, "Design and implementation of micro-power temperature to duty cycle converter using differential temperature sensing," Microelectronics J., vol. 46, no. 6, pp. 482-489, June 2015.

[0166] C: B. Wang, M.-K. Law, A. Bermak, and H. C. Luong, "A passive RFID tag embedded temperature sensor with improved process spreads immunity for a 30° C to 60° C sensing range," IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 61, no. 2, pp. 337-346, Feb. 2014.

[0167] D: J. Yin et al., "A system-on-chip EPC Gen-2 passive UHF RFID tag with embedded temperature sensor," IEEE J. Solid-State Circuits, vol. 45, no. 11, pp. 2404-2420, Nov. 2010.

[0168] E: F. Deng, Y. He, B. Li, L. Zhang, X. Wu, Z. Fu, and L. Zuo, "Design of an embedded CMOS temperature sensor for passive RFID tag chips," Sensors, vol. 15, no. 5, pp. 11442-11453, May 2015.

표 3

[0169]

	본원	A	B	C	D	E
Process [㎛]	0.1	0.18	0.18	0.18	0.18	0.35
sensor type	frequency	delay	frequency	frequency	duty cycle	delay
Temperature range[℃]	-50 to 150	-30 to 70	-20 to 30	-30 to 60	-30 to 70	-40 to 80
Temperature error[℃]	< ±1.8 (0.9%)	<±0.7 (0.7%)	<±0.8 (1.6%)	<±1.5 (1.7%)	<±1.3 (1.3%)	<±1 (0.8%)
Supply voltage [V]	1	1	1	1	1.8	3
Power consumption [㎼]	6	0.092	2.4	0.35	7.2	9

[0170] 표 3에 나타난 바와 같이, 본 발명에 따른 온도 센서는 동일하거나 유사한 공급 전압 레벨로 가장 넓은 온도 범위를 측정 할 수 있는 효과가 존재한다. 나아가, 표시된 온도 오차는 온도 범위에 걸친 온도 오차의 계수로 계산되므로, 다른 센서에 비해 오차가 현저히 큰 것으로 볼 수는 없을 것이다.또한 더 작은 크기의 셀룰러 발진 네트워크를 사용하면 전력 소비를 줄일 수 있다. 따라서, 본 발명에 따른 온도 센서는 단순한 프랙탈 구조를 가지므로, 필요에 따라 크기를 자유롭게 변경할 수 있는 효과가 존재한다. 나아가, 가장 간단한 형태의 링 오실레이터를 기반으로, 본 발명에 따른 셀룰러 발진 네트워크는 도 13에 도시된 바와 같이 2D 또는 3D 방식으로 확장될 수 있다.

[0171] 결론적으로, 본 발명은 간단한 인버터 또는 반전 증폭기를 포함하는 간단한 링 발진기를 이용한 셀룰러 발진 네트워크를 기반으로 하는 새로운 온도 센서 구조를 개시한다. 본 발명에 따른 온도 센서는 구조는 매우 간단하지만 온도 변화와 관련하여 단조로운 주파수 응답을 가지며 주파수를 온도 변수로 해석 할 수 있는 특징이 있다.

[0172] 나아가, 트랜지스터들 사이의 공정 파라미터 기울기가 있더라도 상당히 큰 크기의 셀룰러 발진 네트워크를 구현하면 공정 기울기가 평균화되어 강력하고 안정적인 온도 감지 역학을 얻을 수 있는 효과가 존재한다.

[0173] 또한, 본 발명에 따른 셀룰러 발진 네트워크는 프랙탈 구조로 구현되어 2D 또는 3D 패턴으로 무한대로 확장 될 수 있다.

[0174] 본 발명에 따른 온도 센서는, 단순 온도 감지 센서에 적용될 수 있을 뿐만 아니라, 생화학 또는 기계 응용 분야와 같은 다른 센서에서도 적용될 수 있음은 물론이다.

[0175] 나아가, 본 발명에 따른 셀룰러 발진 네트워크는 주파수를 이용하여 온도를 측정하는 것뿐만 아니라, 주파수를 이용하여 압력, 습도 및 조도 등 다양한 센싱 데이터를 측정할 수 있음은 물론이다.

[0176] 도 14는 본 발명의 일 실시예에 따른 온도 측정 방법을 설명하기 위한 흐름도이다.

[0177] 단계 S110에서, 셀룰러 발진 네트워크 회로에 전원이 공급되어 발진 상태로 전환될 수 있다.

[0178] 즉, 셀룰러 발진 네트워크 회로의 수신부는 공급되는 전원 전압 신호를 수신할 수 있다. 셀룰러 발진 네트워크 회로에 전원이 공급되면 프랙탈 구조의 링 오실레이터로 구성된 발진 네트워크 회로는 발진 상태로 전환될 수 있다.

[0179] 단계 S120에서, CMOS 다층 메탈 공정을 통해 동위상의 신호를 생성할 수 있다.

[0180] 일 실시예에 따라, 셀룰러 발진 네트워크 회로는 CMOS 다층(multi-layer) 메탈 공정을 통하여 동위상의 신호를 생성할 수 있다. 동위상의 신호(In phase signal)는 같은 위상 또는 같은 주파수의 신호를 포함하는 넓은 개념의 신호일 수 있다.

[0181] 한편, 프랙탈 구조의 일부 국부적인 셀에서 발생되는 국부적인 전압 또는 온도의 변화는 셀룰러 발진 네트워크 회로의 구조적 특징에 의해서 셀룰러 발진 네트워크 회로 전체로 분반(distribution)될 수 있고 이러한 과정에서 동일 위상 또는 동일 주파수의 신호로 생성될 수 있다.

[0182] 셀룰러 발진 네트워크 회로의 발진부는 상기의 발진 과정을 수행하여, 동위상의 신호를 생성할 수 있다. 특히 본 발명에 의한 발진부는, 발진 네트워크 회로의 일부 국부적인 셀에 전압 또는 온도 중 적어도 하나의 변화가 발생하는 경우, 일정 시간이 지남에 따라서, 동위상의 신호로 생성하도록 설정될 수 있다.

[0183] 본 발명에 따르는 발진부는, 셀룰러 발진 네트워크 회로에 인가되는 상기 전압의 변화에 따라서, 출력되는 동위상의 신호가 주기 대비 1% 이내의 클럭 스큐를 가지도록 설정되는 것을 특징으로 할 수 있다. 예를 들어 본 발명에 따른 셀룰러 발진 네트워크는 전원 전압 값에 변화가 발생하더라도 클럭 스큐의 값이 주기 대비 1% 이내의 값이 되도록 구현될 수 있다 이러한 클럭 스큐 값은 발진 네트워크 회로의 셀의 위치에 따라서 상이하게 나타날 수 있다.

[0184] 셀룰러 발진 네트워크 회로의 중앙 셀(도 1에서의 40-41-45 셀)에서의 전원 전압의 변화와 바깥측 셀(도 1에서의 16-17-18 셀)에서의 전원 전압의 변화는 서로 상이할 수 있다. 중앙 셀의 경우, 바깥측 셀보다 국부적인 변화에 따른 분배가 용이할 수 있다.

[0185] 단계 S130에서, 생성된 동위상의 신호를 출력할 수 있다.

[0186] 셀룰러 발진 네트워크 회로는 생성된 동위상의 신호를 출력할 수 있다. 즉, 셀룰러 발진 네트워크 회로의 출력부는 생성된 동위상의 신호를 출력할 수 있다. 출력된 동위상의 신호는 클럭 주파수로서 클럭 스큐가 감소된 신호일 수 있다. 또한, 본 발진 기법은 셀룰러 발진 네트워크 회로에 전압 변화 또는 온도 변화에 의해서 발생되는 클럭 스큐가 감소되어, 전압 변화 또는 온도 변화에 둔감한 발진 기법으로 이용될 수 있다.

[0187] 단계 S140에서, 상기 출력된 동위상의 신호에 대한 주파수를 획득할 수 있다.

[0188] 단계 S150에서, 획득된 주파수를 바탕으로, 상기 전자 장치의 온도를 측정할 수 있다.

[0189] 한편, 본 발명에 따른 전자 장치는 셀룰러 발진 네트워크 회로 및 프로세서를 포함하고, 셀룰러 발진 네트워크 회로는, 수신부, 발진부, 출력부 및 주파수 측정부를 포함할 수 있다.

[0190] 이때, 수신부는, 셀룰러 발진 네트워크 회로에 전원 전압 신호를 수신하고, 발진부는, 수신한 전원 전압 신호를 동위상의 신호로 생성하고, 출력부는, 생성된 동위상의 신호를 출력하고, 주파수 측정부는, 출력부에서 출력된 동위상의 신호에 대한 주파수를 획득하고, 프로세서는, 획득된 주파수를 바탕으로 전자 장치의 온도를 측정할 수 있다.

[0191] 이때, 주파수 측정부는, 하기 수학식을 바탕으로 주파수를 측정할 수 있다.

[0192] $$f = \frac{1}{0.7NC_{load}(R_{DN} + R_{DP})}$$

[0193] 이때, f는 주파수, N은 링 오실레이터의 인버터 수, C_{load}는 부하 커패시턴스, R_{DN}은 NMOS의 턴온 저항, R_{DP}은 PMOS의 턴온 저항일 수 있다.

[0194] 이때, 프로세서는, 하기 수학식을 바탕으로, 전자 장치의 온도를 측정할 수 있다.

[0195] $$f = \frac{I_{DS}}{0.72 \times 0.7\, V_{DD} N C_{load}} \times \left(\frac{T}{T_0}\right)^{B_{EX}}$$

[0196] 이때, f는 발진하는 셀룰러 발진 네트워크 회로의 주파수, I_{DS}는 드레인 소스 전류, V_{DD}는 NMOS의 드레인 소스 전압과 PMOS의 드레인 소스 전압의 합, N은 링 오실레이터의 인버터 수, C_{load}는 부하 커패시턴스, T는 현재 온도, T_0는 기 설정된 실온 온도, B_{EX}는 이동 온도 지수일 수 있다.

[0197] 이때, 프로세서는, 하기 수학식을 바탕으로 전자 장치의 온도를 측정할 수 있다.

[0198] $$f = \frac{I_{DS}}{0.72 \times 0.7 \times N C_{load} V_{DD} \times \alpha} \times \left(\frac{T}{T_0}\right)^{B_{EX}}$$

[0199] 이때, α 는 전원 전압 신호에 따른 피팅 팩터일 수 있다.

[0200] 이때, 전원 전압 신호가 1V인 경우, 피팅 팩터는 0.962으로 설정될 수 있다.

[0201] 이때, 셀룰러 네트워크 발진 회로는, 프랙탈(fractal) 구조를 가지기 위해서 3 개의 노드가 하나의 셀을 구성하고, 각 노드 사이에는 인버터가 배치되고, 발진부는, 셀룰러 발진 네트워크 회로의 일부 국부적인 셀에 전압 변화가 3% 이내의 범위에서 발생하는 경우, 일정 시간이 지남에 따라서, 동위상의 신호로 생성하도록 설정되고, 셀룰러 발진 네트워크 회로의 중앙측 셀의 클럭 스큐 현상이 셀룰러 발진 네트워크 회로의 바깥측 셀의 클럭 스큐 현상보다 적을 수 있다.

[0202] 이때, 프로세서는, 획득된 주파수를 바탕으로 전자 장치의 압력, 습도 및 조도 중, 적어도 하나의 값을 측정할 수 있다.

[0203] 한편, 본 발명에 따른 셀룰러 발진 네트워크 회로는, 획득된 주파수의 변화에 따라서, 출력되는 동위상의 신호는 주기 대비 0.4% 이내의 클럭 스큐를 가질 수 있다.

[0204] 도 15는 본 발명의 일 실시예에 따른 장치의 구성도이다.

[0205] 프로세서(102)는 하나 이상의 코어(core, 미도시) 및 그래픽 처리부(미도시) 및/또는 다른 구성 요소와 신호를 송수신하는 연결 통로(예를 들어, 버스(bus) 등)를 포함할 수 있다.

[0206] 일 실시예에 따른 프로세서(102)는 메모리(104)에 저장된 하나 이상의 인스트럭션을 실행함으로써, 도 1 내지 도 14와 관련하여 설명된 방법을 수행한다.

[0207] 한편, 프로세서(102)는 프로세서(102) 내부에서 처리되는 신호(또는, 데이터)를 일시적 및/또는 영구적으로 저장하는 램(RAM: Random Access Memory, 미도시) 및 롬(ROM: Read-Only Memory, 미도시)을 더 포함할 수 있다. 또한, 프로세서(102)는 그래픽 처리부, 램 및 롬 중 적어도 하나를 포함하는 시스템온칩(SoC: system on chip) 형태로 구현될 수 있다.

[0208] 메모리(104)에는 프로세서(102)의 처리 및 제어를 위한 프로그램들(하나 이상의 인스트럭션들)을 저장할 수 있다. 메모리(104)에 저장된 프로그램들은 기능에 따라 복수 개의 모듈들로 구분될 수 있다.

[0209] 본 발명의 실시예와 관련하여 설명된 방법 또는 알고리즘의 단계들은 하드웨어로 직접 구현되거나, 하드웨어에 의해 실행되는 소프트웨어 모듈로 구현되거나, 또는 이들의 결합에 의해 구현될 수 있다. 소프트웨어 모듈은 RAM(Random Access Memory), ROM(Read Only Memory), EPROM(Erasable Programmable ROM), EEPROM(Electrically Erasable Programmable ROM), 플래시 메모리(Flash Memory), 하드 디스크, 착탈형 디스크, CD-ROM, 또는 본 발명이 속하는 기술 분야에서 잘 알려진 임의의 형태의 컴퓨터 판독가능 기록매체에 상주할 수도 있다.

[0210] 본 발명의 구성 요소들은 하드웨어인 컴퓨터와 결합되어 실행되기 위해 프로그램(또는 애플리케이션)으로 구현되어 매체에 저장될 수 있다. 본 발명의 구성 요소들은 소프트웨어 프로그래밍 또는 소프트웨어 요소들로 실행될 수 있으며, 이와 유사하게, 실시 예는 데이터 구조, 프로세스들, 루틴들 또는 다른 프로그래밍 구성들의 조

합으로 구현되는 다양한 알고리즘을 포함하여, C, C++, 자바(Java), 어셈블러(assembler) 등과 같은 프로그래밍 또는 스크립팅 언어로 구현될 수 있다. 기능적인 측면들은 하나 이상의 프로세서들에서 실행되는 알고리즘으로 구현될 수 있다.

[0211] 이상, 첨부된 도면을 참조로 하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야의 통상의 기술자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며, 제한적이 아닌 것으로 이해해야만 한다.

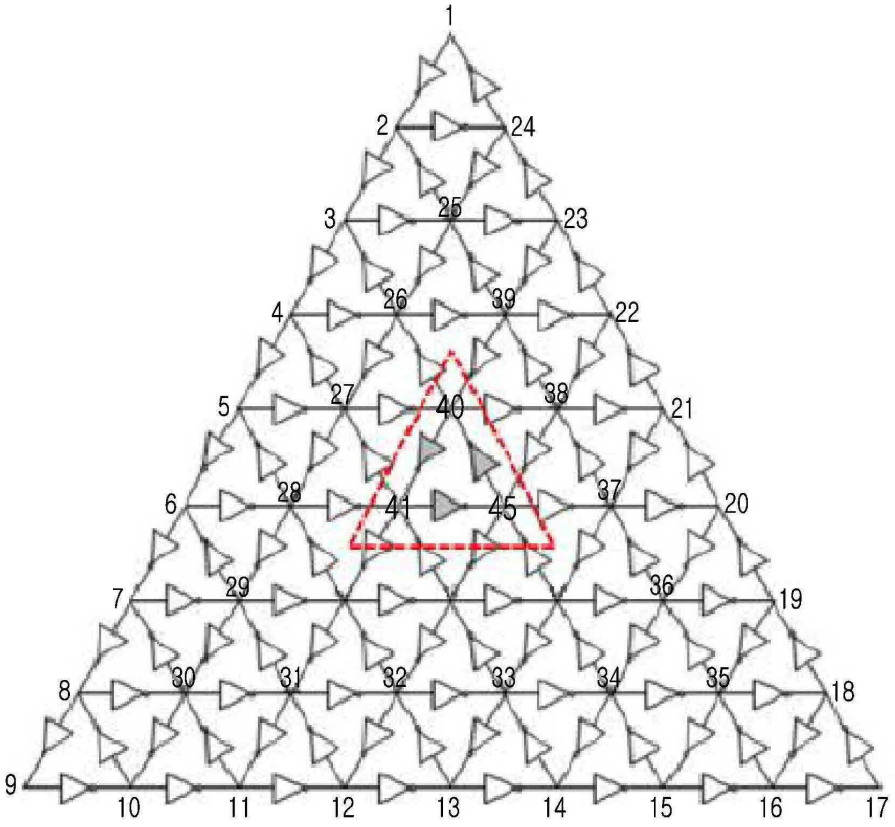
부호의 설명

[0212] 102 : 프로세서

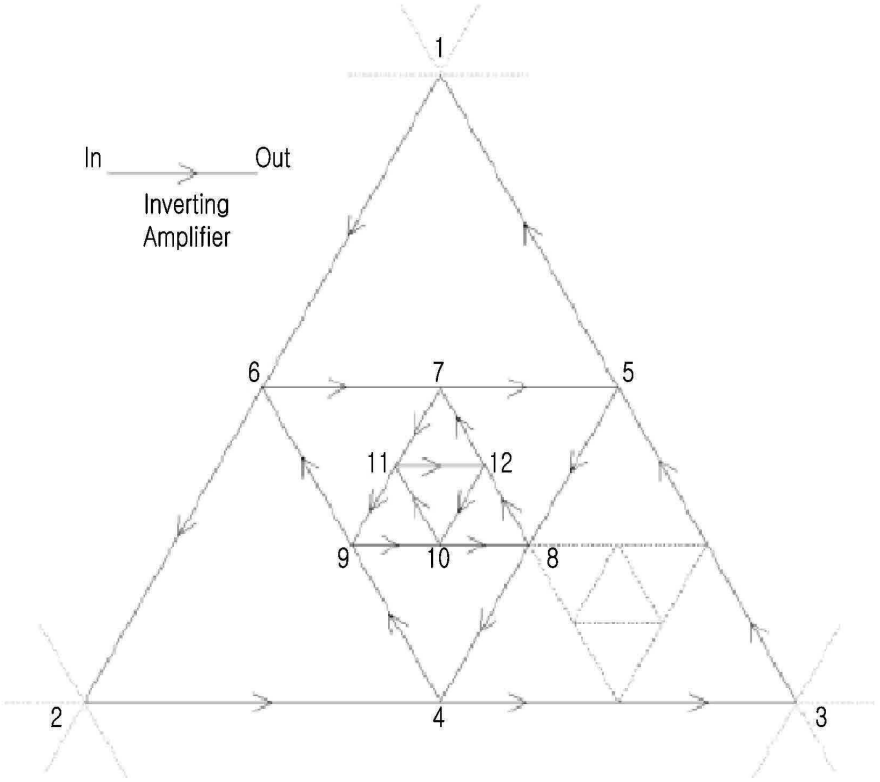
104 : 메모리

도면

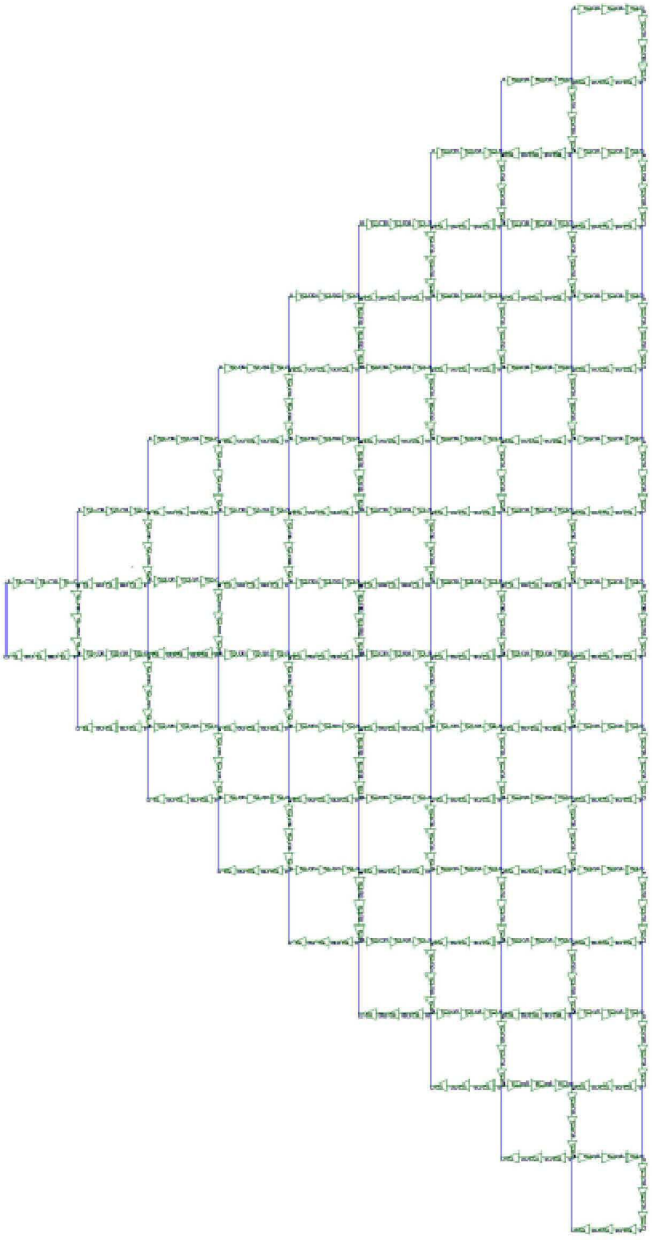
도면1



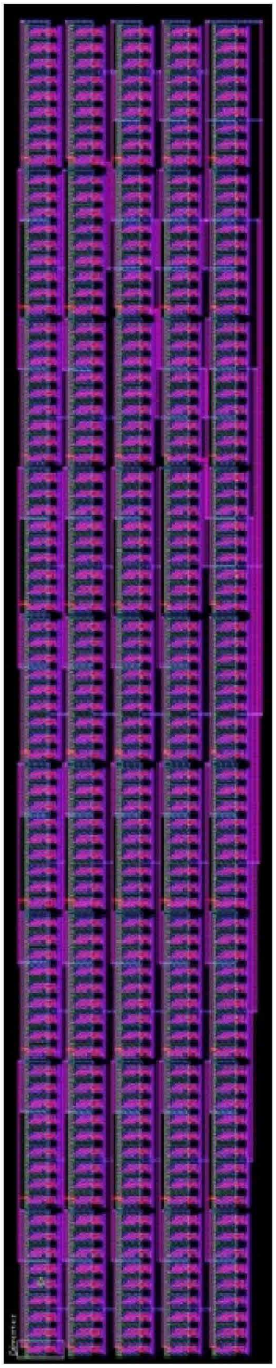
도면2



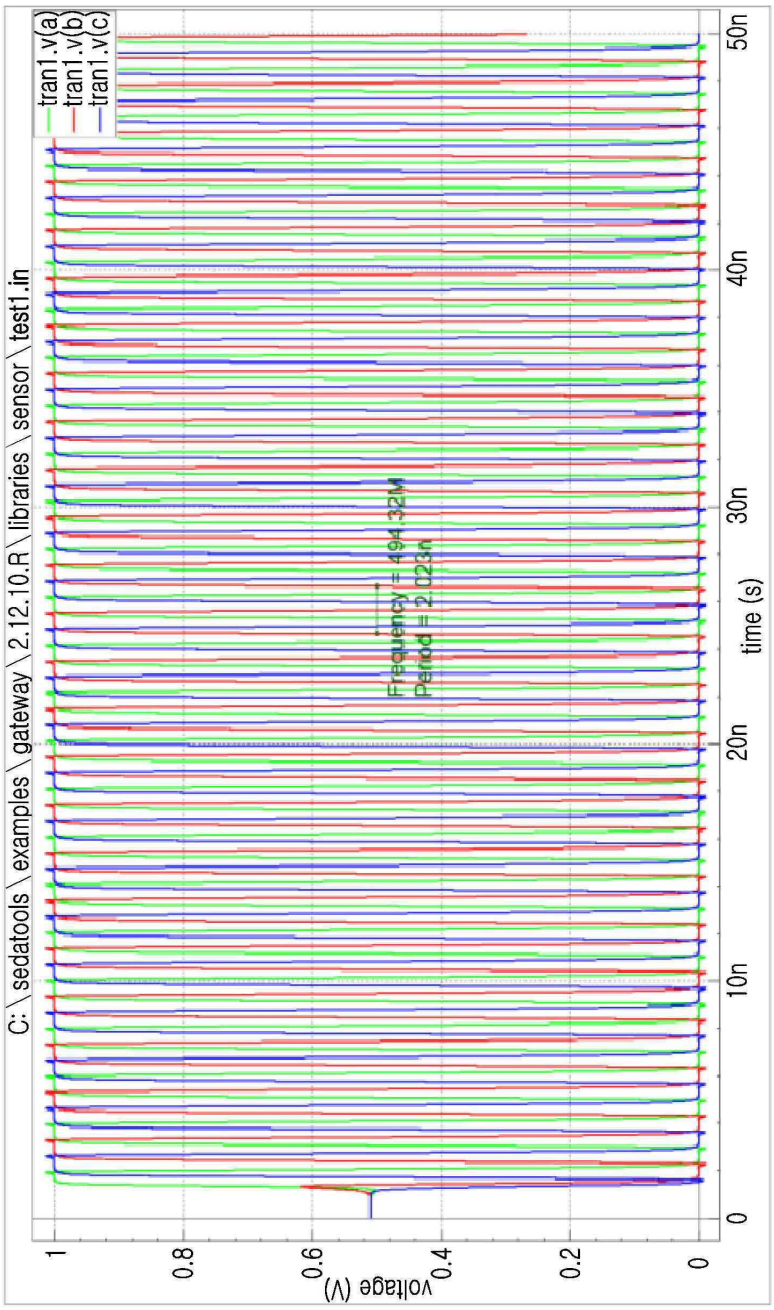
도면3



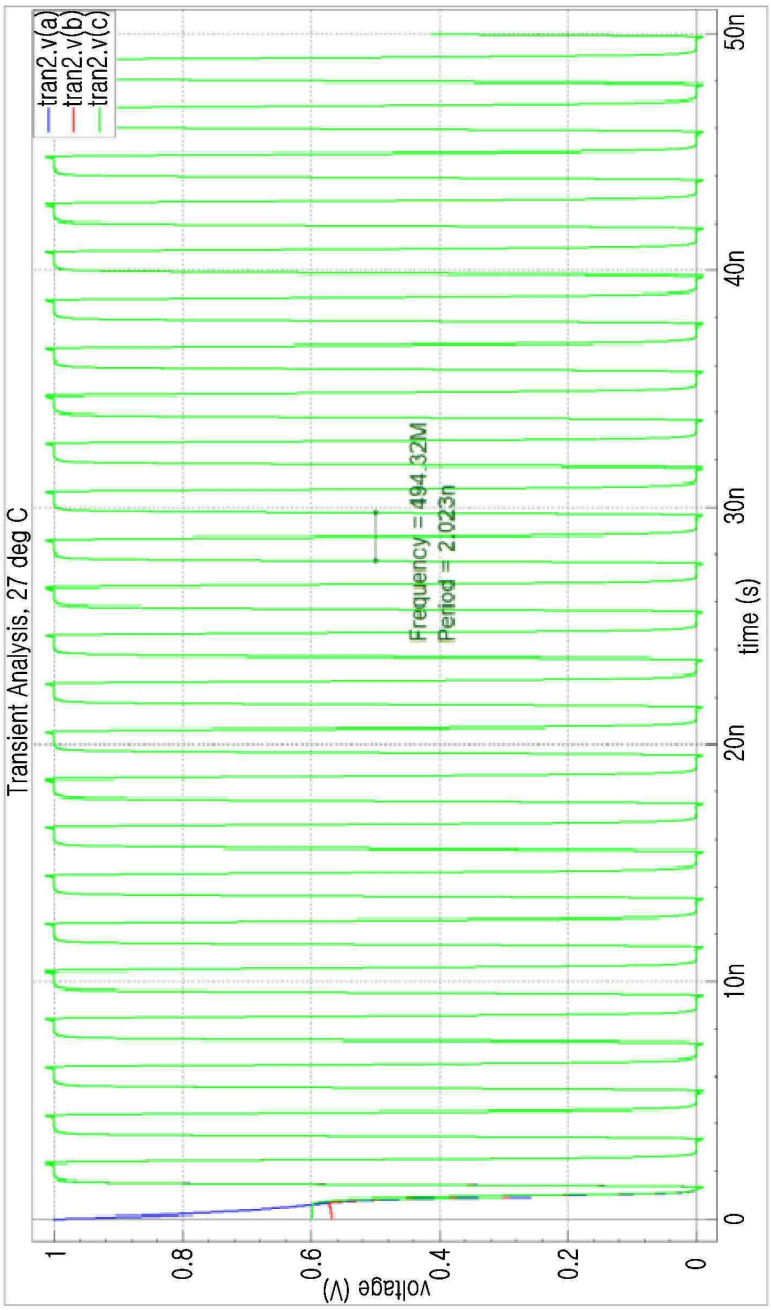
도면4



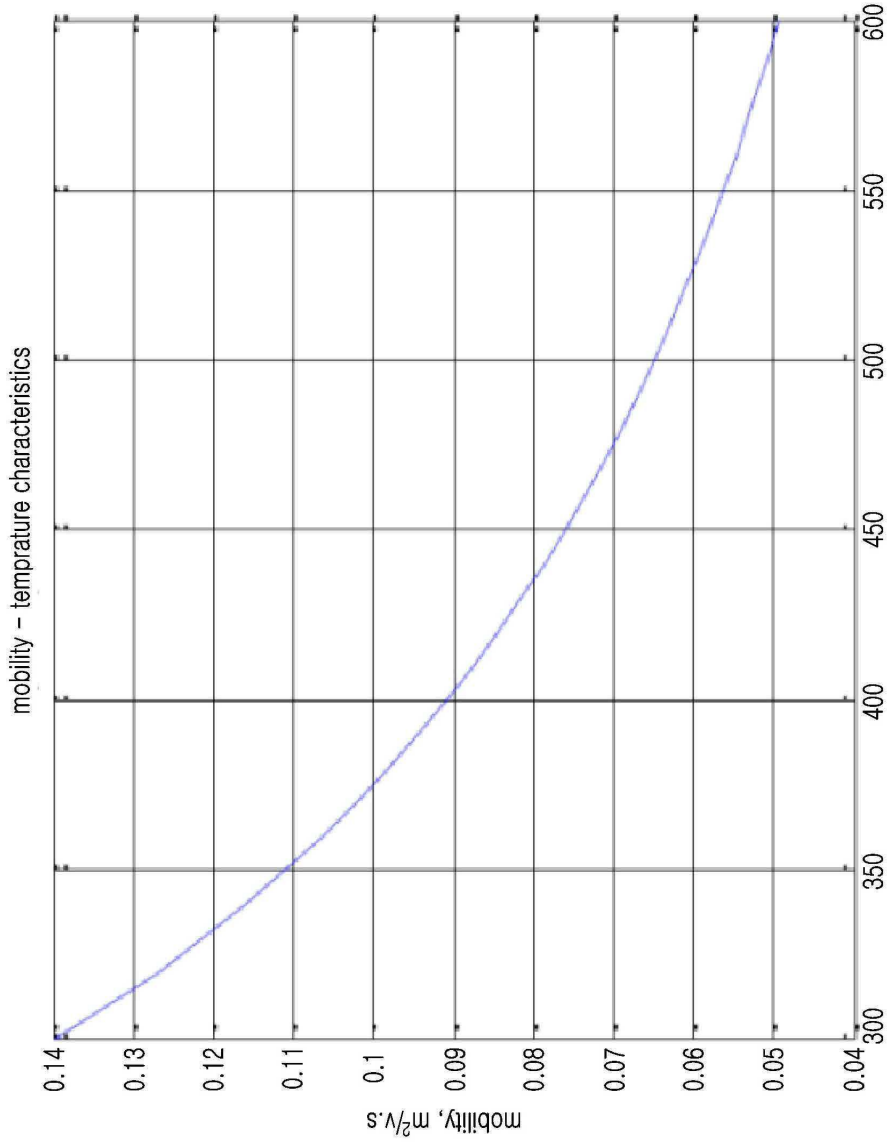
도면5


tran1.v(a)
tran1.v(b)
tran1.v(c)
C:\sedatools\examples\gateway\2.12.10.R\libraries\sensor\test1.in
Frequency = 494.32M
Period = 2.023n
Voltage (V)
time (s)
0
0.2
0.4
0.6
0.8
1
0
10n
20n
30n
40n
50n

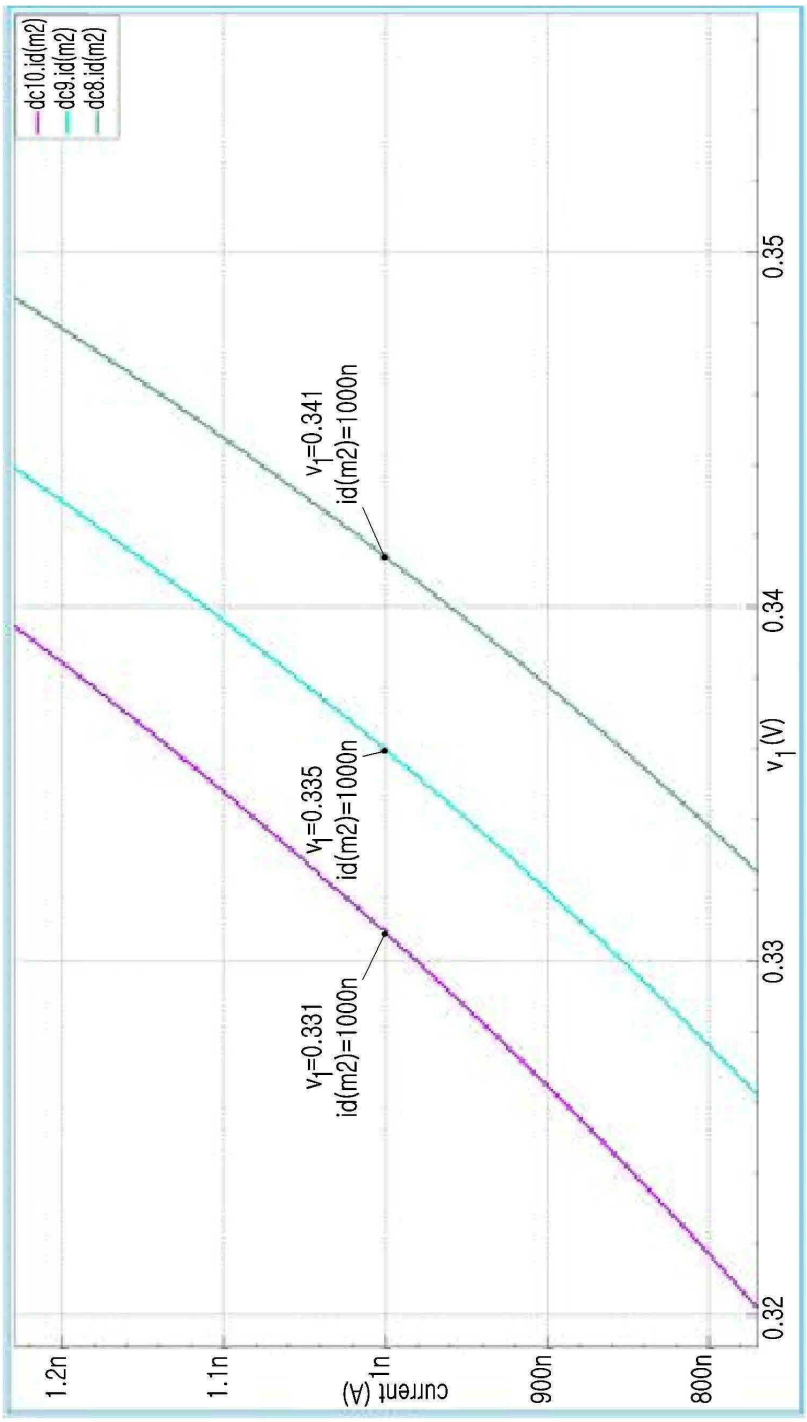
도면6


tran2.v(a)
tran2.v(b)
tran2.v(c)
Transient Analysis, 27 deg C
Frequency = 494.32M
Period = 2.023n
voltage (V)
time (s)
1
0.8
0.6
0.4
0.2
0
0
10n
20n
30n
40n
50n

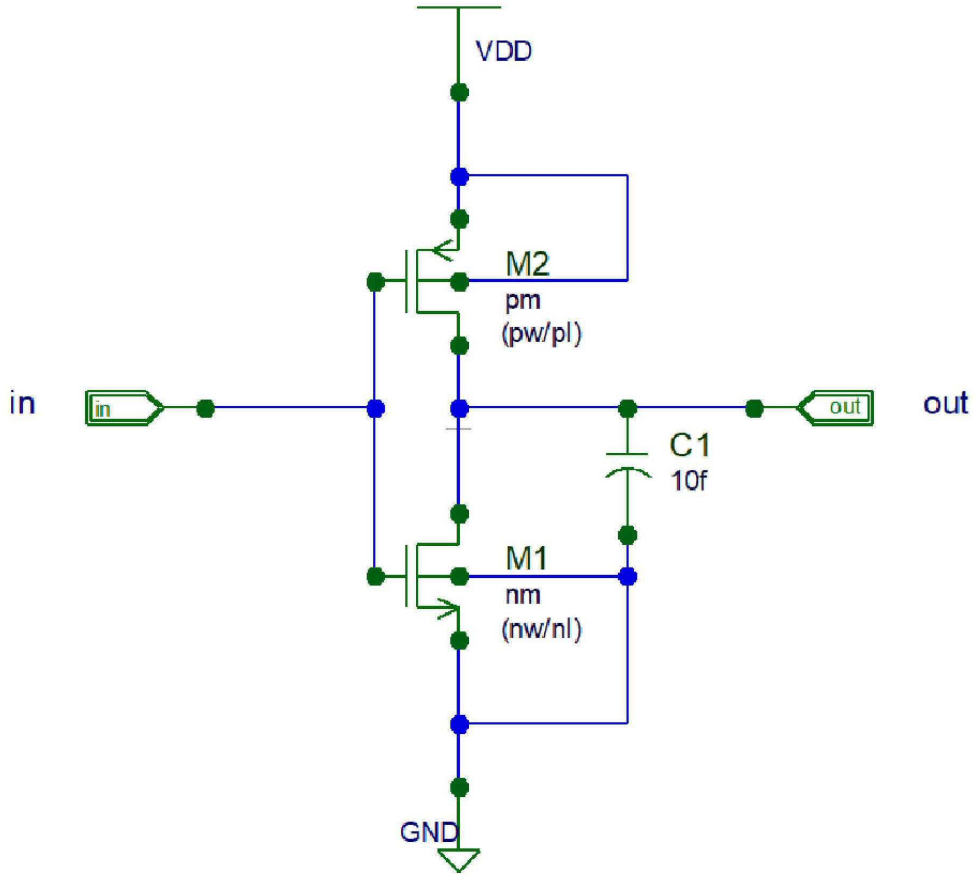
도면7


mobility - temprature characteristics
mobility, m²/v.s
0.14
0.13
0.12
0.11
0.1
0.09
0.08
0.07
0.06
0.05
0.04
300
350
400
450
500
550
600

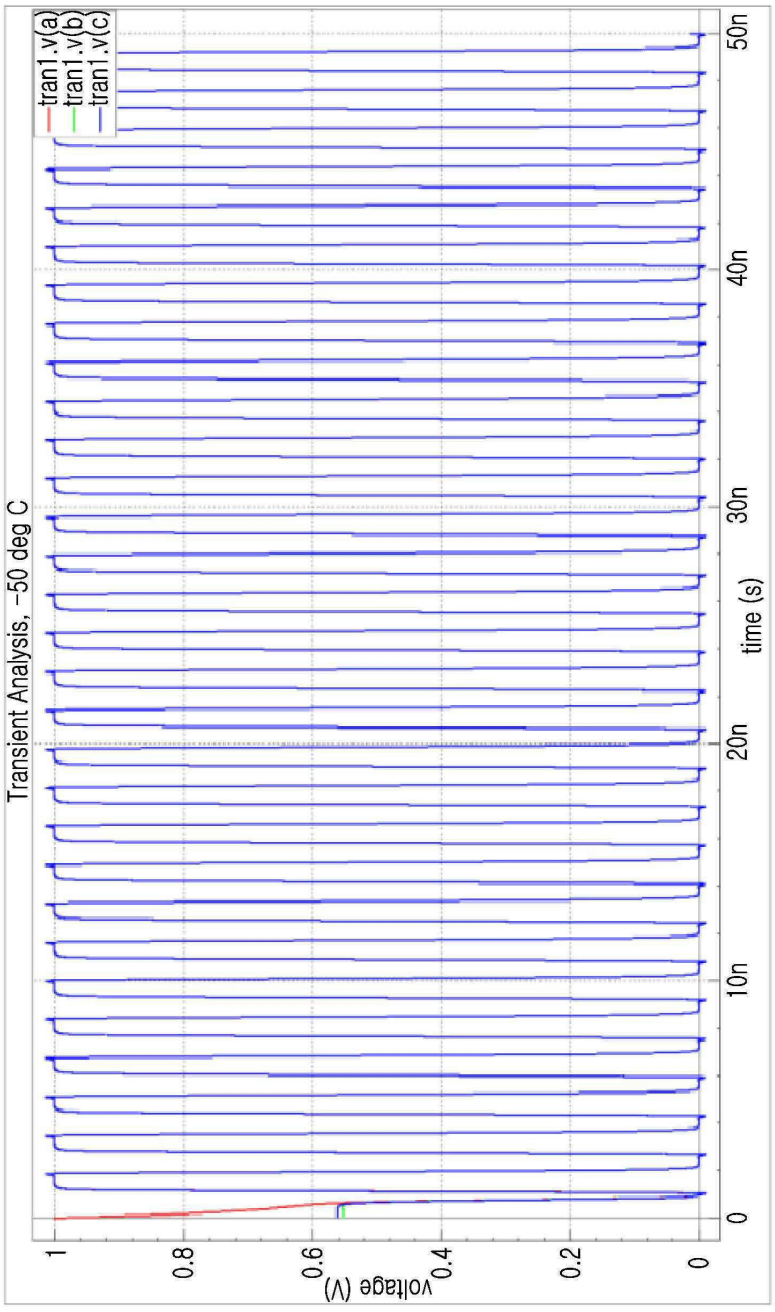
도면8


dc10.id(m2)
dc9.id(m2)
dc8.id(m2)
v1=0.341
id(m2)=1000n
v1=0.335
id(m2)=1000n
v1=0.331
id(m2)=1000n
1.2n
1.1n
1n
900n
800n
current (A)
0.35
0.34
0.33
0.32
v1 (V)

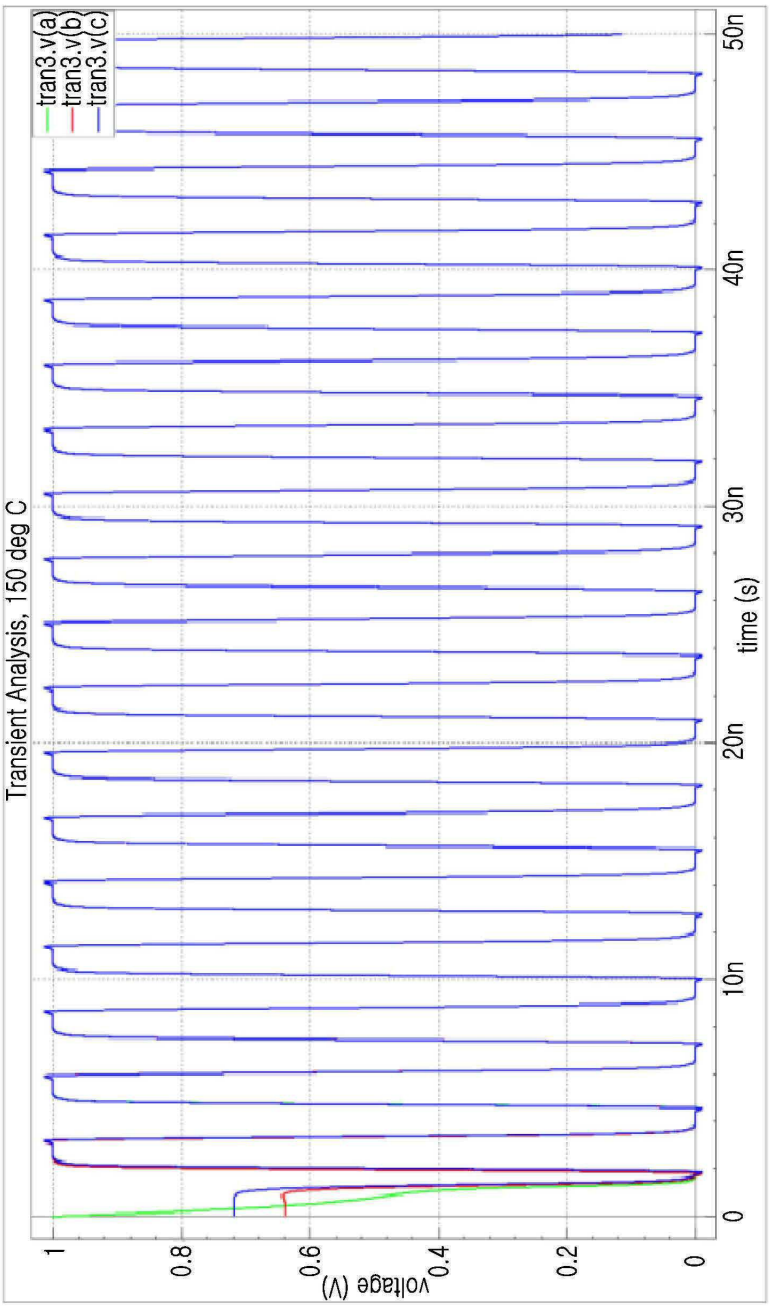
도면9



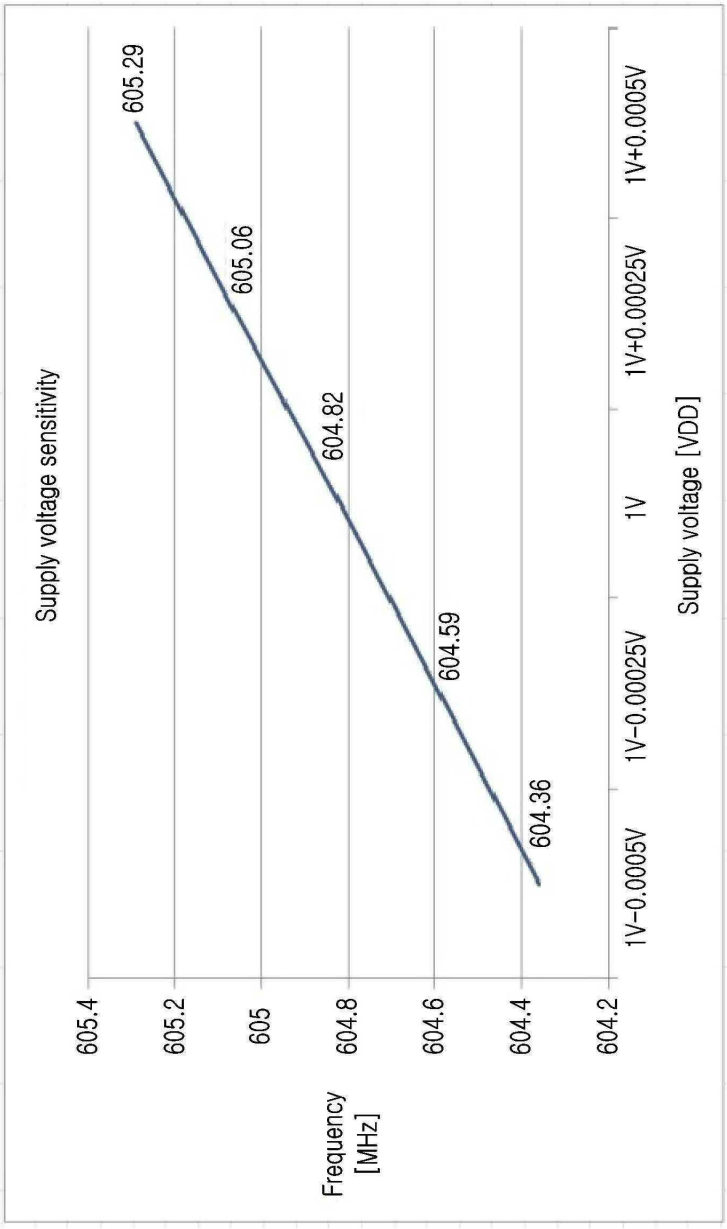
도면10a


tran1.v(a)
tran1.v(b)
tran1.v(c)
Transient Analysis, -50 deg C
time (s)
0
10n
20n
30n
40n
50n
Voltage (V)
0
0.2
0.4
0.6
0.8
1

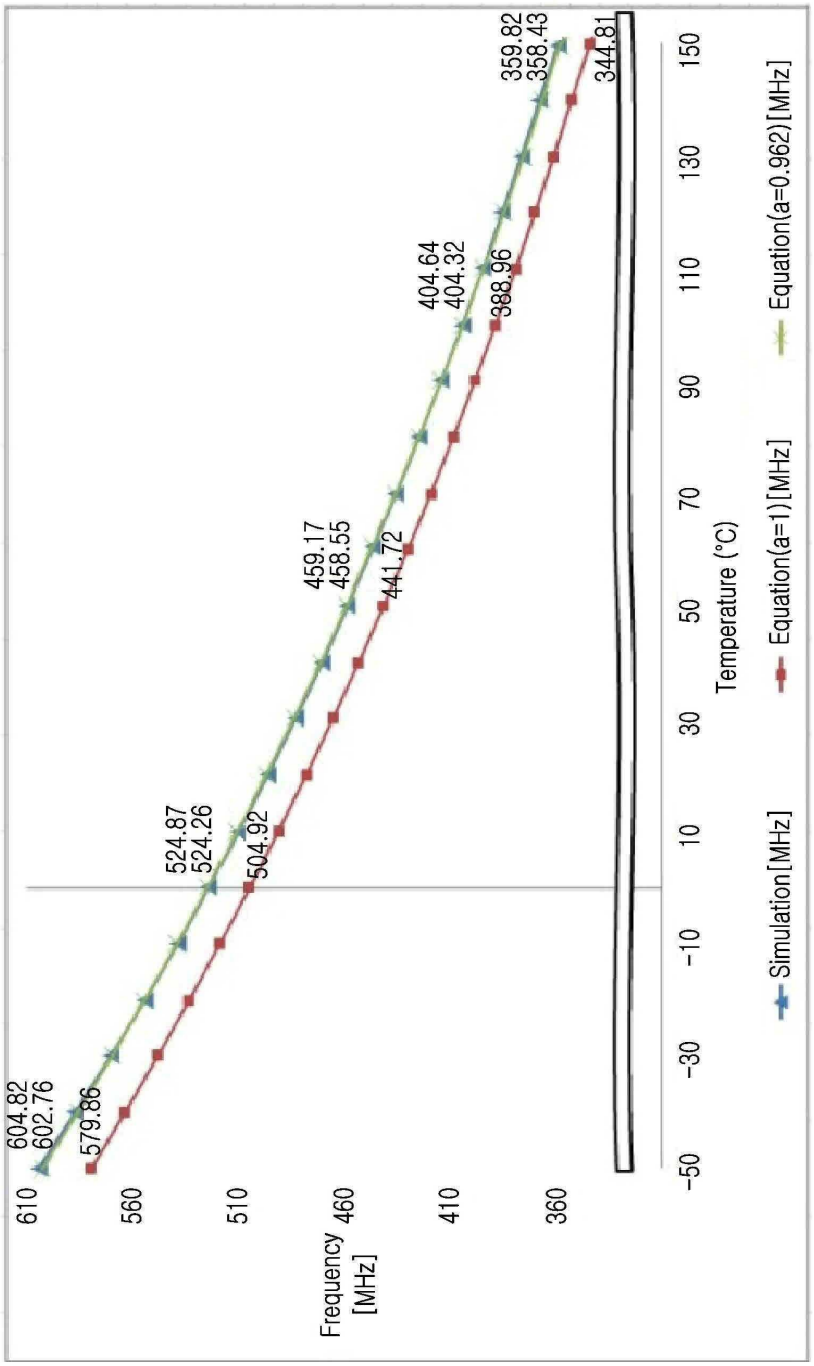
도면10b


tran3.v(a)
tran3.v(b)
tran3.v(c)
Transient Analysis, 150 deg C
voltage (V)
time (s)
0
0.2
0.4
0.6
0.8
1
0
10n
20n
30n
40n
50n

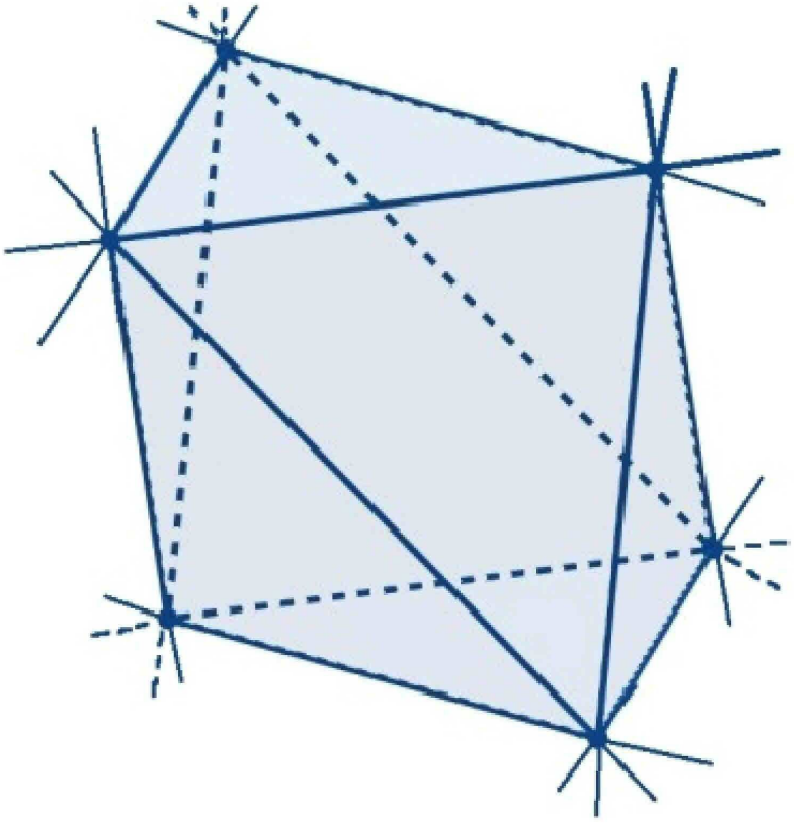
도면11


Supply voltage sensitivity
605.29
605.06
604.82
604.59
604.36
605.4
605.2
605
604.8
604.6
604.4
604.2
Frequency [MHz]
1V-0.0005V
1V-0.00025V
1V
1V+0.00025V
1V+0.0005V
Supply voltage [VDD]

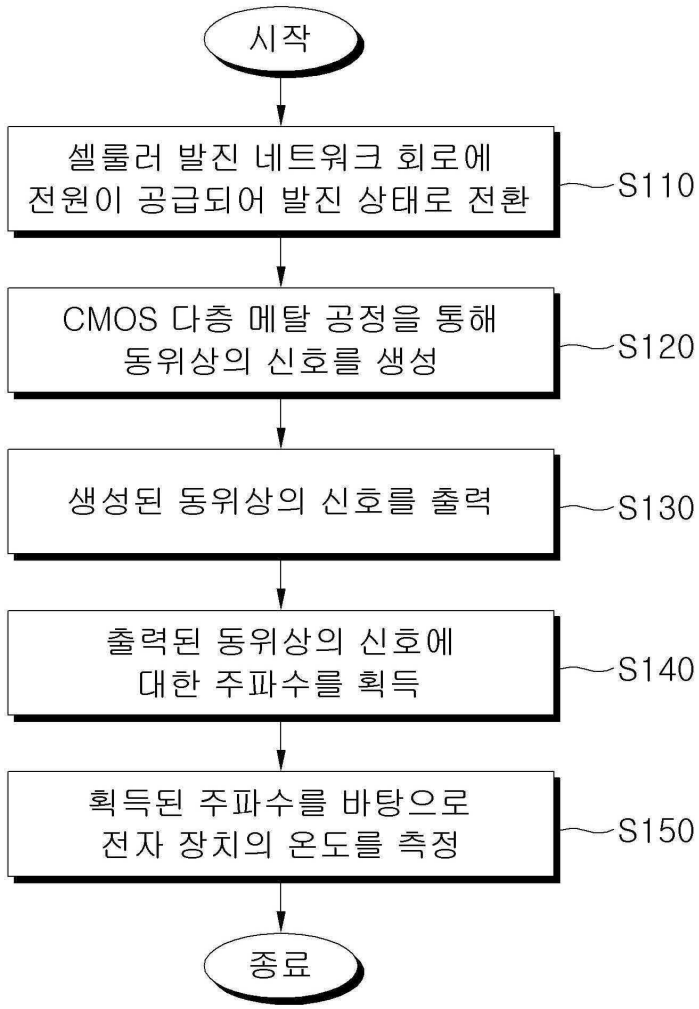
도면12


Frequency [MHz]
610
560
510
460
410
360
604.82
602.76
579.86
524.87
524.26
504.92
459.17
458.55
441.72
404.64
404.32
388.96
359.82
358.43
344.81
-50
-30
-10
10
30
50
70
90
110
130
150
Temperature (°C)
Simulation[MHz]
Equation(a=1)[MHz]
Equation(a=0.962)[MHz]

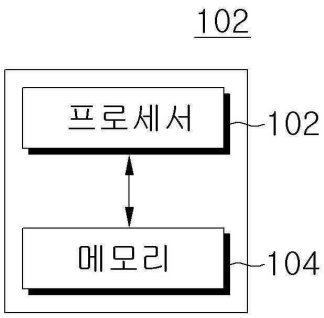
도면13



도면14


시작
셀룰러 발진 네트워크 회로에 전원이 공급되어 발진 상태로 전환
S110
CMOS 다층 메탈 공정을 통해 동위상의 신호를 생성
S120
생성된 동위상의 신호를 출력
S130
출력된 동위상의 신호에 대한 주파수를 획득
S140
획득된 주파수를 바탕으로 전자 장치의 온도를 측정
S150
종료

도면15


102
프로세서
102
메모리
104