(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G11C 17/00

(45) 공고일자 2002년12월26일
(11) 등록번호 10-0352897
(24) 등록일자 2002년09월03일

(21) 출원번호 10-1994-0029787
(22) 출원일자 1994년11월14일

(65) 공개번호 특1995-0020749
(43) 공개일자 1995년07월24일

(30) 우선권주장 93-314712 1993년12월15일 일본(JP)

(73) 특허권자
가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자
다나카도시히로
일본국도오쿄오토아키가와시니노미야2273-5
가토오마사타카
일본국도오쿄오토무사시노시교우난?오5-2-13
요시다게이이치
일본국도오쿄오토오우메시노가미657-5히타치와카쿠사료오206
구메히토시
일본국도오쿄오토무사시노시니시쿠보1-33-7
나카고메요시노부
일본국도오쿄오토하무라시가와사키4-2-1
기무라가츠타카
일본국도오쿄오토아키시마시쇼오와?오1-5-18

(74) 대리인
특허법인 원전
강용복

심사관 : 김세영

(54) 반도체불휘발성기억장치

요약

단일 전원전압으로 구동되는 반도체 불휘발성 기억장치의 재기록 동작의 고속화 및 서브 워드 디코더 회로의 구성 트랜지스터 수를 감소시킨 장치의 소형화를 도모한다.

워드선(Wi1 Wij)을 구동하는 서브 워드 디코더 회로(WDi1 WDij)에 있어서, 제1의 어드레스 신호군에서 생성되는 블럭 선택 어드레스 신호(Bip, Bin)를 워드선의 전압을 제어하는 인버터 회로의 전원전압으로 하고, 제2의 어드레스 신호군에서 생성되는 어드레스 신호(Gj)가 게이트 입력신호로 접속되어 있다.

대표도

도 1

명세서

도면의 간단한 설명

제 1 도는 본 발명의 서브 워드 디코더 회로도 구성을 나타내는 회로 블럭도,

제 2 도는 서브 워드 디코더 회로도,

제 3 도는 본 발명에 의한 서브 워드 디코더 회로가 적용되는 제1의 메모리 어레이 회로도,

제 4도는 본 발명에 의한 서브 워드 디코더 회로가 적용되는 제2의 메모리 어레이 회로도.

제 5도는 본 발명에 의한 서브 워드 디코더 회로가 적용되는 제3의 메모리 어레이 회로도.

제 6도는 본 발명에 의한 서브 워드 디코더 회로와 메모리 어레이 회로와의 제1의 레이아웃(layout)구성예를 나타내는 도면,

제 7도는 본 발명에 의한 서브 워드 디코더 회로와 메모리 어레이 회로와의 제2의 레이아웃 구성예를 나타내는 도면,

제 8 도는 메모리 어레이 회로에 선택 트랜지스터를 가지는 서브 워드 디코더 회로의 제1의 레이아웃 구성예를 나타내는 도면,

제 9 도는 메모리 어레이 회로에 선택 트랜지스터를 가지는 서브 워드 디코더 회로의 제2의 레이아웃 구성예를 나타내는 도면,

제 10 도는 판독동작에서의 서브 워드 디코더 회로의 동작을 나타내는 설명도,

제 11 도는 메모리셀의 드레시홀드치를 낮추는 동작에서의 서브 워드 디코더 회로의 동작을 나타내는 설명도,

제 12 도는 낮은 메모리셀의 드레시홀드치를 검증(verify)하는 동작에서의 서브 워드 디코더 회로의 동작을 나타내는 설명도,

제 13 도는 본 발명의 서브 워드 디코더 회로를 제어하는 워드 디코더의 회로도,

제 14 도는 메모리셀의 드레시홀드치를 낮추는 동작중(검증을 포함)의 타이밍 파형도,

제 15 도는 판독동작중의 타이밍 파형도,

제 16 도는 메모리셀의 드레시홀드치를 높이는 동작중(검증을 포함)의 타이밍 파형도,

제 17 도는 종래예에서 제1의 서브 워드 디코더 회로도,

Vss...접지 전압, Vcc... 전원전압,

VBP...Bip의 플러스측의 전압, WDpij의 기판전압,

VBPP...낮은 드레시홀드치 검증시의 워드선 전압,

VNN...Bin, Cj의 0V 또는 마이너스측의 전압, WDnij의 기판전압,

VGP...Gj의 플러스측의 전압,

VFF...드레시홀드치를 낮추는 동작중은 마이너스측의 전압, 그 이외의 동작에서는 0V

AXB...행 어드레스신호, AXG...열 어드레스신호,

WWV,WWVB,WVB,CWWVB,REV...내부신호,

GA1 GAj, GB1 SSj, GC1 GCj...제1, 제2, 제3의 게이트선택어드레스신호,

VER...WDnij의 기판전압, VPM...WDpij의 기판전압,

BBip...Bip의 부정신호

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전기적 재기록 기능을 구비한 반도체 불휘발성 기억장치에 관한 것으로, 특히 단일 전원으로 구동되는 반도체 불휘발성 기억장치의 재기록동작과 메모리셀의 상태판독(검증(veriry))동작의 고속화 및 그 장치의 소형화를 가능하게 한 반도체 불휘발성 기억장치에 관한 것이다.

종래, 불휘발성 반도체 기억소자(메모리셀)를 어레이 형태로 배치하여 메모리셀군의 론트를 게이트 공통선 즉 같은 워드선에 접속하는 상기 메모리셀군(이하, 센터라 한다)의 전기직 재기록(전기적 소거, 전기적 기록)을 행하는 반도체 불휘발성 기억장치에 있어서, 워드선에 마이너스 전압을 인가하는 것에 의해 워드선 단위의 소거를 가능하게 하는 방식이 제안되어 있다. 이것에 대해서는 예를들면, Symposium on VLSI Technology Digest of Technical Papers 페이지 77~78, 1991, Symposium on VLSI Circuits Digest of Technical Papers 페이지 85 86, 1991, 또한 , 기록 동작시에 마이너스 전위를 워드선에 인가하는 방식으로서 Technical Digest of International Electron Device Meeting 페이지 599 602 1992, 동지 페이지 991 993, 1992에 기재되어 있다.

또한, 이 방식에 있어서, 워드선을 구동하는 워드 디코더 회로를 계층화 구조, 즉 메인 디코더회로와 서브 워드 디코더 회로로 구성하는 방식이 제안되어 있다. 이것에 대해서는 제1에 International Solid-State Circuits Conference Digest of Technical Papers 페이지 154 155, 1992, 제2에 Symposium on VLSI Circuits Digest of Technical Papers 페이지 97 98, 1993, 제3에 Symposium on VLSI Circuits Digest of Technical Papers 페이지 99 100, 1993에 기재되어 있다.

제17도, 제18도, 제19도는 상기 각 종래예에서 서브 워드 디코더회로를 설명하는 것이다. 제17도 및 제18도에 나타낸 종래의 서브 워드 디코더회로는 1개의 p채널 트랜지스터와 2개의 n채널 트랜기스터로 구성되고, 제19도에 나타낸 종래의 회로는 2개의 p채널 트랜지스터와 2개의 n채널 트랜지스터로 구성되며, 이들 회로에 있어서 W11 W1j가 워드선이다.

제17도에 나타낸 종래의 서브 워드 디코더회로(WD11, WD1j등)는 제1의 어드레스 신호군에서 생성되는 블럭 선택 어드레스 신호(Bip)와 그 상보 어드레스 신호(BBip) 및 제2의 어드레스 신호군에서 생성되는 블럭내 선택신호(GAj, GBj, GCj)를 입력으로 하는 회로이다. 동도에 있어서, VPM은 p채널 트랜지스터의 기판전압이고, VER은 n채널 트랜지스터의 기판전압 및 소오스 전위이다. 제18도에 나타낸 종래의 워드 디코더 회로는 블럭 선택 어드레스 신호로서 Bip와 그 상보 어드레스 신호(BBip) 및 블럭내 선택신호(Gj)를 입력으로하는 회로이다. 또한, 제19도에 나타낸 종래의 회로(WD11, WD1j등)는 블럭 선택 어드레스 신호로서 Bip와 그 상보 어드레스 신호(BBip) 및 블럭내 선택신호(Gj)를 입력으로하는 회로이다. 또, VNN은 n채널 트랜지스터의 기판전압이다.

제17도, 제18도, 제19도에 나타낸 종래의 서브 워드 디코더 회로에 있어서 메모리셀의 드레시홀드치를 낮추는 재기록 동작은 n채널 트랜지스터의 소오스측에서 공급되는 마이너스 전압을 워드선에 인가하는 것에 의해 행해진다. 예를들면 제17도의 회로에 있어서, GC1을 마이너스 전압으로하는 것에 의해 (Bip=0V, BBip=5V, GC1=-13V, GCj=0V, GA1 GAj=0V GB1~GBj=-13V, VPM=5V, VER=-13V), 워드선(W11)에 마이너스 전압이 인가된다.

워드선에 마이너스 전압을 인가하는 것에 의해 상기 워드선에 접속되어 있는 메모리셀의 플로팅 게이트 중의 전자가 방출되어 메모리셀의 드레시홀드치가 낮아진다. 또한 이들 반도체 불휘발성 기억장치에 있어서는 메모리셀의 드레시홀드치를 낮추는 재기록 동작후 메모리셀의 드레시홀드치 상태를 확인하는 동작, 즉 검증동작이 행해진다. 이 동작에 대해서는 예를들면, 인터내셔날 솔리드 스테이트 서키트스 컨퍼런스 다이제스트 오브 테크니컬 페이퍼즈(International Solid-State Circuits Conference Digest of Technical Papers) 페이지 60 61 1990에 기재되어 있다. 이 동작에서는 워드선에 전원전압보다 낮은 플러스 전압(검증전압)을 인가하고, 메모리셀에 전류가 흐르는가, 흐르지 않는가를 판정하는 것에 의해 메모리셀의 드레시홀드치를 검증하도록 하는 것이다.

상기 제17도, 제18도, 제19도에 나타낸 종래의 회로에 있어서는, 워드선에 인가되는 검증전압은 P채널 트랜지스터의 소오스측에서 공급된다. 예를들면, 제17도의 회로에 있어서, 신호(Bip)를 전원전압보다 낮은 플러스의 전압으로 하는 것에 의해 워드선에 검증전압이 인가된다(Bip=3.6V, BBip=0V, GA1=0V, GAj=3.6V, GB1=0V, GBj=3.6V, GC1 GCj=0V, VPM=3.6V, VER=0V).

또한, 워드선을 구동하는 서브 워드 디코더 회로의 다른 종래예로서 특개평 5-174595호가 있다. 제20도는 상기 종래예를 설명하는 것으로 서브 워드 디코더 회로가 인버터 회로에 의해 구성되어 있다.

제20도에 나타낸 종래의 서브 워드 디코더 회로(WD11, WD1j등)는 p채널 트랜지스터와 n채널 트랜지스터 각 1개로 구성되고, 각 트랜지스터의 공통 드레인에 워드선(W11~W1j)이 접속되어 있다. p채널 트랜지스터의 소오스에는 제1의 어드레스 신호군에서 생성되는 블럭 선택 어드레스 신호(Bip)가 인가되고, 각 트랜지스터의 공통 게이트에 제2의 어드레스 신호군에서 생성되는 블럭내 선택신호(Gj)가 인가된다. 또, n채널 트랜지스터의 소오스 전위는 항상 접지 전압(Vss)이다.

이 회로에 있어서, 워드선으로 인가할 수 있는 전위는 블럭 선택 어드레스 신호(Bip)의 플러스 전압(예를들면 전원전압(Vcc) 또는 고전압(Vpp))과 접지전압(Vss)이다.

제17도, 제18도, 제19도에 나타낸 종래의 서브 워드 디코더 회로에서는 메모리셀의 드레시홀드치를 낮추는 재기록 동작과 그 후의 검증동작을 행하기 때문에 트랜지스더 수가 3개 내지 4개로 구성되어 있고, 레이아웃 면적이 크며, 고집적화가 요구되는 반도체 불휘발성 기억장치에는 적합하지 않다는 문제점이 있었다.

한편, 제20도에 나타낸 종래의 서브 워드 디코더 회로는 트랜지스터 수가 최소 2개로 구성되어 있지만, 워드선에 인가할 수 있는 전압이 블럭 선택 어드레스 신호(Bip)의 플러스 전압(예를들면 전원전압(Vcc) 또는 고전압(Vpp))과 접지전압(Vss)이고, 메모리셀의 드레시홀드치를 낮추는 재기록 동작에 필요한 마이너스 전압의 워드선 전위는 공급할 수 없다는 문제점이 있었다.

본 발명의 목적은 상기 문제점을 해소하고, 특히 단일 전원전압으로 구동되는 반도체 불휘발성 기억장치의 재기록 동작과 메모리셀의 상태판독(검증)동작의 고속화 및 그 장치의 소형화를 가능하게 한 반도체 불휘발성 기억장치를 제안하는 것이다.

본 발명은 상기 목적을 달성하기 위해 각각이 콘트롤 게이트, 드레인 및 소오스를 가지는 복수의 불휘발성 반도체 메모리셀을 어레이 형태로 배치한 메모리셀 어레이와, 복수의 메모리셀 콘트롤 게이트가 공통으로 접속된 워드선과, 복수의 메모리셀 드레인이 공통으로 접속된 데이터선을 가지고, 메모리셀 군의 공통 게이트 즉 워드선에 접속하는 상기 메모리셀군(센터)의 전기적 재기록(소거,기록)을 행하는 반도체 불휘발성 기억장치로, 메모리셀의 드레시홀드치를 낮추는 재기록 동작중에 적어도 1회 메모리셀의 상태를 판독(검증)하고, 그 정보에 기초해서 상기 기억장치에서 상기 재기록 동작의 단속, 정지를 제어하고, 상기 워드선의 전위가 재기록시에 마이너스 전압에서 검증시에 전원전압 이하의 플러스 진압이 인가되는 반도체 불휘발성 기억장치에 있어서, 워드선을 구동하는 서브 워드 디코더 회로를 인버터 회로로 구성하고, 각각의 소오스선에는 제1의 어드레스 신호군에서 생성되는 블럭 선택 어드레스 신호를 공급하며, 게이트에는 제2의 어드레스 신호군에서 생성되는 게이트 선택 어드레스 신호를 공급한다. 공통 드레인에 접속된 워드선에 각 동작(예를들면, 판독, 소거, 기록, 검증)시에 필요한 전위를 블럭 선택 어드레스 신호의 전압으로 공급한다.

본 발명은 워드선을 구동하는 서브 워드 디코더 회로를 인버터 회로로 구성하는 것에 의해 레이아웃 면적을 축소할 수 있고, 반도체 불휘발성 기억장치의 고집적화에 적합하다.

또, 인버터 회로로 구성되는 서브 워드 디코더 회로의 각각의 소오스에 블럭 선택 어드레스 신호를 인가하는 것으로, 각 동작시에 필요한 워드선 전위의 인가방식에 자유도를 갖게 할 수 있고, 특히 메모리셀의 드레시홀드치를 낮추는 일련의 동작을 행할 수 있다.

(실시예)

제1도는 본 발명의 일실시예에 의한 반도체 불휘발성 기억장치의 서브 워드 디코더 회로 구성을 나타내는 회로 블럭이다.

동도에 있어서 W11, W12~W1j, Wi2, Wi2~Wij는 계층 구성의 워드선이고, 액세스(access)가 2단계로 제어된다. 일반적으로 워드선을 Wij로 표기하면, 첨자 i는 워드선을 선택하는 제1의 어드레스 신호군에서 생성되는 블럭 선택 어드레스 신호를, j는 워드선을 선택하는 제2의 어드레스 신호군에서 생성되는 게이트 선택 어드레스 신호를 나타내고 있다. 예를들면, W12는 워드선을 선택하는 제1의 어드레스 신호군에서 생성되는 블럭 선택 어드레스 신호가 " 1" 이고, 또 워스선을 선택하는 제2의 어드레스 신호군에서 생성되는 게이트 선택 어드레스 신호가 " 2" 일 때에 활성화된다.

워드선(W11~W1j)을 구동하는 서브 워드 디코더회로(WD11~WDij)는 인버터 회로로 구성된다. 위드선(W11 Wij)으로의 인가전압은 제1의 어드레스 신호군에서 생성되는 블럭 선택 어드레스 신호(B1p, Bln)에 의해 공급된다. 제2의 어드레스 신호군에서 생성되는 게이트선택 어드레스 신호(G1)는 선택 블릭내의 워드선을 선택하는 어드레스 신호이고, 서브 워드 디코더회로(WD11~WDi1)의 게이트 입력신호이다.

불휘발성 메모리의 정보기억은 콘트롤 게이트에 전원전압(Vcc)을 인가하여 선택된 메모리셀의 셀 전류의 유무에 의해 행해진다. 예를들면 플래쉬(flash)메모리에서는 플로팅 게이트 중에 전자를 주입한 경우, 메모리셀의 드레시홀드치가 높게 되고, 메모리셀의 셀 전류는 흐르지 않는다. 한편, 플로팅 게이트중의 전자를 방출시킨 경우에는 드레시홀드치가 낮게되어 셀전류가 흐른다.

메모리셀의 드레시홀드치를 높이기 위해서는 콘트롤 게이트 즉 워드선의 전위를 기판, 소오스 드레인 전압보다 높은 전압을 인가하는 것에 의해 파울러-노드하임 (Fowler-Nordheim) 터널(tunnel)현상을 이용해서 플로팅 게이트에 전

자를 주입한다. 또한, 워드선 인가전압을 고전압, 드레인 인가전압을 고전압으로 하는 것에 의해 애벌랜체(avalanche)에 의한 핫 엘렉트론(hot electron)이 발생하여 플로팅 게이트에 전자를 주입할 수 있다. 메모리셀의 드레시홀드치를 낮추기 위해서는 파울러-노드하임 터널현상을 이용해서 콘트를 게이트 즉 워스선의 전위를 기판, 소오스, 드레인 전압보다 낮은 마이너스 전압을 인가하는 것에 의해 플로팅 게이트의 전자를 방출할 수 있다.

플래쉬 메모리에 있어서, 전자의 주입, 방출동작에 대해서는 예를들면, Technical Digest of International Electron Device Meeting 페이지 560 563, 1987, 동지 페이지 991 993, 1992, 혹은 Symposium on VLSI Technology Digest of Technical Papers 페이지 77 78, 1991에 기재되어 있다.

상술한 바와 같이, 플로팅 게이트로의 전자 주입 혹은 플로팅 게이트에서의 전자방출에 의해 메모리셀의 드레시홀드치를 변하시킬 수 있지만, 플래쉬 메모리에 있어서는 이들 동작에 의해 얻어진 메모리셀의 드레시홀드치가 기억정보에 대응하고 있는가라는 확인하는 동작이다. 즉, 상술한 바와 같이 높은 드레시홀드치에 있어서는 워드선에 전원전압(Vcc)을 인가해도 셀 전류가 흐르지 않는 값으로 할 필요가 있고, 한편 낮은 드레시홀드치에 있어서는 셀 전류가 흐르는 값으로 할 필요가 있다.

이 메모리셀의 드레시홀드치의 검증(verify)에는 전원전압의 변동도 고려해서 워드선 전위를 판독할 때의 전원전압(Vcc)으로 하지 않고, 높은 드레시홀드치의 검증에는 판독가능한 상한 전원전압(Vccmax) 이상의 전위를, 낮은 드레시홀드치의 검증에는 판독가능한 하한 전원전압(Vccmin) 이하의 전위를 워드선에 공급한다.

불휘발성 메모리에서는 상술한 바와 같이 콘트롤 게이트 즉 워드선에 인가하는 전위는 복수의 전압치가 필요하다.

이와 같이, 플러스 마이너스를 포함하여 여러종류의 전압이 워드선에 인가되지만 본 발명에 있어서는 서브 워드 디코더 회로를 간단한 인버터 회로로 구성하면서 제1도에 나타낸 바와 같이, 통상 전원전압과 같은 고정전압이 인가되는 인버터 회로의 단자에 블럭선택 어드레스 신호(Bip, Bin)를 입력하는 것에 의해 이러한 종류 각각의 전압을 워드선에 인가가능하게 하는 것이다. 또, 구체적인 동작에 대해서는 후술한다.

제2도는 제1도에 나타낸 실시예보다 구체적인 서브 워드 디코더 회로를 나타낸 것이다. 즉, 1개의 서브 워드 디코더 회로는 P채널 트랜지스터(WDp)와 n채널 트랜지스터(WDn)에 의해 구성된다.

동도의 각 회로소자는, 특별히 제한되지 않지만 공지의 CMOS(상보형 MOS)집적회로의 제조기술에 의해 p형 단결정 실리콘과 같은 반도체 기판상에서 형성된다. n채널 트랜지스터는 이러한 반도체 기판 표면에 형성된 소오스 영역, 드레인 영역 및 소오스 영역과 드레인 영역과의 사이의 반도체 기판상에 얇은 두께의 게이트 절연막을 통해서 형성된 폴리 실리콘 등에서 생성되는 게이트 전극에 의해 구성된다. p채널 트랜지스터는 상기 반도체 기판 표면에 형성된 n형 웰영역에 형성된다. 또, 마이너스 전압을 처리하는 n채널 트랜지스터는 깊은 n형 웰영역(이하, niso라 한다)중의 p형 웰영역 확산층에 형성된다. 이것에 의해 통상의 n채널 트랜지스터의 공통 기판에는 접지전위(Vss)가 공급된다. p채널 트랜지스터의 공통 기판 즉 n형 웰영역은 전원전압(Vcc) 혹은 그 이상의 고전압에 접속된다. 또한, niso중에 형성되는 n채널 트랜지스터의 공통 기판 즉 p형 웰영역은 접지전위(Vss) 혹은 마이너스의 전압에 접속된다. niso 전위는 전원전압(Vcc) 또는 접지전위(Vss)에 접속된다.

제2도의 n채널 트랜지스터는 niso중에 형성되는 n채널 트랜지스터이다. 전체의 서브 워드 디코더 회로(WD11~WDij)내의 P채널 및 niso중에 형성한 n채널 트랜지스터의 기판은 각각 공통으로 되어 p채널 트랜지스터의 기판전압은 전압(VBP), n채널 트랜지스터의 기판전압은 전압(VNN)에 접속된다. 기판을 공통화하는 것에 의해 웰영역의 분리가 불필요하게 되고, 레이아웃 면적을 저감할 수 있다. 전압(VBP)은 워드선에 인가되는 전압보다 고전압을, 전압(VNN)은 워드선에 인가되는 전압보다 저전압을 인가하면 좋고, 각 동작모드에서 절환된다. 예를들면 판독동작에 있어서는 전압(V

BP)은 외부 전원전압(Vcc) 전압(VNN)은 접지전압(Vss)으로 하고, 메모리셀의 드레시홀드치를 낮추는 동작중(검증 동작을 포함)에 있어서는 전압(VBP)은 외부 전원전압(Vcc) 전압(VNN)은 마이너스의 전압으로 하면 좋다.

제3도, 제4도, 제5도에는 본 발명에 의한 서브 워드 디코더 회로가 적용되는 메모리 어레이 회로도를 나타낸다. 일반적으로 메모리셀을 Mijm으로 표시하면 첨자 i는 워드선을 선택하는 제1의 어드레스 신호군에서 생성되는 블럭 선택 어드레스 신호, j는 워드선을 선택하는 제2의 어드레스 신호군에서 생성되는 게이트 선택 어드레스 신호, m은 데이터선을 선택하는 어드레스 신호에 대응하고 있다.

제3도에 나타낸 메모리 어레이 회로도에 있어서, 워드선(Wij)에는 메모리셀(Mij1~Mijm)이 접속되고, 데이터선(Dm)에는 메모리셀(M11m~Mijm)이 접속되어 있다. 또한, 메모리셀의 소오스는 공통 소오스선(CS)에 접속되어 있다.

제4도에 나타낸 메모리 어레이 회로도는 적어도 2개 이상의 메모리셀을 1개의 블럭으로 하고(예를들면, M111 M1j1), 그 드레인을 로컬 드레인 배선(DL11, DL1m, DLi1, DLim)에 접속한 후 신호(SID, SiD)를 게이트 입력으로 하는 드레인 선택 트랜지스터(S1D1, S1Dm, SiD1, SiDm)를 통해서 데이터선(D1 Dm)에 접속한 회로도이다. 즉, 메모리셀과 데이터선의 접속을 제3도에 비해서 계층화한 구성으로 되어 있다.

제5도에 나타낸 메모리 어레이 회로도는 또 메모리셀과 공통 소오스선(CS)과의 접속을 계층화한 구성으로 1개의 블럭을 구성하는 메모리셀의 소오스를 로컬 소오스 배선(SL11, SL1m, SLi1, SLim)에 접속하고, 이들 로컬 소오스선과 공통 소오스선(CS)과의 접속을 신호(S1S,SiS)를 게이트 입력으로 하는 소오스선택 트랜지스터(S1S1, S1Sm, SiS1, SiSm)를 통해서 행한 구성으로 되어 있다.

제6도, 제7도는 본 발명에 의한 서브 워드 디코더 회로와 상술한 메모리 어레이 회로와의 레이아웃 구성예를 나타낸 것이다. 메모리 어레이 매트수에는, 특별히 제한되지 않지만, 이 실시예에서는 2개의 메모리 어레이 매트(MAT1, MAT2)를 가지는 경우를 예로서 나타낸다. 이들 도면에 있어서, 워드선을 Wijk 및 서브 워드 디코더 회로(WDijk)로 표시하면 첨자 i는 워드선을 신택하는 제1의 어드레스 신호군에서 생성되는 블럭 선택 어드레스 신호, j는 워드선을 선택하는 제2의 어드레스 신호군에서 생성되는 게이트 선택 어드레스 신호, k는 메모리 매트에 대응하고 있다.

제6도에 나타낸 서브 워드 디코더 회로의 레이아웃 구성은 서브 워드 디코더 회로 (WDijk)를 워드선(Wijk)과 1대 1로 대응시켜 대치한 경우를 나타내고 있다.

제7도에 나타낸 서브 워드 디코더 회로의 레이아웃 구성은 서브 워드 디코더 회로(WDijk)의 첨자 j가 우수인 경우, 구동하는 워드선을 메모리 어레이 매트(MAT1, MAT2)의 양 매트 워드선(Wij1, Wij2)으로 한다. 첨자 j가 기수인 경우, 서브 워드 디코더 회로는 메모리 어레이 매트의 한쪽 워드선만을 구동한다. 이와 같이 구성하는 것에 의해, 제6도에 나타낸 구성에 비해서 서브 워드 디코더 회로의 레이아웃 피치(pitch)를 완화할 수 있고, 워드선의 피치가 작은 경우에도 서브 워드 디코더 회로와의 레이아웃 정합성을 가지는 것이 가능하다.

제8도, 제9도 제4도 혹은 제5도에 나타낸 바와 같이, 메모리 어레이 회로에 선택 트랜지스터를 가지는 경우의 서브 워드 디코더 회로의 레이아웃 구성예를 나타낸 것이다. 또 이 실시예에서는 1개의 메모리 어레이 매트만을 나타냈다.

제8도내 나타낸 실시예에서는 워드선을 선택하는 제1의 어드레스 신호군에서 생성되는 블럭 선택 어드레스 신호 즉 첨자 i와 선택 트랜지스터(SiD,SiS)의 첨자 i가 대응하고 있다.

제9도에 나타낸 실시예는 1개의 블럭을 또 몇개의 서브 블럭으로 분할하고, 블럭 선택 어드레스 신호를 복수의 신호로 구성한 예이다. 즉 제8도에 나타낸 구성예에서는 1개의 블럭은 블럭 선택 어드레스 신호(Bip, Bin)로 선택되지만, 제9도에 나타낸 예에서는 Bi1P, Bi1n 혹은 Bikp, Bikn에 의해 선택된다. 이와 같은 구성을 갖는 것에 의해 블럭 선택 어드레스 신호(Bi1P, Bi1n) 혹은 (Bikp, Bikn)의 기생용량을 1 k로 저감할 수 있다.

제10도는 판독동작에서의 서브 워드 디코더 회로의 동작을 설명하는 도면에서 워드선과 각 신호의 전위관계를 나타내는 도면이다.

동도에 있어서, 선택 블럭은 B1p, B1n측으로, 블럭내 선택신호(G1)가 선택되어 있는 상태를 나타낸다. 이때, 블럭신호(B1p)의 전위는 외부 전원전압(Vcc), 블럭신호(B1n)의 전위는 접지전압(Vss), 블럭신호(B2P,B2n)의 전위는 접지전압(Vss), 게이트신호(G1)의 전위는 접지전압(Vss), 게이트신호(G2)의 전위는 외부전원전압(Vcc)이다.

선택 워드선(W11)에는 서브 워드 디코더 회로를 구성하는 P채널 트랜지스터(WDp11)를 통해시 B1p의 전위(Vcc)가 인가된다. 선택 블럭내의 비선택 워드선(W12)은 n채널 트랜지스터(WDn12)를 통해서 B1n의 전위(Vss)가 인가된다 한편, 비선택 블럭에서는 선택 게이트 신호(G1)를 입력으호 하는 서브 워드 디코더 회로에 접속되는 워드선(W21)의 전위는 P채널 트랜지스터(WDp21)를 통해서 B2p의 전위(Vss) 근처까지 방전된다. 그 전압은 p채널 트랜지스터의 드레시홀드치이고, 0.5V 정도로 되며 저레벨로 간주될 수 있다. 또한, 비선택 워드선(W22)의 전위는 n채널 트랜지스터(WDn22)를 통해서 B2n의 전위(Vss)까지 방전된다. 이와 같은 전위관계를 서브 워드 디코더 회로에 인가하는 것에 의해 선택적으로 1개의 워드선(이경우 W11)으로 판독동작에 필요한 전압(Vcc)을 인가할 수 있다.

또한, 상술한 바와 같이 워드선(W21)의 전위를 p채널 트랜지스터(WDp21)에 의해 완전하게는 접지전위(Vss)로 할 수 없지만, 워드선을 선택하기 전에 n채널 트랜지스터(WDn21)를 통해서 접지전위(Vss)로 해두면 문제되지 않는다. 이 방식으로서 예를들면, 선택 게이트신호(G1)를 전원전압(Vcc)으로 해두면 워드선을 접지전위(Vss)로 할 수 있다. 그후 선택 게이트신호(G1)를 접지전위(Vss)로 하면 선택적으로 워드선(W11)에 전원전압(Vcc)을 인가할 수 있다.

다음으로, 메모리셀의 드레시홀드치를 높이는 동작, 즉 워드선에 고전압, 예를들면 12V를 인가하는 경우에는 같은 형태로서 블럭 선택 신호(B1p) 및 블럭내 선택신호(G2)의 전위를 12V로 하면 좋다. 이것에 의해 선택적으로 1개의 워드선(예를들면 W11)에 12V의 고전압을 인가한 수 있다. 또, 이 경우 서브 워드 디코더 회로를 구성하는 p채널 트랜지스터의 공통기판전압(VBP)도 12V 이상의 고전압으로 할 필요가 있다.

또한, 높은 드레시홀드치의 검증에서는 상술한 바와 같이 판독 상한 전원전압(Vccmax) 이상의 전위, 예를들면, 전원전압(Vcc)의 1.2 1.5배의 전압을 워드선에 인가한다. 이 경우에도 블럭신호(B1p) 및 블럭내 선택신호(G2)의 전위를 1.2 1.5Vcc로 하는 것에 의해 가능하게 된다.

제11도는 메모리셀의 드레시홀드치를 낮추는 동작, 제12도는 낮은 드레시홀드치를 검증하는 동작에서의 서브 워드 디코더 회로의 동작을 설명하는 도면에서 워드선과 각 신호의 전위관계를 나타내는 도면이다.

제11도 및 제12도에 있어서, 선택 블럭은 제1의 어드레스 신호군에서 생성되는 블럭 선택 어드레스 신호인 첨자 i가 l인 B1p 및 B1n을 선택하고, 선택워드선은 W11이다.

제11도의 드레시홀드치를 낮추는 동작에서의 전위관계는 다음과 같다. 선택블럭의 선택 워드선(W11)에는 서브 워드 디코더 회로를 구성하는 n채널 트랜지스터(WDn11)를 통해서 B1n의 전위인 마이너스 전압 예를들면 -8V를 인가한다. 선택 블럭내의 비선택 워드선(W12)에는 p채널 트랜지스터(WDp12)를 통해서 B1p의 전위(Vcc)를 인가한다. 또한, 블럭내 선택 신호(G1)의 전위를 전원전압(Vcc)에, 블럭내 선택신호(G2)의 전위를 마이너스 전압 -8V로 한다. 비선택 블럭의 B2p, B2n의 전위는 접지전압(Vss)으로 하고, 선택 게이트신호(G1)를 입력으로 하는 서브 워드 디코더 회로에 접속되어 있는 비선택 워드선(W21)은 n채널 트랜지스터(WDn21)를 통해서 B2n의 전위인 접지전압(Vss)에, 비선택 워드선(W22)의 전위는 p채널 트랜지스터(WDp22)를 통해서 B2p의 전위(Vss)로 방전된다. 또, 서브 워드 디코더 회로를 구성하는 n채널 트랜지스터의 공통 기판전압(VNN)은 마이너스 전압, 여기에서는 -8V로 설정한 다. 이 때문에 n채널 트랜지스터(WDn12)에는 백 바이어스(back bias)가 인가되지만, 게이트신호(G2)의 전압이 전원전압(Vcc)이기 때문에 충분히 온상태로 되고, 접지전압(Vss)을 워드선(W21)에 공급할 수 있다.

또, 이 경우의 게이트신호(G2)의 전위는 전원전압(Vcc)일 필요는 없고, 전원전압(Vcc)보다 고전압이라도 관계없다. 예를들면, 상술한 높은 드레시홀드치를 검증한 때에 사용되는 전압(1.2 1.5Vcc)이라도 관계없다. 이와 같이, 서브 워드 디코더 회로에 상술한 전위관계를 인가하는 것에 의해 선택적으로 1개의 워드선(이 경우 W11)에, 드레시홀드치를 낮추는 동작에서 필요하게 되는 마이너스 전압을 인가할 수 있다.

제12도의 낮은 드레시홀드치를 검증하는 동작에서의 전위관계는 다음과 같다.

메모리셀의 드레시홀드치를 낮추는 동작과 그 검증동작을 고속으로 바꾸는 것을 행하기 위해 게이트 선택 어드레스 신호(Gj)는 드레시홀드치를 낮추는 동작에서의 전압과 같게 한다. 이것에 의해, 적어도 게이트 선택 어드레스 신호의 전위의 절환을 없애고, 서브 워드 디코더 회로의 전환 동작을 고속으로 행할 수 있다.

선택 블럭의 선택 워드선(W11)에는 서브 워드 디코더 회로를 구성하는 n채널 트랜지스터(WDn11)를 통해서 B1n의 전위인 검증전압, 예를들면 1.2V를 인가한다. 선택 블럭내의 비선택 워드선(W12)에는 p채널 트랜지스터(WDp12)를 통해서 B1p의 전위(Vss)를 인가한다. 비선택 블럭의 B2p, B2n의 전위는 접지전압(Vss)으로 하고, 비선택 워드선(W21)에는 n채널 트랜지스터(WDn21)를 통해서 B2n의 전위인 접지전압(Vss), 한편 비선택 워드선(W22)의 전위는 p채널 트랜지스터(WDp22)를 통해서 B2p의 전위(Vss)를 인가한다. 또한, 선택측의 게이트신호(G1)의 전위를 전원전압(Vcc)으로 하는 것으로 백 바이어스가 인가되고 있는 n채널 트랜지스터(WDn11)를 온상태로 하고, 검증전압인 1.2V를 워드선(W11)에 공급할 수 있다.

또한, 이 경우의 게이트신호(G2)의 전위는 전원진압(Vcc)일 필요는 없고, 전원전압(Vcc)보다 고전압이라도 관계없다. 예를들면, 상술한 높은 드레시홀드치를 검증한 때 사용되는 전압(1.2 1.5Vcc)이라고 관계없다. 이와 같이, 서브 워드 디코더 회로에 상술한 전위관계를 인가하는 것에 의해 선택적으로 1개의 워드선(이 경우 W11)에 낮은 드레시홀드치를 검증하는 동작에서 필요하게 되는 전압을 인가한 수 있다.

상술한 바와 같이, 서브 워드 디코더 회로를 간단한 인버터 구성으로 해서도, 그 n,p채널 트랜지스터의 소오스 단자 및 게이트 단자에 적당한 전위관계를 부여하는 것에 의해 불휘발성 메모리에서 필요하게 되는 여러가지의 워드선 전압을 인가하는 것이 가능하게 된다.

제13도는 본 발명의 서브 워드 디코더 회로를 제어하는 워드 디코더 회로 전체의 구체예를 나타내는 도면이다. 동도에 있어서, 특별히 제한되지 않지만, 전압변환회로는 공지의 랫치(latch)형 전압변환회로를 사용하고 있다. 블럭 선택 어드레스 신호(Bin)를 구동하는 드라이버 회로 전단의 회로가 2단 구성을 가지는 것은 트랜지스터의 최소 소오스 · 드레인간 내압(BVdsmin)을 확보하기 위한 것이다. 전압(VFF)의 전위는 메모리셀의 드레시홀드치를 낮추는 동작중(검증동작 포함)에는 마이너스 전압 예를들면, -4V 정도로 하고, 그것 이외의 동작에서는 접지전위(Vss)이다. 내부신호(AXB)는 제1의 어드레스 신호군을 입력으로 하는 어드레스 버퍼 출력신호의 상보 어드레스 신호이다. 내부신호(AXG)는 제2의 어드레스 신호군을 입력으로 하는 어드레스 버퍼 출력신호의 상보 어드레스 신호이다. 내부신호(WWV)는 메모리셀의 드레시홀드치를 낮추는 동작중(검증동작 포함) 하이(high)로 활성화하는 신호이고 내부신호(WWVB)는 그 부정신호이다. 내부신호(WVB)는 낮은 드레시홀드치를 검증하는 동작과 전압바꿈 동작에서 로(low)호 활성화하는 신호이고, 내부신호(CWWVB)는 드레시홀드치를 낮추는 동작과 전압바꿈 동작에서 로(low)로 활성화하는 신호이다. 또한, 내부신호(REV)는 판독동작 중 등에서 하이로 활성화하고, 상술한 워드선을 선택전에 n채널 트랜지스터를 통해서 접지전위(Vss)로 리셋트시키는 신호이다.

제14도는 메모리셀의 드레시홀드치를 낮추는 동작중(검증동작을 포함)의 타이밍 파형을 나타낸다. 동도에 있어서, t1까지 스탠바이(Standby) 상태이고, t1 이후의 타이밍에서 드레시홀드치를 낮추는 동작모드로 들어간다. t1에서 내부신호(WWV, WWVB, CWWVB, REV)가 활성화되고, 게이트 선택 어드레스 신호의 비선택 신호(Gj)가 접지전압(Vss)으로 되며, 블럭 선택 어드레스 신호(Bip) 및 선택 블럭내의 선택 워드선의 전위가 전원전압(Vcc)으로 된다. t2에서

내장전원 발생회로의 기동신호가 활성화하고, 전압(VBPP)이 1.2V로, VGP가 5V로, VNN이 마이너스 전압의 -8V, VFF가 마이너스 전압의 -4V로 시작한다. VGP전압 5V는 상술한 높은 드레시홀드치를 검증할 때 사용되는 전압(1.2 1.5Vcc)이다.

내장전압이 상승하는 것으로 블럭 선택 어드레스 신호(Bin) 및 비선택 게이트신호(Gj)가 마이너스 전압의 -8V, 선택 게이트신호(Gj)가 5V로 되고, 선택 블럭 워드선의 전위를 마이너스 전압의 -8V, 선택 블럭의 비선택 워드선의 전위를 상술한 드레인 전압의 영향을 방지하는 전압 즉 전원전압(Vcc)으로 할 수 있다. t2에서 t3 사이는 제1회째의 드레시홀드치를 낮추는 동작이다. t3에서는 내부신호(WVB)가 활성화되고, 블럭 선택 어드레스 신호(Bip, Bin)가 접지전압(Vss)으로 되고, 선택 블럭내의 전체 워드선이 접지전압(Vss)으로 리셋트된다.

t4에서 t5 사이는 내부신호(CWWVB)가 활성화되고, 선택 블럭 어드레스 신호(Bin)가 검증전압 1.2V로 되고, 선택 워드선 만으로 검증전압 1.2V가 공급된다. t5에서는 내부신호(CWWVB)가 비활성화되고, 선택 블럭 어드레스 신호(Bin)가 접지전압(Vss)으로 되며, 선택 워드선이 접지전압(Vss)으로 리셋트된다. t5에서 t6 사이에서는 검증동작의 결과를 받아서 드레시홀드치를 낮추는 동작을 계속하거나, 또는 소망의 드레시홀드치에 도달하는 동작을 정지하는가의 판정이 장치 내부 또는 외부에서 행해진다. 동도에 있어서는 t6 이후는 드레시홀드치를 낮추는 동작을 반복해서 행하는 경우이고, 내부신호(WVB)가 재차 활성화되며, 선택 블럭내의 선택 워드선이 마이너스 전압 -8V, 선택 블럭내의 비선택 워드선이 전원전압(Vcc)으로 된다. 그 후, t3 이후를 반복한다.

제15도는 판독동작중의 타이밍 파형을 나타낸다. 동도는 4회 연속적으로 다른 워드선을 선택하는 경우를 나타낸 예이다. t1까지가 스탠바이 상태이고, t1 t2가 1회째, t3 t4가 2회째, t5 t6가 3회째, t7 이후가 4회째의 워드선 선택이다. 1회째 및 2회째의 워드선 선택은 제1블럭 Bip에서, 3회째 및 4회째의 워드선 선택은 제2블럭 Bip에서 선택된다. 또한, 1회째 및 3회째의 워드선 선택은 제1게이트 Gj에서, 제2회째 및 제4회째의 워드선 선택은 제2게이트 Gj에서 선택된다.

t1까지, t2 t3, t4 t5, t6 t7 사이예서는 내부신호(REV)가 하이로 활성화되고, 각각의 워드선을 선택전에 미리 서브 워드 디코더 회로의 n채널 트랜지스터를 통해서 워드선의 전위를 접지전위(Vss)로 리셋트한다.

제16도는 메모리셀의 드레시홀드치를 높이는 동작중(검증동작을 포함)의 타이밍 파형을 나타낸다. 동도에 있어서, t1까지가 스탠바이 상태이다. t2 t3 및 t8 이후가 드레시홀드치를 높이는 동작이고, t5 t6 사이에서 검증동작으로 된다. t1까지 t3 t4, t6 t7 사이에서는 내부신호(REV)가 하이(high)로 활성화되고, 워드선을 선택전에 서브 워드 디코더 회로의 n채널 트랜지스터를 통해서 워드선의 전위를 접지전위(Vss)로 리셋트한다. t2 t3, t5 t6, t8 이후에서는 내장전원 발생회호의 기동신호가 활성화되고, 전압(VBP, VGP)이 t2 t3, t8 이후 12V로 되며, t5 t6 사이에서는 5V로 된다.

t6 t7 사이에서는 검증동작의 결과를 받아서 드레시홀드치를 높이는 동작을 계속하거나, 또는 소망의 드레시홀드치에 도달하는 동작을 정지하는가의 판정이 장치 내부 또는 외부에서 행해진다. 동도에 있어서, t7 이후는 드레시홀드치를 높이는 동작을 반복해서 행하는 경우이다.

이상 상술한 바와 같이, 본 발명은 워드선을 구동하는 서브 워드 디코더 회로에 있어서, 2개의 블럭 선택 어드레스 신호를 워드선의 전압을 제어하는 인버터 회로의 전원전압으로서 사용하는 것에 의해 서브 워드 디코더 회로의 점유면적이 작게되고, 고집적화가 요구되는 반도체 불휘발성 기억장치에 적용할 수 있다는 현저한 효과와, 외부 전원전압이 단일전원화 요구되는 반도체 불휘발성 기억장치의 재기록 시간의 고속화가 도모된다는 현저한 효과가 있다.

(57) 청구의 범위

청구항 1.

전기적으로 소거 및 기록 가능한 복수의 불휘발성 메모리셀을 어레이 형태로 배치한 메모리셀 어레이와,

상기 불휘발성 메모리셀의 콘트롤 게이트가 접속되는 워드선과,

상기 워드선을 구동하는 워드선 구동회로를 가지며,

상기 워드선 구동회로는 제1 도전형 트랜지스터와, 그 소스 · 드레인 경로가 상기 제1 도전형 트랜지스터의 소스 · 드레인 경로와 직렬 접속된 제2 도전형 트랜지스터를 포함하고,

상기 제1 도전형 트랜지스터의 소스 및 상기 제2 도전형 트랜지스터와 소스에는 각각 제1 어드레스 신호에서 생성되는 제1 선택신호가 공급되고, 상기 제1 도전형 트랜지스터의 게이트 및 상기 제2 도전형 트랜지스터의 게이트에는 각각 제2 어드레스 신호에서 생성되는 제2 선택신호가 공급되며,

상기 제1 도전형 트랜지스터의 소스 · 드레인 경로와 상기 제2 도전형 트랜지스터의 소스 ·드레인 경로는 상기 제2 선택신호에 의해 서로 상보적으로 도통되고,

상기 제1 도전형 트랜지스터의 소스 · 드레인 경로가 도통상태일 때, 상기 제1 선택신호의 전위가 상기 제1 도전형 트랜지스터를 통하여 상기 워드선에 공급되며,

상기 제2 도전형 트랜지스터의 소스 · 드레인 경로가 도통상태일 때, 상기 제1 선택신호의 전위가 상기 제2 도전형 트랜지스터를 통하여 상기 워드선에 공급되는 것을 특징으로 하는 반도체 불휘발성 기억장치.

청구항 2.

제 1 항에 있어서,

상기 메모리셀 어레이는 복수의 블럭으로 분할되어,

상기 제1 어드레스 신호에 의해 상기 복수의 블럭중 어느 하나가 선택되며,

상기 제2 어드레스 신호에 의해 상기 선택된 블럭에 포함되는 워드선중 어느 하나가 선택되는 것을 특징으로 하는 반도체 불휘발성 기억장치.

청구항 3.

제 1 항에 있어서,

상기 제1 도전형 트랜지스터와 상기 제2 도전형 트랜지스터는 인버터회로를 구성하고,

상기 제1 도전형 트랜지스터의 게이트에 공급되는 제2 선택신호의 전위와 상기 제2 도전형 트랜지스터의 게이트에 공급되는 제2 선택신호의 전위가 동일한 것을 특징으로 하는 반도체 불휘발성 기억장치.

청구항 4.

제 2 항에 있어서,

상기 제1 어드레스 신호에 의해 선택된 블럭에 포함되는 워드선의 상기 워드선 구동회로의 상기 제1 도전형 트랜지스터의 소스 및 상기 제2 도전형 트랜지스터의 소스에 공급되는 제1 선택신호의 전위는 각각 플러스의 제1 전위 및 상기 제1 전위보다도 낮은 제2 전위이며,

상기 제2 어드레스 신호에 의해 선택된 워드선의 상기 워드선 구동회로의 상기 제1 도전형 트랜지스터의 게이트 및 상기 제2 도전형 트랜지스터의 게이트에 공급되는 제2 선택신호의 전위는 상기 제2 전위이고, 상기 제2 어드레스 신호에 의해 선택되지 않은 워드선의 상기 워드선 구동회로의 상기 제1 도전형 트랜지스터의 게이트 및 상기 제2도전형 트랜지스터의 게이트에 공급되는 제2선택신호의 전위는 상기 제1 전위인 것을 특징으로 하는 반도체 불휘발성 기억장치.

청구항 5.

제 2 항에 있어서,

제1 어드레스 신호에 의해 선택된 블럭에 포함되는 워드선의 상기 워드선 구동회로의 상기 제1 도전형 트랜지스터의 소스 및 상기 제2 도전형 트랜지스터의 소스에 공급되는 제1 선택신호의 전위는 각각 플러스의 제3 전위 및 마이너스의 제4 전위이며,

상기 제2 어드레스 신호에 의해 선택된 워드선의 상기 워드선 구동회로의 상기 제1 도전형 트랜지스터의 게이트 및 상기 제2 도전형 트랜지스터의 게이트에 공급되는 제2 선택신호의 전위는 상기 제3 전위이고, 상기 제2 어드레스 신호에 의해 선택되지 않은 워드선의 상기 워드선 구동회로의 상기 제1 도전형 트랜지스터의 게이트 및 상기 제2 도전형 트랜지스터의 게이트에 공급되는 제2 선택신호의 전위는 상기 제4 전위인 것을 특징으로 하는 반도체 불휘발성 기억장치.

청구항 6.

전기적으로 소거 및 기록 가능한 복수의 불휘발성 메모리셀을 어레이 형태로 배치한 메모리셀 어레이와,

상기 불휘발성 메모리셀의 콘트롤 게이트가 접속되는 워드선과,

상기 워드선을 구동하는 워드선 구동회로를 가지며,

상기 워드선 구동회로는 제1 도전형 트랜지스터와, 그 소스 · 드레인 경로가 상기 제1 도전형 트랜지스터의 소스 · 드레인 경로와 직렬 접속된 제2 도전형 트랜지스터를 포함하고,

상기 제1 도전형 트랜지스터의 소스 · 드레인 경로와 상기 제2 도전형 트랜지스터의 소스 · 드레인 경로는 서로 상보적으로 도통되며,

상기 불휘발성 메모리셀의 플로팅 게이트의 전자를 방출하는 방출동작과 상기 불휘발성 메모리셀의 검증(verify) 동작을 반복하여 행하고,

상기 방출동작 및 상기 검증 동작에서, 상기 제1 도전형 트랜지스터는 비도통상태, 상기 제2 도전형 트랜지스터는 도통상태로 되며,

상기 방출동작 및 상기 검증 동작의 각각에서, 상기 제2 도전형 트랜지스터의 소스에는 서로 다른 전위가 공급되고,

상기 방출동작 및 검증 동작되고 있는 불휘발성 메모리셀의 콘트롤 게이트가 접속되는 워드선에 공급되는 전위는 상기 제2 도전형 트랜지스터의 소스에서 상기 제2 도전형 트랜지스터를 통하여 공급되는 것을 특징으로 하는 반도체 불휘발성 기억장치.

청구항 7.

전기적으로 소거 및 기록 가능한 복수의 불휘발성 메모리셀을 어레이 형태로 배치한 메모리셀 어레이와,

상기 불휘발성 메모리셀의 콘트롤 게이트가 접속되는 워드선과,

상기 워드선을 구동하는 워드선 구동회로를 가지며,

상기 워드선 구동회로는 제1 노드와 상기 워드선과의 사이에 소스 · 드레인 경로를 가지는 제1 도전형 트랜지스터와, 상기 워드선과 제2 노드와의 사이에 소스 · 드레인 경로를 가지는 제2 도전형 트랜지스터를 포함하고,

상기 제1 노드 및 상기 제2 노드에는 각각 제1 어드레스 신호에서 생성되는 제1 선택신호가 공급되고, 상기 제1 도전형 트랜지스터의 게이트 및 상기 제2 도전형 트랜지스터의 게이트에는 각각 제2 어드레스 신호에서 생성되는 제2 선택신호가 공급되고,

상기 제1 도전형 트랜지스터의 소스 · 드레인 경로와 상기 제2 도전형 트랜지스터의 소스 · 드레인 경로는 상기 제2 선택신호에 의해 서로 상보적으로 도통되며,

상기 제1 도전형 트랜지스터의 소스 · 드레인 경로가 도통상태일 때, 상기 제1 노드의 전위가 상기 제1 도전형 트랜지스터를 통하여 상기 워드선에 공급되고,

상기 제2 도전형 트랜지스터의 소스 · 드레인 경로가 도통상태일 때, 상기 제2 노드의 전위가 상기 제2 도전형 트랜지스터를 통하여 상기 워드선에 공급되는 것을 특징으로 하는 반도체 불휘발성 기억장치.

청구항 8.

제 7 항에 있어서,

상기 메모리셀 어레이는 복수의 블럭으로 분할되어,

상기 제1 어드레스 신호에 의해 상기 복수의 어느 블럭중 하나가 선택되며,

상기 제2 어드레스 신호에 의해 상기 선택된 블럭에 포함되는 워드선중 어느 하나가 선택되는 것을 특징으로 하는 반도체 불휘발성 기억장치.

청구항 9.

제 8 항에 있어서,

상기 제1 어드레스 신호에 의해 선택된 블럭에 포함되는 워드선의 상기 워드선 구동회로의 제1 노드 및 상기 제2 노드에 공급되는 제1 선택신호의 전위는 각각 플러스의 제1 전위 및 상기 제1 전위보다도 낮은 제2 전위이며,

상기 제2 어드레스 신호에 의해 선택된 워드선의 상기 워드선 구동회로의 상기 제1 도전형 트랜지스터의 게이트 및 상기 제2 도전형 트랜지스터의 게이트에 공급되는 제2 선택신호의 전위는 상기 제2 전위이고, 상기 제2 어드레스 신호에 의해 선택되지 않은 워드선의 상기 워드선 구동회로의 상기 제1 도전형 트랜지스터의 게이트 및 상기 제2 도전형 트랜지스터의 게이트에 공급되는 제2 선택신호의 전위는 상기 제1 전위인 것을 특징으로 하는 반도체 불휘발성 기억장치.

청구항 10.

제 8 항에 있어서,

제1 어드레스 신호에 의해 선택된 블럭에 포함되는 워드선의 상기 워드선 구동회로의 상기 제1 도전형 트랜지스터의 소스 및 상기 제2 도전형 트랜지스터의 소스에 공급되는 제1 선택신호의 전위는 각각 플러스의 제3 전위 및 마이너스의 제4 전위이며,

상기 제2 어드레스 신호에 의해 선택된 워드선의 상기 워드선 구동회로의 상기 제1 도전형 트랜지스터의 게이트 및 상기 제2 도전형 트랜지스터의 게이트에 공급되는 제2 선택신호의 전위는 상기 제3 전위이고, 상기 제2 어드레스 신호에 의해 선택되지 않은 워드선의 상기 워드선 구동회로의 상기 제1 도전형 트랜지스터의 게이트 및 상기 제2 도전형 트랜지스터의 게이트에 공급되는 제2 선택신호의 전위는 상기 제4 전위인 것을 특징으로 하는 반도체 불휘발성 기억장치.

청구항 11.

전기적으로 소거 및 기록 가능한 복수의 불휘발성 메모리셀을 어레이 형태로 배치한 메모리셀 어레이와,

상기 불휘발성 메모리셀의 콘트롤 게이트가 접속되는 워드선과,

제1 노드와 상기 워드선과의 사이에 소스 · 드레인 경로를 가지는 제1 도전형 트랜지스터와,

상기 워드선과 제2 노드와의 사이에 소스 · 드레인 경로를 가지는 제2 도전형 트랜지스터를 가지며,

상기 제1 도전형 트랜지스터의 소스 · 드레인 경로와 상기 제2 도전형 트랜지스터의 소스 · 드레인 경로는 서로 상보적으로 도통되고,

상기 불휘발성 메모리셀의 플로팅 게이트의 전자를 방출하는 방출동작과 상기 불휘발성 메모리셀의 검증 동작을 반복하여 행히고,

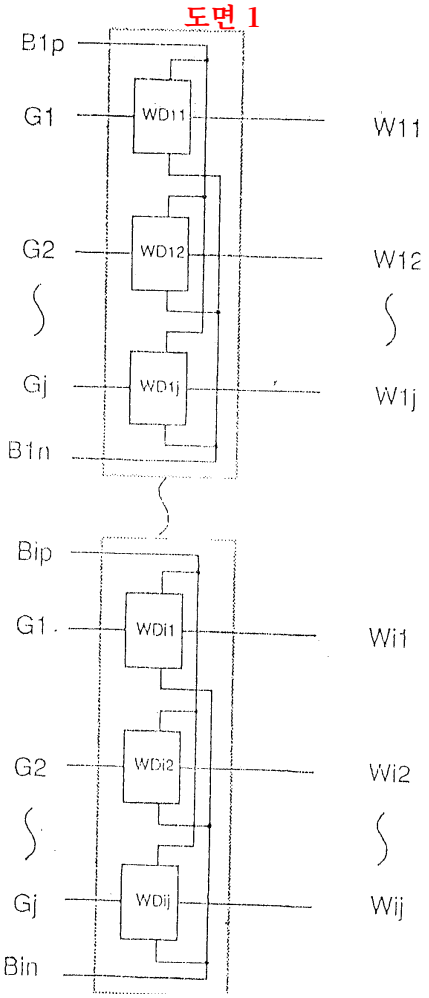
상기 방출동작 및 상기 검증 동작에서 상기 제1 도전형 트랜지스터는 비도통상태, 상기 제2 도전형 트랜지스터는 도통상태로 되며,

상기 방출동작과 상기 검증 동작의 각각에서, 상기 제2 노드에는 서로 다른 전위가 공급되고,

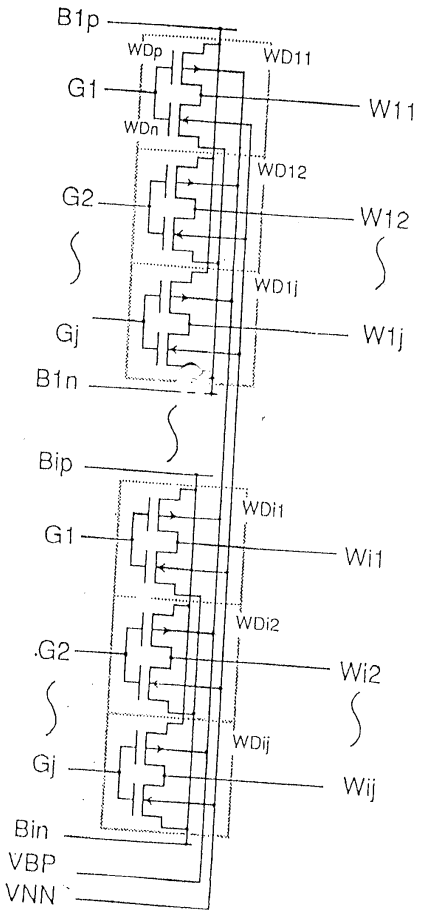
상기 방출동작 및 상기 검증 동작되고 있는 불휘발성 메모리셀의 콘트롤 게이트가 접속되는 워드선에 공급되는 전위는 상기 제2 도전형 트랜지스터를 통하여 상기 제2 노드로부터 공급되는 것을 특징으로 하는 반도체 불휘발성 기억장치.

도면

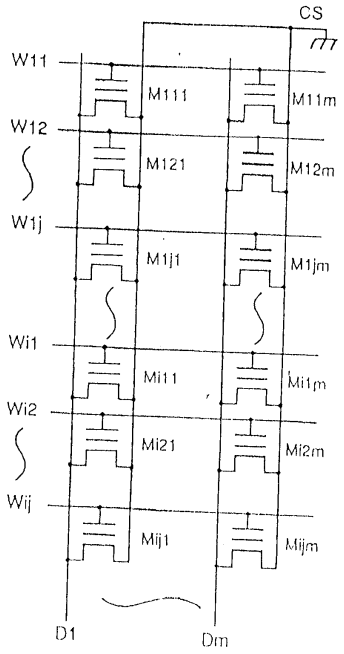
도면 1


B1p
G1
WD11
W11
G2
WD12
W12
Gj
WD1j
W1j
B1n
Bip
G1
WDi1
Wi1
G2
WDi2
Wi2
Gj
WDij
Wij
Bin

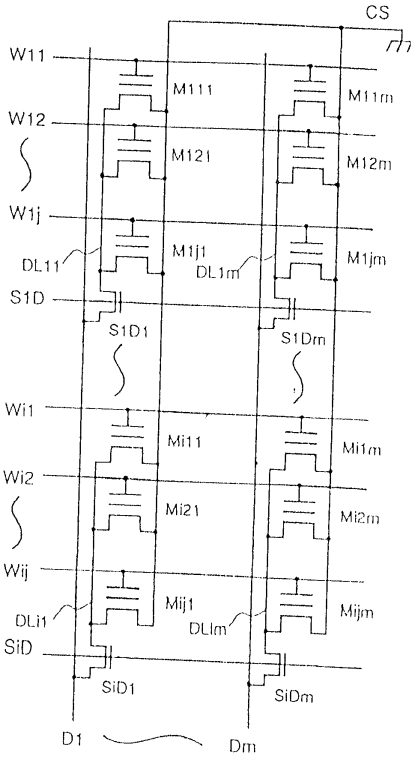
도면 2


B1p
WDp
WD11
G1
W11
WDn
WD12
G2
W12
WD1j
Gj
W1j
B1n
Bip
WDi1
G1
Wi1
WDi2
G2
Wi2
WDij
Gj
Wij
Bin
VBP
VNN

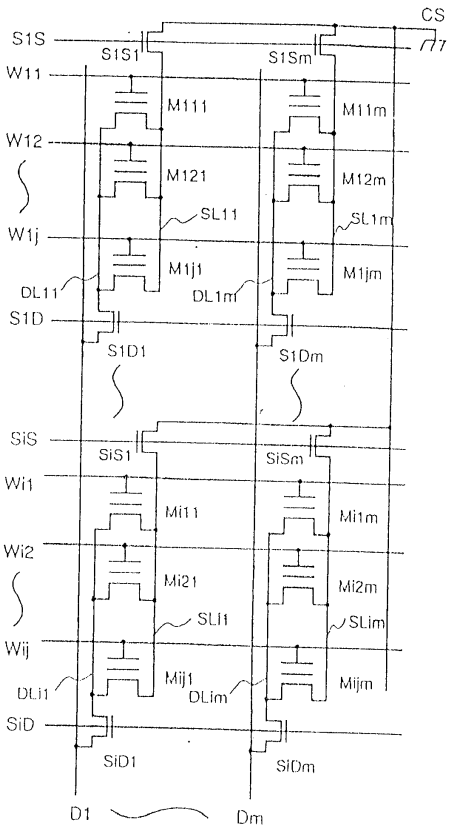
도면 3


CS
W11
M111
M11m
W12
M121
M12m
W1j
M1j1
M1jm
Wi1
Mi11
Mi1m
Wi2
Mi21
Mi2m
Wij
Mij1
Mijm
D1
Dm

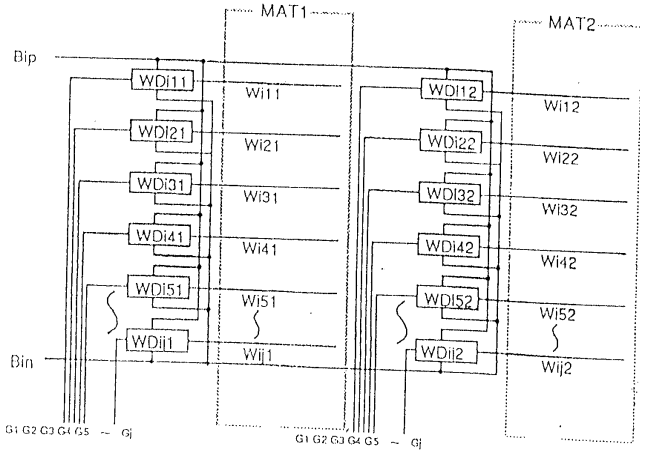
도면 4


CS
W11
W12
W1j
DL11
S1D
M111
M121
M1j1
M11m
M12m
M1jm
DL1m
S1D1
S1Dm
Wi1
Wi2
Wij
DLi1
SiD
Mi11
Mi21
Mij1
Mi1m
Mi2m
Mijm
DLim
SiD1
SiDm
D1
Dm

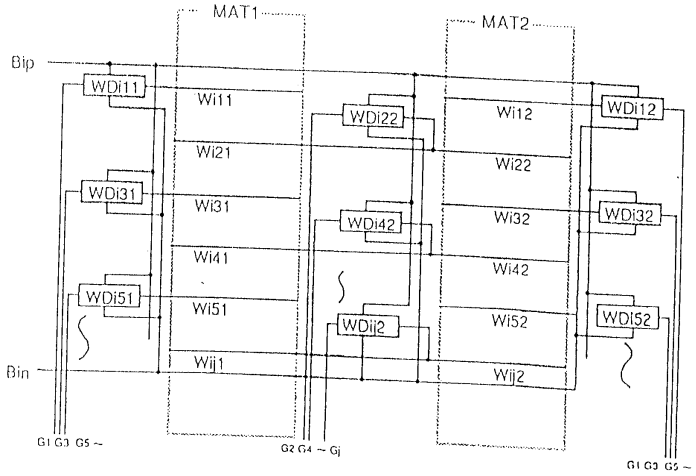
도면 5


CS
S1S
S1S1
S1Sm
W11
M111
M11m
W12
M121
M12m
SL11
SL1m
W1j
M1j1
M1jm
DL11
DL1m
S1D
S1D1
S1Dm
SiS
SiS1
SiSm
Wi1
Mi11
Mi1m
Wi2
Mi21
Mi2m
SLi1
SLim
Wij
Mij1
Mijm
DLi1
DLim
SiD
SiD1
SiDm
D1
Dm

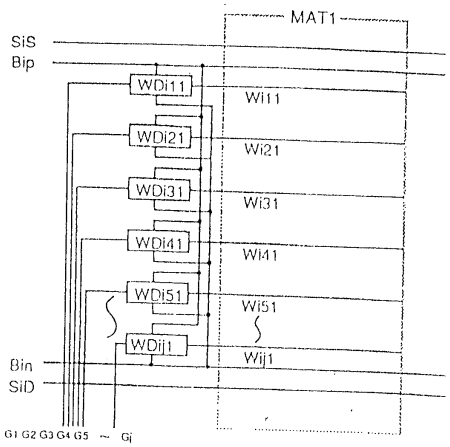
도면 6


MAT1
MAT2
Bip
Bin
WDi11
WDi21
WDi31
WDi41
WDi51
WDij1
WDi12
WDi22
WDi32
WDi42
WDi52
WDij2
Wi11
Wi21
Wi31
Wi41
Wi51
Wij1
Wi12
Wi22
Wi32
Wi42
Wi52
Wij2
G1 G2 G3 G4 G5 ~ Gj

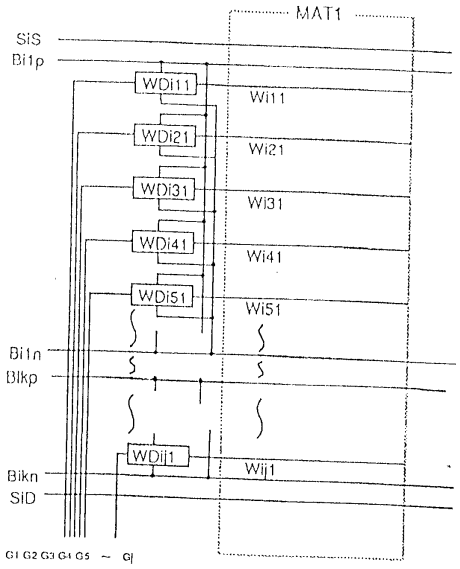
도면 7


MAT1
MAT2
Bip
Bin
WDi11
WDi21
WDi31
WDi41
WDi51
Wij1
WDi22
WDij2
WDi42
Wi11
Wi21
Wi31
Wi41
Wi51
Wi12
Wi22
Wi32
Wi42
Wi52
Wij2
WDi12
WDi32
WDi52
G1 G3 G5 ~
G2 G4 ~ Gj

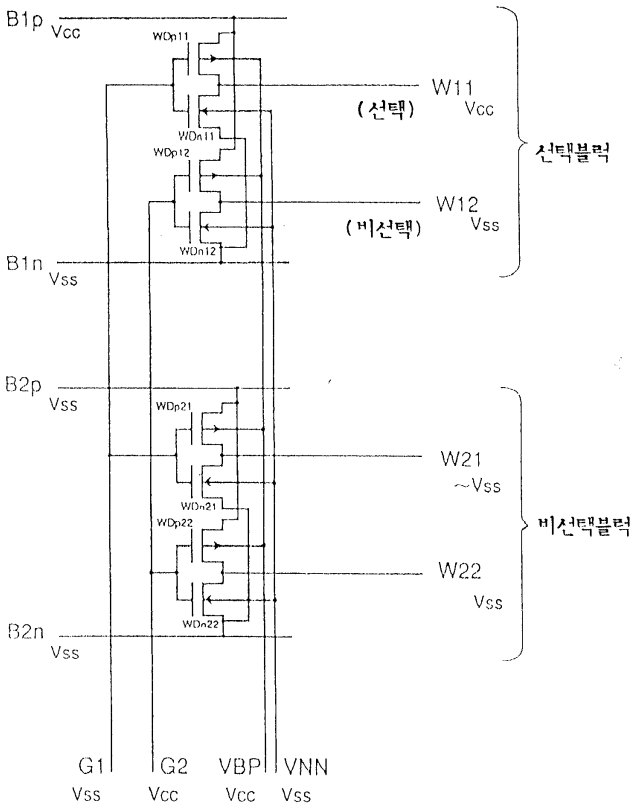
도면 8


MAT1
SiS
Bip
Bin
SiD
WDi11
WDi21
WDi31
WDi41
WDi51
WDij1
Wi11
Wi21
Wi31
Wi41
Wi51
Wij1
G1 G2 G3 G4 G5 ~ Gj

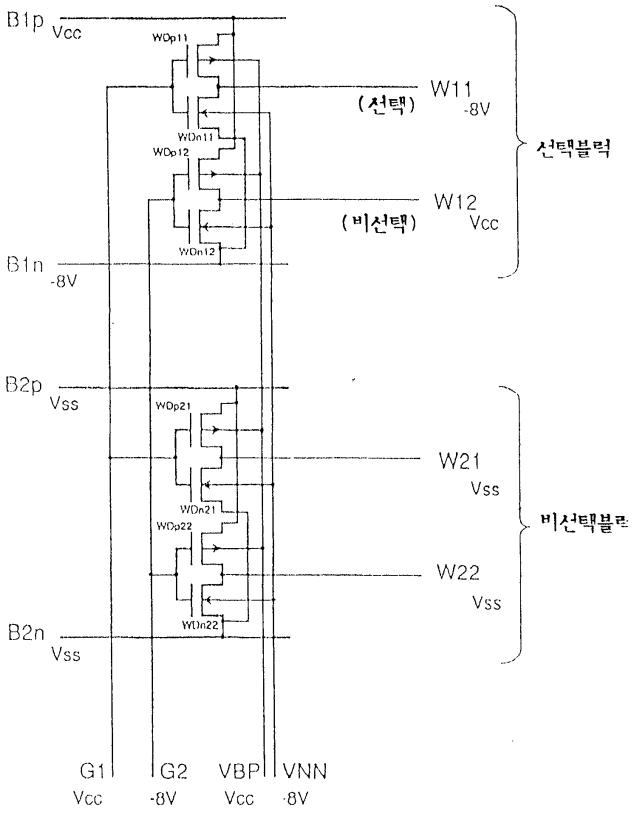
도면 9


MAT1
SiS
Bi1p
WDi11
Wi11
WDi21
Wi21
WDi31
Wi31
WDi41
Wi41
WDi51
Wi51
Bi1n
Blkp
WDij1
Wij1
Bikn
SiD
G1 G2 G3 G4 G5 ~ Gj

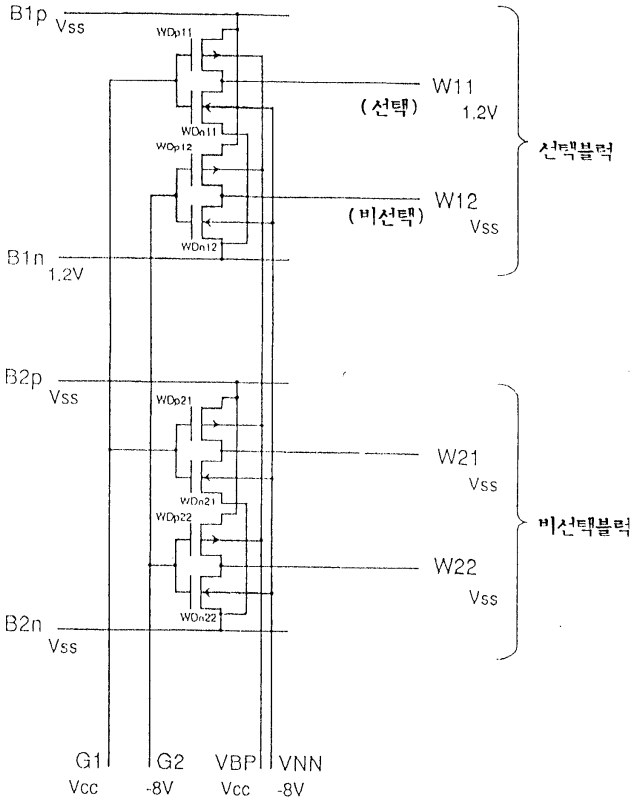
도면 10


B1p
Vcc
WDp11
W11
(선택)
Vcc
WDn11
WDp12
W12
(비선택)
Vss
WDn12
선택블럭
B1n
Vss
B2p
Vss
WDp21
W21
~Vss
WDn21
WDp22
W22
Vss
WDn22
비선택블럭
B2n
Vss
G1
Vss
G2
Vcc
VBP
Vcc
VNN
Vss

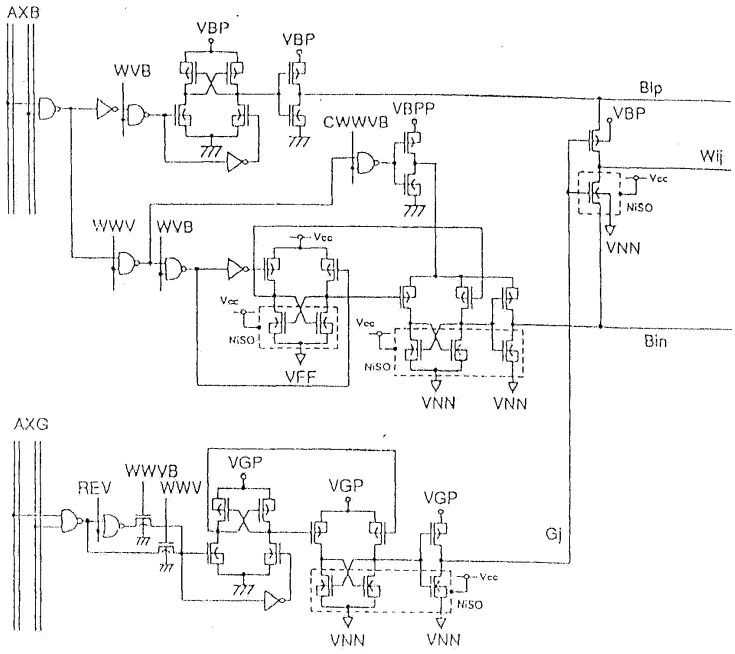
도면 11


B1p
Vcc
WDp11
W11
(선택)
-8V
WDn11
WDp12
W12
(비선택)
Vcc
WDn12
선택블럭
B1n
-8V
B2p
Vss
WDp21
W21
Vss
WDn21
WDp22
W22
Vss
WDn22
비선택블럭
B2n
Vss
G1
Vcc
G2
-8V
VBP
Vcc
VNN
-8V

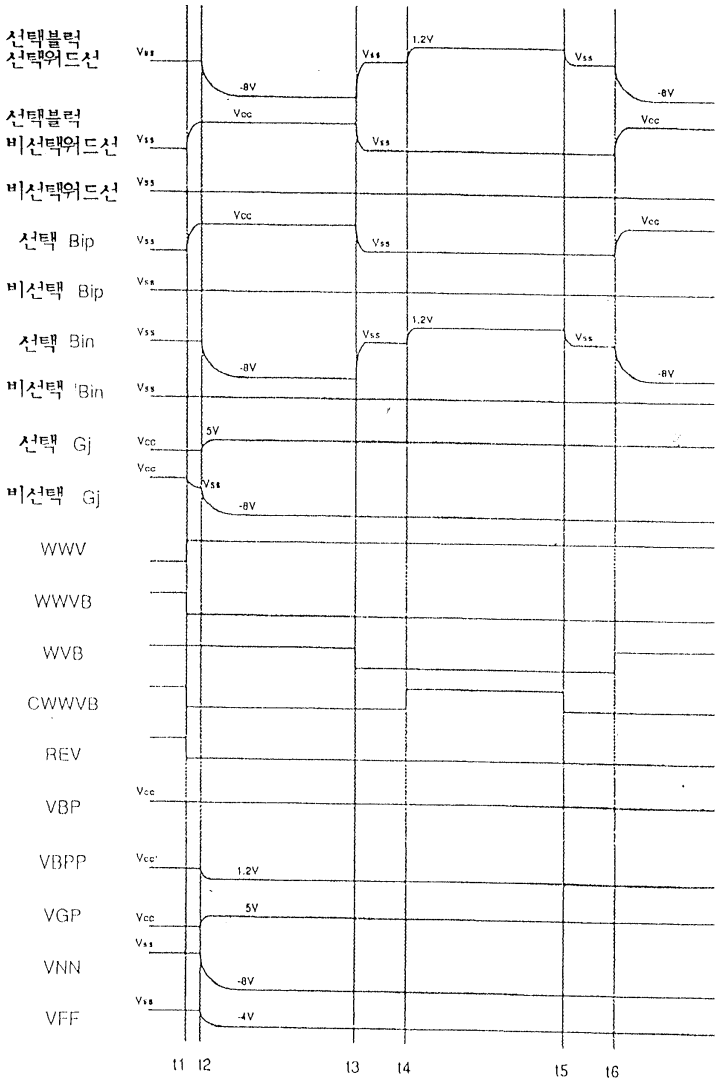
도면 12


B1p
Vss
WDp11
WDn11
WDp12
WDn12
W11
(선택)
1.2V
W12
(비선택)
Vss
선택블럭
B1n
1.2V
B2p
Vss
WDp21
WDn21
WDp22
WDn22
W21
Vss
W22
Vss
비선택블럭
B2n
Vss
G1
Vcc
G2
-8V
VBP
Vcc
VNN
-8V

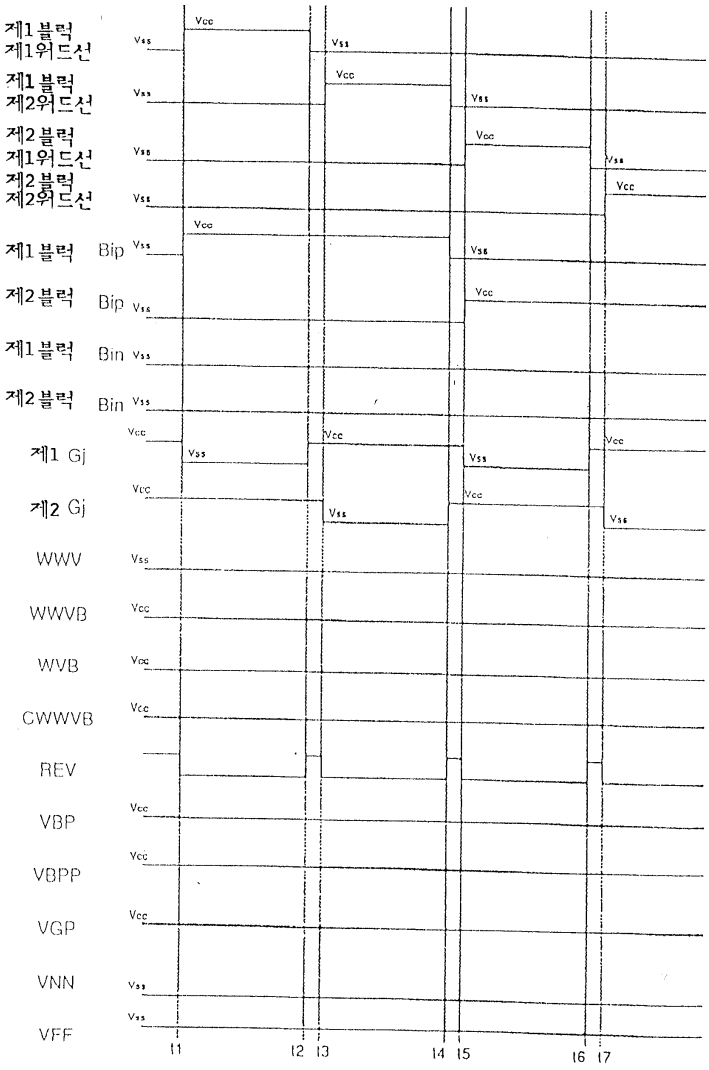
도면 13


AXB
WVB
VBP
VBP
CWWVB
VBPP
Blp
VBP
Wij
Vcc
NiSO
VNN
WWV
WVB
Vcc
Vcc
NiSO
VFF
Vcc
NiSO
VNN
VNN
Bin
AXG
REV
WWVB
WWV
VGP
VGP
VGP
Gj
Vcc
NiSO
VNN
VNN

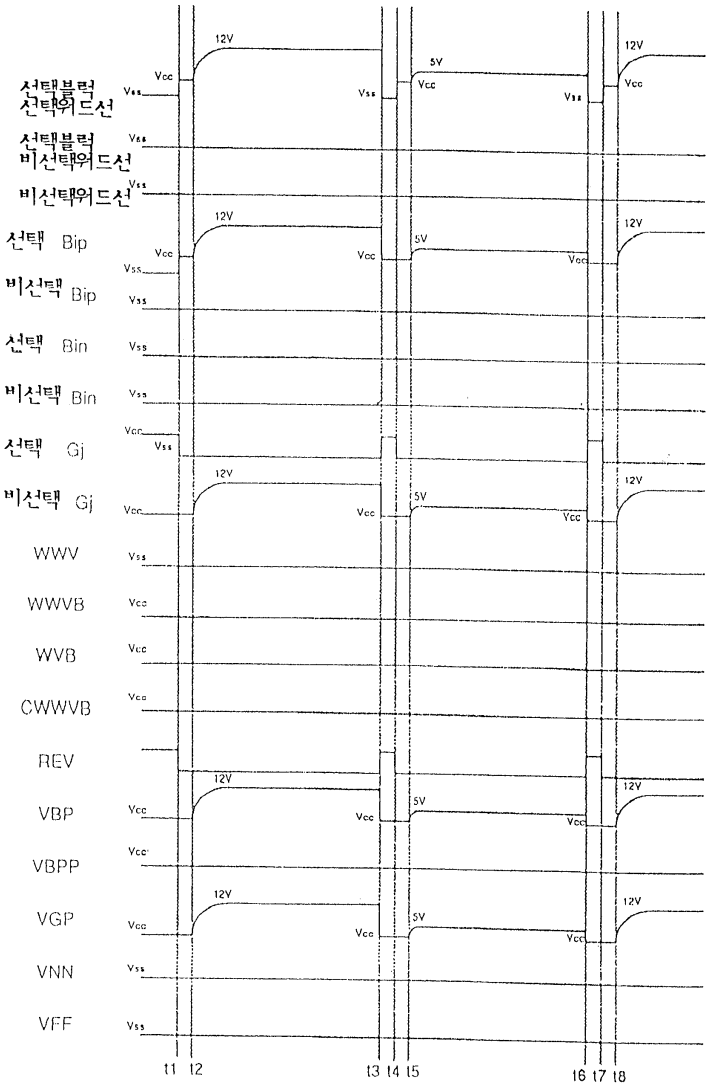
도면 14


선택블럭
선택워드선
선택블럭
비선택워드선
비선택워드선
선택 Bip
비선택 Bip
선택 Bin
비선택 'Bin
선택 Gj
비선택 Gj
WWV
WWVB
WVB
CWWVB
REV
VBP
VBPP
VGP
VNN
VFF
Vss
Vcc
-8V
1.2V
5V
-4V
t1
t2
t3
t4
t5
t6

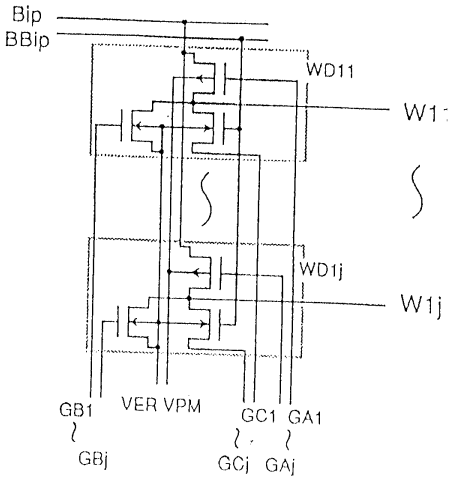
도면 15


제1블럭 제1워드선
제1블럭 제2워드선
제2블럭 제1워드선
제2블럭 제2워드선
제1블럭 Bip
제2블럭 Bip
제1블럭 Bin
제2블럭 Bin
제1 Gj
제2 Gj
WWV
WWVB
WVB
CWWVB
REV
VBP
VBPP
VGP
VNN
VFF
Vcc
Vss
t1
t2
t3
t4
t5
t6
t7

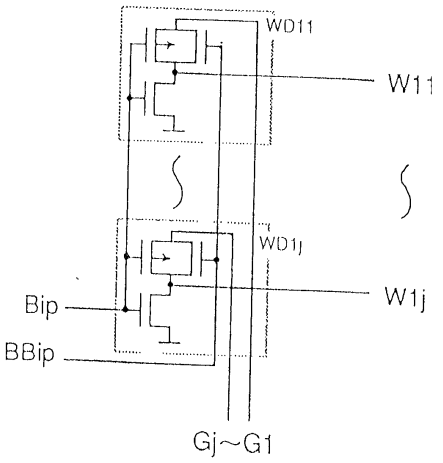
도면 16


선택블럭 선택워드선
선택블럭 비선택워드선
비선택워드선
선택 Bip
비선택 Bip
선택 Bin
비선택 Bin
선택 Gj
비선택 Gj
WWV
WWVB
WVB
CWWVB
REV
VBP
VBPP
VGP
VNN
VFF
12V
5V
Vcc
Vss
t1 t2 t3 t4 t5 t6 t7 t8

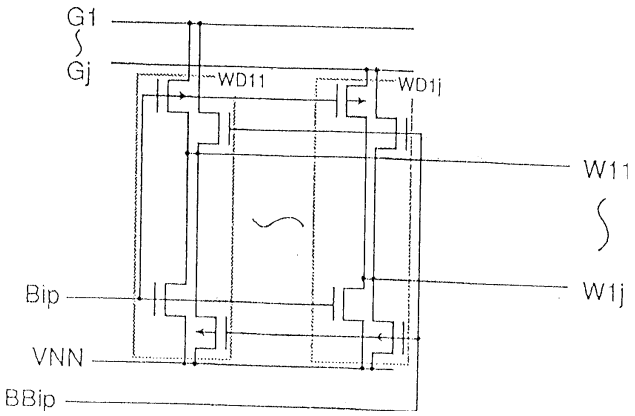
도면 17


Bip
BBip
WD11
W11
WD1j
W1j
GB1
GBj
VER VPM
GC1
GCj
GA1
GAj

도면 18


WD11
W11
WD1j
W1j
Bip
BBip
Gj~G1

도면 19



도면 20

