

12 DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 22.12.14.

30 Priorité :

43 Date de mise à la disposition du public de la demande : 24.06.16 Bulletin 16/25.

56 Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

60 Références à d'autres documents nationaux apparentés :

Demande(s) d'extension :

71 Demandeur(s) : COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES Etablissement public — FR et INTERNATIONAL BUSINESS MACHINES CORPORATION — US.

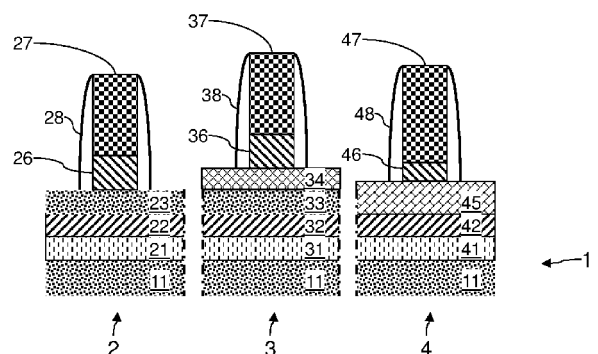
72 Inventeur(s) : ANDRIEU FRANCOIS, DEGORS NICOLAS et PERREAU PIERRE.

73 Titulaire(s) : COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES Etablissement public, INTERNATIONAL BUSINESS MACHINES CORPORATION.

74 Mandataire(s) : OPILEX Société à responsabilité limitée.

54 CIRCUIT INTEGRE COMPORTANT DES TRANSISTORS PMOS A TENSIONS DE SEUIL DISTINCTES.

57 L'invention propose un circuit intégré (1), comprenant:
-un substrat (11) et une couche d'isolant (22, 32, 42) formée sur le substrat (11);
-un premier transistor pMOS (4) formé sur la couche d'isolant et comportant:
-un canal formé dans une première couche (45) en alliage Silicium-Germanium présentant une première épaisseur et une première densité moyenne en Germanium;
-une couche d'oxyde de grille (46) présentant une première épaisseur équivalente d'oxyde;
-un deuxième transistor pMOS (3) formé sur la couche d'isolant et comportant:
-un canal formé dans une deuxième couche (33,34) en alliage Silicium-Germanium présentant une deuxième épaisseur supérieure à la première et une deuxième densité moyenne en Germanium inférieure à la première;
-une couche d'oxyde de grille (36) présentant une deuxième épaisseur équivalente d'oxyde supérieure à la première.



CIRCUIT INTEGRE COMPORTANT DES TRANSISTORS PMOS A TENSIONS DE SEUIL DISTINCTES

L'invention concerne un circuit intégré, et en particulier un circuit intégré combinant des transistors à effet de champ PMOS à canal SiGe réalisés sur
5 une couche d'isolant.

La réduction de la consommation statique de portes logiques tout en augmentant leur vitesse de basculement fait l'objet de nombreuses recherches. Certains circuits intégrés en cours de développement intègrent à la fois des portes logiques à faible consommation et des portes logiques à vitesse de
10 basculement élevée. Pour générer ces deux types de portes logiques sur un même circuit intégré, on abaisse la tension de seuil de certains transistors pour former des portes logiques à vitesse de basculement élevée, et on augmente la tension seuil d'autres transistors pour former des portes logiques à faible
15 consommation. En technologie « bulk », la modulation du niveau de tension de seuil de transistors de même type est fréquemment effectuée en différenciant le niveau de dopage du canal des transistors.

Cependant, en technologie semi-conducteur sur isolant à canal complètement déserté, plus connue sous l'acronyme FDSOI, le dopage du canal est faible, ce qui empêche de différencier les tensions de seuil par ce biais. Une
20 solution proposée dans certaines études, pour réaliser des transistors de même type à tensions de seuil distinctes, est d'utiliser un plan de masse électriquement polarisé disposé entre une couche d'oxyde isolante mince et le substrat de silicium. En jouant sur le dopage des plans de masse et sur leur polarisation électrique, il est possible de définir différentes gammes de tensions
25 de seuil pour ces transistors. On peut ainsi disposer de transistors à faible tension de seuil, dits LVT, de transistors à haute tension de seuil, dits HVT, et de transistors à tension de seuil intermédiaire, dits SVT, ou RVT. Typiquement, les transistors LVT présentent une tension de seuil inférieure ou égale à 350mV, les transistors HVT supérieure ou égale à 500mV et les transistors RVT
30 comprise entre 350mV et 500mV.

Des procédés de fabrication ont été proposés, dans lesquels différents transistors sont formés avec différentes épaisseurs d'oxyde de grille dans les empilements de grille formés sur les canaux des transistors. Un tel procédé de fabrication est notamment décrit dans le document 'A 65nm-node CMOS
35 Technology with Highly Reliable Triple Gate Oxide Suitable for power-considered System-on-a-chip', écrit par Fukai et al. et publié dans '2003 Symposium on VLSI Technology Digest of Technical Papers'. Un oxyde de grille de simple épaisseur désigné par GO1 est par exemple utilisé pour augmenter la capacité de la grille et améliorer les performances du transistor. Un oxyde de
40 grille plus épais désigné par GO2 ou parfois un troisième type d'oxyde de grille sont utilisés dans des intégrations respectivement désignées par DGO ou TGO,

afin de limiter les fuites de grille et la puissance dissipée en augmentant en outre la tension de claquage de ces transistors. Par différentes étapes de masquage et de gravure, trois épaisseurs d'oxyde de grille équivalentes EOT différentes sont obtenues.

5 L'ajustement de la tension de seuil par de tels procédés de fabrication étant imparfait, des étapes supplémentaires d'implantation de dopants dans le canal sont par exemple réalisées afin d'améliorer le contrôle de la tension de seuil. Cependant, de telles implantations de dopants peuvent être néfastes pour des transistors de type FDSOI : par exemple en augmentant la variabilité de la
10 tension de seuil des transistors, en dégradant les caractéristiques électrostatiques. Il est également délicat d'obtenir des tensions de seuil équilibrées pour les nMOS et pMOS d'une même cellule.

Pour les transistors pMOS, afin de réduire la tension de seuil et d'augmenter la densité de courant à l'état passant, il est possible de réaliser un
15 canal en alliage Silicium-Germanium, usuellement désigné par le terme SiGe. Plus la concentration en Germanium est élevée, plus la valeur absolue de la tension de seuil est basse.

Un procédé usuel de formation d'un canal SiGe à forte concentration en Germanium est le procédé désigné par le terme procédé de condensation. Ce
20 procédé comprend la croissance par épitaxie d'une couche SiGe sur une couche de Silicium, puis une oxydation thermique de cette couche de SiGe. Lors de l'oxydation, des atomes de Silicium participent à l'oxydation pour former un oxyde de Silicium en surface, alors que le Germanium diffuse dans le cœur de la couche épitaxiale. Le Germanium est bloqué en partie supérieure par
25 l'oxyde en formation et en partie inférieure par l'isolant enterré du substrat. Le processus de condensation permet ainsi d'obtenir un canal fin à haute densité en Germanium.

La plupart des circuits intégrés incluent des transistors ayant différentes tensions d'alimentation. En effet, les transistors des circuits logiques utilisent
30 généralement des tensions de grille plus faibles que les transistors GO2. Les transistors GO2 nécessitent donc à la fois des oxydes de grille présentant des tensions de claquage supérieures et des courants de fuite faibles à l'état bloqué. Le courant de fuite à l'état bloqué est un paramètre prépondérant pour les transistors GO2. Cependant, plusieurs facteurs conduisent à accroître ce
35 courant de fuite pour un transistor pMOS GO2 : un niveau de potentiel de grille plus élevé, un canal fin dont l'épaisseur est la même que pour les transistors des circuits logiques pour faciliter le procédé de fabrication, des fuites proportionnelles à la concentration de Germanium dans le canal.

Aucun procédé actuel ne permet de cointégrer simplement des pMOS
40 FDSOI pour des circuits logiques et pour des circuits à transistors GO2 sans

dégrader fortement les performances souhaitées, soit du côté des circuits logiques, soit du côté des circuits incluant les transistors GO2.

Il existe donc un besoin pour un circuit intégré et un procédé de fabrication d'un tel circuit intégré résolvant un ou plusieurs de ces inconvénients.

5 L'invention porte ainsi sur un circuit intégré, comprenant :

-un substrat et une couche d'isolant formée sur le substrat ;

-un premier transistor pMOS formé sur la couche d'isolant et comportant :

10 -un canal formé dans une première couche en alliage Silicium-Germanium présentant une première épaisseur et une première densité moyenne en Germanium ;

-une couche d'oxyde de grille présentant une première épaisseur équivalente d'oxyde ;

-un deuxième transistor pMOS formé sur la couche d'isolant et comportant :

15 -un canal formé dans une deuxième couche en alliage Silicium-Germanium présentant une deuxième épaisseur supérieure à la première et une deuxième densité moyenne en Germanium inférieure à la première;

-une couche d'oxyde de grille présentant une deuxième épaisseur équivalente d'oxyde supérieure à la première.

20 Selon une variante, les doses surfaciques de Germanium dans les première et deuxième couches sont égales à 10 % près.

Selon encore une variante, $1,2 * Ct4 < Ct3$, avec Ct4 ladite première épaisseur et Ct3 ladite deuxième épaisseur.

25 Selon encore une variante, Ct3 est compris entre 7 et 20nm et Ct4 est compris entre 5 et 8nm.

Selon encore une autre variante, $1,5 * Gt4 < Gt3$, avec Gt4 ladite première épaisseur équivalente d'oxyde et Gt3 ladite deuxième épaisseur équivalente d'oxyde.

30 Selon une autre variante, $Dm4 > 1,2 * Dm3$, avec Dm4 ladite première densité moyenne et Dm3 ladite deuxième densité moyenne.

Selon une variante, ladite deuxième densité moyenne est au plus égale à 20%.

Selon encore une variante, lesdits premier et deuxième transistors sont de type FDSOI.

35 Selon une autre variante, le circuit intégré comprend en outre un circuit de polarisation et des premier et deuxième plans de masse formés sous la couche d'isolant respectivement sous les première et deuxième couches en alliage Silicium-Germanium, ledit circuit de polarisation étant configuré pour polariser lesdits premier et deuxième plans de masse.

Selon une autre variante, le courant de fuite du deuxième transistor à l'état bloqué est inférieur à $10\text{pA} \cdot L_g$, avec L_g la longueur de grille de ce deuxième transistor exprimée en μm .

L'invention porte également sur un procédé de fabrication d'un circuit
5 intégré, comprenant les étapes de :

- fourniture d'un substrat, d'une couche d'isolant formée sur le substrat, et d'une couche de Silicium formée sur au moins des première et deuxième zones de la couche d'isolant ;
- formation d'un premier dépôt de Silicium-Germanium sur la couche de
10 Silicium au-dessus de la première zone de la couche d'isolant et d'un deuxième dépôt de Silicium-Germanium sur la couche de Silicium au-dessus de la deuxième zone de la couche d'isolant ;
- formation d'un masque recouvrant le deuxième dépôt de Silicium-Germanium et découvrant le premier dépôt de Silicium-Germanium ;
- en présence dudit masque, condensation du Germanium du premier
15 dépôt de façon à former un oxyde de Silicium en surface du premier dépôt et de façon à diffuser du Germanium dans ladite couche de Silicium sous le premier dépôt de façon à former une couche de Silicium-Germanium entre ledit oxyde de Silicium et ladite première
20 zone de la couche d'isolant ;
- retirer ledit oxyde de Silicium formé jusqu'à ce que l'épaisseur de la couche de Silicium-Germanium formée soit inférieure à l'épaisseur cumulée du deuxième dépôt de Silicium-Germanium et de la couche de Silicium au-dessus de la deuxième zone de la couche d'isolant ;
- retirer ledit masque formé ;
- former sur ladite couche de Silicium-Germanium un premier empilement de grille incluant un premier oxyde de grille et former sur ledit deuxième
25 dépôt un deuxième empilement de grille incluant un deuxième oxyde de grille, le deuxième oxyde de grille présentant une épaisseur équivalente d'oxyde supérieure à celle du premier oxyde de grille.

Selon une variante, la formation desdits premier et deuxième dépôts de Silicium-Germanium inclut une croissance de Silicium-Germanium par épitaxie.

Selon encore une variante, le procédé comprend une étape de formation de premier et deuxième plans de masse respectivement sous les première et
35 deuxième zones de la couche d'isolant, cette étape de formation incluant l'implantation de dopants dans le substrat (11).

Selon encore une autre variante, le procédé de fabrication comprend une étape de réduction de l'épaisseur de la couche de Silicium au-dessus de la première ou de la deuxième zone de la couche d'isolant, les premier et
40 deuxième dépôts de Silicium-Germanium étant réalisés sur des épaisseurs différentes de la couche de Silicium.

Selon une variante, ladite étape de retrait de l'oxyde de silicium est réalisée de sorte que ladite couche de Silicium-Germanium formée inclut au moins 90% de la dose de Germanium du premier dépôt de Germanium.

Selon encore une autre variante, lesdits premier et deuxième dépôts de
5 Silicium-Germanium sont formés simultanément et présentent une même épaisseur et une même dose surfacique de Silicium-Germanium.

D'autres caractéristiques et avantages de l'invention ressortiront clairement de la description qui en est faite ci-après, à titre indicatif et nullement
10 limitatif, en référence aux dessins annexés, dans lesquels :

-la figure 1 est une vue en coupe schématique de différents transistors d'un exemple de circuit intégré selon l'invention ;

-les figures 2 à 6 illustrent différentes étapes d'un exemple de procédé de fabrication d'un circuit intégré selon l'invention ;

15 -la figure 7 illustre un logigramme d'un exemple de procédé de fabrication de circuits intégrés selon l'invention ;

-les figures 8 à 12 illustrent différentes étapes d'un autre exemple de procédé de fabrication d'un circuit intégré selon l'invention ;

20 -la figure 13 illustre une étape intermédiaire d'une variante d'un procédé de fabrication selon l'invention.

L'invention vise à cointégrer des transistors FDSOI pMOS ayant différentes structures de canaux et d'oxydes de grille. L'invention vise notamment à obtenir des transistors à plus grande épaisseur de grille et à canal
25 moins fortement concentré en Germanium, et des transistors à moins grande épaisseur de grille et à canal plus fortement concentré en Germanium, et ce à partir d'un même dépôt de SiGe.

Des transistors pMOS à plus grande épaisseur d'oxyde de grille sont fréquemment désignés par le terme GO2 dans la littérature, alors que des
30 transistors pMOS à plus faible épaisseur d'oxyde de grille sont fréquemment désignés par le terme GO1 dans la littérature.

La figure 1 est une vue en coupe d'un exemple de circuit intégré 1 selon l'invention. Les dimensions illustrées sont uniquement destinées à faciliter la
35 compréhension et ne sont pas à l'échelle.

Dans cet exemple, le circuit intégré 1 comporte des transistors FDSOI incluant un transistor nMOS 2, un transistor pMOS 3 (typiquement destiné à un circuit d'alimentation, un circuit d'entrée/sortie ou un circuit analogique) et un transistor pMOS 4 typiquement destiné à un circuit logique.

40 Le circuit intégré 1 comporte un substrat semi-conducteur 11. Le substrat 11 est par exemple un substrat à base de silicium, typiquement un substrat de

silicium à dopage de type p, avec une concentration de dopants inférieure ou égale à 10^{16} cm^{-3} ou à $3 \cdot 10^{15} \text{ cm}^{-3}$.

L'exemple illustré ici porte sur des transistors de type FDSOI à contrôle par plan de masse (aussi appelé grille arrière dans la littérature) polarisé et dopé. Un circuit de polarisation non illustré est prévu pour polariser les différents plans de masse, avec des niveaux de tension dédiés ou identiques. Les transistors 2, 3 et 4 sont ici formés respectivement à l'aplomb de plans de masse 21, 31 et 41. Dans un souci de simplification, les plans de masse 21, 31 et 41 sont ici illustrés avec un même dopage. Des caissons peuvent être interposés entre les plans de masse 21, 31, 41 et le substrat 11, par exemple pour isoler les plans de masse par rapport au substrat ou pour polariser ces plans de masse. La structure des plans de masse et des éventuels caissons est connue en soi et ne sera pas davantage détaillée.

Une couche d'isolant enterrée est disposée entre les plans de masse 21, 31, 41 et les transistors 2, 3 et 4 respectivement. Un isolant enterré 22 est ainsi interposé entre le plan de masse 21 et une couche semi-conductrice 23 du transistor 2, un isolant enterré 32 est ainsi interposé entre le plan de masse 31 et une couche semi conductrice 33, 34, et un isolant enterré 42 est ainsi interposé entre le plan de masse 41 et une couche semi conductrice 45. La couche isolante enterrée incluant les isolants enterrés 22, 32 et 42 est de type UTBOX (pour Ultra Thin Buried Oxide), et présente ainsi une épaisseur typiquement inférieure à 50nm, et par exemple comprise entre 5 et 30nm. La couche isolante enterrée peut être formée de façon connue en soi en oxyde de silicium.

Avec une couche isolante enterrée de type UTBOX, la tension de seuil des transistors formés sur cette couche est de façon connue en soi influencée par le type de dopage et la polarisation de plans de masse disposés sous cette couche isolante enterrée. Ces paramètres de plans de masse permettent en effet de contrôler les propriétés électrostatiques du canal des transistors.

Le canal du transistor nMOS 2 est destiné à être formé dans la couche semi conductrice 23. Cette couche semi conductrice 23 est destinée à former le canal du transistor 2. La couche 23 est typiquement une couche en silicium faiblement dopé (typiquement 10^{15} cm^{-3}). La couche 23 présente une épaisseur typiquement comprise entre 3 et 15 nm, typiquement 5 nm. Un empilement de grille (dont la structure est connue en soi) du transistor 2 est formé sur la couche 23. L'empilement de grille comporte notamment un métal de grille 27, et un oxyde de grille 26. Le métal de grille 27 est formé sur l'oxyde de grille 26. L'oxyde de grille 26 est formé sur la couche 23. Cet empilement de grille comporte de façon connue en soi des espaceurs latéraux 28.

Le canal du transistor pMOS 3 est destiné à être formé dans la combinaison des couches semi conductrices 33 et 34. Afin de faciliter la description de la combinaison des couches 33 et 34, celles-ci sont illustrées comme deux couches semi conductrices indépendantes. Cependant, ces
5 couches 33 et 34 peuvent être réalisées sous forme d'une unique couche de composition relativement homogène. Un empilement de grille du transistor 3 est formé sur la couche 34. L'empilement de grille comporte notamment un métal de grille 37, et un oxyde de grille 36. Le métal de grille 37 est formé sur l'oxyde de grille 36. L'oxyde de grille 36 est formé sur la couche 34. Cet empilement de
10 grille comporte de façon connue en soi des espaceurs latéraux 38, par exemple réalisés en oxyde, en nitrure ou en oxynitrure, ou en un oxyde à faible permittivité comme le SiBCN ou le SiOCN.

La combinaison des couches 33 et 34 se caractérise par une épaisseur cumulée que l'on notera Ct3. On désignera par Ds3 la dose surfacique de
15 Germanium dans la combinaison des couches 33 et 34. On désignera par Dm3 la densité moyenne de Germanium dans la combinaison des couches 33 et 34. L'oxyde de grille 36 présente une épaisseur que l'on notera Gt3. Le transistor 3 a un oxyde de grille 36 qui doit supporter typiquement des tensions d'alimentation de grille de l'ordre de 0.6V à 1.8V (soit des tensions supérieures
20 ou égales aux tensions appliquées sur la grille 47). L'épaisseur Gt3 est dimensionnée pour supporter le champ appliqué pour de telles tensions de grille.

Le canal du transistor pMOS 4 est destiné à être formé dans la couche
25 semi conductrice 45. La couche 45 présente une épaisseur typiquement comprise entre 3 et 15 nm, typiquement 5 nm. Un empilement de grille du transistor 4 est formé sur la couche 45. L'empilement de grille comporte notamment un métal de grille 47, et un oxyde de grille 46. Le métal de grille 47 est formé sur l'oxyde de grille 46. L'oxyde de grille 46 est formé sur la couche
30 45. Cet empilement de grille comporte de façon connue en soi des espaceurs latéraux 48.

La couche 45 se caractérise par une épaisseur que l'on notera Ct4. On désignera par Ds4 la dose surfacique de Germanium dans la couche 45. On désignera par Dm4 la densité moyenne de germanium dans la couche 45.
35 L'oxyde de grille 46 présente une épaisseur que l'on notera Gt2. Le transistor 4 a un oxyde de grille 46 qui doit supporter typiquement des tensions d'alimentation de grille de l'ordre de 0.5 à 1.2V (soit des tensions inférieures aux tensions appliquées sur la grille 37). L'épaisseur Gt4 est dimensionnée pour supporter le champ appliqué pour de telles tensions de grille.

40

Selon l'invention, les règles suivantes seront respectées :

- $Ct4 < Ct3$
- $Gt4 < Gt3$
- $Dm4 > Dm3$

5 Avec $Dm4 > Dm3$, l'écart de potentiel entre la bande de valence et la bande de conduction (aussi appelé gap en langue anglaise) du canal du pMOS 3 est plus grand que celui du pMOS 4. Ainsi, le GIDL (pour Gate Induced Drain Lowering en langue anglaise) est plus réduit dans le pMOS 3 que dans le pMOS 4, et donc un courant de fuite inférieur à l'état bloqué. De même, $Ct4 < Ct3$ induit
 10 un GIDL plus réduit dans le pMOS 3 que dans le pMOS 4. On peut envisager des courants de fuite pour un transistor pMOS 3 de l'ordre de 1 à 10 pA par micromètre de longueur de grille.

De préférence, une ou plusieurs des règles suivantes pourront être
 15 respectées :

- $1,2 * Ct4 < Ct3$
- $1,5 * Gt4 < Gt3$
- $Dm4 > 1,2 * Dm3$

20 De préférence, $Dm4$ est au moins égal à 20%. De préférence, $Dm3$ est au plus égal à 20%.

Les plages de valeurs suivantes seront de préférence utilisées :

- $Ct3$ compris entre 7 et 20nm, de préférence égal à 12nm ;
- $Ct4$ compris entre 3 et 8nm, de préférence égal à 7nm ;

25

Un exemple de procédé, facilitant la co-intégration de transistors 3 et 4 respectant ces règles, sera détaillé par la suite.

Avantageusement, la règle suivante sera respectée : $Ds3 = Ds4 \pm 10\%$,
 30 du fait de l'utilisation d'un même dépôt de SiGe pour former les canaux des transistors 3 et 4 à partir d'une même épaisseur de silicium sur isolant.

Les figures 2 à 6 illustrent différentes étapes d'un exemple de procédé de fabrication d'un circuit intégré selon l'invention. Sur ces vues en coupe
 35 transversale, on illustre de gauche à droite la fabrication respectivement d'un transistor nMOS 2, d'un transistor pMOS 3 de type GO2, et d'un transistor pMOS 4 de type GO1.

A la figure 2, on part d'un substrat 11 tel que détaillé précédemment, sur lequel des plans de masse 21, 31 et 41 tels que détaillés précédemment sont
 40 présents. Ces plans de masse 21, 31 et 41 sont surmontés par des isolants enterrés 22, 32 et 42 tels que décrits précédemment. Les isolants enterrés 22,

32 et 42 sont surmontés par une couche de Silicium comportant des zones 23, 33 et 43 formées respectivement sur les isolants enterrés 22, 32 et 42. La couche de Silicium présente par exemple une épaisseur de 7 nm. Un isolant 25 est formé sur la zone 23. L'isolant 25 est par exemple réalisé en Oxyde de Silicium et/ou en nitrure de Silicium. L'isolant 25 est mis en forme de façon à ne pas recouvrir les zones 33 et 43.

À la figure 3, on a formé un masque 24 sur l'isolant 25, typiquement un masque dur. Le masque 24 est mis en forme de façon à ne pas recouvrir les zones 33 et 43. Le masque 24 est par exemple réalisé par photolithographie d'une résine de façon connue en soi. Le masque 24 peut contenir de l'oxyde de silicium, du nitrure de silicium, ou la superposition des deux. Le masque 24 est typiquement mis en forme pour définir les emplacements des transistors nMOS 2.

Postérieurement à la mise en forme du masque 24, des dépôts 34 et 44 de SiGe sont formés respectivement sur les zones 33 et 43. Les dépôts de SiGe sont typiquement formés par épitaxie. Les zones 34 et 44 sont formées lors d'une même étape de croissance par épitaxie et comportent ainsi une même épaisseur et une même concentration en SiGe. Des exemples de concentration en germanium des dépôts 34 et 44 seront détaillés par la suite, mais on peut par exemple envisager de réaliser des dépôts 34 et 44 présentant une concentration en germanium de 27 %. La croissance par épitaxie du SiGe est dite sélective par rapport à l'isolant 25 (de façon connue en soi) c'est-à-dire que les dépôts de SiGe se forment essentiellement sur les zones 33 et 43. Les dépôts de Germanium 34 et 44 sont par exemple réalisés sur une épaisseur de 7nm.

A la figure 4, on a formé un masque 29 sur le masque 24 et un masque 39 sur le dépôt 34. Les masques 29 et 39 sont typiquement des masques durs. Les masques 29 et 39 sont mis en forme de façon à ne pas recouvrir le dépôt 44. Les masques 29 et 39 peuvent contenir de l'oxyde de silicium, du nitrure de silicium, ou la superposition des deux. Le masque 39 est typiquement mis en forme pour définir les emplacements des transistors pMOS 3.

Les étapes de mise en forme, de structuration ou de création de motifs (pour patterning en langue anglaise) par photolithographie décrites dans la présente demande pourront inclure l'application d'une photorésine, l'exposition de la photorésine à un motif souhaité, le développement de la photorésine, puis le transfert du motif de la photorésine dans la ou les couches inférieures par l'intermédiaire d'une ou plusieurs gravures, par exemple des gravures sèches ou des gravures humides.

Après la formation du masque 39, on peut optionnellement réduire l'épaisseur du dépôt 44, en maintenant par exemple le dépôt 44 dans une atmosphère conduisant à son amincissement.

À la figure 5, on a mis en œuvre un procédé de condensation du dépôt 44 de SiGe. Le procédé de condensation aboutit à la formation d'un oxyde thermique 49 en surface. La formation de l'oxyde thermique 49 aboutit à une augmentation de volume par rapport à la superposition initiale de la zone 43 et du dépôt 44. Le procédé de condensation aboutit également à une augmentation de la concentration en germanium entre l'oxyde thermique 49 et l'isolant enterré 42. Du germanium du dépôt 44 migre ainsi dans la zone en silicium 43. On crée alors une couche de SiGe 45 à forte concentration en SiGe. L'oxyde thermique 49 présente alors une concentration en Germanium nulle ou négligeable suite à cette migration.

On aboutit alors à une couche 45 dont l'épaisseur est inférieure à l'épaisseur cumulée des couches 33 et 34. Du fait de la conservation de la dose de Germanium, la concentration moyenne en Germanium dans la couche 45 est supérieure à celle de la combinaison des couches 33 et 34.

Le procédé de condensation est inhibé dans le dépôt de SiGe 34, du fait de la présence du masque 39. La présence de nitrure dans le masque 39 permet de limiter au maximum une éventuelle oxydation thermique du dépôt 34.

Le procédé de condensation peut être mis en œuvre de façon connue en soi par un procédé dit RTO (pour Rapid Thermal Oxidation en langue anglaise), à une température de 1100°C, pendant une durée de l'ordre d'une minute.

À la figure 6, on a retiré les masques 24, 29 et 39. L'isolant 25 est également retiré. Le masque 24 et les masques 29 et 39 peuvent être retirés lors d'une même étape ou lors d'étapes séparées en fonction de leurs compositions. A l'issue de la figure 6, on a également retiré l'oxyde thermique 49, de sorte que la couche de SiGe 45 résiduelle présente une épaisseur plus réduite que la superposition de la zone 33 et du dépôt 34. La couche 45 pourra par exemple présenter une épaisseur de 8nm en partant de couches 43 et 44 ayant chacune une épaisseur de 7nm. La dose de Germanium initiale du dépôt 44 étant globalement conservée dans la couche de SiGe résiduelle et étant identique à la dose de Germanium initiale du dépôt 34, la couche 45 présente une plus grande concentration en Germanium que la superposition des couches 33 et 34.

Les couches 33 et 34 sont ici illustrées comme séparées. En pratique, du fait des différentes étapes du procédé de fabrication réalisées à plus de 600°C, le Germanium du dépôt 34 va migrer dans le Silicium de la zone 33 pour former une couche à concentration en Germanium relativement homogène, dans la plupart des cas. L'inhibition de la condensation dans les couches 33 et 34 et l'utilisation d'une migration de Germanium permet de réaliser des dépôts 34 et 44 avec des concentrations en Germanium élevées, sans craindre de former des défauts cristallins dans le canal du transistor 3. On peut ainsi réduire les

fuites à l'état bloqué de ce transistor 3. En effet, des études ont montré la difficulté de réalisation de couches de SiGe à fortes concentration en Germanium par un procédé de condensation.

Lors d'étapes ultérieures non illustrées, on réalise des empilements de grille de façon connue en soi, pour obtenir la structure illustrée en référence à la figure 1.

L'invention permet ainsi d'obtenir à la fois des transistors pMOS 3 et des transistors pMOS 4, optimisés pour leurs applications respectives, à partir d'un procédé de fabrication relativement simple. Le maintien de Germanium dans le canal des transistors 3 permet notamment de baisser leur tension de seuil à un niveau satisfaisant, sans nécessiter par exemple une polarisation particulière du plan de masse 31 ou d'autres paramètres.

La figure 7 récapitule les étapes mises en œuvre dans un exemple de procédé de fabrication d'un circuit intégré selon l'invention.

L'étape 201 comprend la fourniture d'un substrat 11 comportant les plans de masse 21, 31 et 41 surmontés respectivement par les isolants enterrés 22, 32 et 42 et comportant des zones 23, 33 et 43 d'une couche de silicium formée respectivement sur les isolants enterrés 22, 32 et 42. Un isolant 25 est présent sur la zone 23 de la couche de silicium. Optionnellement, les plans de masse 21, 31 et 41 peuvent être réalisés lors d'une implantation ultérieure de dopants.

L'étape 202 comprend la formation d'un masque 24 dur sur l'isolant 25, et la mise en forme du masque 24 pour découvrir les zones 33 et 43, par exemple par photolithographie.

L'étape 203 comprend la formation par épitaxie des dépôts de SiGe 34 et 44 sur les zones 33 et 43. L'étape 203 peut inclure le retrait d'un éventuel dépôt de SiGe sur l'isolant 25.

L'étape 204 comprend la formation d'un masque 29 sur le masque 24 et la formation d'un masque 39 sur le dépôt de SiGe 34, ainsi que la mise en forme des masques 29 et 39 découvrir le dépôt 44, par exemple par photolithographie.

L'étape optionnelle 205 comprend l'amincissement du dépôt 44 par le maintien du circuit intégré en formation, par exemple par une étape de gravure ou par un maintien dans une atmosphère adéquate.

L'étape 206 comprend la condensation du dépôt 44 par un procédé RTO, de façon à former l'oxyde thermique 49 en surface et une couche de SiGe 45 sous cet oxyde thermique 49.

L'étape 207 comprend :

- le retrait de l'oxyde thermique 49 jusqu'à atteindre la couche de SiGe 45, et de sorte que la couche de SiGe présente une épaisseur inférieure à l'épaisseur cumulée des couches 33 et 34 ;
- le retrait des masques 24, 29 et 39 ;

-le retrait de l'isolant 25.

L'étape 208 comprend la formation, de façon connue en soi, de tranchées d'isolation (non illustrées) entre les différents transistors du circuit intégré 1.

L'étape 209 comprend la diffusion de Germanium de la couche 34 vers la zone 33 suite à au moins une étape de montée en température. Une diffusion de Germanium est notamment initiée durant la condensation du dépôt 44 ou durant la formation de tranchées d'isolation (STI) mais peut être poursuivie de façon fractionnée lors d'une ou plusieurs autres opérations impliquant une montée en température, par exemple au-delà de 600°C

L'étape 210 peut correspondre à l'implantation de dopants dans le substrat 11 de façon à former les plans de masse 21, 31 et 41 sous les isolants enterrés 22, 32 et 42 respectivement.

L'étape 211 comprend la formation et la mise en forme des empilements de grille des transistors 2, 3 et 4, respectivement sur la zone de silicium 23, sur la couche de SiGe 34 et sur la couche de SiGe 45. L'oxyde de grille 46 de l'empilement de grille du transistor 4 présente une épaisseur inférieure à celle de l'oxyde de grille 36 de l'empilement de grille du transistor 3.

L'étape 212 comprend la formation des sources et drains respectives des transistors 2, 3 et 4 du circuit intégré 1 par exemple par implantation, ou dosage in-situ et diffusion.

Les règles de conception suivantes pourront être utilisées pour dimensionner les transistors 3 et 4 du circuit intégré 1. Du fait de l'utilisation d'un même dépôt de SiGe pour former les canaux des transistors 3 et 4, on suppose que la dose surfacique de Germanium est conservée et reste identique pour les canaux des transistors 3 et 4. Avec D_{sp} la dose surfacique de Germanium déposée, D_{td} l'épaisseur de SiGe déposée et D_{md} la concentration moyenne en Germanium du SiGe déposé, la relation suivante est alors respectée :

$$D_{sp} = D_{td} * D_{md} = D_{s3} = D_{m3} * C_{t3} = D_{s4} = D_{m4} * C_{t4}$$

$$C_{t3} = D_{td} + D_{si}$$

Avec D_{si} l'épaisseur de silicium avant dépôt de la couche de SiGe.

On fixe tout d'abord la valeur C_{t4} souhaitée. C_{t4} est par exemple définie par des critères électrostatiques. Une règle courante est de définir une épaisseur de canal pour un transistor pMOS de type GO1 comme étant approximativement le quart de la longueur de sa grille. Typiquement, pour le nœud technologique à 14 nm, on utilise une longueur de grille de 24nm. On peut donc définir la valeur C_{t4} souhaitée comme étant égale à 6nm. L'épaisseur C_{t4} est par exemple contrôlée par la température du processus d'oxydation ou par la durée de ce processus d'oxydation.

On fixe ensuite la valeur Dm_4 souhaitée, en fonction de la tension de seuil et de la densité de courant à l'état passant souhaitées pour le transistor 4. On en déduit alors la dose de Germanium D_{sp} à déposer.

5 D'une manière générale, le travail de sortie de la grille et la concentration de Germanium du canal seront ajustés de sorte que l'on équilibre la tension de seuil des nMOS 2 et des pMOS 4.

On pourra par exemple fixer la concentration Dm_4 de façon à respecter l'inégalité suivante : $4,54 - 0.005 \cdot Dm_4 \leq \Phi_{im} \leq 4,59 - 0.005 \cdot Dm_4$

10 Avec Φ_{im} le travail de sortie du matériau du métal de grille 47 et du métal de grille 37.

On fixe ensuite la valeur Dm_3 souhaitée, en fonction de la tension de seuil souhaitée pour le transistor 3, en considérant par exemple que la tension de seuil du transistor 3 varie de 10mV par pourcent de concentration de Germanium Dm_3 . On peut considérer que la tension de seuil du transistor 3 est influencée par la moyenne de la concentration en Germanium dans les couches 33 et 34, même si cette concentration en Germanium n'est pas complètement homogène dans l'épaisseur.

20 On peut ensuite déduire l'épaisseur Ct_3 de la relation précédente de conservation de la dose de Germanium, et avec la relation $Ct_3 = D_{td} + D_{si}$.

D_{si} et D_{td} pourront typiquement être fixées chacune à une valeur de 7nm par exemple. Si $D_{si} = D_{td}$, avec D_{md} la concentration moyenne du dépôt de SiGe, on obtient alors une concentration moyenne $Dm_4 = D_{md} / 2$.

25 La relation de conservation de la dose de Germanium peut être corrigée pour tenir compte d'une éventuelle consommation de la couche 34 ou de la couche 45, ou pour tenir compte du Germanium resté dans la couche 49 qui est retirée. On constate que 2nm des dépôts 34 et 44 peuvent être consommés après leur formation, jusqu'à la formation des empilements de grille.

30 Selon une alternative à la fixation de la valeur Dm_3 souhaitée, on peut fixer au préalable une épaisseur Ct_3 , puis en déduire la valeur Dm_3 correspondante.

35 Des exemples de paramètres qui peuvent être envisagés sont les suivants :

$Dm_3 = 13\%$; $Ct_3 = 12,5\text{nm}$; $Dm_4 = 20\%$; $Ct_4 = 7\text{ nm}$;
 $Dm_3 = 20\%$; $Ct_3 = 12,5\text{nm}$; $Dm_4 = 50\%$; $Ct_4 = 5\text{ nm}$;
 $Dm_3 = 19\%$; $Ct_3 = 12,5\text{nm}$; $Dm_4 = 80\%$; $Ct_4 = 3\text{ nm}$;

40 Avantageusement, D_{md} est compris entre 15 et 45%.
 Avantageusement, $D_{si} = D_{td}$.

Selon une variante, illustrée à la figure 13 à une étape intermédiaire de son procédé de fabrication, les dépôts 34 et 44 peuvent être réalisés sur des zones de Silicium 33 et 43 d'épaisseurs différentes, par exemple obtenues par
 5 une étape de photolithographie et retrait localisé par exemple par gravure humide ou sèche. Ici, la zone 43 présente une épaisseur moindre par rapport à la zone 33. Une telle variante permet de faciliter l'obtention de valeurs Ct4 et Dm4 indépendamment des valeurs de Ct3 et Dm3.

10 Comme mentionné précédemment, on doit respecter la relation $Gt4 < Gt3$.

Les épaisseurs Gt3 et Gt4 prises en compte sont des épaisseurs EOT, c'est-à-dire les épaisseurs d'oxyde équivalentes (pour Equivalent Oxyde Thickness en langue anglaise). En effet, les couches d'oxyde 36 et 46 pourront
 15 chacune présenter un empilement de couches, par exemple un empilement d'une couche d'oxyde de silicium avec une couche de diélectrique Hk à forte permittivité diélectrique.

Une permittivité diélectrique supérieure à 6 sera généralement considérée comme caractéristique d'une couche de diélectrique Hk. Dans la
 20 présente demande de brevet, on désigne une permittivité diélectrique comme une permittivité diélectrique relative par rapport au vide. Une couche Hk peut par exemple être une couche d'oxyde, un silicate de métal, ou un matériau choisi parmi les matériaux suivants (ou un mélange d'un ou plusieurs de ces matériaux) : HfO₂, ZrO₂, Al₂O₃, TiO₂, La₂O₃, STiO₃, Y₂O₃, Ga₂O₃, GdGaO,
 25 silicate de hafnium ou oxynitride de silicium et d'hafnium.

Le calcul de l'épaisseur EOT d'une couche composite d'oxyde de grille, par exemple par empilement de couches en matériaux différents, est connu en soi de l'homme du métier.

On pourra par exemple choisir une valeur de Gt3 comprise entre 2 et
 30 4nm et une valeur de Gt4 comprise entre 0,5 et 2nm.

Les figures 8 à 12 illustrent une variante d'un procédé de fabrication d'un circuit intégré 1 selon l'invention. A la figure 8, on part d'un substrat 11 tel que détaillé précédemment, sur lequel des plans de masse 21, 31 et 41 tels que
 35 détaillés précédemment sont présents. Ces plans de masse 21, 31 et 41 sont surmontés par des isolants enterrés 22, 32 et 42 tels que décrits précédemment. Les isolants enterrés 22, 32 et 42 sont surmontés par une couche de Silicium comportant des zones 23, 33 et 43 formées respectivement sur les isolants enterrés 22, 32 et 42. La couche de Silicium présente par
 40 exemple une épaisseur de 7 nm. Un masque dur 251 est formé sur la zone 23. Le masque dur 251 est par exemple réalisé en isolant à partir d'un dépôt de gaz

TEOS (pour Tetraethyl orthosilicate), par exemple par un procédé CVD (pour Chemical Vapor Deposition en langue anglaise). Le masque dur 251 est mis en forme de façon à ne pas recouvrir les zones 33 et 43. Le masque dur 251 peut par exemple être déposé sur une épaisseur comprise entre 5 et 15nm.

5 À la figure 9, des dépôts 341 et 441 de SiGe ont été formés respectivement sur les zones 33 et 43. Les dépôts de SiGe sont typiquement formés par épitaxie. Les zones 341 et 441 sont formées lors d'une même étape de croissance par épitaxie et comportent ainsi une même épaisseur et une même concentration en SiGe. Les dépôts 341 et 441 peuvent reprendre les
10 mêmes paramètres de concentration en Germanium et d'épaisseur que mentionné précédemment. La croissance par épitaxie du SiGe étant sélective par rapport au masque dur 251, les dépôts de SiGe se forment essentiellement sur les zones 33 et 43.

A la figure 10, un autre masque dur est formé. Cet autre masque dur
15 comprend une zone 252 formée sur le masque dur 251 et une zone 352 formée sur le dépôt 341 (correspondant au transistor 3 en cours de formation). Cet autre masque dur est par exemple réalisé en isolant à partir d'un dépôt en phase gazeuse TEOS ou épitaxie. Cet autre masque dur est mis en forme dans les zones 252 et 352 et de façon à ne pas recouvrir le dépôt 441. Cet autre
20 masque dur pourra présenter une épaisseur inférieure à celle du masque dur 251, par exemple comprise entre 3 et 8nm.

A la figure 10, on a formé et mis en forme une couche de nitrure de Silicium. La couche de nitrure de Silicium comporte des zones 253 et 353 recouvrant respectivement les zones 252 et 352 de l'autre masque dur. La
25 couche de nitrure de Silicium est mise en forme de façon à ne pas recouvrir le dépôt 441, correspondant à l'emplacement du transistor 4 en cours de formations. La couche de nitrure de Silicium peut comporter une épaisseur comprise entre 5 et 15nm.

On peut optionnellement réduire l'épaisseur du dépôt 441, en maintenant
30 par exemple le dépôt 441 dans une atmosphère conduisant à son amincissement ou par une étape de nettoyage.

Les étapes de mise en forme, de structuration ou de création de motifs (pour patterning en langue anglaise) par photolithographie décrites dans la
35 présente demande pourront inclure l'application d'une photorésine, l'exposition de la photorésine à un motif souhaité, le développement de la photorésine, puis le transfert du motif de la photorésine dans la ou les couches inférieures par l'intermédiaire d'une ou plusieurs gravures, par exemple des gravures sèches ou des gravures humides.

À la figure 12, on a mis en œuvre un procédé de condensation du dépôt 441 de SiGe. Comme détaillé auparavant, le procédé de condensation aboutit à la formation d'un oxyde thermique 49 en surface. La formation de l'oxyde thermique 49 aboutit à une augmentation de volume par rapport à la superposition initiale de la zone 43 et du dépôt 441. Le procédé de condensation aboutit également à une augmentation de la concentration en germanium dans le semiconducteur situé entre l'oxyde thermique 49 et l'isolant enterré 42. Du germanium du dépôt 441 migre ainsi dans la zone en silicium 43 pour former une couche de SiGe 45 à forte concentration en SiGe. On aboutit alors à une couche 45 dont l'épaisseur est inférieure à l'épaisseur cumulée des couches 33 et 341. Du fait de la conservation de la dose de Germanium, la concentration moyenne en Germanium dans la couche 45 est supérieure à celle de la combinaison des couches 33 et 341.

Le procédé de condensation est inhibé dans le dépôt de SiGe 341, du fait de la présence des zones 352 et 353 appartenant respectivement à la couche de l'autre masque dur et à la couche de nitrure de Silicium. La couche de nitrure de silicium permet notamment de limiter au maximum une éventuelle oxydation thermique du dépôt 341.

Le procédé de condensation peut être mis en œuvre de façon connue en soi par un procédé RTO à une température de 1100°C, pendant une durée de l'ordre d'une minute.

On peut ensuite procéder au retrait de la couche de nitrure de silicium et des couches de masque dur.

On procède également au retrait de l'oxyde thermique 49, de sorte que la couche de SiGe 45 résiduelle présente une épaisseur plus réduite que la superposition de la zone 33 et du dépôt 341. La couche 45 pourra par exemple présenter une épaisseur de 8nm en partant de couches 43 et 441 ayant chacune une épaisseur de 7nm. La dose de Germanium initiale du dépôt 441 étant globalement conservée dans la couche de SiGe résiduelle et étant identique à la dose de Germanium initiale du dépôt 341, la couche 45 présente une plus grande concentration en Germanium que la superposition des couches 33 et 341. Les couches 33 et 341 sont ici illustrées comme séparées. Comme détaillé précédemment, le Germanium du dépôt 341 va migrer dans le Silicium de la zone 33 lors de différentes étapes de chauffage, pour former une couche à concentration en Germanium relativement homogène.

On peut ensuite procéder à la formation et à la mise en forme des empilements de grille, en vue d'obtenir les transistors 2, 3 et 4 tels qu'illustrés à la figure 1.

Dans les exemples illustrés précédemment, le circuit intégré 1 comprend systématiquement un transistor nMOS pour mieux illustrer un besoin courant de

cointégration. On peut cependant également envisager un circuit intégré 1 selon l'invention ne comportant que des transistors pMOS.

REVENDICATIONS

1. Circuit intégré (1), caractérisé en ce qu'il comprend :
 - un substrat (11) et une couche d'isolant (22, 32, 42) formée sur le substrat (11) ;
 - un premier transistor pMOS (4) formé sur la couche d'isolant et comportant :
 - un canal formé dans une première couche (45) en alliage Silicium-Germanium présentant une première épaisseur et une première densité moyenne en Germanium ;
 - une couche d'oxyde de grille (46) présentant une première épaisseur équivalente d'oxyde ;
 - un deuxième transistor pMOS (3) formé sur la couche d'isolant et comportant :
 - un canal formé dans une deuxième couche (33,34) en alliage Silicium-Germanium présentant une deuxième épaisseur supérieure à la première et une deuxième densité moyenne en Germanium inférieure à la première;
 - une couche d'oxyde de grille (36) présentant une deuxième épaisseur équivalente d'oxyde supérieure à la première.
2. Circuit intégré (1) selon la revendication 1, dans lequel les doses surfaciques de Germanium dans les première et deuxième couches sont égales à 10 % près.
3. Circuit intégré (1) selon la revendication 1 ou 2, dans lequel :

$$1,2 * Ct4 < Ct3$$
 avec Ct4 ladite première épaisseur et Ct3 ladite deuxième épaisseur.
4. Circuit intégré (1) selon la revendication 3, dans lequel Ct3 est compris entre 7 et 20nm et Ct4 est compris entre 5 et 8nm.
5. Circuit intégré (1) selon l'une quelconque des revendications précédentes, dans lequel :

$$1,5 * Gt4 < Gt3$$
 avec Gt4 ladite première épaisseur équivalente d'oxyde et Gt3 ladite deuxième épaisseur équivalente d'oxyde.
6. Circuit intégré (1) selon l'une quelconque des revendications précédentes, dans lequel :

$$Dm4 > 1,2 * Dm3$$
 avec Dm4 ladite première densité moyenne et Dm3 ladite deuxième densité moyenne.

7. Circuit intégré (1) selon la revendication 6, dans lequel ladite deuxième densité moyenne est au plus égale à 20%.
8. Circuit intégré (1) selon l'une quelconque des revendications précédentes, dans lequel lesdits premier et deuxième transistors (4, 3) sont de type FDSOI.
9. Circuit intégré (1) selon la revendication 8, comprenant en outre un circuit de polarisation et des premier et deuxième plans de masse (41, 31) formés sous la couche d'isolant (42, 32) respectivement sous les première et deuxième couches en alliage Silicium-Germanium, ledit circuit de polarisation étant configuré pour polariser lesdits premier et deuxième plans de masse.
10. Circuit intégré selon l'une quelconque des revendications précédentes, dans lequel le courant de fuite du deuxième transistor à l'état bloqué est inférieur à $10\text{pA} \cdot L_g$, avec L_g la longueur de grille de ce deuxième transistor exprimée en μm .
11. Procédé de fabrication d'un circuit intégré (1), comprenant les étapes de :
 - fourniture d'un substrat (11), d'une couche d'isolant (32, 42) formée sur le substrat, et d'une couche de Silicium (33, 43) formée sur au moins des première et deuxième zones de la couche d'isolant ;
 - formation d'un premier dépôt de Silicium-Germanium (44) sur la couche de Silicium au-dessus de la première zone de la couche d'isolant et d'un deuxième dépôt (34) de Silicium-Germanium sur la couche de Silicium au-dessus de la deuxième zone de la couche d'isolant ;
 - formation d'un masque (39) recouvrant le deuxième dépôt de Silicium-Germanium (34) et découvrant le premier dépôt de Silicium-Germanium (44) ;
 - en présence dudit masque (39), condensation du Germanium du premier dépôt de façon à former un oxyde de Silicium (49) en surface du premier dépôt et de façon à diffuser du Germanium dans ladite couche de Silicium (43) sous le premier dépôt (44) de façon à former une couche de Silicium-Germanium (45) entre ledit oxyde de Silicium (49) et ladite première zone de la couche d'isolant (42) ;
 - retirer ledit oxyde de Silicium formé (49) jusqu'à ce que l'épaisseur de la couche de Silicium-Germanium formée soit inférieure à l'épaisseur cumulée du deuxième dépôt de Silicium-Germanium et de la couche de Silicium au-dessus de la deuxième zone (32) de la couche d'isolant ;
 - retirer ledit masque formé ;
 - former sur ladite couche de Silicium-Germanium un premier empilement de grille incluant un premier oxyde de grille (46) et former sur ledit

deuxième dépôt un deuxième empilement de grille incluant un deuxième oxyde de grille (36), le deuxième oxyde de grille présentant une épaisseur équivalente d'oxyde supérieure à celle du premier oxyde de grille.

- 5 12. Procédé de fabrication d'un circuit intégré (1) selon la revendication 11, dans lequel la formation desdits premier et deuxième dépôts de Silicium-Germanium inclut une croissance de Silicium-Germanium par épitaxie.
- 10 13. Procédé de fabrication d'un circuit intégré (1) selon la revendication 11 ou 12, comprenant une étape de formation de premier et deuxième plans de masse respectivement sous les première et deuxième zones de la couche d'isolant, cette étape de formation incluant l'implantation de dopants dans le substrat (11).
- 15 14. Procédé de fabrication d'un circuit intégré (1) selon l'une quelconque des revendications 11 à 13, comprenant une étape de réduction de l'épaisseur de la couche de Silicium au-dessus de la première ou de la deuxième zone de la couche d'isolant, les premier et deuxième dépôts de Silicium-Germanium étant réalisés sur des épaisseurs différentes de la couche de Silicium.
- 20 15. Procédé de fabrication d'un circuit intégré (1) selon l'une quelconque des revendications 11 à 14, dans lequel ladite étape de retrait de l'oxyde de silicium est réalisée de sorte que ladite couche de Silicium-Germanium formée inclut au moins 90% de la dose de Germanium du premier dépôt de Germanium.
- 25 16. Procédé de fabrication d'un circuit intégré (1) selon l'une quelconque des revendications 11 à 15, dans lequel lesdits premier et deuxième dépôts de Silicium-Germanium sont formés simultanément et présentent une même épaisseur et une même dose surfacique de Silicium-Germanium.
- 30

2/5

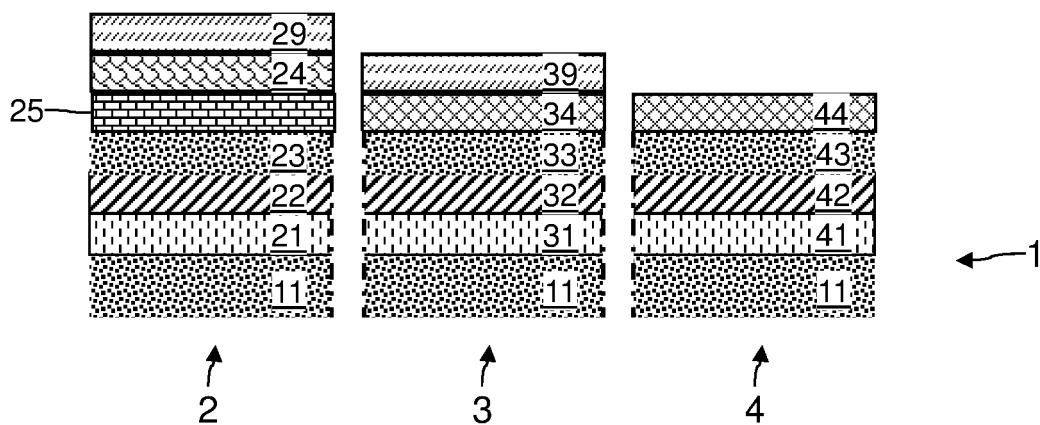


Fig. 4

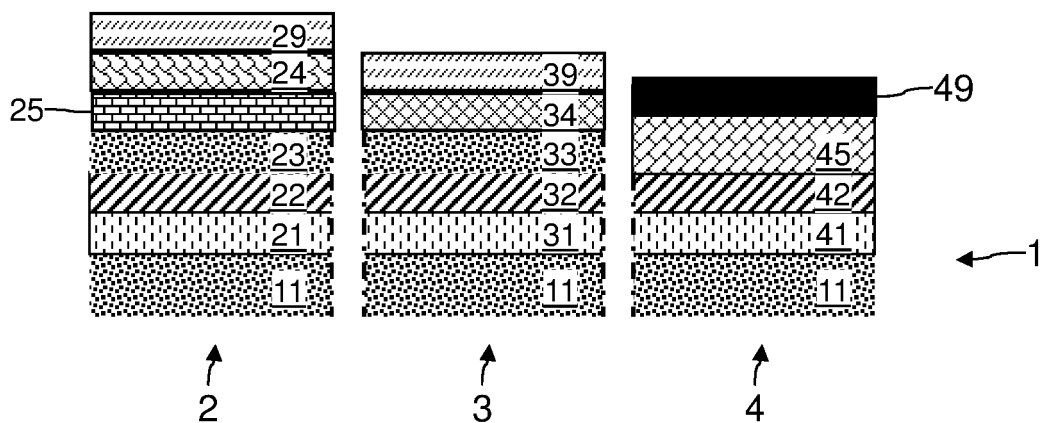


Fig. 5

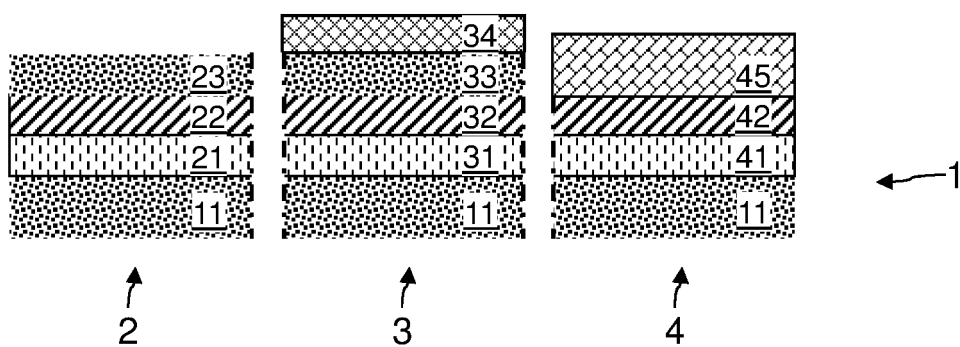


Fig. 6

3/5

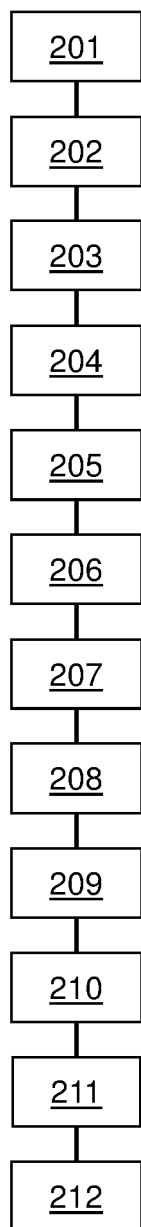


Fig. 7

4/5

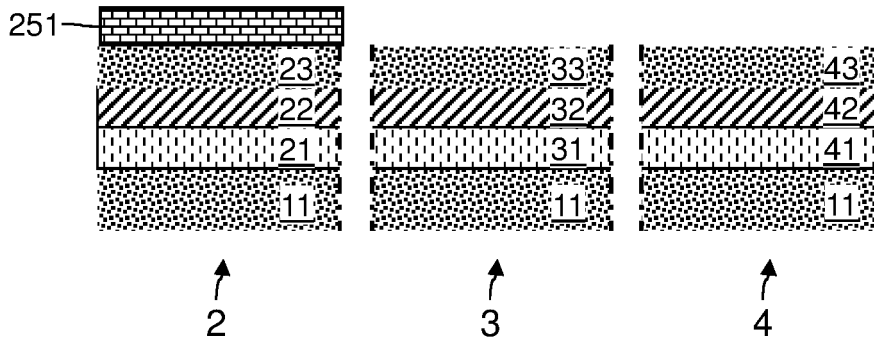


Fig. 8

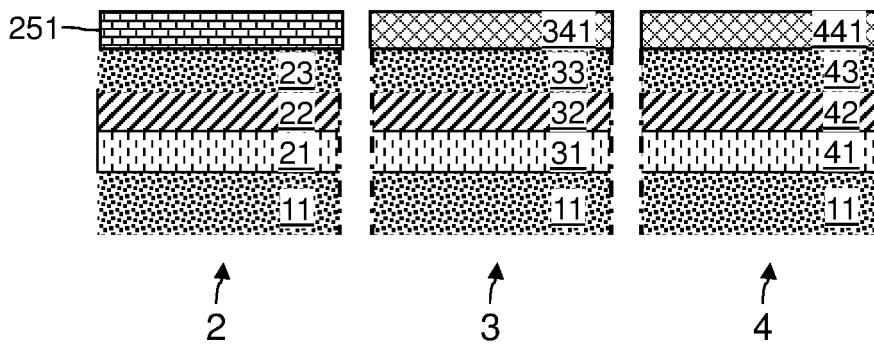


Fig. 9

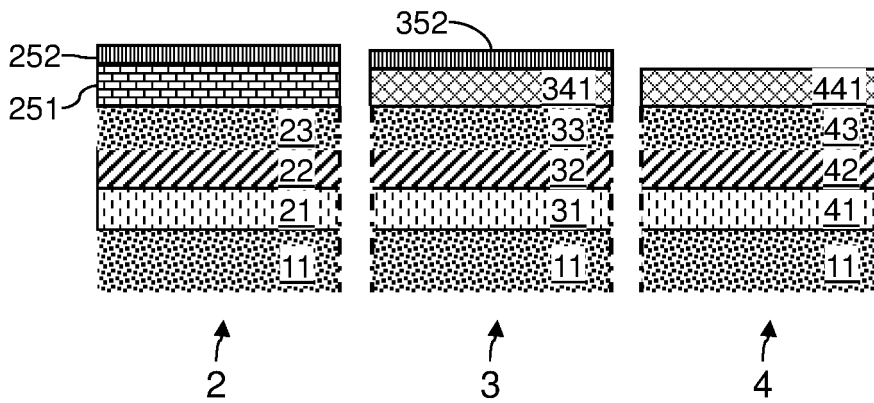


Fig. 10

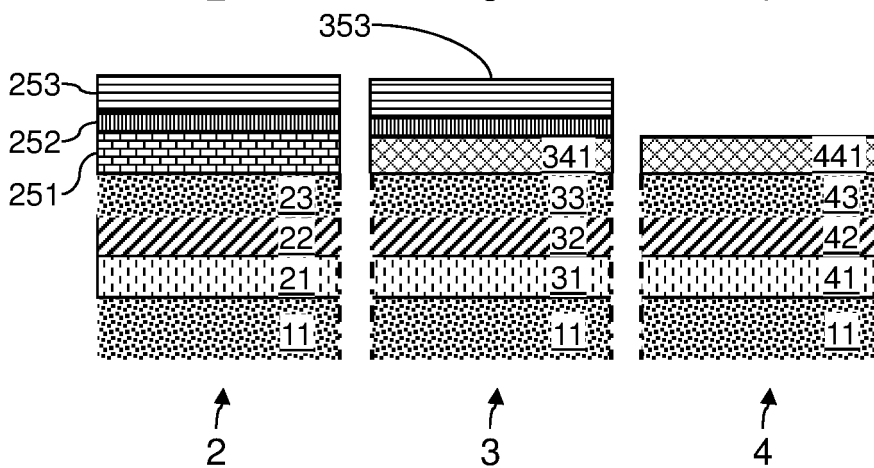


Fig. 11

5/5

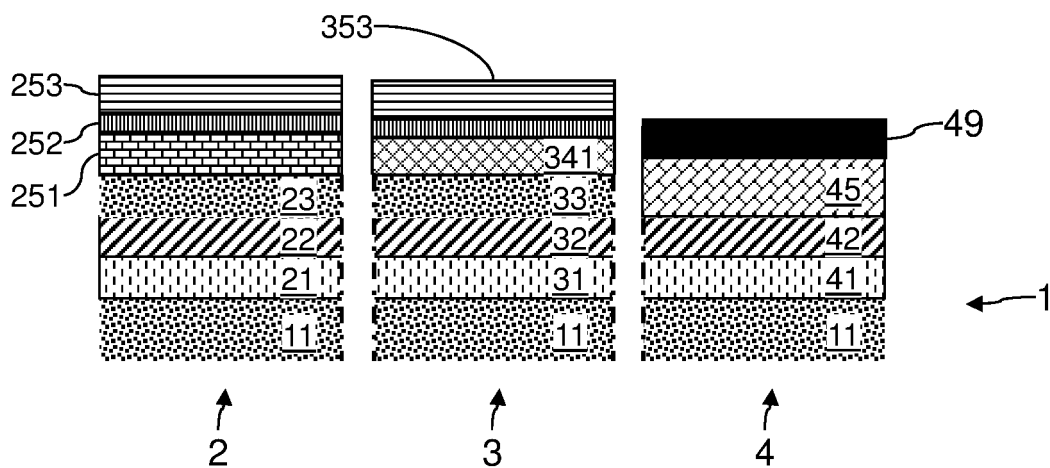


Fig. 12

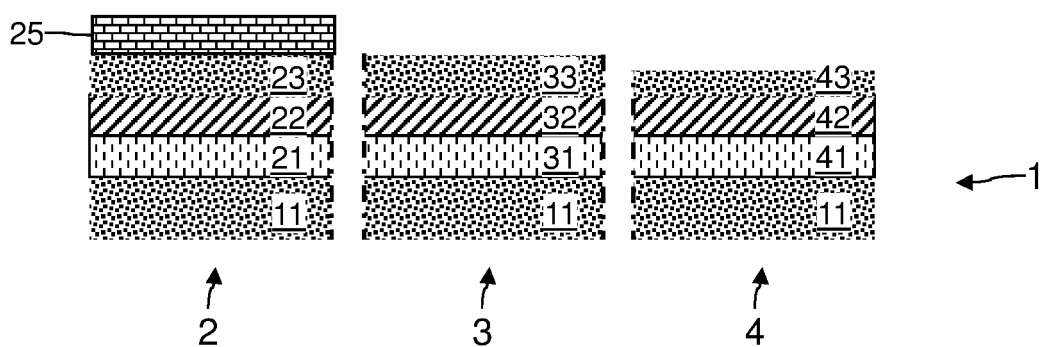


Fig. 13


**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**
N° d'enregistrement
nationalétabli sur la base des dernières revendications
déposées avant le commencement de la rechercheFA 804908
FR 1463174

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2010/184260 A1 (LUO TIEN-YING [US] ET AL) 22 juillet 2010 (2010-07-22)	1-10	H01L27/088 H01L21/335
Y	* alinéas [0018], [0021], [0023], [0031], [0032]; figures 1-10 *	11-16	
Y	EP 1 868 232 A1 (COMMISSARIAT ENERGIE ATOMIQUE [FR]) 19 décembre 2007 (2007-12-19) * alinéas [0040] - [0047]; figure 2 *	11-16	
Y	TSUTOMU TEZUKA ET AL: "Strained SOI/SGOI dual-channel CMOS technology based on the Ge condensation technique", SEMICONDUCTOR SCIENCE AND TECHNOLOGY, IOP PUBLISHING LTD, GB, vol. 22, no. 1, 2007, pages S93-S98, XP020114875, ISSN: 0268-1242, DOI: 10.1088/0268-1242/22/1/S22 * figure 8 *	11-16	
A	US 2014/312423 A1 (CHENG KANGGUO [US] ET AL) 23 octobre 2014 (2014-10-23) * alinéa [0062]; figure 9 *	9,13	DOMAINES TECHNIQUES RECHERCHÉS (IPC) H01L
Date d'achèvement de la recherche		Examineur	
12 octobre 2015		Seck, Martin	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention	
X : particulièrement pertinent à lui seul		E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.	
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie		D : cité dans la demande	
A : arrière-plan technologique		L : cité pour d'autres raisons	
O : divulgation non-écrite		
P : document intercalaire		& : membre de la même famille, document correspondant	

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1463174 FA 804908**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **12-10-2015**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2010184260 A1	22-07-2010	CN 102292800 A	21-12-2011
		EP 2389684 A2	30-11-2011
		JP 5582582 B2	03-09-2014
		JP 2012516036 A	12-07-2012
		TW 201034126 A	16-09-2010
		US 2010184260 A1	22-07-2010
		WO 2010088039 A2	05-08-2010

EP 1868232 A1	19-12-2007	EP 1868232 A1	19-12-2007
		FR 2902234 A1	14-12-2007
		US 2007284625 A1	13-12-2007

US 2014312423 A1	23-10-2014	US 2014312423 A1	23-10-2014
		US 2015200205 A1	16-07-2015
		WO 2014172132 A1	23-10-2014
