(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3797810号
(P3797810)
(45)発行日　平成18年7月19日(2006.7.19)　(24)登録日　平成18年4月28日(2006.4.28)

(51)Int.Cl.		F I		
G11C 29/08	(2006.01)	G11C	29/00	671S
G11C 29/06	(2006.01)	G11C	29/00	671F
G11C 29/02	(2006.01)	G11C	29/00	675L
G11C 11/406	(2006.01)	G11C	11/34	363Z
G11C 11/401	(2006.01)	G11C	11/34	371A

請求項の数 5　(全 20 頁)

(21)出願番号　特願平10-338940
(22)出願日　平成10年11月30日(1998.11.30)
(65)公開番号　特開2000-163997(P2000-163997A)
(43)公開日　平成12年6月16日(2000.6.16)
審査請求日　平成15年2月5日(2003.2.5)

(73)特許権者　000005821
松下電器産業株式会社
大阪府門真市大字門真１００６番地
(74)代理人　100077931
弁理士　前田　弘
(74)代理人　100094134
弁理士　小山　廣毅
(72)発明者　大塚　英文
大阪府門真市大字門真１００６番地　松下電器産業株式会社内
(72)発明者　藤本　知則
大阪府門真市大字門真１００６番地　松下電器産業株式会社内

審査官　小松　正

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】
【請求項１】
共通の半導体基板の上に、各々メモリセルを内蔵する複数のＤＲＡＭとロジック回路とを配設してなる半導体装置において、
上記各ＤＲＡＭに供給される行アドレスストローブ信号を個別に受ける第１の外部端子と、
上記各ＤＲＡＭのメモリセルについてのリフレッシュ検査制御信号を共通に受ける第２の外部端子と、
上記各ＤＲＡＭに配設され、上記第１及び第２の外部端子にそれぞれ接続されて、上記リフレッシュ検査制御信号のアクティブ・非アクティブに応じて、上記行アドレスストローブ信号から内部リフレッシュ検査制御信号又は内部行アドレスストローブ信号を生成するように切り換える生成信号切換手段と
を備えていることを特徴とする半導体装置。
【請求項２】
請求項１記載の半導体装置において、
上記リフレッシュ検査制御信号は、各ＤＲＡＭのメモリセルのオートリフレッシュ検査制御信号であることを特徴とする半導体装置。
【請求項３】
共通の半導体基板の上に、各々メモリセルを内蔵する複数のＤＲＡＭとロジック回路とを配設してなる半導体装置において、

上記各ＤＲＡＭへの検査に関する信号を半導体装置の外部に出力することを可能にするために設けられたデータバスと、
上記各ＤＲＡＭの内部から出力される複数の信号を上記データバスを介して出力するように切り換える出力切換手段とを備え、
上記各ＤＲＡＭは、複数ビットのテストデータを出力するものであり、またセルフリフレッシュ機能とバーンイン検査用制御信号生成機能とを有しており、
上記出力切換手段は、上記各ＤＲＡＭからの複数ビットのテストデータを共通に受けて上記データバスの複数の信号線上に各々出力するとともに、セルフリフレッシュ検査制御信号とバーンイン検査モード信号とに応じて、上記複数のＤＲＡＭの各々のＤＲＡＭに対するセルフリフレッシュ検査用行アドレスストローブ信号とバーンイン検査の良否判定信号とを、上記各ＤＲＡＭのセルフリフレッシュ検査用行アドレスストローブ信号または上記各ＤＲＡＭのバーンイン検査の良否判定信号が上記データバスの１ビット分の信号線に各々個別に出力されるよう切り換えて出力することを特徴とする半導体装置。
【請求項４】
請求項３記載の半導体装置において、
上記データバスには、上記複数のＤＲＡＭのうち少なくとも１つのＤＲＡＭについて、テストバスを使用しない時にデータバスの電位を固定するためのホールド回路が付設されていることを特徴とする半導体装置。
【請求項５】
請求項４記載の半導体装置において、
上記ホールド回路は、テストバスを使用しない時にテストバスの電位を低電位に固定するプルダウン機能を有することを特徴とする半導体装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、複数のダイナミックランダムアクセスメモリ（以下、ＤＲＡＭと略す）とロジック回路とが１チップ化された半導体装置に関するものである。
【０００２】
【従来の技術】
近年、半導体集積回路装置の高密度化、高集積化が進み、複数の機能ブロックを１チップ内に集積するいわゆるシステムＬＳＩの普及が著しい。特に最近では、大規模ロジック回路と大規模ＤＲＡＭとを１チップ内に集積した混載ＬＳＩが注目されている。このような混載ＬＳＩでは、従来の汎用ＤＲＡＭと同様の機能を持ったＤＲＡＭが１チップ上に複数個搭載することが可能であり、回路構成によっては１チップ上に複数のＤＲＡＭを搭載するようなＬＳＩも登場してきている。
【０００３】
ところで、このように１チップ上に複数のＤＲＡＭを搭載した場合、従来ＤＲＡＭのテスト用端子として利用していた汎用ＤＲＡＭとの接続用の外部ピンが不要となることから、共通のチップ上に配置されたＤＲＡＭの単体テスト用に使える外部端子数に制限がでてきた。そこで、共通のチップ内に配置された複数のＤＲＡＭを時分割にシリアルで検査する手法をとり、かつ兼用可能な検査用外部端子は出来るだけ兼用することにより、検査に必要な端子数の削減を行うようにしているものがある。
【０００４】
図１３は、複数のＤＲＡＭを共通のチップ上に配置した半導体集積回路装置のＤＲＡＭ単体を検査するための検査回路の一例を示すブロック回路図である。
【０００５】
ここで、一般に、ＤＲＡＭはオートリフレッシュ検査機能，セルフリフレッシュ検査機能を有するので、この図１３に示す検査装置も、かかる２つの検査機能を備えている半導体集積回路装置を検査することが前提である。
【０００６】

ここでいうオートリフレッシュ検査機能とは、特定の入力端子（オートリフレッシュ用入力端子）より周期的な矩形波を入力し、この入力された波形を基にＤＲＡＭ内部のアドレスカウンタ（リフレッシュカウンタ）により行アドレスを生成することにより、ＤＲＡＭ内部のメモリセルを自動的にアクセスしてリフレッシュをかける動作をいう。

【０００７】

また、セルフリフレッシュ検査機能とは、特定の入力端子（セルフリフレッシュ用入力端子）を“Ｈ”又は“Ｌ”に固定することでＤＲＡＭ内部に用意された発振回路において周期的な波形（行アドレス同期信号）を生成し、この周期的な波形を基にＤＲＡＭ内部のメモリセルをアクセスしてリフレッシュをかける動作をいう。

【０００８】

図１３に示すように、従来の半導体集積回路装置２００の検査系統には、複数のＤＲＡＭからなる半導体記憶装置２５０Ａ～２５０Ｘが配設されている。各半導体記憶装置２５０には、ＤＲＡＭとしての動作を検査するための信号である反転行アドレス選択信号／ＲＡＳ用の入力端子２０１と、オートリフレッシュ検査制御信号ＰＲＡＵＴ用の入力端子２０２と、セルフリフレッシュ検査制御信号ＳＬＦ用の入力端子２０３と、反転列アドレス選択信号／ＣＡＳ用の入力端子２０４と、アドレスＡＤＲ用の入力端子２０５と、反転書き込み制御信号／ＷＥ用の入力端子２０６と、ＤＲＡＭの反転出力制御信号／ＯＥ用の入力端子２０７と、ＤＲＡＭ用のクロックＣＬＫ用の入力端子２０８と、テスト制御信号ＴＥＳＴ用の入力端子２０９とが配設されている。ただし、上記テスト制御信号ＴＥＳＴの機能は、バーンイン検査もしくは通常ＤＲＡＭ検査であるかの制御を行なうことにある。

【０００９】

一方、半導体集積回路装置２００であるチップ全体の外部端子として、各半導体記憶装置２５０Ａ～２５０Ｘの反転行アドレス選択信号／ＲＡＳを個別に入力するための外部端子２１１Ａ～２１１Ｘと、各半導体記憶装置２５０Ａ～２５０Ｘのオートリフレッシュ検査制御信号ＰＲＡＵＴを個別に入力するための外部端子２１２Ａ～２１２Ｘと、全ての半導体記憶装置２５０Ａ～２５０Ｘのセルフリフレッシュ検査制御信号ＳＬＦを共通に入力するための外部端子２１３と、全ての半導体記憶装置２５０Ａ～２５０Ｘの反転列アドレス選択信号／ＣＡＳを共通に入力するための外部端子２１４と、全ての半導体記憶装置２５０Ａ～２５０ＸのアドレスＡＤＲを共通に入力するための外部端子２１５と、全ての半導体記憶装置２５０Ａ～２５０Ｘの反転書き込み制御信号／ＷＥを共通に入力するための外部端子２１６と、全ての半導体記憶装置２５０Ａ～２５０Ｘの反転出力制御信号／ＯＥを共通に入力するための外部端子２１７と、全ての半導体記憶装置２５０Ａ～２５０ＸのクロックＣＬＫを共通に入力するための外部端子２１８と、全ての半導体記憶装置２５０Ａ～２５０Ｘのテスト制御信号ＴＥＳＴを共通に入力するための外部端子２１９とを備えている。

【００１０】

言い換えると、各半導体記憶装置２５０Ａ～２５０Ｘの各入力端子２０３～２０９をそれぞれ共通の外部端子２１３～２１９に接続することにより、外部端子数をできるだけ少なくするようにしている。

【００１１】

さらに、各半導体記憶装置２５０Ａ～２５０Ｘには、テストデータＴＤＱ用の入出力端子２２１が設けられている。

【００１２】

そして、半導体集積回路装置２００の出力側において、全ての半導体記憶装置２５０Ａ～２５０ＸのテストデータＴＤＱ用の入出力端子２２１は入出力バス２４１を介して共通の外部端子２３１に接続されている。

【００１３】

以上の検査系統の構成を有する従来の半導体集積回路装置２００の入力側においては、反転行アドレス選択信号／ＲＡＳがアクティブ状態（例えば“Ｌ”）になればＤＲＡＭが動作し、非アクティブ状態（例えば“Ｈ”）のときはスタンバイ状態になる。ＤＲＡＭの単

体検査を時分割にシリアルに行えば、この機能を利用することで検査に必要な端子数を減らすことが可能である。すなわち、図１３に示すように、複数あるＤＲＡＭの各々に専用の反転行アドレス選択信号／ＲＡＳ用の外部端子２１１Ａ～２１１Ｘを用意し、検査をしているＤＲＡＭの反転行アドレス選択信号／ＲＡＳのみアクティブ状態にしてその他のＤＲＡＭの反転行アドレス選択信号／ＲＡＳは非アクティブ状態にすれば、反転行アドレス選択信号／ＲＡＳとオートリフレッシュ検査制御信号ＰＲＡＵＴ以外の信号を入力するための外部端子２１３～２１９は兼用が可能となる。

【００１４】

また、半導体集積回路装置２００の出力側において、テストデータＴＤＱ用の入出力バス２４１は、反転行アドレス選択信号／ＲＡＳが非アクティブ状態であるときのＤＲＡＭがＨＩＺ（ハイインピーダンス）となることから、反転行アドレス選択信号／ＲＡＳがアクティブ状態のＤＲＡＭのみをアクセスすることになり、テストデータＴＤＱ用の入出力バス２４１用の外部端子２３１も兼用可能となる。

【００１５】

従って、半導体集積回路装置２００の出力側において必要な外部端子は、テストデータＴＤＱ用の入出力バス２４１につながる外部端子２３１の１セット分である。例えば、８ビットのデータバスを使用する場合には、８個１セットの外部端子があればよい。

【００１６】

以上のように、図１３に示すような構成にすれば、複数の半導体記憶装置（ＤＲＡＭ）２５０Ａ～２５０Ｘを備えた半導体集積回路装置２００における検査に必要な外部端子数を大幅に削減することが可能である。

【００１７】

【発明が解決しようとする課題】

しかしながら、上記従来の半導体集積回路装置２００の構成によれば、入力側においてはオートリフレッシュ検査制御信号ＰＲＡＵＴ用の外部端子２１２Ａ～２１２Ｘが共通の半導体チップ上に配置されたＤＲＡＭの数だけ必要となり、検査に必要な端子数を必要最小限に抑えることができないという不具合がある。反面、場合によっては検査に必要な端子が確保できない可能性も生じる。

【００１８】

なお、入力側においてオートリフレッシュ検査制御信号ＰＲＡＵＴ用の外部端子を兼用すると、全てのＤＲＡＭに同時にオートリフレッシュがかかってしまうので検査時間が非常に長くなる上に、あるＤＲＡＭのオートリフレッシュ機能検査においてオートリフレッシュ期間中に別のＤＲＡＭの別項目の検査をすることが不可能となる。

【００１９】

そこで、上記図１３に示すごとくオートリフレッシュ検査制御信号ＰＲＡＵＴ用の外部端子２１２Ａ～２１２Ｘを個別に設けることで、あるＤＲＡＭの別項目の検査を行なっている間に、他のＤＲＡＭでアクセス順序が決まっているオートリフレッシュを行なうことができるようにしている。

【００２０】

また、テストデータＴＤＱ用の入出力バス２３１を各ＤＲＡＭ（半導体記憶装置２５０Ａ～２５０Ｘ）によって共有しているため、通常動作時すなわちテストデータＴＤＱ用の入出力バス２３１を使用しないときには、バスがフローティング状態（中間電位）となり、例えばこれにつながるＣＭＯＳインバータのＰＭＯＳＦＥＴ及びＮＭＯＳＦＥＴの双方がＯＮ状態となって貫通電流が生じるおそれがある。

【００２１】

本発明の第１の目的は、オートリフレッシュ検査制御信号用の端子を兼用しても同一チップ上に配置された全てのＤＲＡＭが独立にオートリフレッシュをかけられるような構成にし、検査に必要な端子数を削減することにある。

【００２２】

また、本発明の第２の目的は、上記従来のＤＲＡＭに設けられていない端子を備えた場合

においても、それらの端子に接続される外部端子をできるだけ共有化する手段を講ずることにある。

【００２３】

本発明の第３の目的は、通常動作時すなわちテストデータ用の入出力バスを使用していないときにフローティング状態となるの妨げる手段を講ずることにより、上述のような貫通電流という不具合を防止することにある。

【００２４】

【課題を解決するための手段】

本発明の第１の半導体装置は、共通の半導体基板の上に、各々メモリセルを内蔵する複数のＤＲＡＭとロジック回路とを配設してなる半導体装置において、上記各ＤＲＡＭに供給される行アドレスストローブ信号を個別に受ける第１の外部端子と、上記各ＤＲＡＭのメモリセルについてのリフレッシュ検査制御信号を共通に受ける第２の外部端子と、上記各ＤＲＡＭに配設され、上記第１及び第２の外部端子にそれぞれ接続されて、上記リフレッシュ検査制御信号のアクティブ・非アクティブに応じて、上記行アドレスストローブ信号から内部リフレッシュ検査制御信号又は内部行アドレスストローブ信号を生成するように切り換える生成信号切換手段とを備えている。

【００２５】

これにより、行アドレスを選択する信号である行アドレスストローブ信号が必要な検査と、行アドレスが必要でないリフレッシュ検査とを時分割で行なうことが可能となり、上記従来の半導体記憶装置と同様に検査時間を短縮することができる。そして、リフレッシュ検査制御信号を受ける第２の外部端子を各ＤＲＡＭについて共有化することで、外部端子数の低減を図ることができる。

【００２６】

上記第１の半導体装置において、上記リフレッシュ検査制御信号は、各ＤＲＡＭのメモリセルのオートリフレッシュ検査制御信号であることが好ましい。

【００２７】

本発明の第２の半導体装置は、共通の半導体基板の上に、各々メモリセルを内蔵する複数のＤＲＡＭとロジック回路とを配設してなる半導体装置において、上記各ＤＲＡＭへの検査に関する信号を半導体装置の外部に出力することを可能にするために設けられたデータバスと、上記各ＤＲＡＭの内部から出力される複数の信号を上記データバスを介して出力するように切り換える出力切換手段とを備えている。

【００２８】

これにより、各ＤＲＡＭにおける複数種類の検査を行なって得られたデータを共通のデータバスから出力することが可能になるので、各ＤＲＡＭ個別に検査を行なう機能を備えた場合にも、出力側の外部端子を増設する必要がなくなる。

【００２９】

上記第２の半導体装置において、上記各ＤＲＡＭがセルフリフレッシュ機能と、バーンイン検査用制御信号生成機能とを有している場合には、上記出力切換手段は、セルフリフレッシュ検査制御信号とバーンイン検査モード信号とに応じて、データバスにセルフリフレッシュ検査用行アドレスストローブ信号とバーンイン検査の良否判定信号とを切り換えて出力するものであることが好ましい。

【００３０】

これにより、バーンイン検査の時間の短縮を図りながら、各ＤＲＡＭのバーンイン検査結果の良否判定信号を共通のデータバスを介して半導体装置の外部に出力することが可能になる。

【００３１】

上記第２の半導体装置において、上記出力切換手段は、上記データバスの１ビット分の信号線に、上記各ＤＲＡＭのうちの１つのＤＲＡＭの信号を対応させて出力することが好ましい。

【００３２】

これにより、データバスのビット数の数だけのＤＲＡＭを共通の半導体基板上に搭載しても、外部端子数の増大を回避することができる。

【００３３】

上記第２の半導体装置において、上記データバスには、上記複数のＤＲＡＭのうち少なくとも１つのＤＲＡＭについて、テストバスを使用しない時にはデータバスの電位を固定するためのホールド回路が付設されていることが好ましい。

【００３４】

これにより、半導体装置が使用状態となり、検査回路が不要となった状態で、データバスの電位がフローティングであることに起因するトランジスタの誤作動などの不具合を回避することができる。

【００３５】

上記第２の半導体装置において、上記ホールド回路は、テストバスを使用しない時にはテストバスの電位を低電位に固定するプルダウン機能を有することがより好ましい。

【００３６】

【発明の実施の形態】

以下、本発明の各実施形態に係る半導体集積回路装置について、図面を参照しながら説明する。

【００３７】

図１は、本発明の実施形態における半導体集積回路装置１の検査系統の構成をロジック回路部分を除いて概略的に示すブロック回路図である。同図に示すように、本実施形態の半導体集積回路装置１００には、図示しないロジック回路に加えて、複数のＤＲＡＭからなる半導体記憶装置１５０Ａ～１５０Ｘと、出力切換回路１６０とが配設されている。各半導体記憶装置１５０には、ＤＲＡＭとしての動作を検査するための信号である反転行アドレス選択信号／ＲＡＳ（行アドレスストローブ信号）用の入力端子１０１と、オートリフレッシュ検査制御信号ＰＲＡＵＴ用の入力端子１０２と、セルフリフレッシュ検査制御信号ＳＬＦ用の入力端子１０３と、列アドレス選択信号／ＣＡＳ用の入力端子１０４と、アドレスＡＤＲ用の入力端子１０５と、反転書き込み制御信号／ＷＥ用の入力端子１０６と、ＤＲＡＭの反転出力制御信号／ＯＥ用の入力端子１０７と、ＤＲＡＭ用のクロックＣＬＫ用の入力端子１０８と、テストモード制御信号ＴＭＯＤＥ用の入力端子１０９とが配設されている。このテストモード制御信号ＴＭＯＤＥの機能については、後述する。

【００３８】

一方、半導体集積回路装置１００であるチップ全体の外部端子として、各半導体記憶装置１５０Ａ～１５０Ｘの反転行アドレス選択信号／ＲＡＳを個別に入力するための外部端子１１１Ａ～１１１Ｘと、全ての半導体記憶装置１５０Ａ～１５０Ｘのオートリフレッシュ検査制御信号ＰＲＡＵＴを共通に入力するための外部端子１１２と、全ての半導体記憶装置１５０Ａ～１５０Ｘのセルフリフレッシュ検査制御信号ＳＬＦを共通に入力するための外部端子１１３と、全ての半導体記憶装置１５０Ａ～１５０Ｘの列アドレス選択信号／ＣＡＳを共通に入力するための外部端子１１４と、全ての半導体記憶装置１５０Ａ～１５０ＸのアドレスＡＤＲを共通に入力するための外部端子１１５と、全ての半導体記憶装置１５０Ａ～１５０Ｘの反転書き込み制御信号／ＷＥを共通に入力するための外部端子１１６と、全ての半導体記憶装置１５０Ａ～１５０Ｘの反転出力制御信号／ＯＥを共通に入力するための外部端子１１７と、全ての半導体記憶装置１５０Ａ～１５０ＸのクロックＣＬＫを共通に入力するための外部端子１１８と、全ての半導体記憶装置１５０Ａ～１５０Ｘのテストモード制御信号ＴＭＯＤＥを共通に入力するための外部端子１１９とを備えている。

【００３９】

言い換えると、各半導体記憶装置１５０Ａ～１５０Ｘの各入力端子１０２～１０９をそれぞれ共通の外部端子１１２～１１９に接続することにより、外部端子数をできるだけ少なくするようにしている。

【００４０】

さらに、各半導体記憶装置１５０Ａ～１５０Ｘには、テストデータＴＤＱ用の入出力端子１２１と、セルフリフレッシュ検査信号ＳＲＡＳを出力するための出力端子１２２と、バーンイン検査の合否判定信号であるパス／フェイルフラグＭＯＵＴを出力するための出力端子１２３と、バーンイン検査モード信号ＢＩＴＳＴを出力するための出力端子１２４とが設けられている。

【００４１】

また、上記出力切換回路１６０には、全ての半導体記憶装置１５０Ａ～１５０Ｘのテストデータ ＴＤＱを共通に受けるテストデータ端子１６１と、各半導体記憶装置１５０Ａ～１５０Ｘから出力されるセルフリフレッシュ検査信号ＳＲＡＳを個別に受けるセルフリフレッシュ検査用端子１６２Ａ～１６２Ｘと、各半導体記憶装置１５０Ａ～１５０Ｘから出力されるバーンイン検査モード信号ＢＩＴＳＴを個別に受けるバーンイン検査用端子１６３Ａ～１６３Ｘと、各半導体記憶装置１５０Ａ～１５０Ｘ個別にバーンイン検査モード信号ＢＩＴＳＴを送り込むためのバーンイン検査用端子１６４Ａ～Ａ６４Ｘと、セルフリフレッシュ検査制御信号ＳＬＦを受けるセルフリフレッシュ検査用端子１６５とが設けられている。

【００４２】

つまり、各半導体記憶装置１５０Ａ～１５０ＸのテストデータＴＤＱ用の入出力端子１２１は、共通の８ビットのテストバス１４１を介して共通のテストデータ端子１６１に接続され、半導体記憶装置１５０Ａ～１５０Ｘのセルフリフレッシュ検査用の出力端子１２２はそれぞれ個別の信号線１４２を介して個別のセルフリフレッシュ検査用端子１６２Ａ～１６２Ｘに接続され、各半導体記憶装置１５０Ａ～１５０Ｘのバーンイン検査用の出力端子１２３，１２４は、個別のバーンイン検査用バス１４３を介してそれぞれバーンイン検査用端子１６３Ａ～１６３Ｘ，１６４Ａ～Ａ６４Ｘに接続され、半導体集積回路１００全体の入力側のセルフリフレッシュ検査用の外部端子１１３はバイパス信号線１４５により各半導体記憶装置１５０Ａ～１５０Ｘをバイパスして出力切換回路１６０のセルフリフレッシュ検査用端子１６５に直接接続されている。上記テストバス１４１のビット幅は何ビットでも構わないが、本実施形態においては８ビットとして説明する。

【００４３】

そして、出力切換回路１６０の出力側には、テストデータＴＤＱを出力するためのテストデータ用端子１７１のみが設けられており、このテストデータ用端子１７１は、８ビットのテストバス１４１を介して共通のテストデータ用外部端子１３１に接続されている。言い換えると、テストバス１４１に出力切換回路１６０が介設された構造となっている。この出力切換回路１６０の役割は、例えば同一チップ内にある複数の半導体記憶装置１５０Ａ～１５０Ｘが、８個以内であればＩ／Ｏ端子であるテストデータ用外部端子１３１を共通化する，つまりテストデータ用外部端子１３１の端子数をテストバス１４１内の配線数と同数の８個とするための回路である。

【００４４】

すなわち、本実施形態に係る半導体記憶装置１００の第１の特徴は、全ての半導体記憶装置１５０Ａ～１５０Ｘにオートリフレッシュ検査信号ＰＲＡＵＴを入力するための外部端子１１２を共通化している点である。このようにオートリフレッシュ検査信号用の外部端子１１２を共通化することで、検査に必要な外部端子数を大幅に低減することができ、複数のＤＲＡＭを共通のチップ内に設けたシステムＬＳＩの検査用外部端子を実質的に確保することができる。

【００４５】

ただし、オートリフレッシュ検査制御信号だけでなくセルフリフレッシュ検査制御信号をも共通の外部端子から入力して、各半導体記憶装置１５０Ａ～１５０Ｘ内で制御信号に応じオートリフレッシュ検査とセルフリフレッシュ検査とに切り換えて、両者のいずれかを交替的に実施するようにしてもよい。その場合においても、本実施形態の構造により、半導体集積回路装置全体の入力側の外部端子の低減を図ることができる。

【００４６】

また、本実施形態に係る半導体集積回路装置１００の第２の特徴は、バーンイン検査やセルフリフレッシュ検査機能を各半導体記憶装置１５０Ａ～１５０Ｘ個別にに持たせた場合にも、その合否判定に関する信号とリフレッシュ用行アドレス選択信号とを、テストバス１４１を利用して出力している点である。

【００４７】

このように、各種検査機能を付加しながら外部端子の数を低減することができる。

【００４８】

上記第１，第２の特徴点を備えることを具体的に可能ならしめるための各部の詳細な構造について、以下に説明する。

【００４９】

図２は、図１に示す各半導体記憶装置１５０の内部構造を示すブロック回路図である。同図に示すように、各半導体記憶回路１５０には、メモリセルアレイ及びその周辺回路からなるメモリ部１３と、メモリ部１３の行アドレスに関する動作を制御するための行アドレス制御回路１４と、メモリ部１３の列アドレスに関する動作を制御するための列アドレス制御回路１７と、読み出し，書き込みなどの動作を切り換えるための制御信号切換回路２０とに加え、入力切換回路２３と、セルフリフレッシュ回路３０と、バーンイン回路３３と、テストデコード回路４２とが設けられている。これらの各回路は、以下のような構造及び機能を有する。

【００５０】

メモリ部１３には、データを記憶するためのリフレッシュが必要なメモリセルと上記メモリセルを動作させるための周辺回路とが配設されている。メモリ部１３には、ＤＲＡＭとしての動作を検査するために、行アドレス制御回路１４からの出力信号である行アドレスＲＡＤＲと行アドレス選択信号ＲＡＳとがそれぞれ入力され、列アドレス制御回路１７からの出力信号である列アドレスＣＡＤＲと列アドレス選択信号ＣＡＳとがそれぞれ入力され、かつ制御切換回路２０からの出力信号である書き込み制御信号ＷＥとＤＲＡＭ出力制御信号ＯＥとが入力される。また、メモリ部１３は、書き込みまたは読み出しされる検査データの入出力バスであるテストバス１４１を介してテストデータＴＤＱ用の入出力端子１２１に接続されており、かつ、テストバス１４１にはバスホールド回路６６（その詳細構造については後述する）が付設されている。

【００５１】

入力切換回路２３は、各半導体記憶装置１５０Ａ～１５０Ｘの検査用の入力端子，つまり反転行アドレス選択信号／ＲＡＳ用の入力端子１０１とオートリフレッシュ検査制御用信号ＰＲＡＵＴ信号用の入力端子１０２とに接続され、内部ＲＡＳ信号ｉＲＡＳ又は内部オートリフレッシュ信号ＲＡＵＴを出力する。そして、この各信号ｉＲＡＳ又はＲＡＵＴは、それぞれ行アドレス制御回路１４に入力される。入力切換回路２３の機能は、オートリフレッシュ検査制御信号ＰＲＡＵＴに応じて、反転行アドレス選択信号／ＲＡＳを内部ＲＡＳ信号ｉＲＡＳとして出力するか、内部オートリフレッシュ信号ＲＡＵＴとして出力するかを選択する。すなわち、この入力切換回路２３によって、内部ＲＡＳ信号ｉＲＡＳ及び内部オートリフレッシュ信号ＲＡＵＴのいずれもが反転行アドレス選択信号／ＲＡＳから生成される。

【００５２】

このことにより、複数の半導体記憶装置１５０Ａ～１５０Ｘが共通のチップ上に配置された場合に、オートリフレッシュ検査制御信号ＰＲＡＵＴがアクティブ状態である“Ｈ”のときには、反転行アドレス選択信号／ＲＡＳ信号が有効（“Ｌ”：アクティブ状態）となった半導体記憶装置１５０のみ、内部オートリフレッシュ信号ＲＡＵＴが生成されて入力され、オートリフレッシュ検査動作が可能となる。一方、オートリフレッシュ検査制御信号ＰＲＡＵＴが非アクティブ状態である“Ｌ”のときには、反転行アドレス選択信号／ＲＡＳ信号が有効となった半導体記憶装置１５０のみに内部ＲＡＳ信号ｉＲＡＳが生成される。従って、例えば各半導体記憶装置１５０Ａ～１５０Ｘについて、図１３に示す従来の半導体集積回路装置と同様に、時分割でオートリフレッシュ検査とアクセスを必要とする

他の検査とを行なうことができる。ここで、オートリフレッシュ検査を行なうにはアドレス選択信号が不要であり、予め定められた順序で最終的に全てのメモリセルにオートリフレッシュ検査用の電圧が印加され、全てのメモリセルからの検査データが読み出されればよい。そして、各半導体記憶装置１５０Ａ～１５０Ｘに対して並列的に、反転行アドレス選択信号／ＲＡＳを必要とする検査と、反転行アドレス選択信号／ＲＡＳが非アクティブを必要としないオートリフレッシュ検査とを行なうことにより、各半導体記憶装置１５０Ａ～１５０Ｘ個別にオートリフレッシュ検査制御信号を受ける構成にする必要がなくなった。

【００５３】

よって、複数の半導体記憶装置１５０Ａ～１５０Ｘが共通のチップ上に配置された場合に、オートリフレッシュ検査制御信号ＰＲＡＵＴ信号を、同一チップ上に配置された全ての半導体記憶装置１５０Ａ～１５０Ｘで共用することが可能となり、検査に必要な外部端子数を減らすことができる。

【００５４】

図３は、入力切換回路２３の具体的な構造例を示す電気回路図である。同図に示すように、入力切換回路２３は、反転行アドレス選択信号／ＲＡＳとオートリフレッシュ検査制御信号ＰＲＡＵＴとを受けて内部ＲＡＳ信号ｉＲＡＳを出力するＮＯＲ回路２７と、反転行アドレス選択信号／ＲＡＳを反転するためのインバータ２８と、反転行アドレス選択信号／ＲＡＳから反転された信号とオートリフレッシュ検査制御信号ＰＲＡＵＴとを受けて内部オートリフレッシュ信号ＲＡＵＴを出力するＡＮＤ回路２９とを備えている。この構成により、入力切換回路２３において、オートリフレッシュ検査制御信号ＰＲＡＵＴが“Ｈ”（アクティブ）の時に、反転行アドレス選択信号／ＲＡＳの反転信号が内部オートリフレッシュ信号ＲＡＵＴ（アクティブ）として出力され、かつ内部ＲＡＳ信号ｉＲＡＳが“Ｌ”（非アクティブ）となる。また、オートリフレッシュ検査制御信号ＰＲＡＵＴが“Ｌ”（非アクティブ）の時には、反転行アドレス選択信号／ＲＡＳの反転信号が内部ＲＡＳ信号ｉＲＡＳ（アクティブ）として出力され、かつ内部オートリフレッシュ信号ＲＡＵＴが“Ｌ”（非アクティブ）となる。すなわち、オートリフレッシュ検査制御信号ＰＲＡＵＴのアクティブ，非アクティブに応じて、反転行アドレス選択信号／ＲＡＳから内部ＲＡＳ信号ｉＲＡＳ又は内部オートリフレッシュ信号ＲＡＵＴのいずれか一方が生成される。従って、複数の半導体記憶装置１５０Ａ～１５０Ｘが共通のチップ上に配置されている場合に、オートリフレッシュ検査制御信号ＰＲＡＵＴを受けるための外部端子１１２を共用しても、オートリフレッシュ検査のための時間の増大を招くことなく、各半導体記憶装置１５０Ａ～１５０Ｘ個別にオートリフレッシュをかけることが可能となる。

【００５５】

なお、図１に示す構成では、オートリフレッシュ検査制御信号ＰＲＡＵＴ用の外部端子１１２と、セルフリフレッシュ検査制御信号ＳＬＦ用の外部端子１１３とを個別に設ける構成としているが、これらの外部端子を共通化することも可能である。その場合、半導体集積回路装置１００全体の内部、又は各半導体記憶装置１５０Ａ～１５０Ｘの内部で、制御によってオートリフレッシュ検査とセルフリフレッシュ検査とに分けて行なうようにすればよい。

【００５６】

次に、図２に示すセルフリフレッシュ回路３０は、自動的にメモリ部１３のメモリセルにリフレッシュをかけるための回路である。セルフリフレッシュ回路３０には、メモリ部１３のメモリセルにリフレッシュをかけるかどうか選択するための信号としてセルフリフレッシュ検査制御信号ＳＬＦが入力される。そして、セルフリフレッシュ回路３０内部には自励発信回路が設けられていて（図示せず）、この自励発信回路により、メモリ部１３のメモリセルにアクセスするために必要なセルフリフレッシュ用行アドレス選択信号ＳＲＡＳが出力される。このセルフリフレッシュ用行アドレス選択信号ＳＲＡＳは、行アドレス制御回路１４とセルフリフレッシュ検査用の出力端子１２２とに直接送られる。つまり、セルフリフレッシュ用の行アドレス選択信号ＳＲＡＳは、行アドレス制御回路１４に入力

されてリフレッシュ検査を行なうメモリセルの選択に用いられるとともに、後述するテストデータの出力制御用にも用いられる。

【００５７】

一方、図２に示すバーンイン回路３３は、以下のようなバーンイン検査機能を有する。バーンイン検査とは、電源電圧以上の圧力を半導体装置内部の素子に印加して行なう１種の加速試験のことをいう。本実施形態においてバーンイン回路３３が有するバーンイン検査機能とは、このバーンイン検査時のアクセスを外部から行なわずにＤＲＡＭ内部でＤＲＡＭアクセス用のパターンを自動生成し、さらにはＤＲＡＭをアクセスした結果のデータとその期待値とを比較する機能をいう。すなわち、バーンイン回路３３は、メモリ部１３のバーンイン検査時、チップ内部でバーンイン検査用のパターンを自己発生させメモリ部１３をアクセスするとともに、メモリ部１３からの出力信号であるバーンインテストデータＢＩＤＱを入力し、このテストデータＢＩＤＱと期待値との比較を行った後、その比較結果をパス／フェイルフラグＭＯＵＴ（例えば“Ｌ”がパス、“Ｈ”がフェイルとするなど）として出力する。このパス／フェイルフラグＭＯＵＴは、上述の出力端子１２３に出力される。

【００５８】

また、バーンイン回路３３は、基準となるクロックＣＬＫを入力することでメモリ部１３をアクセスするのに必要なバーンイン検査用の行アドレス選択信号ＢＩＲＡＳと、バーンイン検査用のアドレスＢＩＡＤＲと、バーンイン検査用の列アドレス選択信号ＢＩＣＡＳと、バーンイン検査用の書き込み制御信号ＢＩＷＥと、バーンイン検査用のＤＲＡＭ出力制御信号ＢＩＯＥとを所望のタイミングで発生させる。これらのバーンイン検査用の各信号のうち行アドレス選択信号ＢＩＲＡＳ，アドレスＢＩＡＤＲ及び列アドレス選択信号ＢＩＣＡＳはそれぞれ行アドレス制御回路１４に送り込まれ、アドレスＢＩＡＤＲ及び列アドレス選択信号ＢＩＣＡＳは列アドレス制御回路１７に送り込まれ、書き込み制御信号ＢＩＷＥ及びＤＲＡＭ出力制御信号ＢＩＯＥは制御信号切換回路２０に送り込まれる。そして、行アドレス制御回路１４と列アドレス制御回路１７と制御信号切換回路２０とを介してメモリ部１３をアクセスする。テストデータも、バーンイン回路３３内で生成されてメモリ部１３に入力されようになっている。

【００５９】

図４及び図５は、それぞれバーンイン回路３３の構成の一例を示す電気回路図及び各信号の時間変化を示すタイミングチャートである。

【００６０】

図４に示すバーンイン回路３３において、アドレス発生回路３４は、主としてカウンタで構成されており、クロックＣＬＫを入力としてクロックＣＬＫのパルスをカウント動作することで、アドレスデータを生成する。このアドレスデータは、図５のタイミングチャートに示されるタイミングでバーンイン検査時のアドレスＢＩＡＤＲとしてアドレス制御回路１４と列アドレス制御回路１７に供給される。また、アドレス発生回路３４で生成されたアドレスデータは、メモリ制御信号発生回路３７と、データジェネレータ３５にも供給される。メモリ制御信号発生回路３７は、アドレス発生回路３４のカウンタ出力信号から図５のタイミングチャートに示されたタイミング関係で、バーンイン検査用の行アドレス選択信号ＢＩＲＡＳと、バーンイン検査用のアドレスＢＩＡＤＲと、バーンイン検査用の列アドレス選択信号ＢＩＣＡＳと、バーンイン検査用の書き込み制御信号ＢＩＷＥと、バーンイン検査用のＤＲＡＭ出力制御信号ＢＩＯＥとを発生する回路である。データジェネレータ３５は、アドレス発生回路３４のカウンタ出力信号から図５のタイミングチャートに示すタイミング関係でバーンイン検査用の入力データＢＩＤＱＩを生成する。この入力データＢＩＤＱＩは、バッファ３８及び比較回路３６に供給される。入力データＢＩＯＱは、バッファ３８においてメモリ制御信号発生回路３７から供給される書き込み制御信号ＢＩＷＥによる制御を受けて、双方向バス４０から図２に示すメモリ部１３に送られる。そして、メモリ部１３からバーンイン検査時の出力データが双方向バス４０からバッファ３９に供給されて、バッファ３９から検査データＢＩＤＱＯとして出力される。図５のタ

イミングチャートに付された記号５５，ＡＡ，１１は、入力データＢＩＤＱＩ及び検査データのデータ値を表している。比較回路３６は、バーンイン検査用入力データＢＩＤＱと、バーンイン検査時のメモリ部１３からの検査データＢＩＤＱＯとを比較して、図５のタイミングチャートに示すリードサイクルで両者を比較した結果、両者の値が互いに同じであれば“Ｌ”を、両者の値が異なれば“Ｈ”を、パス／フェイルフラグＭＯＵＴとして出力する。

【００６１】

このようなバーンイン検査用回路を持つことによって、バーンイン検査時に外部より直接メモリ部１３をアクセスしてメモリ部１３を動作させる構成に比べバーンイン検査用の外部周辺機器が簡素化され、かつ同一チップ上に複数のメモリを配置した場合にバーンイン検査結果をモニタすることができる上に、マイコン等のロジック回路を混載したシステムにおいては、マイコン等のロジック回路を同時にバーンイン検査することを可能とし、バーンイン検査時間を短縮することができる。

【００６２】

また、図２に示すテストデコード回路４２は、テストモード制御信号ＴＭＯＤＥを受け、テストモード制御信号ＴＭＯＤＥをデコードして、テスト信号を出力するものである。ここで、図２に示された半導体記憶装置１５０内の回路においては、必要となるテストモードはバーンイン検査モードだけなので、テスト信号としてバーンイン検査モード信号ＢＩＴＳＴしか記載されていないが、本発明に関係のないテスト信号も生成することができる。このバーンイン検査モード信号ＢＩＴＳＴは、行アドレス制御回路１４と列アドレス制御回路１７と制御信号切換回路２０に供給されるとともに、信号線４４及び出力端子１２４を介して半導体記憶装置１５０の外部にも出力されて、後述する出力切換回路１６０内でパス／フェイルフラグＭＯＵＴの出力を制御するための信号として用いられる。

【００６３】

図６は、行アドレス制御回路１４の具体的な構成の一例を示す電気回路図である。同図に示す構成において、第１のセレクタ４５は、バーンイン検査モード信号ＢＩＴＳＴが“Ｌ”のときは内部ＲＡＳ信号ｉＲＡＳを、バーンイン検査モード信号ＢＩＴＳＴが“Ｈ”のときはバーンイン検査用の行アドレス選択信号ＢＩＲＡＳをそれぞれ通過させる。第２のセレクタ４６は、バーンイン検査モード信号ＢＩＴＳＴが“Ｌ”のときは外部から入力されるアドレスＡＤＲを、バーンイン検査モード信号ＢＩＴＳＴが“Ｈ”のときはバーンイン検査用のアドレスＢＩＡＤＲを出力させる。すなわち、第１，第２のセレクタ４５，４６は、バーンイン検査用の行アドレス選択信号ＢＩＲＡＳもしくは通常入力である内部ＲＡＳ信号ｉＲＡＳのデータ，及びバーンイン検査用アドレスＢＩＡＤＲもしくは外部から入力されるアドレスＡＤＲのデータをそれぞれ選択する。第１のＯＲ回路４８は、セルフリフレッシュ用の行アドレス選択信号ＳＲＡＳと内部オートリフレッシュ信号ＲＡＵＴとを受けて、両者のＯＲ演算結果を出力する。第２のＯＲ回路４９は、第１のＯＲ回路４８の出力信号と、第１のセレクタ４５を通過した内部ＲＡＳ信号ｉＲＡＳとを受けて、両者のＯＲ演算結果を行アドレス選択信号ＲＡＳとして出力する。ＡＮＤ回路５１は、第１のセレクタ４５の出力信号と、外部から入力される外部列アドレス選択信号／ＣＡＳ（反転列アドレス選択信号）とを受けて、両者のＡＮＤ演算結果を出力する。第３のセレクタ５２は、ＡＮＤ回路５１の出力信号をセレクト信号として受け、Ｄフリップフロップ５３の出力信号と第２のセレクタ４６の出力信号とのいずれかを通過させる。この構成により、バーンイン検査用の行アドレス選択信号ＢＩＲＡＳもしくは内部ＲＡＳ信号ｉＲＡＳと外部列アドレス選択信号／ＣＡＳがいずれも“Ｈ”である期間（行アクティブ期間）のときのアドレス（バーンイン検査用のアドレスＢＩＡＤＲもしくはアドレスＡＤＲ）がＤフリップフロップ５３から出力されることになる。すなわち、行アクティブ期間のアドレス（行アドレス）がここで決定される。

【００６４】

一方、第１のＯＲ回路４８の出力信号はインバータ回路５４に入力されリフレッシュカウンタ５５のクロック信号として使われる。そのリフレッシュカウンタ５５の出力信号は、

第４のセレクタ５６に入力される。第４のセレクタ５６は、インバータ回路５４の出力信号をセレクト信号として受け、Ｄフリップフロップ５３の出力信号とリフレッシュカウンタ５５の出力信号のうちいずれか一方を通過させ、行アドレスＲＡＤＲとして出力する。すなわち、リフレッシュカウンタ５５の出力信号は、オートリフレッシュ、セルフリフレッシュ共通のリフレッシュ時の行アドレスＲＡＤＲとして用いられる。

【００６５】

以上のように、行アドレス制御回路１４の機能は、リフレッシュ以外の時は外部から入力したアドレスから行アクティブ期間のアドレスを抜き取ったものを、オートリフレッシュ、セルフリフレッシュ時はリフレッシュカウンタの出力データを、それぞれ行アドレスＲＡＤＲとし、そのときアクティブになっている行アドレス選択信号ｉＲＡＳ又はＳＲＡＳを最終的な行アドレス選択信号ＲＡＳとするものである。

【００６６】

図７は、列アドレス制御回路の具体的な構成の一例を示す電気回路図である。同図に示す構成において、第１のセレクタ５７は、バーンイン検査モード信号ＢＩＴＳＴが“Ｌ”のときはインバータ回路によって反転された外部列アドレス選択信号／ＣＡＳの反転データを、バーンイン検査モード信号ＢＩＴＳＴが“Ｈ”のときはバーンイン検査用の列アドレス選択信号ＢＩＣＡＳをそれぞれ通過させる。第２のセレクタ５８は、バーンイン検査モード信号ＢＩＴＳＴが“Ｌ”のときは外部から入力されるアドレスＡＤＲを、バーンイン検査モード信号ＢＩＴＳＴが“Ｈ”のときはバーンイン検査用のアドレスＢＩＡＤＲをそれぞれ通過させる。すなわち、第１，第２のセレクタ５７，５８は、バーンイン検査モード信号ＢＩＴＳＴに応じてバーンイン検査用のデータもしくは通常入力のデータを選択するものである。ＡＮＤ回路５９は、第１のセレクタ５７の出力信号と、外部から入力される行アドレス選択信号ＲＡＳとを受けて、両者のＡＮＤ演算結果を出力する。第３のセレクタ６０は、ＡＮＤ回路５９の出力信号をセレクト信号として受け、Ｄフリップフロップ６１の出力信号と第２のセレクタ５８の出力信号とのいずれかを通過させる。この構成により、バーンイン検査用の行アドレス選択信号ＢＩＲＡＳもしくは外部列アドレス選択信号／ＣＡＳの反転データと行アドレス選択信号ＲＡＳがいずれも“Ｈ”である期間（列アクティブ期間）のときのアドレス（バーンイン検査用のアドレスＢＩＡＤＲもしくはアドレスＡＤＲ）がＤフリップフロップ６１から出力されることになる。すなわち、列アクティブ期間のアドレス（列アドレス）がここで決定される。

【００６７】

そして、図２に示す半導体記憶装置１５０全体の構成において、Ｄフリップフロップ６１の出力信号が列アドレスＣＡＤＲとしてメモリ部１３に入力される。一方、第１のセレクタ５７の出力信号は列アドレス選択信号ＣＡＳとしてメモリ部１３に入力される。以上のように、列アドレス制御回路１７の機能は、列アクティブ期間のアドレスを抜き取ったデータを、列アドレス選択信号ＣＡＳとし、そのとき選択されているバーンイン検査用の列アドレス選択信号ＢＩＣＡＳもしくは外部列アドレス選択信号／ＣＡＳの反転データを列アドレス選択信号ＣＡＳとするものである。

【００６８】

図８は、制御信号切換回路２０の具体的構成の一例を示す電気回路図である。外部書き込み制御信号／ＷＥは、インバータ回路６３で反転された後、第１のセレクタ６２に供給される。第１のセレクタ６２は、バーンイン検査モード信号ＢＩＴＳＴが“Ｌ”のときは外部書き込み制御信号／ＷＥの反転データを、バーンイン検査モード信号ＢＩＴＳＴが“Ｈ”のときはバーンイン検査用の書き込み制御信号ＢＩＷＥを通過させる。外部から入力される外部ＤＲＡＭ出力制御信号／ＯＥ（反転ＤＲＡＭ出力制御信号）は、インバータ回路６７で反転された後、第２のセレクタ６５に供給される。第２のセレクタ６５は、バーンイン検査モード信号ＢＩＴＳＴが“Ｌ”のときは外部ＤＲＡＭ出力制御信号／ＯＥの反転データを、バーンイン検査モード信号ＢＩＴＳＴが“Ｈ”のときはバーンイン検査用のアドレスＢＩＡＤＲを通過させる。上記第１のセレクタ６２の出力信号を書き込み制御信号ＷＥとし、第２のセレクタ６５の出力信号をＤＲＡＭ出力制御信号ＯＥとする。

【００６９】
以上のように、制御信号切換回路２０は、バーンイン検査用のデータもしくは通常入力のデータを選択し、メモリ部１３に書き込み制御信号ＷＥとＤＲＡＭ出力制御信号ＯＥを供給するものである。
【００７０】
また、図２に示すごとく、半導体記憶装置１５０には、複数の半導体記憶装置１５０Ａ～１５０Ｘが共通のチップ上に配置された場合、通常動作時すなわちテストバス１４１を使用しないとき、テストバス１４１が浮いてしまう（フローティング状態）ことによる貫通電流を流さないようにするためにテストバス１４１を固定するバスホールド回路６６Ａが組み込まれている。この点が、本実施形態に係る半導体集積回路装置１００の第３の特徴である。
【００７１】
図９は、図２に示すバスホールド回路６６の具体的な構成の一例を示す電気回路図である。本具体例におけるバスホールド回路６６Ａは、第１のインバータ回路６８ａの出力信号を第２のインバータ回路６８ｂに入力し、かつその第２のインバータ回路６８ｂの出力信号を第１のインバータ回路６８ａに入力するように閉ループ状の部分ホールド回路６４Ａを構成し、この部分ホールド回路６４Ａをテストバス１４１の０ビット目，１ビット目，２ビット目，…，７ビット目の信号線に付設したものである。この構成によって、最初に“Ｈ”もしくは“Ｌ”のデータが入ると、互いに閉ループを構成する第１のインバータ回路６８ａと第２のインバータ回路６８ｂとの間で、入力されたデータがそのまま保持されることになる。すなわち、テストバス１４１がフローティングになることはない。
【００７２】
なお、各インバータ回路６８ａ，６８ｂの出力能力（電流出力能力）が大き過ぎると、新たにテストバス１４１に与えられたデータに置き換わらなくなる場合もあり得る。そこで、共通のチップ上で部分ホールド回路６４Ａを有効とするのは、複数ある半導体記憶装置１５０Ａ～１５０Ｘのうちの１つだけ、もしくはインバータ回路６８ａ，６８ｂの出力能力とメモリ部１３の出力能力とに合わせた数個だけとし、その他の部分ホールド回路６４Ａはテストバス１４１から切断しておいてもよい。
【００７３】
図１１は、図２に示すバスホールド回路６６の別の具体例を示す電気回路図である。本具体例におけるプルダウン付きバスホールド回路６６Ｂは、図９に示す部分ホールド回路６４Ａに代えて、図１０に示すプルダウン付き部分ホールド回路６４Ｂを備えている。図１０は、プルダウン付き部分ホールド回路６４Ｂの構成の一例を示す電気回路図である。
【００７４】
図１１に示すように、テストバス１４１の各ビット目の信号線には、部分ホールド回路６４Ｂが付設されており、各部分ホールド回路６４Ｂの端子Ａはテストバス１４１の各ビット目の信号線につながる一方、各部分ホールド回路６４Ｂの端子Ｂはテストモード制御信号ＴＭＯＤＥを受けるようになっている。
【００７５】
図１０に示す部分ホールド回路６４Ｂにおいて、端子Ａから第１のインバータ回路６９に入力されるデータが“Ｈ”となったとき、第１のインバータ回路６９の出力データは“Ｌ”となり、第１のＮチャンネルトランジスタ７１とＰチャンネルトランジスタ７２は共にＯＮになり、第２のＮチャンネルトランジスタ７３はＯＦＦになる。そして、第２のインバータ回路７４とトランジスタ回路７５（インバータ回路）との関係が図９に示したインバータ回路６８ａ，６８ｂの関係に相当することになる。ところが、第１のインバータ回路６９への入力データが“Ｌ”となったとき、第１のインバータ回路６９の出力データは“Ｈ”となり、第１のＮチャンネルトランジスタ７１とＰチャンネルトランジスタ７２は共にＯＦＦになり、第２のＮチャンネルトランジスタ７３はＯＮになって、端子Ａに出力されるデータは“Ｌ”に固定される。すなわち、図１０に示すプルダウン付部分ホールド回路６４Ｂを用いて入力データを制御することにより、使用しないテストバスの特定もし

くは全部のビットを“Ｌ”に固定することができるので、テストバスがフローティングになるのを有効に回避することができる。

【００７６】

図１２は、図１に示される出力切換回路１６０の具体的な構成の一例を示す電気回路図である。第１の出力用バッファー７７及び第２の出力用バッファー７８は、いずれも出力コントロール用端子付のバッファーである。第１の出力用バッファー７７は、入力信号として各半導体記憶装置１５０内のセルフリフレッシュ用の行アドレス選択信号ＳＲＡＳを受け、出力制御信号としてセルフリフレッシュ検査制御信号ＳＬＦを受けるように構成されている。また、第２の出力用バッファー７８は、入力信号としてパス／フェイルフラグＭＯＵＴを受け、出力制御信号としてバーンイン検査モード信号ＢＩＴＳＴを受けるように構成されている。そして、この第１，第２の出力用バッファー７７，７８の組は、図１に示す各半導体記憶装置１５０Ａ～１５０Ｘ毎に設けられている。

【００７７】

以上のような出力切換回路１６０を備えることにより、最大８個の半導体記憶装置が共通のチップ上に配置されても、出力ピン（外部端子）数を増やさなくても、セルフリフレッシュ回路の検査やバーンイン検査を行なうことが可能となる。ただし、本実施形態では、テストバス１４１を８ビットとしたが、検査時間の短縮等を含めてテストバス１４１のビット数を増やすことにより、さらに多くの半導体記憶装置を出力ピン（外部端子）数の増加なしに搭載可能となる。

【００７８】

なお、上記ホールド回路６６は、出力切換回路１６０の前段側に設けてもよいし、後段側に設けてもよい。

【００７９】

【発明の効果】

本発明によれば、同一チップ上に複数のＤＲＡＭが配置されても、検査に必要な外部端子数が最適化され、検査機能の拡大に伴う外部端子数の増大を抑制することができる。

【００８０】

このことによって、外部端子数の不足による検査時間の増大を防ぎ効率の良い検査を可能とする。

【００８１】

また、複数の半導体記憶装置を同時にバーンイン検査してバーンイン検査の時間短縮を行なう場合にも、外部端子数の増大を防止することができる。

【００８２】

さらに、テストバスにバスホールド回路付けることにより、同一チップ上に複数の半導体記憶装置を配置した時の通常動作時（テストバスを使わないとき）テストバス浮きによる信頼性の低下を防ぐことができる。

【図面の簡単な説明】

【図１】本発明の実施形態に係る半導体集積回路装置の検査系統の構成を概略的に示すブロック回路図である。

【図２】本発明の実施形態に係る半導体集積回路装置中の半導体記憶装置の構成を示す電気回路図である。

【図３】本発明の実施形態に係る半導体記憶装置中の入力切換回路の構成を示す電気回路図である。

【図４】本発明の実施形態に係る半導体記憶装置中のバーンイン回路の構成を示す電気回路図である。

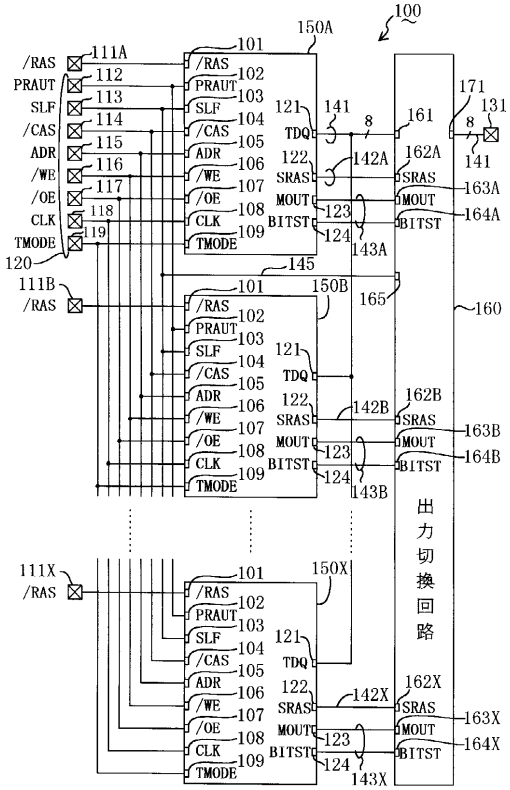
【図５】本発明の実施形態に係る半導体記憶装置中のバーンイン回路における各信号の時間変化を示すタイミングチャートである。

【図６】本発明の実施形態に係る半導体記憶装置中の行アドレス制御回路の構成を示す電気回路図である。

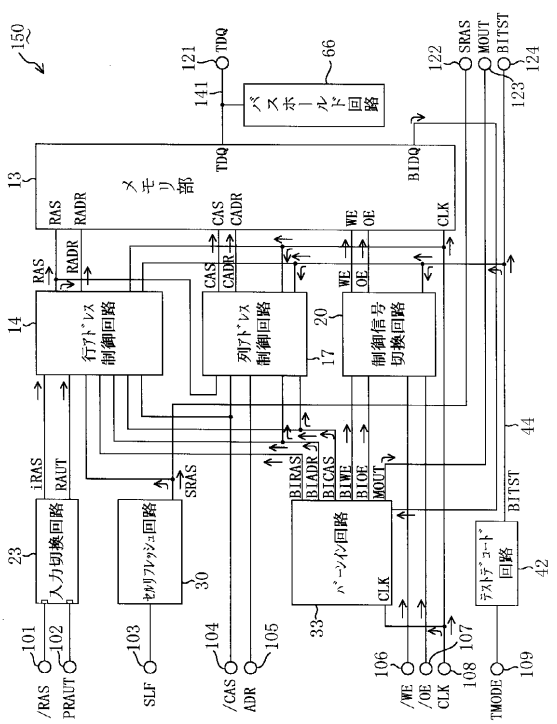
【図７】本発明の実施形態に係る半導体記憶装置中の列アドレス制御回路の構成を示す電

気回路図である。
【図８】本発明の実施形態に係る半導体記憶装置中の制御信号切換回路の構成を示す電気回路図である。
【図９】本発明の実施形態に係る半導体記憶装置中のバスホールド回路の構成を示す電気回路図である。
【図１０】本発明の実施形態に係る半導体記憶装置中のプルダウン付バスホールド回路に設けられる部分ホールド回路の構成を示す電気回路図である。
【図１１】本発明の実施形態に係る半導体記憶装置中のプルダウン付バスホールド回路の構成を示す電気回路図である。
【図１２】本発明の実施形態に係る半導体集積回路装置における出力切換回路の構成を示す電気回路図である。
【図１３】従来の半導体記憶装置を複数個配置してなる半導体集積回路装置の検査系統の構成を概略的に示すブロック回路図である。
【符号の説明】
１３　　メモリ部
１４　　行アドレス制御装置
１７　　列アドレス制御回路
２０　　制御信号切換回路
２３　　入力切換回路
３０　　セルフリフレッシュ回路
３３　　バーンイン回路
４２　　テストデコード回路
６６　　バスホールド回路
１００　半導体集積回路装置（半導体装置）
１０１～１０９　入力端子
１１１～１１９　外部端子
１２１　入出力端子
１２２～１２４　出力端子
１３１　テストデータ用外部端子
１４１　データバス

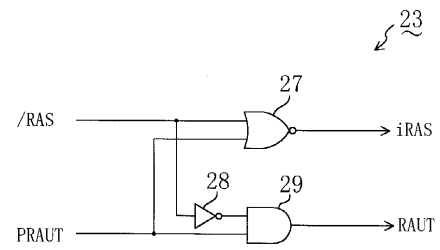
【図１】


100
150A
150B
150X
111A
111B
111X
/RAS
PRAUT
SLF
/CAS
ADR
/WE
/OE
CLK
TMODE
TDQ
SRAS
MOUT
BITST
出力切換回路
160
171
131
141
145
165
142A
142B
142X
143A
143B
143X
162A
162B
162X
163A
163B
163X
164A
164B
164X

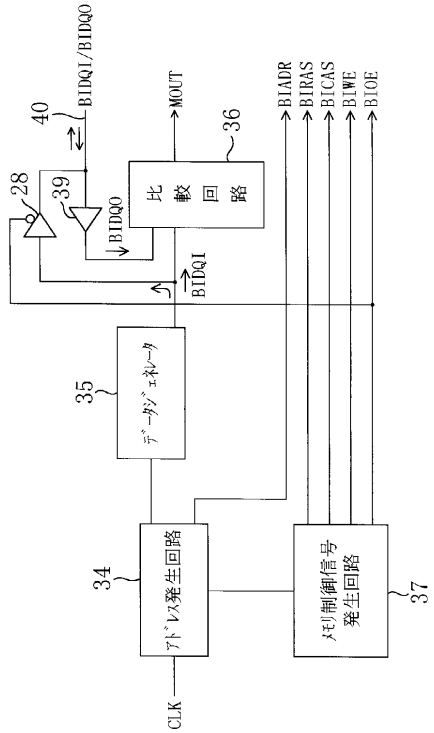
【図２】


150
メモリ部
バスホールド回路
行アドレス制御回路
列アドレス制御回路
制御信号切換回路
入力切換回路
セルリフレッシュ回路
バーンイン回路
テストデコード回路
TDQ
BIDQ
RAS
RADR
CAS
CADR
WE
OE
CLK
iRAS
RAUT
SRAS
BIRAS
BIADR
BICAS
BIWE
BIOE
MOUT
BITST
/RAS
PRAUT
SLF
/CAS
ADR
/WE
/OE
CLK
TMODE

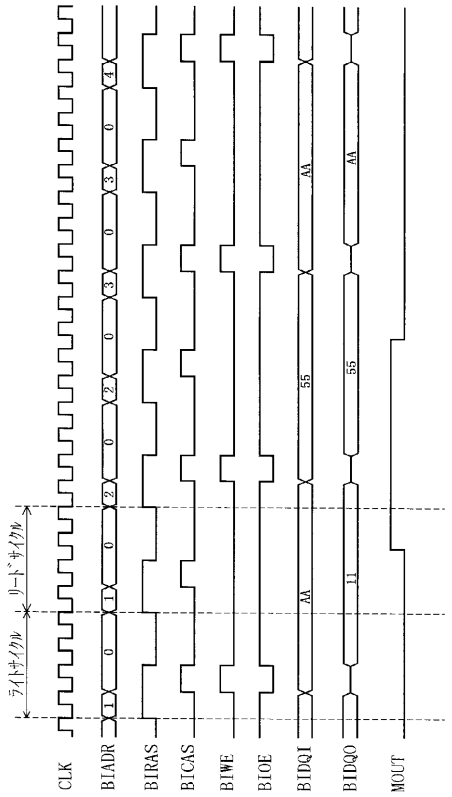
【図３】


23
/RAS
PRAUT
iRAS
RAUT
27
28
29

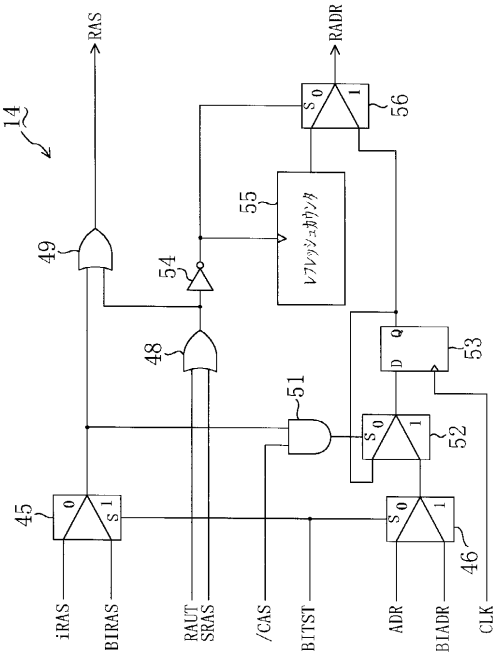
【図４】


BIDQI/BIDQO
MOUT
BIADR
BIRAS
BICAS
BIWE
BIOE
比較回路
BIDQO
BIDQI
データジェネレータ
アドレス発生回路
メモリ制御信号発生回路
CLK

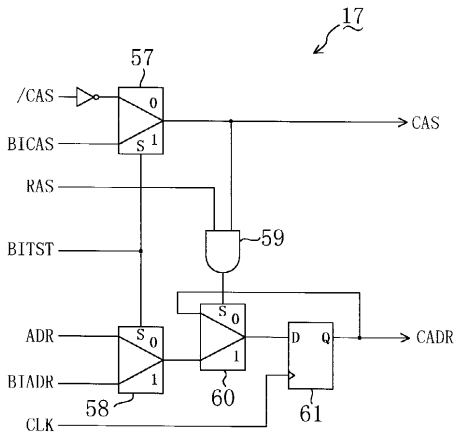
【図５】


CLK
BIADR
BIRAS
BICAS
BIWE
BIOE
BIDQI
BIDQO
MOUT
リードサイクル
ライトサイクル

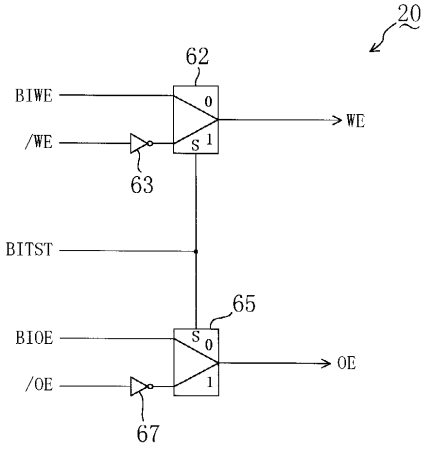
【図６】


RAS
RADR
14
56
55
リフレッシュカウンタ
49
54
48
53
51
52
45
46
iRAS
BIRAS
RAUT
SRAS
/CAS
BITST
ADR
BIADR
CLK

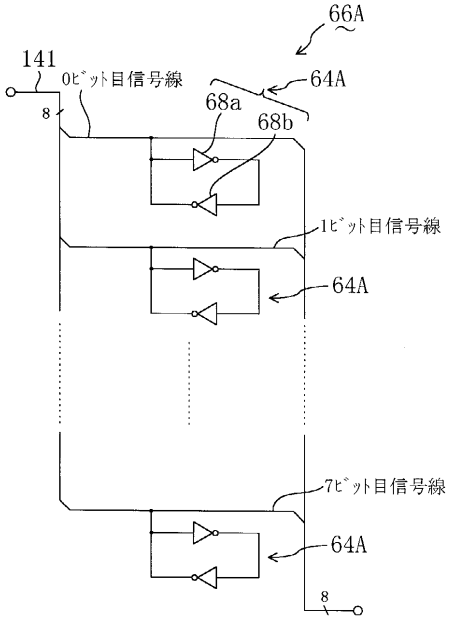
【図７】


17
57
/CAS
BICAS
CAS
RAS
BITST
59
ADR
BIADR
CADR
CLK
58
60
61

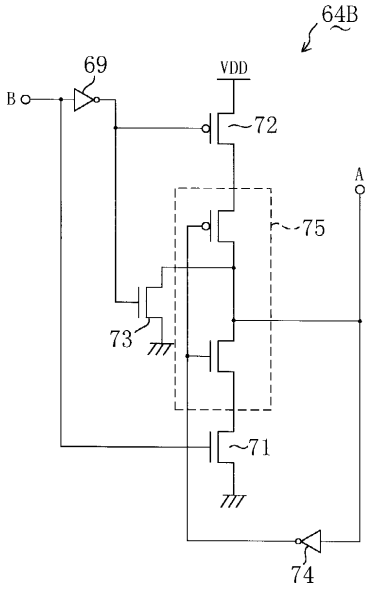
【図８】


20
62
BIWE
/WE
WE
63
BITST
65
BIOE
/OE
OE
67

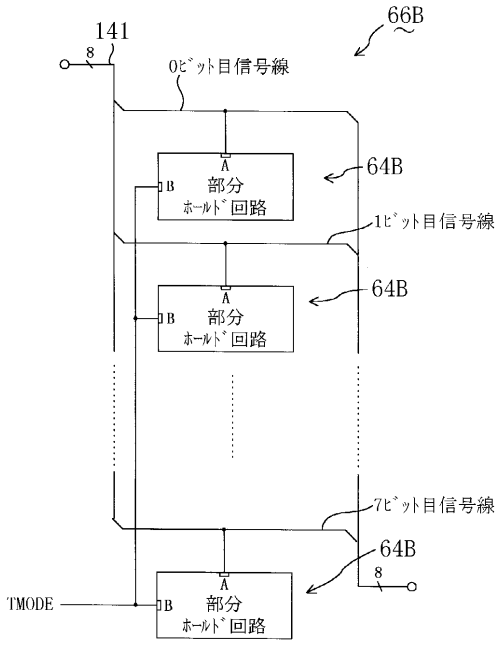
【図９】



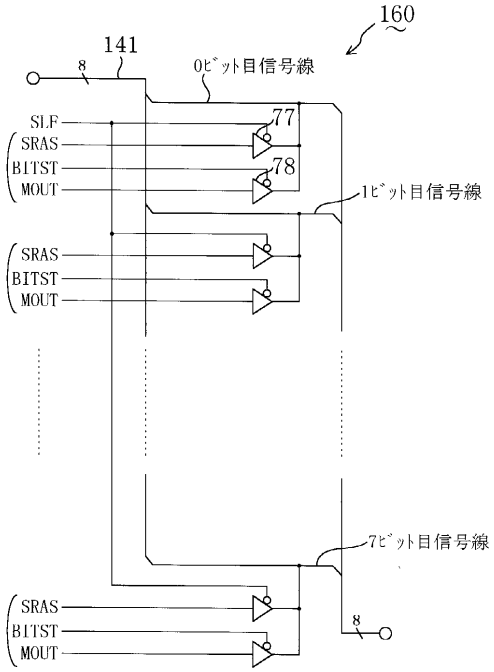
【図１０】



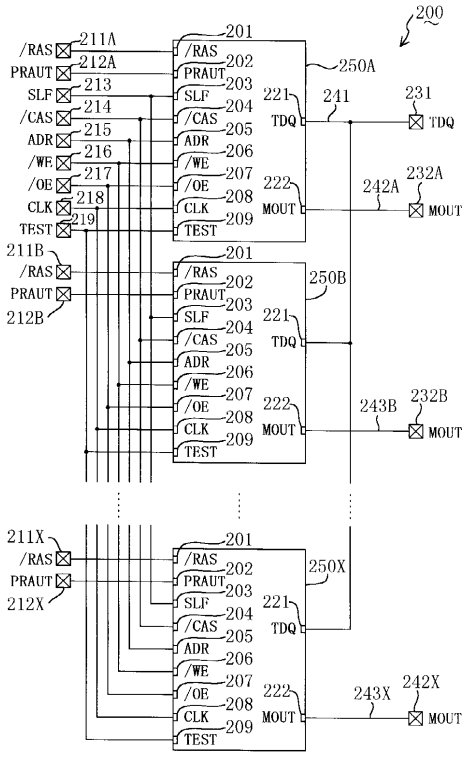
【図１１】



【図１２】



【図１３】


200
/RAS
PRAUT
SLF
/CAS
ADR
/WE
/OE
CLK
TEST
211A
212A
213
214
215
216
217
218
219
201
202
203
204
205
206
207
208
209
250A
221
TDQ
241
231
222
MOUT
242A
232A
211B
212B
250B
243B
232B
211X
212X
250X
243X
242X

フロントページの続き

(56)参考文献 特開平０３－０５８３９６（ＪＰ，Ａ）
特開平０７－１４１８６１（ＪＰ，Ａ）
特開平０８－０９６５９６（ＪＰ，Ａ）
特開平０８－０７７７９５（ＪＰ，Ａ）
特開平１０－２２２９９７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 29/00
G11C 11/401-11/4099