(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2010 年 3 月 11 日(11.03.2010)

PCT

(10) 国際公開番号
WO 2010/026641 A1

(51) 国際特許分類:
G01R 31/28 (2006.01) *G11C 29/56* (2006.01)

(21) 国際出願番号: PCT/JP2008/066004

(22) 国際出願日: 2008 年 9 月 4 日(04.09.2008)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 株式会社アドバンテスト(ADVANTEST CORPORATION) [JP/JP]; 〒1790071 東京都練馬区旭町１丁目３２番１号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 金子 邦行(KANEKO, Kuniyuki) [JP/JP]; 〒1790071 東京都練馬区旭町１丁目３２番１号 株式会社アドバンテスト内 Tokyo (JP). 渡辺 直良(WATANABE, Naoyoshi) [JP/JP]; 〒1790071 東京都練馬区旭町１丁目３２番１号 株式会社アドバンテスト内 Tokyo (JP).

(74) 代理人: 龍華 明裕(RYUKA, Akihiro); 〒1631105 東京都新宿区西新宿６－２２－１ 新宿スクエアタワー５階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

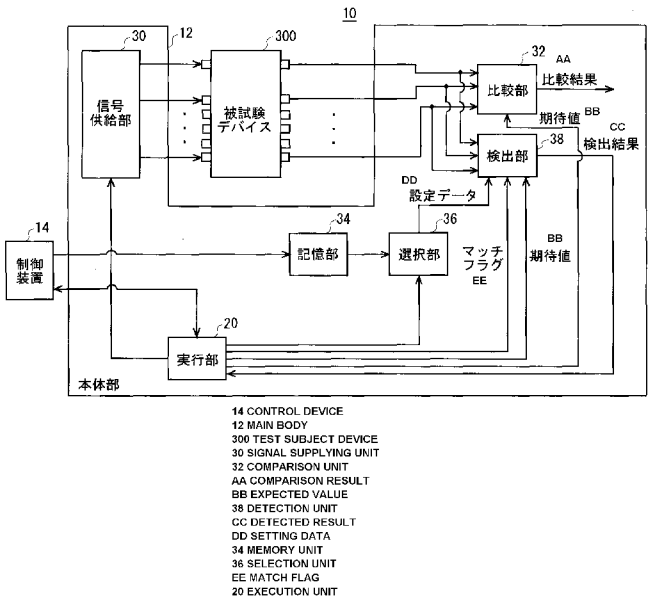
添付公開書類:

— 国際調査報告（条約第 21 条(3)）

(54) **Title**: TEST APPARATUS AND TEST METHOD

(54) 発明の名称 : 試験装置および試験方法

[図1]



14 CONTROL DEVICE
12 MAIN BODY
300 TEST SUBJECT DEVICE
30 SIGNAL SUPPLYING UNIT
32 COMPARISON UNIT
AA COMPARISON RESULT
BB EXPECTED VALUE
38 DETECTION UNIT
CC DETECTED RESULT
DD SETTING DATA
34 MEMORY UNIT
36 SELECTION UNIT
EE MATCH FLAG
20 EXECUTION UNIT

(57) **Abstract**: It is an object to provide a test apparatus that tests a test subject device with multiple output terminals. The test apparatus is provided with an execution unit that executes a test instruction sequence to test the test subject device, a memory unit that stores a plurality of setting data to designate at least one of the multiple output terminals, a detection unit that detects whether or not a value of an output signal from the output terminal designated by the setting data is consistent with an expected value, and a selection unit that selects different setting data in the memory unit and supplies the data to the detection unit in the execution of at least two detection instructions to change an execution sequence of a test instruction sequence in response to the detected result of the detection unit.

(57) 要約: 複数の出力端子を備える被試験デバイスを試験する試験装置であって、被試験デバイスを試験するための試験命令列を実行する実行部と、複数の出力端子のうち少なくとも１つの出力端子を指定する複数の設定データを記憶する記憶部と、設定データにより指定される出力端子からの出力信号の値が期待値と一致するか否かを検出する検出部と、検出部による検出結果に応じて試験命令列の実行シーケンスを変更する少なくとも２つの検出命令の実行において、記憶部内の異なる設定データを選択して検出部に供給する選択部と、を備える試験装置を提供する。

WO 2010/026641 A1

明 細 書

試験装置および試験方法

技術分野

[0001] 本発明は、被試験デバイスを試験する試験装置および試験方法に関する。

背景技術

[0002] 半導体等の被試験デバイスを試験する試験装置は、所定の試験パターンの試験信号を被試験デバイスに供給し、当該試験信号に応じて被試験デバイスから出力される信号の値を検出する。そして、試験装置は、検出した信号の値と期待値と比較することにより、当該被試験デバイスの良否を判定する。

[0003] このような試験装置は、パターン発生器を備える。パターン発生器は、試験命令列(シーケンスデータ)に含まれる各試験命令を順次に実行する。そして、パターン発生器は、実行した各試験命令に対応する試験パターンを順次に出力する。

[0004] ここで、パターン発生器は、マッチ命令と呼ばれる試験命令を実行することができる(特許文献1および特許文献2等参照。)。マッチ命令は、被試験デバイスの出力信号の値が期待値と一致するか否かを検出し、出力信号の値が期待値と一致する場合と、期待値と一致しない場合とで、異なる命令に分岐する分岐命令である。

[0005] このようなマッチ命令を含む試験命令列を実行することにより、試験装置は、例えば、次のような動作をすることができる。

[0006] PLL(Phase Locked Loop)を備える被試験デバイスは、PLLが安定している状態において、ロック信号を出力する。このような被試験デバイスを試験する試験装置は、マッチ命令を用いて、ロック信号の値が所定値に一致したことを条件としてループを抜ける処理を実行する。これにより、試験装置は、電源投入してからPLLが安定動作した後に、本来の機能試験を実行することができる。

[0007] また、NAND型フラッシュメモリは、消去動作中(または記録動作中)であるか否かを示すレディー/ビジー信号を出力する。このようなNAND型フラッシュメモリを試験する試験装置は、NAND型フラッシュメモリに消去動作または記録動作をさせた場合には、レディー/ビジー信号の値が期待値に一致したことをマッチ命令によって検

出した後に、次の試験を実行する。これにより、試験装置は、NAND型フラッシュメモリにおける消去動作または記録動作が確実に完了した後に、次の試験を実行することができる。

[0008] 特許文献1:特開2000－40389号公報

特許文献2:特開平11－64454号公報

発明の開示

発明が解決しようとする課題

[0009] ところで、試験装置は、マッチ命令を実行する場合、当該マッチ命令による検出対象となる端子に、出力信号の値が期待値と一致するか否かを検出するハードウェアを、予め割り当てなければならない。従って、試験装置は、試験シーケンスの実行中に、マッチ命令による検出対象となる端子を動的に変更することができなかった。

[0010] また、複数の出力信号の値により3以上の状態を表わす被試験デバイスを試験する場合、試験装置は、3以上の状態のそれぞれ毎に、異なる命令に分岐させることが求められる。しかし、試験装置は、上述のように試験シーケンスの実行中にマッチ命令の検出対象となる端子を動的に変更することができず、また、複数の出力信号により表される3以上の状態をハードウェアで検出することも非常に困難であるので、3以上の状態のそれぞれ毎に異なる命令に遷移させることができなかった。

[0011] そこで本発明は、上記の課題を解決することのできる試験装置および試験方法を提供することを目的とする。この目的は請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

課題を解決するための手段

[0012] 上記課題を解決するために、本発明の第1の態様においては、複数の出力端子を備える被試験デバイスを試験する試験装置であって、前記被試験デバイスを試験するための試験命令列を実行する実行部と、前記複数の出力端子のうち少なくとも1つの出力端子を指定する複数の設定データを記憶する記憶部と、前記設定データにより指定される出力端子からの出力信号の値が期待値と一致するか否かを検出する検出部と、前記検出部による検出結果に応じて前記試験命令列の実行シーケンスを変

更する少なくとも2つの検出命令の実行において、前記記憶部内の異なる設定データを選択して前記検出部に供給する選択部と、を備える試験装置、および当該試験装置に関連する試験方法を提供する。

[0013] なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

[0014] [図1]図1は、本発明の実施形態に係る試験装置10の構成を被試験デバイス300とともに示す。

[図2]図2は、本発明の実施形態に係る試験装置10における検出命令の実行時の処理フローを示す。

[図3]図3は、記憶部34、選択部36および検出部38の構成の一例を示す。

[図4]図4は、端子対応検出部46に入力される信号、および、端子対応検出部46から出力される信号との関係を示す。

[図5]図5は、実行部20により実行されるシーケンスの一例を表わすフローチャートを示す。

[図6A]図5に示されるシーケンスを実行させるための、第1出力端子に対応する端子対応記憶部42に記憶される対象フラグの一例を示す。

[図6B]図5に示されるシーケンスを実行させるための、第2出力端子に対応する端子対応記憶部42に記憶される対象フラグの一例を示す。

[図6C]図5に示されるシーケンスを実行させるための、第3出力端子に対応する端子対応記憶部42に記憶される対象フラグの一例を示す。

[図7]図7は、図5に示されるシーケンスを実行させるための、試験命令列の一例を示す。

発明を実施するための最良の形態

[0015] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0016] 図1は、本実施形態に係る試験装置10の構成を被試験デバイス300とともに示す。

試験装置10は、複数の出力端子を備える被試験デバイス300を試験する。

[0017] 試験装置10は、本体部12と、制御装置14とを備える。本体部12は、被試験デバイス300との間で信号を授受する。制御装置14は、当該試験装置10による被試験デバイス300の試験を制御する制御プログラムを実行して、本体部12の動作を制御する。

[0018] 本体部12は、実行部20と、信号供給部30と、比較部32と、記憶部34と、選択部36と、検出部38とを有する。

[0019] 実行部20は、被試験デバイス300を試験するための試験命令列を実行する。より詳しくは、実行部20は、試験命令列に含まれる各試験命令を順次に実行する。そして、実行部20は、実行した試験命令に対応付けて記憶されたパターン(試験パターンおよび期待値パターン)を発生する。これにより、実行部20は、被試験デバイス300に与えるべき試験信号のパターンを示す試験パターンおよび被試験デバイス300が出力すべき出力信号の期待値を発生することができる。なお、実行部20は、試験命令列の実行に先立って、当該試験命令列を制御装置14から受け取る。

[0020] 信号供給部30は、実行部20により発生された試験パターンに応じた波形の試験信号を生成して、被試験デバイス300に供給する。この結果、被試験デバイス300は、与えられた試験信号に応じた動作をする。

[0021] 比較部32は、与えられた試験信号に応じて被試験デバイス300が出力する出力信号を受け取る。そして、比較部32は、受け取った出力信号の値と、実行部20により発生された期待値とを比較して、比較結果を出力する。

[0022] 記憶部34は、被試験デバイス300における出力信号を出力する複数の出力端子のうち少なくとも1つの出力端子を指定する複数の設定データを記憶する。本実施形態においては、記憶部34は、それぞれに固有の識別情報が付けられた複数の設定データを記憶する。また、記憶部34は、実行部20による試験命令列の実行に先立って、複数の設定データを制御装置14から受け取って記憶する。

[0023] 選択部36は、記憶部34に記憶された複数の設定データのうち、実行部20により指定された設定データを選択して検出部38に与える。選択部36は、一例として、実行部20が実行した検出命令(検出命令については詳細を後述する)に含まれる識別情

報を受け取り、受け取った識別情報に対応する設定データを記憶部34内から選択して、検出部38に与える。

[0024] 検出部38は、与えられた設定データにより指定される出力端子からの出力信号の値が、実行部20により発生された期待値と一致するか否かを検出する。そして、検出部38は、検出結果を実行部20に与える。

[0025] 図2は、本実施形態に係る試験装置10における検出命令の実行時の処理フローを示す。制御装置14は、実行部20による試験命令列の実行に先立って、例えば試験プログラム中に記述された当該試験命令列を、実行部20に書き込む。また、制御装置14は、実行部20による試験命令列の実行に先立って、例えば制御プログラム中に記述された設定データの値を、記憶部34に書き込む。そして、実行部20は、試験開始の指示が与えられると、試験命令列に含まれる各試験命令を、例えば先頭アドレスの試験命令から順次に実行する。

[0026] ここで、実行部20が実行する試験命令列には、検出命令が含まれてよい。検出命令は、検出部38による検出結果に応じて試験命令列の実行シーケンスを変更する命令である。即ち、検出命令は、被試験デバイス300の出力信号の値と期待値とが一致するか否かを検出部38により検出させ、検出部38による検出結果に応じて次に実行すべき命令のジャンプ先が切り替わる命令である。例えば、検出命令は、出力信号の値が期待値に一致しないことを条件として当該検出命令より前方の命令に分岐し、出力信号の値が期待値に一致することを条件として、当該検出命令の後方のアドレス(例えば次のアドレス)の命令に分岐する命令であってよい。これにより、当該検出命令は、出力信号の値が期待値に一致するまでループを繰り返すループ処理を実行させることができる。

[0027] さらに、検出命令は、記憶部34に記憶された複数の設定データのうちから、検出部38に供給すべき1つの設定データを指定する情報を含む。本例においては、検出命令は、検出部38に供給すべき設定データの識別情報をオペランドとして含む。

[0028] このような検出命令の実行において、試験装置10は、図2に示される処理フローを実行する。まず、それぞれの検出命令の実行において、選択部36は、記憶部34に予め記憶された複数の設定データから、当該検出命令により指定された一の設定デ

ータを選択して選択部36に供給する(S111)。本例においては、選択部36は、当該検出命令のオペランドに含まれた識別情報を実行部20から受け取り、受け取った識別情報に対応する設定データを記憶部34から選択して検出部38に供給する。これにより選択部36は、少なくとも2つの検出命令の実行において、記憶部34内の異なる設定データを選択して検出部38に供給することができる。

[0029] なお、検出命令のオペランドに識別情報を含めることに代えて、当該検出命令に対応付けられたパターンの一部に識別情報が含まれてもよい。この場合、実行部20は、当該検出命令の対応付けられたパターンの一部から識別情報を抽出して、選択部36に与える。

[0030] また、それぞれの検出命令の実行において、実行部20は、検出命令の実行を示すマッチフラグ、および、検出するべき出力信号の期待値を検出部38に供給する(S112)。検出部38は、マッチフラグが与えられたことを条件として(例えばマッチフラグの値が"1"となったことを条件として)、与えられた設定データにより指定された出力端子の出力信号の値のそれぞれと、対応する期待値とが、全て一致するか否かを検出する(S113)。

[0031] そして、設定データにより指定された出力端子の出力信号の値の全てが対応する期待値に一致することを条件として(S114のYes)、実行部20は、当該検出命令に続いて、当該検出命令により指定された第1の分岐先の試験命令を実行する(S115)。一方、設定データにより指定された出力端子から出力された出力信号の値のうち少なくとも1つ対応する期待値と一致しないことを条件として(S114のNo)、実行部20は、当該検出命令に続いて、当該検出命令により指定された第1の分岐先とは異なる第2の分岐先の試験命令を実行する(S116)。

[0032] 以上のように選択部36は、実行部20が検出命令を実行する毎に、記憶部34が予め記憶した複数の設定データの中から1つの設定データを選択して検出部38に供給する。そして、検出部38は、与えられた設定データにより指定された出力端子から出力された出力信号と期待値とが一致するか否かを検出する。これにより、試験装置10は、各検出命令の実行毎に、期待値と一致するか否かを検出する対象となる出力端子を変更することができる。

[0033] 図3は、記憶部34、選択部36および検出部38の構成の一例を示す。図4は、端子対応検出部46に入力される信号、および、端子対応検出部46から出力される信号の関係を示す。

[0034] 記憶部34は、複数の端子対応記憶部42を含んでよい。また、選択部36は、複数の端子対応選択部44を含んでよい。また、検出部38は、複数の端子対応検出部46と、全体マッチ検出部48と、複数の対象端子設定部50とを含んでよい。

[0035] 複数の端子対応記憶部42のそれぞれは、被試験デバイス300の複数の出力端子のそれぞれに対応して設けられる。各端子対応記憶部42は、対応する出力端子を検出部38による検出対象とするか否かを示す対象フラグを識別情報の値毎に記憶する。本例においては、各端子対応記憶部42は、検出対象とする場合には"1"、検出対象としない場合には"0"を示す対象フラグが書き込まれる。

[0036] 複数の端子対応選択部44のそれぞれは、被試験デバイス300の複数の出力端子のそれぞれに対応して設けられる。各端子対応選択部44は、実行部20が検出命令を実行した場合に、当該検出命令に含まれる識別情報の値を実行部20から受け取る。そして、各端子対応選択部44は、対応する端子対応記憶部42に記憶された、受け取った識別情報の値に対応する対象フラグを選択して、検出部38内の対応する端子対応検出部46に与える。

[0037] 複数の端子対応検出部46のそれぞれは、被試験デバイス300の複数の出力端子のそれぞれに対応して設けられる。各端子対応検出部46は、マッチフラグを実行部20から受け取る。さらに、各端子対応検出部46は、被試験デバイス300の対応する出力端子から出力信号を受け取り、対応する出力端子から出力される出力信号の期待値を実行部20から受け取り、対応する端子対応選択部44から対象フラグを受け取る。

[0038] 複数の端子対応検出部46のそれぞれは、これらの信号に基づき、当該出力端子からの出力信号が期待値と一致したことを示すピンマッチ信号を出力する。より詳しくは、各端子対応検出部46は、マッチフラグが供給され、かつ、対応する出力端子が検出対象であることを示す対象フラグが対応する端子対応記憶部42から供給され、かつ、当該出力端子からの出力信号の値が期待値と一致したことを条件として、ピン

マッチ信号を出力する。または、各端子対応検出部46は、マッチフラグが供給され、かつ、対応する出力端子が検出対象でないことを示す対象フラグが対応する端子対応記憶部42から供給されたことを条件として、ピンマッチ信号を出力する。

[0039] なお、各端子対応検出部46は、マッチフラグが供給されていない場合には、ピンマッチ信号を出力しない。また、各端子対応検出部46は、マッチフラグが供給され且つ対象フラグが供給されている場合であっても、対応する出力端子からの出力信号の値が期待値と一致しない場合には、ピンマッチ信号を出力しない。

[0040] 本例においては、各端子対応検出部46は、図4に示されるように、ピンマッチ信号を出力する。即ち、各端子対応検出部46は、マッチフラグの値が"0"の場合、対象フラグの値、出力信号の値および期待値に関わらず、ピンマッチ信号の値を"0"とする。また、各端子対応検出部46は、マッチフラグの値が"1"且つ対象フラグの値が"0"の場合、出力信号の値および期待値に関わらず、ピンマッチ信号の値を"1"とする。

[0041] また、各端子対応検出部46は、マッチフラグの値が"1"且つ対象フラグの値が"1"の場合、出力信号の値が期待値に一致していることを条件として、ピンマッチ信号の値を"1"とする。また、各端子対応検出部46は、マッチフラグの値が"1"且つ対象フラグの値が"1"の場合、出力信号の値が期待値に一致していないことを条件として、ピンマッチ信号の値を"0"とする。

[0042] なお、以上に加えて、複数の端子対応検出部46のそれぞれは、対応する出力端子を当該試験の対象としないことを示すマスク信号を、更に受け取ってもよい。各端子対応検出部46は、一例として、制御装置14が所定のレジスタ等に書き込んだ値を、マスク信号として受け取る。各端子対応検出部46は、マスク信号が与えられたことを条件として、マッチフラグ、出力信号の値、期待値および対象フラグに関わらず、ピンマッチ信号を出力する。これにより、制御装置14は、例えば被試験デバイス300に接続されていない端子対応検出部46等を、対象フラグ等に関わらずピンマッチ信号を出力するように、設定することができる。

[0043] 全体マッチ検出部48は、全ての端子対応検出部46からピンマッチ信号が出力されたことに応じて、検出対象とする出力端子からの出力信号が期待値と一致したことを示す全体マッチ信号を、実行部20へ出力する。本例においては、複数の端子対

応検出部46のそれぞれから出力されるピンマッチ信号の値が全て"1"であることを条件として、全体マッチ検出部48は、"1"を示す全体マッチ信号を実行部20へ出力する。また、複数の端子対応検出部46のそれぞれから出力されるピンマッチ信号のうち、値が"0"のピンマッチ信号が含まれることを条件として、全体マッチ検出部48は、"0"を示す全体マッチ信号を実行部20へ出力する。そして、このような全体マッチ信号を受け取った実行部20は、全体マッチ信号の値に応じて試験命令の実行シーケンスを変更する。

[0044] 複数の対象端子設定部50のそれぞれは、対応する出力端子を、検出命令による検出対象とするか否かを示す端子設定信号を受け取る。各対象端子設定部50は、一例として、制御装置14が所定のレジスタ等に書き込んだ値を、端子設定信号として受け取る。各対象端子設定部50は、端子設定信号が与えられたことを条件として、対象フラグを対応する端子対応検出部46へ供給する。また、各対象端子設定部50は、端子設定信号が与えられていないことを条件として、対象フラグを端子対応検出部46へ供給しない(例えば対象フラグの値を0に固定する。)。これにより、実行部20による試験命令列の実行に先立って、制御装置14は、制御プログラム中に記述された検出対象となりうる出力端子のリストに基づいて、検出対象とならない出力端子に対応する端子対応検出部46を、対象フラグの値に関わらずピンマッチ信号を出力するように、設定することができる。

[0045] 以上のような構成の記憶部34および選択部36は、実行部20が検出命令を実行する毎に、記憶部34が予め記憶した複数の設定データの中から1つの設定データを選択して検出部38に供給することができる。そして、このような構成の検出部38は、与えられた設定データにより指定された出力端子から出力された出力信号と期待値とが一致するか否かを検出することができる。

[0046] なお、実行部20による試験命令列の実行に先立って、制御装置14は、少なくとも1つの識別情報の値に対応して、全ての出力端子の端子対応記憶部42に対応する出力端子を検出対象とする旨を示す対象フラグを書き込んでもよい。制御装置14は、例えば、複数の端子対応記憶部42のそれぞれの先頭の識別情報に対応して、当該出力端子を検出対象とする値(本例においては、"1")の対象フラグを書き込んで

よい。

[0047] これにより、検出命令により当該識別情報（例えば先頭の識別情報）が指定された場合には、検出部38は、端子設定信号が与えられた端子についてのみ、出力信号の値が期待値と一致するか否かを検出することができる。即ち、検出部38は、試験命令列の実行に先立って制御装置14が特定した出力端子について、出力信号の値が期待値と一致するか否かを検出することができる。

[0048] 図5は、実行部20により実行されるシーケンスの一例を表わすフローチャートを示す。図6A、図6Bおよび図6Cは、図5に示されるシーケンスを実行させるための、端子対応記憶部42に記憶される対象フラグの一例を示す。図7は、図5に示されるシーケンスを実行させるための、試験命令列の一例を示す。

[0049] 例えば、実行部20が、図5のフローに示されるシーケンスを実行することを考える。図5のフローに示されるシーケンスは、第1出力端子がH論理の場合（S121のYes）、第1の分岐先へジャンプし（S122）、第2出力端子がH論理の場合（S123のYes）、第2の分岐先へジャンプし（S124）、第3出力端子がH論理の場合（S125のYes）、第3の分岐先へジャンプする（S126）。更に、図5のシーケンスは、第1～第3出力端子のいずれもがL論理の場合（S121のNo、S123のNo、S125のNo）、ループ内で処理を待機する。

[0050] このようなシーケンスを実行する場合、制御装置14は、実行部20による試験命令列の実行に先立って、第1出力端子に対応する端子対応記憶部42に例えば図6Aに示されるような対象フラグを書き込む。即ち、制御装置14は、識別情報1に値1、識別情報2，3に値0の対象フラグを書き込む。

[0051] また、制御装置14は、実行部20による試験命令列の実行に先立って、第2出力端子に対応する端子対応記憶部42に例えば図6Bに示されるような対象フラグを書き込む。即ち、制御装置14は、識別情報2に値1、識別情報1，3に値0の対象フラグを書き込む。

[0052] また、制御装置14は、実行部20による試験命令列の実行に先立って、第3出力端子に対応する端子対応記憶部42に例えば図6Bに示されるような対象フラグを書き込む。即ち、制御装置14は、識別情報3に値1、識別情報1，2に値0の対象フラグを

書き込む。

[0053] さらに、このようなシーケンスを実行する場合、制御装置14は、図7に示されるような、試験命令列を実行部20に実行させる。なお、図7の試験命令列において、NOP命令は、次のアドレスの命令に処理を移行する命令である。JMP命令は、指定したアドレスの命令に前方向ジャンプする命令である。

[0054] FLGLi命令は、検出命令の一例である。より詳しくは、FLGLi命令は、オペランドに識別情報を含み、識別情報により指定された出力端子の出力信号の値と期待値とが一致するか否かを検出部38により検出させる。そして、FLGLi命令は、一致する場合には、指定したアドレスiにジャンプし、不一致の場合には次のアドレスの命令に処理を移行する。

[0055] 図7に示される試験命令列は、JMP命令において形成されたループ（アドレス0003～0010）内に、第1のFLGLi命令（アドレス0004）、第2のFLGLi命令（アドレス0006）、および、第3のFLGLi命令（アドレス0008）が配置される。第1のFLGLi命令（アドレス0004）は、第1出力端子（P1）の値がH論理に一致するか否かを検出し、一致する場合には、アドレス1001にジャンプしてループを抜ける。第2のFLGLi命令（アドレス0006）は、第2出力端子（P2）の値がH論理に一致するか否かを検出し、一致する場合には、アドレス2001にジャンプしてループを抜ける。第3のFLGLi命令（アドレス0008）は、第3出力端子（P3）の値がH論理に一致するか否かを検出し、一致する場合には、アドレス3001にジャンプしてループを抜ける。

[0056] 本実施形態に係る試験装置10は、このような一致／不一致を検出する出力端子を試験シーケンス中において動的に変更することができる。この結果、試験装置10は、被試験デバイス300の複数の出力信号により表された3以上の状態のそれぞれ毎に、試験命令列中における異なる命令にジャンプさせることができる。

[0057] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0058] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

請求の範囲

[1] 複数の出力端子を備える被試験デバイスを試験する試験装置であって、

前記被試験デバイスを試験するための試験命令列を実行する実行部と、

前記複数の出力端子のうち少なくとも1つの出力端子を指定する複数の設定データを記憶する記憶部と、

前記設定データにより指定される出力端子からの出力信号の値が期待値と一致するか否かを検出する検出部と、

前記検出部による検出結果に応じて前記試験命令列の実行シーケンスを変更する少なくとも2つの検出命令の実行において、前記記憶部内の異なる設定データを選択して前記検出部に供給する選択部と、

を備える試験装置。

[2] 前記実行部は、前記検出部に供給すべき前記設定データの識別情報をオペランドとして含む前記検出命令を実行し、

前記選択部は、それぞれの前記検出命令の実行において、前記検出命令に含まれる前記識別情報に対応する前記設定データを前記記憶部から選択して前記検出部に供給する請求項1に記載の試験装置。

[3] 前記記憶部は、前記複数の出力端子のそれぞれに対応して、対応する前記出力端子を前記検出部による検出対象とするか否かを示す対象フラグを前記識別情報の値毎に記憶する端子対応記憶部を有する請求項2に記載の試験装置。

[4] 前記検出部は、

前記複数の出力端子のそれぞれに対応して設けられ、対応する前記出力端子が検出対象でないことを示す対象フラグが対応する前記端子対応記憶部から供給されたこと、または、対応する前記出力端子が検出対象であることを示す対象フラグが対応する前記端子対応記憶部から供給され、かつ、当該出力端子からの出力信号の値が期待値と一致したことを条件として、当該出力端子からの出力信号が期待値と一致したことを示すピンマッチ信号を出力する端子対応検出部と、

全ての前記端子対応検出部からピンマッチ信号が出力されたことに応じて、検出対象とする出力端子からの出力信号が期待値と一致したことを示す全体マッチ信号を

出力する全体マッチ検出部と、

を有し、

前記実行部は、前記全体マッチ信号の値に応じて前記試験命令列の実行シーケンスを変更する

請求項3に記載の試験装置。

[5] 当該試験装置による前記被試験デバイスの試験を制御する制御プログラムを実行する制御装置を更に備え、

前記制御装置は、前記実行部による前記試験命令列の実行に先立って、前記制御プログラム中に記述された前記設定データの値を前記記憶部に書き込む

請求項4に記載の試験装置。

[6] 前記実行部による前記試験命令列の実行に先立って、前記制御装置は、前記制御プログラム中に記述された検出対象となりうる前記出力端子のリストに基づいて、検出対象とならない前記出力端子に対応する前記端子対応検出部を、対象フラグの値に関わらずピンマッチ信号を出力するように設定する請求項5に記載の試験装置。

[7] 前記実行部による前記試験命令列の実行に先立って、前記制御装置は、少なくとも1つの前記識別情報の値に対応して、全ての前記出力端子の前記端子対応記憶部に対応する前記出力端子を検出対象とする旨を示す対象フラグを書き込む請求項5から6のいずれかに記載の試験装置。

[8] 複数の出力端子を備える被試験デバイスを試験する試験装置により実行される試験方法であって、

前記試験装置は、

前記被試験デバイスを試験するための試験命令列を実行する実行部と、

前記複数の出力端子のうち少なくとも1つの出力端子を指定する複数の設定データを記憶する記憶部と、

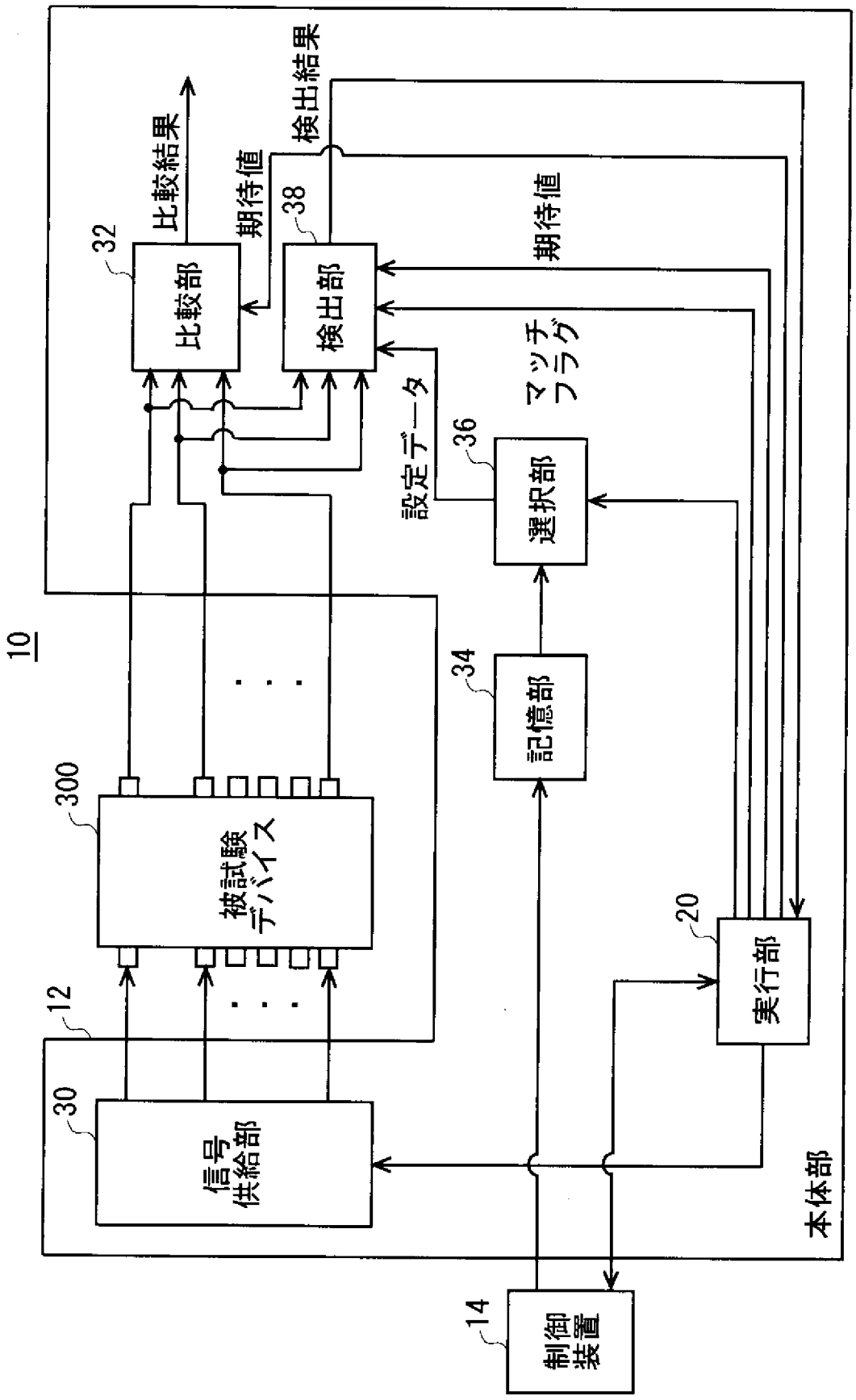
前記設定データにより指定される出力端子からの出力信号の値が期待値と一致するか否かを検出する検出部とを備え、

前記検出部による検出結果に応じて前記試験命令列の実行シーケンスを変更する少なくとも2つの検出命令の実行において、前記記憶部内の異なる設定データを選

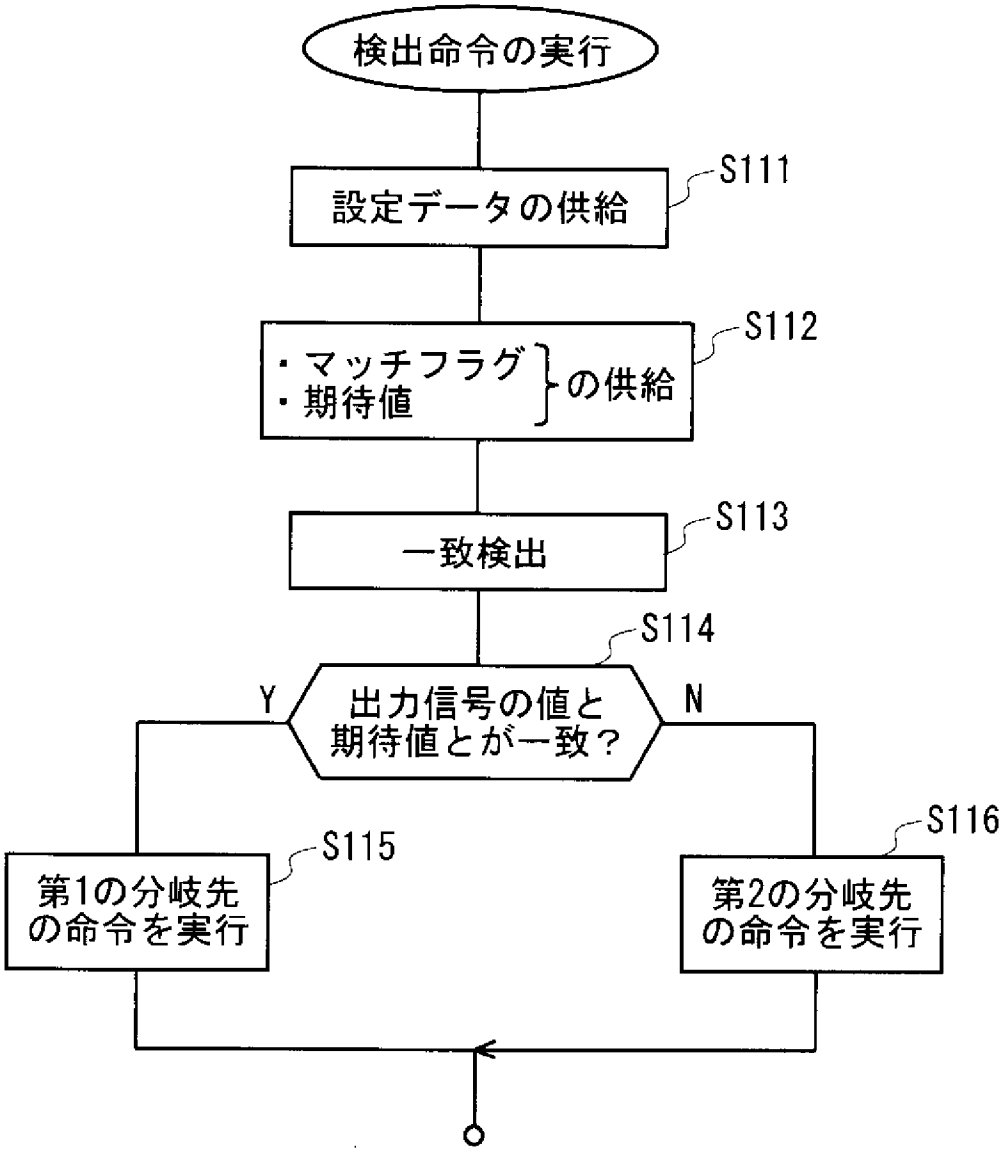
択して前記検出部に供給する

試験方法。

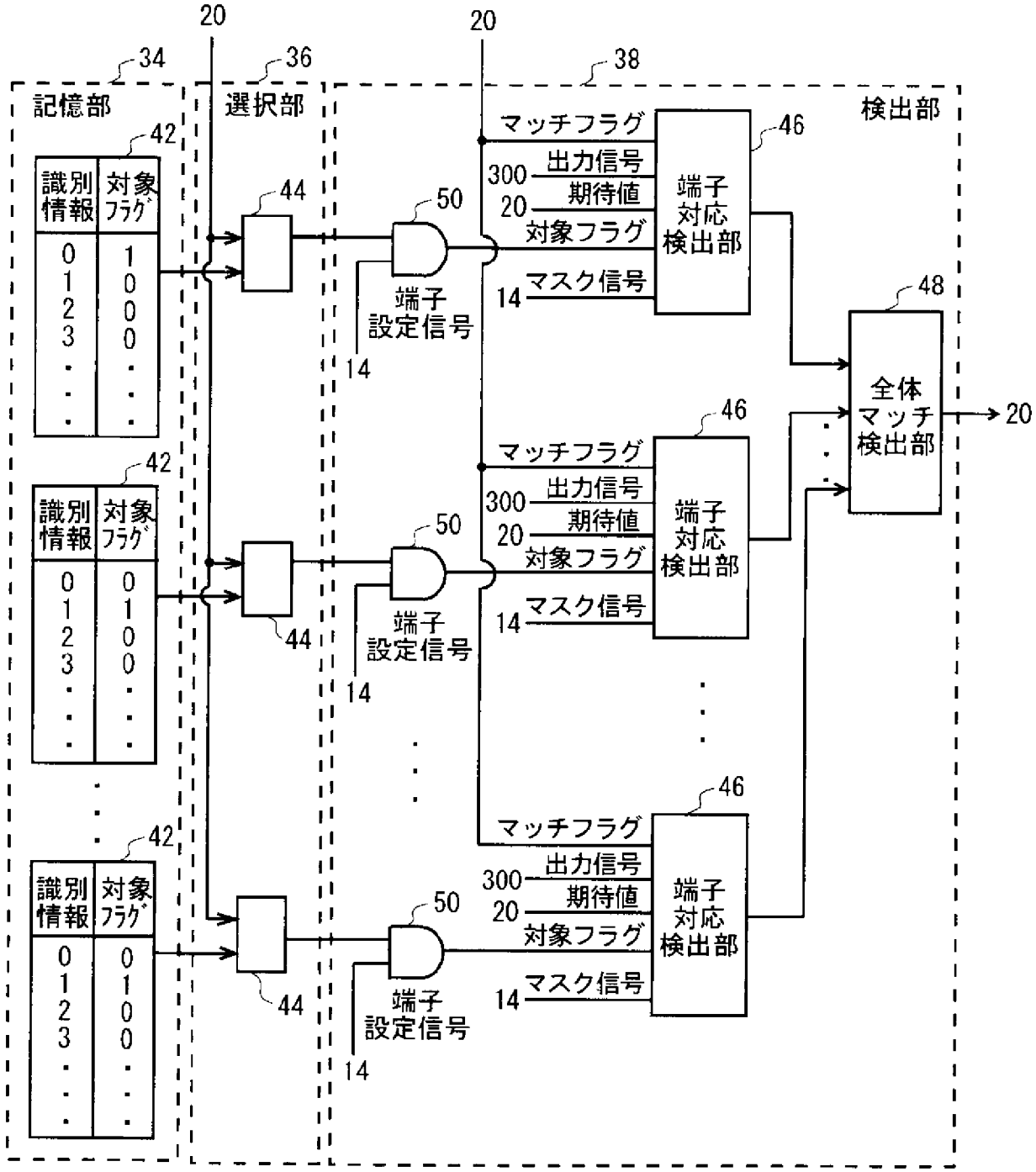
[図1]


10
12
本体部
比較部
32
比較結果
期待値
検出部
38
検出結果
期待値
マッチフラグ
設定データ
選択部
36
記憶部
34
被試験デバイス
300
信号供給部
30
実行部
20
制御装置
14

[図2]


検出命令の実行
設定データの供給
S111
・マッチフラグ
・期待値
の供給
S112
一致検出
S113
S114
出力信号の値と
期待値とが一致？
Y
N
第1の分岐先
の命令を実行
S115
第2の分岐先
の命令を実行
S116

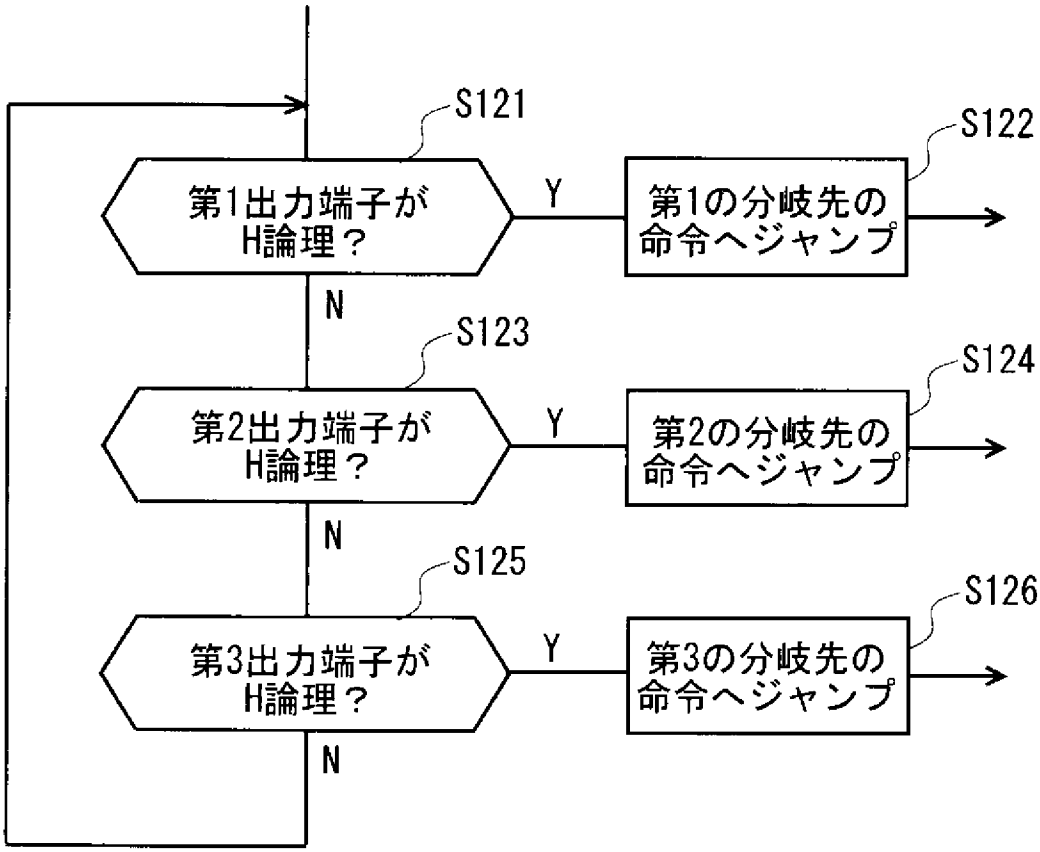
[図3]



[図4]

マッチフラグの値	対象フラグの値	出力信号の値	期待値	ピンマッチ信号の値
0	X	X	X	0
1	0	X	X	1
	1	0(L)	0(L)	1
			1(H)	0
		1(H)	0(L)	0
			1(H)	1

[図5]



[図6A]

第1出力端子

識別情報	対象フラグ
1	1
2	0
3	0

42

[図6B]

第2出力端子

識別情報	対象フラグ
1	0
2	1
3	0

42

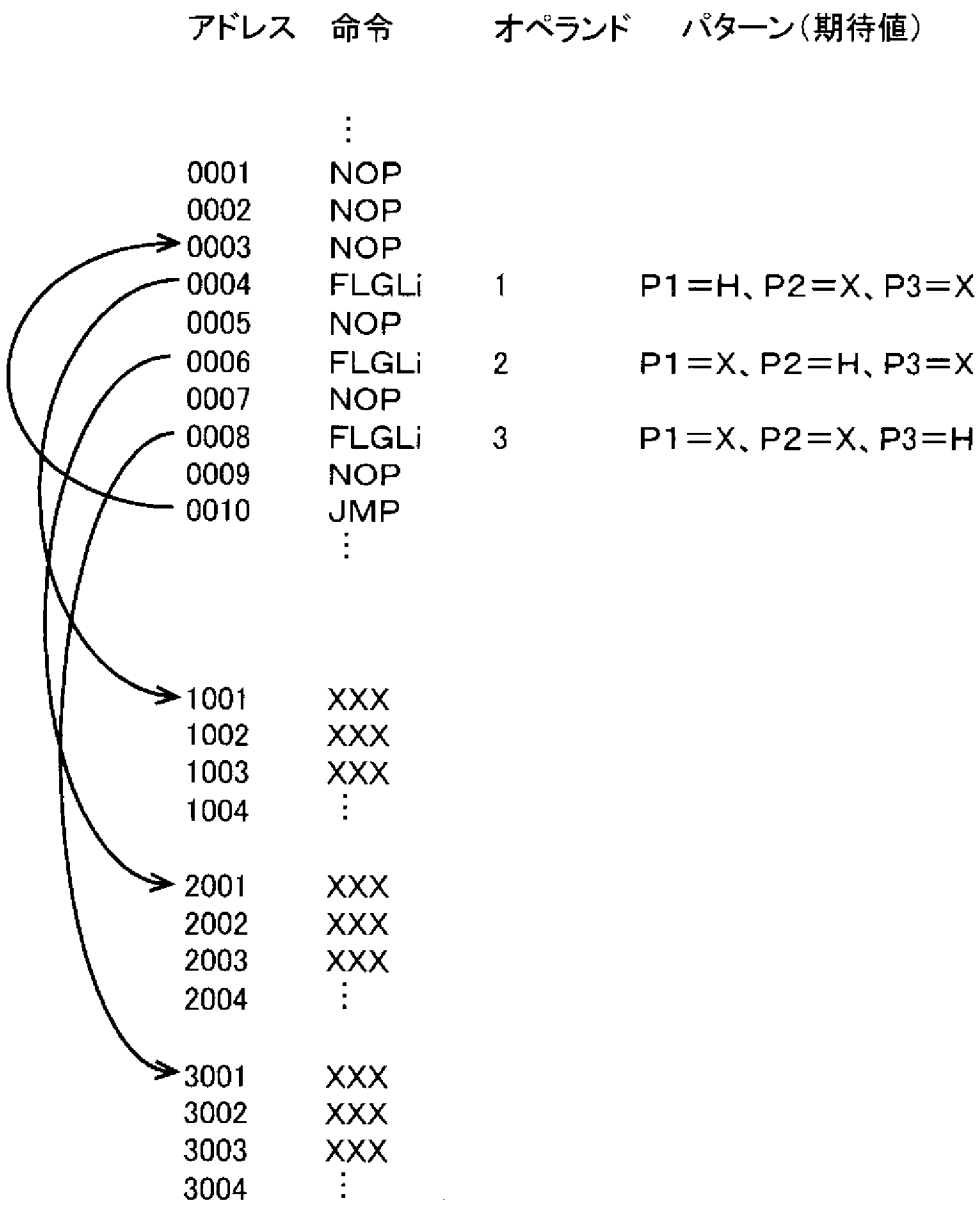
[図6C]

第3出力端子

識別情報	対象フラグ
1	0
2	0
3	1

42

[図7]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/066004

A. CLASSIFICATION OF SUBJECT MATTER
G01R31/28(2006.01)i, *G11C29/56*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G01R31/28, G11C29/56

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008
Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2004/070404 A1 (Advantest Corp.), 19 August, 2004 (19.08.04), Page 4, line 29 to page 20, line 4; Figs. 1 to 9 & US 2005/0278599 A1	1-8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
25 November, 2008 (25.11.08)	02 December, 2008 (02.12.08)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００８／０６６００４

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G01R31/28(2006.01)i, G11C29/56(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G01R31/28, G11C29/56

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００８年
日本国実用新案登録公報	１９９６－２００８年
日本国登録実用新案公報	１９９４－２００８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ａ	ＷＯ ２００４／０７０４０４ Ａ１（株式会社アドバンテスト） ２００４．０８．１９，第４頁第２９行－第２０頁第４行，図１－図９ ＆ ＵＳ ２００５／０２７８５９９ Ａ１	１－８

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２５．１１．２００８	０２．１２．２００８

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）	２Ｓ	８８０３
日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	関根　洋之 電話番号　０３－３５８１－１１０１　内線　３２５８		