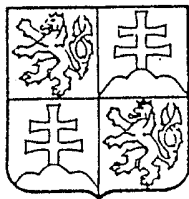


ČESKÁ A SLOVENSKÁ
FEDERATIVNÍ
REPUBLIKA
(19)



FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

269 779

(21) PV 4159-86.H
(22) Přihlášeno 05 06 86
(30) Právo přednosti od 17 07 85,
WP H 04 B/278697, DD

(40) Zveřejněno 15 02 88
(45) Vydáno 15 12 92
(89) 250648, 17 07 85, DD

(11)

(13) B1

(51) Int. Cl.⁴
H 04 B 1/10

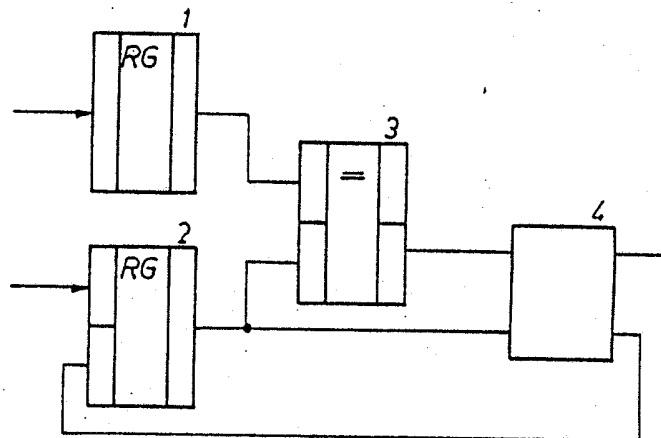
(75)
Autor vynálezu

HOEG WOLFGANG, BERLÍN (DD)

(54)

Zapojení pro bezporuchové přepínání digitálních
zvukových signálů

(57) Zapojení se vztahuje na oblast
zvukové studiové techniky a týká se zej-
ména zamezení poruch při přepojení digi-
tálních zvukových signálů. Současně za
účelem vyloučení vysokých ztrát a zkres-
lení úloha spočívá v tom, aby bylo možné
obejít se bez procesorů zavedení a vyve-
dení signálů a bez násobících signálních
procesorů a aby bylo v dostatečném stupni
odstraněny příčiny vzniku poruch ve formě
cvaknutí. Toto je dosahováno pomocí obvo-
du, skládajícího se ze dvou pamětí na vstu-
pech digitálních signálů, následujícího
porovnávacího členu a obvodu vzájemného
spojení, jehož vstupy jsou spojeny s vý-
stupem pamětí a výstupem porovnávacího čle-
nu a jeho výstupy jsou připojeny ke vstupu
pamětí a výstupu pro signál podnětu pře-
pojení.



Название изобретения

СХЕМА ДЛЯ БЕСПОМЕХОВОГО ПЕРЕКЛЮЧЕНИЯ ЦИФРОВЫХ ЗВУКОВЫХ СИГНАЛОВ

Область применения изобретения

Изобретение распространяется на область цифровой передачи или обработки звуковых сигналов, например, в микширующих устройствах, устройствах задержки или коммутирующих устройствах в цифровой технике. Оно может применяться для различных видов подключения, переключения или отключения отдельных или нескольких цифровых звуковых сигналов, в частности, при переключении времени задержки цифровых устройств задержки в системах звукофикации.

Характеристика известных технических решений

Известное решение (DE-PS 3028334) принципиальной физической проблемы беспомехового (без щелчков) переключения между двумя цифровыми звуковыми сигналами устраняет помеховое действие тем, что соответствующие сигналы промежуточно запоминаются, переходные условия между обоими сигналами анализируются и из постоянного запоминающего устройства выбирается подходящая переходная функция, вводимая между обоими концами звуковых сигналов.

Другое известное решение предусматривает для случая цифрового устройства задержки (EMT 445) применение специального перемножающего сигнального процессора, с помощью которого при переключении сигнал первого времени задержки перемножается на линейную функцию по убыванию, а затем сигнал второго времени задержки - на линейную функцию по возрастанию, так что между обоими сигналами получается плавный переход.

Недостаток этих решений состоит в том, что в них имеет место дополнительное влияние на сигналы, которое, кроме того, требует конечного времени, так что невозможно реализовать быстрые последовательности переключений сигналов, и к тому же необходимо применение дорогостоящего быстродействующего сигнального процессора или других сложных элементов.

Другие решения осуществляют такого рода сглаживающие процессы с помощью расположенных на аналоговом выходе усилителей, управляемых напряжением, или фильтрующих звеньев (DE-PS 2737466), причем дальнейшая обработка сигнала на цифровом уровне невозможна.

Цель изобретения

Цель изобретения заключается в том, чтобы с незначительными затратами обеспечить переключение цифровых звуковых сигналов без щелчков и искажений, не нарушая ход переключаемых сигналов и не оказывая на него влияния.

Сущность изобретения

Анализ причин технических признаков показывает, что резкое переключение сигналов приводит к мешающим щелчкам вследствие возникающих скачков амплитуды и/или фазы.

Достижимое с помощью известных решений введение или выведение соответствующего сигнала хотя и подавляет эти помехи, однако нуждается в конечном времени как минимум порядка 150 нс, чтобы предотвратить нелинейные искажения. Такое относительно длительное время затрудняет быстрое чередование процессов переключения, как это имеет место, например, при квазинепрерывном изменении времени задержки цифрового устройства задержки, если даже не принимать во внимание общее ухудшение сигналов во время названных процессов введения и выведения.

Задача изобретения состоит в том, чтобы исключить процессы введения и выведения любого рода и вместо подавления последствий воздействовать на причины возникновения помех в виде щелчков, отказавшись при этом от перемножающего сигнального процессора.

Согласно изобретению задача решается тем, что входы сравнивающего устройства соединены с выходами запоминающих устройств, на входы которых поступают цифровые сигналы, и что выход сравнивающего устройства через схему сопряжения связан как минимум с одним присоединением запоминающего устройства.

Предпочтительный эффект схемы согласно изобретению состоит при этом в том, что в зависимости от требований специального применения переключение цифровых сигналов управляется так, что беспомеховая передача обеспечивается без дополнительного изменения цифровых звуковых сигналов или влияния на них. Существенную функцию при этом выполняет сравнивающее устройство, в котором в зависимости от конкретного случая применения сравниваются либо адреса ячеек памяти цифровых сигналов, либо абсолютные значения и градиенты (тенденции изменения) цифровых звуковых сигналов с тем, чтобы сформировать необходимый критерий управления для переключения.

Предпочтительный вариант схемы согласно изобретению, который особенно подходит для управляемых цифровых устройств задержки, состоит в том, что одно из запоминающих устройств выполнено в виде реверсивного счетчика, что схема сопряжения (4) состоит из двух соединительных магистралей, которые связывают выход сравнивающего устройства (3) с управляющим входом реверсивного счетчика (2), а выход реверсивного счетчика (2) с выходом всей схемы, и что входы запоминающих устройств соединены с адресными магистралями.

Другое запоминающее устройство может быть адресным регистром. Скользящая адаптация цифровых звуковых сигналов возникает благодаря тому, что производится квазинепрерывное приравнивание актуального адреса в реверсивном счетчике к целевому адресу в другом запоминающем устройстве, например, адресном регистре; к примеру, при пренебрежении длительностями тактов. В другом варианте решения согласно изобретению, пригодном для произвольных процессов переключения, запоминающие устройства, на входы которых поступают цифровые дискретные значения, полученные в результате выборки из звуковых сигналов, устроены как двойные запоминающие устройства, включенные по входу параллельно, выходы которых индивидуально соединены с сравнивающим устройством, состоящим как минимум из одного компаратора абсолютных значений и одного компаратора градиентов, выходы которых объединены комбинаторной схемой, и что схема сопряжения состоит из вентильной схемы, которая в зависимости от логического состояния выходного сигнала сравнения соединяет выход с одним из запоминающих устройств.

Входными сигналами запоминающих устройств являются дискретные значения предусмотренных для переключения сигналов, они сравниваются друг с другом в сравнивающем устройстве по величине и тенденции изменения (градиент). В случае достаточного совпадения подается управляющий сигнал на вентильную схему. Для определенных видов сигнала может оказаться целесообразным привлекать в качестве дополнительного критерия переходы переключаемых сигналов через нуль.

При наличии подходящих схемно-технических условий имеет смысл реализовать описанные решения средствами микровычислительной техники, интегрируя запоминающие устройства, сравнивающее устройство и схемы (логического) сопряжения в вычислитель. Однако, при этом не должен использоваться дорогой быстродействующий сигнальный процессор.

Пример осуществления изобретения

Ниже изобретение поясняется подробнее на примерах его осуществления.

Прилагаемые рисунки показывают:

фиг. 1 - блок-схему принципиальной структуры,

фиг. 2 - блок-схему варианта цифровых устройств задержки с непрерывным переключением времени задержки,

фиг. 3 - блок-схему произвольных переключений между двумя цифровыми сигналами.

Фиг. 1 показывает принципиальную структуру схем согласно изобретению. Она состоит из двух запоминающих устройств 1 и 2, сравнивающего устройства 3 и схемы сопряжения 4. На один из входов каждого запоминающего устройства 1 и 2 поступают цифровые сигналы. Выходы этих устройств связаны с входами сравнивающего устройства 3, а один из выходов, кроме того, - со входом схемы сопряжения 4, другой вход которой соединен с выходом сравнивающего устройства 3.

Его выходы, с одной стороны, соединены с другим входом одного из запоминающих устройств 2, а с другой стороны, с последующими структурами для формирования сигнала, инициирующего переключение.

Принцип изобретения поясняется на примере изображенного на фиг.2 цифрового устройства задержки с непрерывным переключением времени задержки.

Входные сигналы для запоминающих устройств 1, 2 являются при этом адресами соответствующих параметров сигналов в памяти ОЗУ устройства задержки, которые определяют соответствующее время задержки.

В регистр 1 заносится целевой адрес, необходимый для переключения, а в реверсивный счетчик 2 - соответствующий актуальный адрес. Оба адреса сравниваются друг с другом в сравнивающем устройстве 3, причем выходной сигнал сравнивающего устройства подается на счетчик 2 с подходящим шагом в такте с частотой выборки до тех пор, пока между актуальным адресом и целевым адресом не будет достигнуто достаточное совпадение. Благодаря пошаговому изменению актуального адреса время задержки меняется квазинепрерывно в такте с частотой выборки (т.е. на практике с шагом от 20 до 30 нкс), причем оставшиеся незначительные скачки уровня, как и при обычном процессе выборки с помощью аналогово-цифрового преобразователя достаточно сглаживаются фильтром нижних частот на выходе цифро-аналогового преобразователя цифровой схемы и в результате этого не прослушиваются. Цифровой звуковой сигнал при этом лишь смещается небольшими временными шагами, соответствующими интенсивности выборки, и не подвергается какому-либо дополнительному влиянию. Для высоких скоростей регулирования в направлении очень малых задержек мешающие перекрытия можно исключить с помощью известных мер укорочения импульсов или путем стробирования времени такта.

Другой пример осуществления изобретения показан на фиг.3. Этот вариант может быть применен для любых процессов переключения между двумя различными источниками цифровых звуковых сигналов. При этом каждый источник сигналов запрашивает соответствующую включенную параллельно по входам совокупность двух регистров 1а, 1б, 2а, 2б цифровыми дискретными значениями, полученными в результате выборки из предназначенных для переключения сигналов, причем соответственно в первом регистре 1а, 2а запоминаются актуальные значения сигналов, а во втором регистре 1б, 2б -предшествующие значения. Выходы первых регистров 1а, 2а соединены с компаратором абсолютных значений 3а, выход которого активизируется при (достаточном) равенстве актуальных дискретных значений. Выходы вторых регистров 1б, 2б с соответствующими первыми регистрами 1а, 2а связаны со входами компаратора градиента 3б, выход которого активизируется при совпадении направления тенденции изменения обоих переключаемых сигналов.

С помощью такой комбинированной сравнивающей схемы в ходе обоих входных сигналов отыскивается момент времени, подходящий для переключения, сопровождающегося незначительными помехами, причем этот момент времени характеризуется совпадением амплитуд и их тенденций изменения (градиентов).

Для определенных видов сигнала до достижения этого критерия может проходить относительно большое время. В таких случаях может оказаться целесообразным выявлять прохождение обоих сигналов через нуль, используя еще один компаратор нулевых значений (не показан на фиг.3), чтобы отключать первый сигнал при его прохождении через нуль и включать второй сигнал также при его прохождении через нуль.

Выходные сигналы вышеупомянутых компараторов связаны с помощью комбинаторной схемы 3с так, что ее выходной сигнал активизируется при достаточном равенстве абсолютных значений и градиента или при прохождении через нуль входных сигналов, и таким образом вентильная схема 4 управляется так, что выход запоминающего устройства 1а отделяется от выхода схемы, а выход запоминающего устройства 2а включается на прохождение, и в результате этого достигается в достаточной степени беспомеховое переключение.

Преимущество изобретения состоит в том, что оно обеспечивает любые переключения, отключения или переключения цифровых звуковых сигналов, причем эти процессы не сопровождаются мешающими щелчками или искажениями и не имеют место дополнительные мешающие или препятствующие влияния на сигналы.

Без применения такой схемы невозможно обойтись, например, в управляемых устройствах задержки, в установках звукофикации и студиях звукозаписи, а также других акустических устройствах, например, устройствах микширования или коммутации, в которых требуется постоянно подключать или отключать цифровые звуковые сигналы.

При наличии вычислителей в системе управления и обработки сигналов, относящихся к цифровому звуковому устройству, функции описанных схем могут быть поручены таким вычислителям, не нуждаясь при этом в особых свойствах, например, повышенной скорости обработки или дополнительных функциях, таких, как операции умножения.

ФОРМУЛА ИЗОБРЕТЕНИЯ

1. Схема для беспомехового переключения цифровых звуковых сигналов, состоящая из запоминающих устройств и сравнивающего устройства, отличающаяся тем, что входы сравнивающего устройства (3) соединены с выходами запоминающих устройств (1,2), на входы которых подаются цифровые сигналы, и что выход сравнивающего устройства (3) через схему сопряжения (4) связан как минимум с одним другим входом запоминающего устройства (2).
2. Схема по п.1, отличающаяся тем, что запоминающее устройство (2) выполнено в виде реверсивного счетчика, что схема сопряжения (4) состоит из двух соединительных магистралей между сравнивающим устройством (3) и запоминающим устройством (2) и что входы запоминающих устройств соединены с адресными магистралями.
3. Схема по п.1, отличающаяся тем, что запоминающие устройства (1, 2), на входы которых подаются цифровые дискретные значения, (полученные в результате выборки из переключаемых сигналов), состоят из соответственно двух включенных по входу параллельно двойных запоминающих устройств, выходы которых по отдельности соединены со сравнивающим устройством (3), состоящим как минимум из одного компаратора абсолютных значений (3а) и одного компаратора градиентов (3б), выходные сигналы которых объединены комбинаторной схемой (3с), и что схема сопряжения (4) представляет собой вентильную схему.
4. Схема по пункту 1 - 3, отличающаяся тем, что запоминающие устройства (1,2), сравнивающее устройство (3) и схема сопряжения (4) представляют собой компоненты вычислителя.

А Н Н О Т А Ц И Я

Схема для беспомехового переключения цифровых звуковых сигналов.

Изобретение распространяется на область звуковой студийной техники и касается, в частности, предотвращения помех при переключении цифровых звуковых сигналов. Одновременно с целью избежать высоких затрат и искажений задача изобретения состоит в том, чтобы обойтись без процессоров введения и вывода сигналов и без перемножающих сигнальных процессоров и в достаточной степени устранить причины возникновения помех в виде щелчков. Согласно изобретению это достигается с помощью схемы, состоящей из двух запоминающих устройств на входах цифровых сигналов, последующего сравнивающего устройства и схемы сопряжения, входы которой соединены с выходом запоминающего устройства и выходом сравнивающего устройства, и ее выходы подключены к входу запоминающего устройства и выходу для сигнала, инициирующего переключение.

-фиг. 1 -

PŘEDMĚT VYNÁLEZU

1. Zapojení pro bezporuchové přepínání digitálních zvukových signálů, skládající se z pamětí a porovnávacího členu, vyznačující se tím, že vstupy porovnávacího členu (3) jsou spojeny s výstupy pamětí (1, 2), na jejichž vstupy se přivádí digitální signály, a že výstup porovnávacího členu (3) je přes obvod vzájemného spojení (4) spojen minimálně s jedním druhým vstupem paměti (2).

2. Zapojení podle bodu 1, vyznačující se tím, že paměť (2) je provedena ve formě obousměrného čítače, že obvod vzájemného spojení (4) se skládá ze dvou spojovacích vodičů mezi porovnávacím členem (3) pamětí (2) a že vstupy pamětí jsou spojeny s adresovými vodiči.

3. Zapojení podle bodu 1, vyznačující se tím, že paměti (1, 2), na jejichž vstupy se přivádí digitální diskrétní hodnoty, získané jako výsledek výběru z přepojovaných signálů, skládají se ze dvou odpovídajících zapojených podle vstupu paralelně zdvojených pamětí, jejichž výstupy jsou jednotlivě spojeny s porovnávacím členem (3), skládajícím se minimálně z jednoho komparátoru absolutních hodnot (3a) a jednoho komparátoru gradientů (b), jejichž výstupní signály jsou zjednoceny kombinačním obvodem (3c), a že obvod vzájemného spojení (4) je hradlovým obvodem.

4. Zapojení podle bodů 1 až 3, vyznačující se tím, že paměti (1, 2), porovnávací člen (3) a obvod vzájemného spojení (4) jsou komponenty počítače.

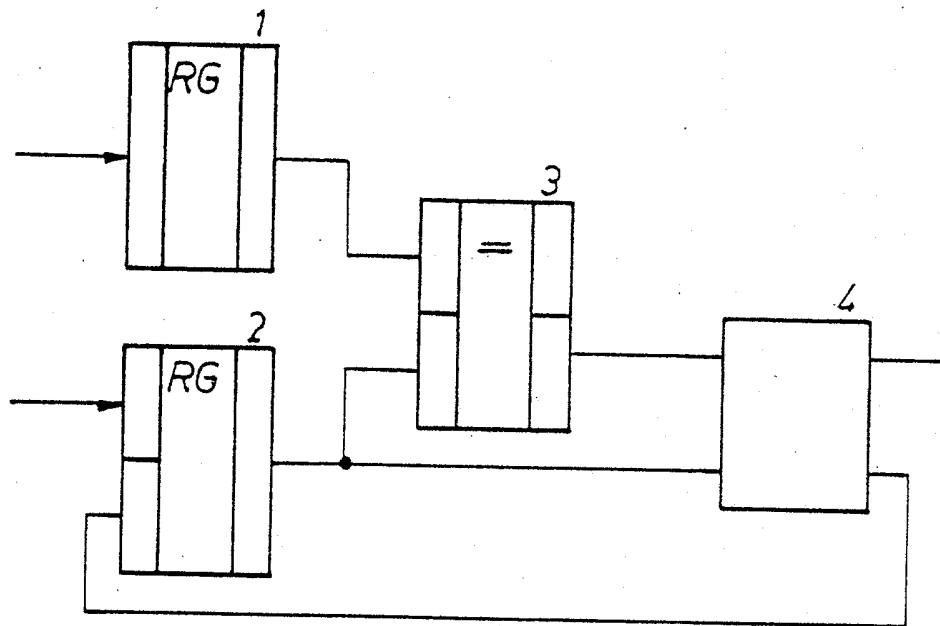


Fig. 1

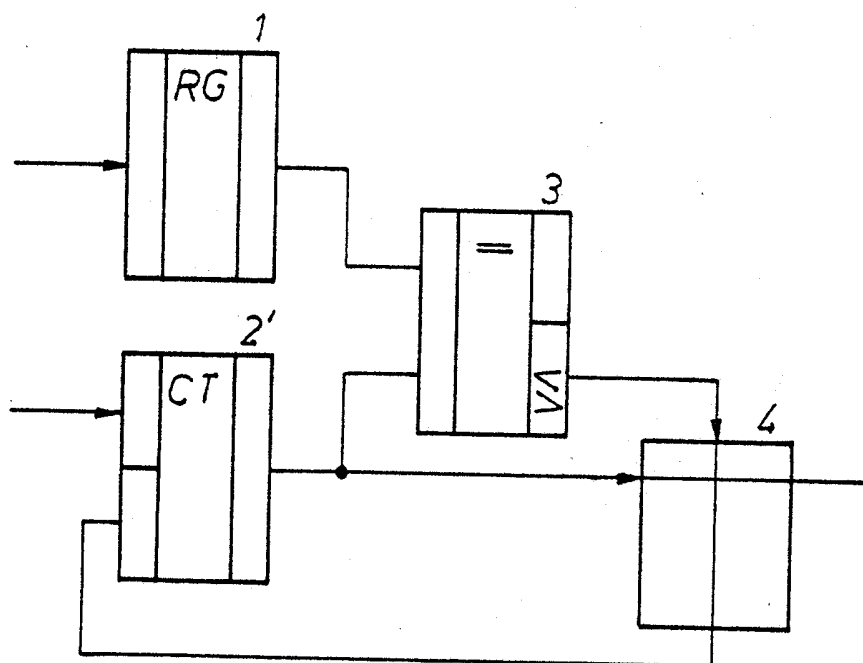


Fig. 2

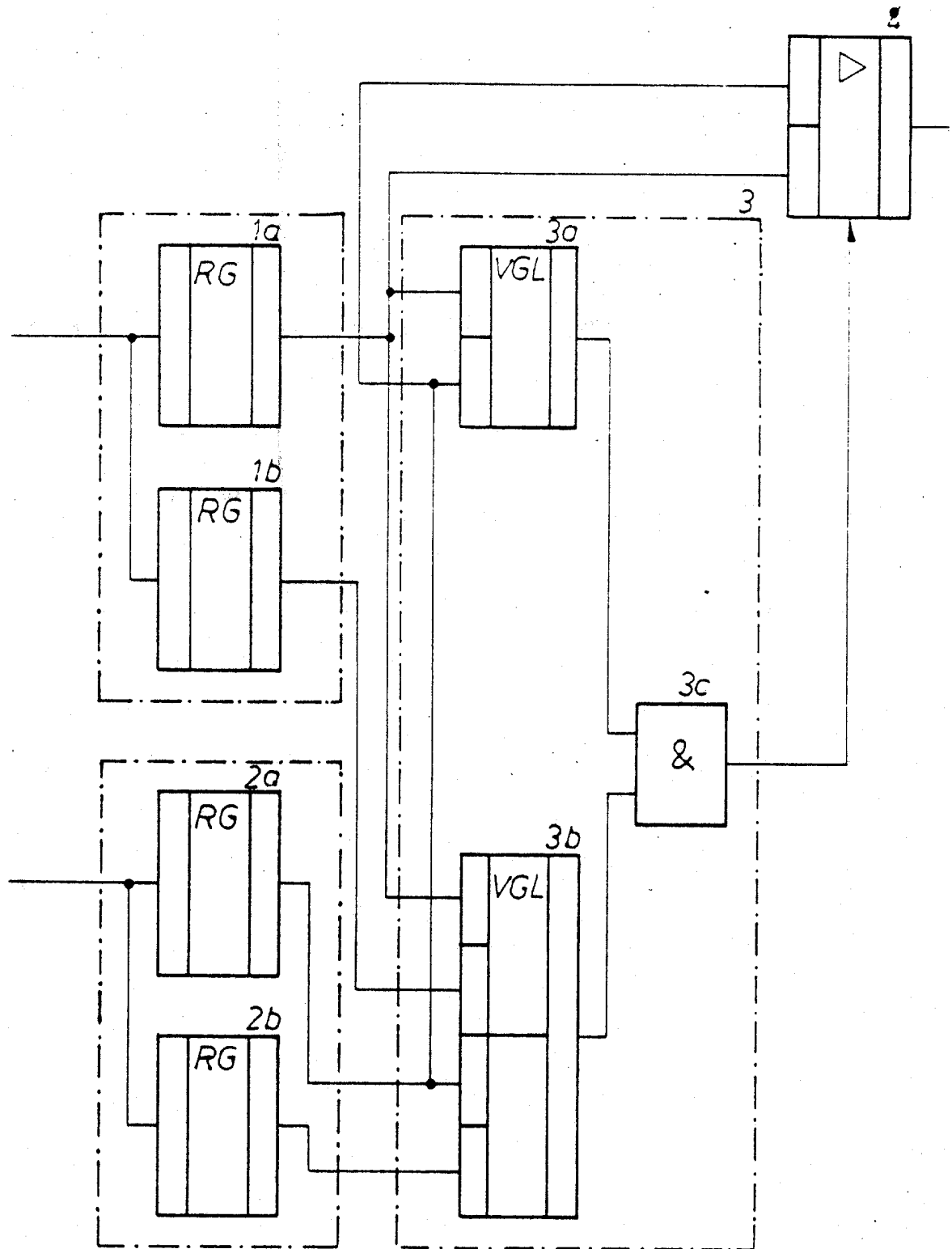


Fig.3