

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2010/103609 A1

(43) 国際公開日

2010 年 9 月 16 日(16.09.2010)

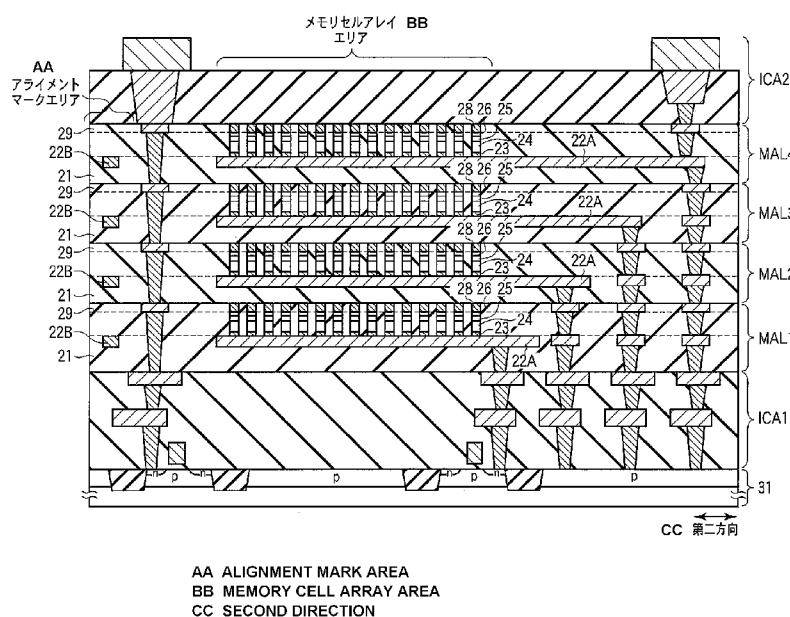
PCT

- (51) 国際特許分類:
H01L 27/10 (2006.01) H01L 27/00 (2006.01)
- (21) 国際出願番号: PCT/JP2009/054462
- (22) 国際出願日: 2009 年 3 月 9 日(09.03.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社 東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 平井 隆大 (HIRAI, Takahiro) [JP/JP]. 中居 司 (NAKAI, Tsukasa) [JP/JP]. 久保 光一 (KUBO, Kohichi) [JP/JP]. 鎌田 親義 (KAMATA, Chikayoshi) [JP/JP]. 塚本 隆之 (TSUKAMOTO, Takayuki) [JP/JP]. 青木 伸也 (AOKI, Shinya) [JP/JP].
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- (74) 代理人: 鈴江 武彦, 外(SUZUYE, Takehiko et al.); 〒1050001 東京都港区虎ノ門 1 丁目 1 2 番 9 号 鈴榮特許総合事務所内 Tokyo (JP).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: INFORMATION RECORDING/REPRODUCING DEVICE

(54) 発明の名称: 情報記録再生装置

[図4]



(57) Abstract: An information recording/reproducing device is provided with a semiconductor substrate (31), a first internal connecting layer (ICA1) formed on the semiconductor substrate (31), a first memory cell array layer (MAL1) formed on the first internal connecting layer (ICA1), and a second internal connecting layer (ICA2) formed on the first memory cell array layer (MAL1). The first memory cell array layer (MAL1) is composed of an insulating layer (21) having an alignment mark (22B), and a multilayer structure which is formed on the insulating layer (21) and includes a recording layer (25) and an electrode layer (26). All the layers in the multilayer structure are composed of a material having a visible light transmissivity of 1% or more.

(57) 要約: 本発明の例に係わる情報記録再生装置は、半導体基板 31 と、半導体基板 31 上に形成される第一内部接続層 ICA1 と、第一内部接続層 ICA1 上に形成される第一メモリセルアレイ層 MAL1 と、第一メモリセルアレイ層 MAL1 上に形成される第二内部接続層 ICA2 とを備える。第一メモリセルアレイ層 MAL1 は、アライメントマーク 22B を有する絶縁層 21 と、絶縁層 21 上に形成され、記録層 25 及び電極層 26 を含む積層構造とから構成され、積層構造内の全ての層は、可視光の透過率が 1% 以上の材料から構成される。

WO 2010/103609 A1

明 細 書

情報記録再生装置

技術分野

[0001] 本発明は、高記録密度の情報記録再生装置に関する。

背景技術

[0002] 近年、小型携帯機器が世界的に普及し、同時に、高速情報伝送網の大幅な進展に伴い、小型大容量不揮発性メモリの需要が急速に拡大してきている。その中でも、NAND型フラッシュメモリ及び小型HDD(hard disk drive)は、特に、急速な記録密度の進化を遂げ、大きな市場を形成するに至っている。

[0003] しかし、両者共に、既に記録密度の限界が指摘されている。即ち、NAND型フラッシュメモリでは、最小線幅の縮小に伴う加工コストの増大が著しく、また、小型HDDでは、トラッキング精度が十分に確保できない、という問題に直面している。

[0004] このような状況の下、記録密度の限界を大幅に超えることを目指した抵抗変化メモリが提案されている。

[0005] 例えば、ペロブスカイト、スピネルなどの遷移金属元素を含む三元系酸化物(例えば、特許文献1, 2を参照)や、遷移金属の二元系酸化物(例えば、特許文献3を参照)などを記録材料とすることが検討されている。

[0006] これらの材料を用いた場合、書き込み／消去に関しては、電圧パルスの印加によって、低抵抗状態(オン)と高抵抗状態(オフ)とを繰り返し変化させることができる。つまり、この2つの状態を2値データ“0”, “1”に対応させれば、データを記録するメモリとして機能させることができる。

[0007] また、読み出しに関しては、記録材料に書き込み／消去が起こらない程度の小さな読み出し電流を流し、記録材料の電気抵抗を測定することにより行う。一般に高抵抗状態相の抵抗と低抵抗状態相の抵抗との比は 10^3 程度である。

[0008] このような抵抗変化材料の最大の特長は、素子サイズを10nm程度にまで縮小しても原理的に動作可能である、ということにある。この場合、約10Tbps (tera bite par square inch)の記録密度を実現できる。

- [0009] ところで、これらの材料の抵抗変化メカニズムは、十分に解明されているとは言えない。しかし、ペロブスカイト材料に関しては、酸素欠損の拡散、界面準位への電荷蓄積などが、また、二元系酸化物に関しては、酸素イオンの拡散、モット転移などが、これに関連していると考えられている。
- [0010] また、上述の三元系酸化物や二元系酸化物以外の材料系にも、同様な抵抗変化が観測されているため、抵抗変化材料を記録材料とする抵抗変化メモリは、高記録密度化への候補の一つとして注目される。
- [0011] また、このような抵抗変化メモリは、三次元化にも有利である。
- [0012] 即ち、NAND型フラッシュメモリでは、平坦度の制約などから加工コストを抑えられず、面内記録密度の限界を緩和する三次化を実現し難い。これに対し、上述の抵抗変化メモリでは、NAND型フラッシュメモリに比べて、平坦性を確保し易いことから、三次元化によるコスト低下に貢献できると考えられる。
- [0013] しかし、このような三次元化された抵抗変化メモリでは、積層数が増加することに伴い、PEP(Photo Etching Process)時のアライメント回数が増加する。また、1回のアライメントは、最上層の段差(アライメントマーク)を認識することにより行うため、最上層に常にこの段差を残すための特別プロセスが必要になる。
- [0014] 即ち、従来は、三次元化によっても、アライメントのための段差を残すプロセスが増加するために、三次元化による製造コストの低下の利益を十分に享受できない、という問題がある。
- [0015] この問題は、主として、高記録密度化への有力候補である抵抗変化メモリにおいて解決しなければならない課題であるが、当然に、NAND型フラッシュメモリや、その他の情報記録再生装置においても、同様に生じる。
- [0016] また、三次元化された情報記録再生装置に対してアライメントのための段差を残す特別プロセスの増加が顕著となるが、当然に、三次元化されていない情報記録再生装置においても、アライメントは必要になるため、この特別プロセスによる製造コストの増大の問題は生じる。

特許文献1:特開2005-317787号公報

特許文献2:特開2006-80259号公報

特許文献3:特開2006-140464号公報

特許文献4:特開2008-98537号公報

非特許文献1:S. Seo et al.; Applied Physics Letters, vol.85, pp. 5655-5657 (2004)

発明の開示

[0017] 本発明は、情報記録再生装置の製造コストの低減するための新たなアライメント技術について提案する。

[0018] 本発明の例に係わる情報記録再生装置は、半導体基板と、前記半導体基板上に形成される第一内部接続層と、前記内部接続層上に形成される第一メモリセルアレイ層と、前記第一メモリセルアレイ層上に形成される第二内部接続層とを備え、前記第一メモリセルアレイ層は、アライメントマークを有する絶縁層と、前記絶縁層上に形成され、記録層及び電極層を含む積層構造とから構成され、前記積層構造内の全ての層は、可視光の透過率が1%以上の材料から構成される。

[0019] 本発明によれば、新たなアライメント技術により情報記録再生装置の製造コストを低減できる。

図面の簡単な説明

[0020] [図1]図1は、クロスポイント型抵抗変化メモリを示す図である。

[図2]図2は、デバイス構造の第一例を示す図である。

[図3]図3は、デバイス構造の第二例を示す図である。

[図4]図4は、デバイス構造の第三例を示す図である。

[図5]図5は、デバイス構造の第四例を示す図である。

[図6]図6は、製造方法の第一例を示す図である。

[図7]図7は、製造方法の第一例を示す図である。

[図8]図8は、製造方法の第一例を示す図である。

[図9]図9は、製造方法の第一例を示す図である。

[図10]図10は、製造方法の第一例を示す図である。

[図11]図11は、製造方法の第一例を示す図である。

[図12]図12は、製造方法の第一例を示す図である。

[図13]図13は、製造方法の第一例を示す図である。

[図14]図14は、製造方法の第一例を示す図である。

[図15]図15は、製造方法の第一例を示す図である。

[図16]図16は、製造方法の第一例を示す図である。

[図17]図17は、製造方法の第一例を示す図である。

[図18]図18は、製造方法の第二例を示す図である。

[図19]図19は、製造方法の第二例を示す図である。

[図20]図20は、製造方法の第二例を示す図である。

[図21]図21は、製造方法の第二例を示す図である。

[図22]図22は、製造方法の第二例を示す図である。

[図23]図23は、製造方法の第二例を示す図である。

発明を実施するための最良の形態

[0021] 以下、図面を参照しながら、本発明の例を実施するための最良の形態について詳細に説明する。

[0022] 1. 概要

本発明の例では、アライメントマークが形成された絶縁層上に記録層及び電極層が積み重ねられる構造を有する情報記録再生装置において、記録層及び電極層を、それぞれ、可視光に対する光透過率が1%以上の透明材料から構成することにより、最上層に段差(アライメントマーク)を残す特別プロセスを必要とすることなく、高精度なアライメントを実現する。

[0023] 即ち、アライメントマークが形成される絶縁層よりも上層に形成される記録層及び電極層が透明材料であれば、最上層に段差がなくても、例えば、CCDにより下層のアライメントマークを認識することができるため、特別プロセスとしてのPEPを削減でき、製造コストの低減に貢献することができる。

[0024] 特に、積み重ねられた n (n は2以上の自然数)個のメモリセルアレイ層から構成される三次元化された情報記録再生装置においては、各メモリセルアレイ層にアライメントマークを形成するときは、従来に比べて、 n 回のPEPを省略できる。

[0025] また、このような三次元化された情報記録再生装置では、最下層(1層目)のメモリセルアレイ層のみにアライメントマークを設け、そのアライメントマークに基づいて全て

のメモリセルアレイ層でのアライメントを実行することもできる。この場合には、2層目から最上層までのメモリセルアレイ層については、アライメントマークの形成自体を省略できる。

[0026] 2. 本発明の原理

本発明者らは、製造コストの中でもいわゆるプロセスコストに着目した。

[0027] 現行のいわゆる半導体メモリでは、「レジスト塗布～露光～現像」という一連の工程(以下、PEP)で、素子などの形状を作製するいわゆるリソグラフィ手法を用いているが、PEPの回数が増えると、時間と手間が増え、生産性を落とす原因になる。

[0028] 当然のことではあるが、生産性が落ちれば、同じものを作るのに、より長く生産ラインを占有するので、生産コストが上がることになる。

[0029] そこで、なるべくPEPの回数を少なくしたい、という要求が出てくる。背景技術で述べたように、低コスト化のため多層化(三次元化)を行うとなると、なおのことである。

[0030] ところで、PEPを行うに当っては、アライメントが必要になる。

[0031] このアライメントは、アライメントマークを認識することにより行うが、そのためには、積層時に、最上層に段差(アライメントマーク)を残さなければならない。また、最上層に段差を残すには、積層ステップにより消滅した段差を、PEPとRIEにより元に戻す必要がある。

[0032] これは、段差を復活させるために、新たにPEPが必要になることを意味するため、上述のPEPの回数を少なくしたい、という要求に反することになる。

[0033] そこで、本発明では、まず、アライメントマークを、段差により認識するのではなく、材料の違いによる明暗により認識することを提案する。

[0034] 例えば、絶縁層の上面に溝として形成されたアライメントマークについては、その溝を導電層により満たし、絶縁層と導電層との明暗を判定することによりアライメントマークを認識する。

[0035] このようにすれば、アライメントのための段差を残す特別プロセス(PEPとRIE)が不要になるため、製造コストの低減に貢献できる。

[0036] しかし、材料の違いによる明暗によりアライメントマークを認識する場合、そのアライメントマーク上に、可視光を通さない材料、又は、可視光の透過率が1%未満の材料

(以下、これを不透明材料と称する)があると、アライメントマークを認識することはできず、本発明は成立しない。

[0037] そこで、本発明では、アライメントマーク上に積み重ねられる積層の全てを、可視光の透過率が1%以上の材料(以下、これを透明材料と称する)から構成することを提案する。

[0038] アライメントマーク上の積層には、絶縁層、記録層及び電極層が含まれる。絶縁層は、酸化シリコンなどから構成され、通常は透明性を有するため、本発明では、アライメントマーク上の記録層及び電極層を対象とする。

[0039] 記録層層及び電極層の具体的材料については、後述する。

[0040] ここで、電極層とは、記録層と導電線とを接続する金属元素を含む導電層のことをいうものとする。

[0041] また、記録層とは、二値以上の値を不揮発に記録する層のことである。記録層がどのような原理でデータを記録するのかについては限定されないが、本発明では、主として、材料の抵抗変化によりデータを記録する抵抗変化材料層を対象とする。

[0042] ところで、透明材料となるか否かは、材料の他に、その厚さにも影響される。そこで、本発明では、透明材料を特定した場合に、その透明材料の最適な厚さの範囲についても提案する。

[0043] 本発明は、特に、三次元化されたクロスポイント型抵抗変化メモリに有効である。この抵抗変化メモリは、積み重ねられた複数のメモリセルアレイ層から構成され、1つのメモリセルアレイ層の基本構造は、絶縁層(ダマシン構造の導電線を含む)/バリアメタル層/ポリシリコン層(ダイオード)/記録層/電極層/絶縁層(ダマシン構造の導電線を含む)となる。

[0044] この場合、1つのメモリセルアレイ層の最下層である絶縁層にアライメントマークが形成され、このアライメントマークを用いて、その上の各層をパターンニングすればよいため、本発明をこのような三次元メモリに適用すれば、製造コストの削減効果は絶大なものとなる。

[0045] 即ち、本発明は、三次元化が進み、積み重ねられるメモリセルアレイ層の数が増えるほど有効になる。

[0046] 3. 可視光の透過率について

本発明では、可視光の透過率が1%以上である透明材料を、アライメントマーク上に積み重ねられる積層として使用する。

[0047] アライメントマークは、アライメントマーク(導電層)とその周囲の絶縁層との可視光に対する明暗を、CCD画像の濃淡として検出することにより認識することができる。即ち、CCDでアライメントマークを認識する場合には、CCDにおけるS/N比を考慮し、信号とノイズとを区別するために、可視光の透過率を1%以上にすることが好ましい。

[0048] このような透明材料を用いれば、アライメントマークの輪郭を正確に捉えることができ、アライメントの精度が向上する。

[0049] 記録層を構成する透明材料としては、以下のものが考えられる。

[0050] (i) $L1 \underset{x}{M1} \underset{y}{X}_4$ ($0.1 \leq x \leq 2.2$, $1.8 \leq y \leq 2$)、

(ii) $L1 \underset{x}{M1} \underset{y}{X}_3$ ($0.5 \leq x \leq 1.1$, $0.9 \leq y \leq 1$)、

(iii) $L2 \underset{x}{M2} \underset{y}{X}_4$ ($0.5 \leq x \leq 1.1$, $0.9 \leq y \leq 1$)、

(iv) $M3 \underset{x}{O}_y$ ($0.5 \leq x \leq 1.1$, $0.9 \leq y \leq 1$)、

但し、L1は、Na, K, Rb, Be, Mg, Ca, Sr, Ba, Al, Ga, Mn, Fe, Co, Ni, Cu, Zn, Ge, Ag, Au, Cd, Sn, Sb, Pt, Pd, Hg, Tl, Pb, Bi のグループから選択される少なくとも1つの元素、

M1は、Al, Ga, Ti, Ge, Sn, V, Cr, Mn, Fe, Co, Ni, Nb, Ta, Mo, W, Ru, Rh のグループから選択される少なくとも1つの元素、

L2は、Mg, Ca, Sr, Al, Ga, Sb, Ti, V, Cr, Mn, Fe, Co, Rh, In, Sb, Tl, Pb, Bi のグループから選択される少なくとも1つの元素、

M2は、Al, Ga, Ti, Ge, Sn, V, Nb, Ta, Cr, Mn, Mo, W, Ir, Os のグループから選択される少なくとも1つの元素、

M3は、Al及び遷移金属元素のグループから選択される少なくとも1つの元素である。

[0051] (i)及び(ii)に関しては、L1とM1とは、互いに異なる元素であり、(iii)に関しては、L2とM2とは、互いに異なる元素である。

[0052] Xは、O, Nのグループから選択される少なくとも1つの元素である。

[0053] また、記録層が上述の(i)～(iv)のうちの1つから構成される場合、記録層の結晶構造は、スピネル構造、クリプトメレン構造、イルメナイト構造、マロカイト構造、ホランダイト構造、ヘテロライト構造、ラムスデライト構造、デラフォサイト構造、ウルフラマイト構造、 α - NaFeO_2 構造、 NaCl 構造及び LiMoN_2 構造のグループから選択される1つであることが好ましい。

[0054] さらに、上述の電極層と記録層との間に、 TiN 、 WN 、 TaN 、 Pt 、 Ir 、 Ru 、 IrO_2 、 RuO_2 、 Al 、 Cu 、 W 、 Ti 、 Ta 、 Nb 及び Mo のグループから選択される材料が配置されていてもよい。

[0055] 電極層を構成する透明材料としては、以下のものが考えられる。

[0056] (i) $\text{A1}_{1-x}\text{B1}_x\text{O}_y$

但し、 A1 は、 Sn 、 Pb のグループから選択される少なくとも1つの元素、 B1 は、 P 、 As 、 Sb 、 Bi のグループから選択される少なくとも1つの元素、 O は、酸素元素であり、 $0.01 \leq x \leq 0.15$ 、 $1.5 \leq y \leq 2.8$ とする。

[0057] (ii) $\text{A1}_{1-x}\text{B2}_x\text{O}_y$

但し、 A1 は、 Sn 、 Pb のグループから選択される少なくとも1つの元素、 B2 は、 F 、 Cl 、 Br のグループから選択される少なくとも1つの元素、 O は、酸素元素であり、 $0.05 \leq x \leq 0.60$ 、 $1.5 \leq y \leq 2.8$ とする。

[0058] (iii) $\text{A3}_{1-x}\text{B3}_x\text{O}_y$

但し、 A3 は、 Zn 、 Cd のグループから選択される少なくとも1つの元素、 B3 は、 Al 、 Ga 、 B 、 In のグループから選択される少なくとも1つの元素、 O は、酸素元素であり、 $0.01 \leq x \leq 0.20$ 、 $1.5 \leq y \leq 2.8$ とする。

[0059] (iv) $\text{Ti}_{1-x}\text{B4}_x\text{O}_y$

但し、 Ti は、チタン元素、 B4 は、 V 、 Nb 、 Ta 、 Cr 、 Mo 、 W のグループから選択される少なくとも1つの元素、 O は、酸素元素であり、 $0.01 \leq x \leq 0.20$ 、 $1.5 \leq y \leq 2.8$ とする。

[0060] (v) $\text{In}_{1-x}\text{B5}_x\text{O}_y$

但し、 In は、インジウム元素、 B5 は、 Zn 、 Cd 、 Ge 、 Sn のグループから選択される少なくとも1つの元素、 O は、酸素元素であり、

$0.01 \leq x \leq 0.20$ 、 $1.5 \leq y \leq 2.8$ とする。

[0061] また、これら電極層の厚さは、250nm以上、 $5 \mu\text{m}$ 以下であるのが好ましい。その理由について説明する。

[0062] 例えば、メモリセルアレイ層の基本構造を、絶縁層(ダマシン構造の導電線を含む)／バリアメタル層／ポリシリコン層(ダイオード)／記録層／電極層／絶縁層(ダマシン構造の導電線を含む)とすると、電極層は、製造工程の一ステップにおいて、CMP時のストップ層として使用される。

[0063] ここで、ストップ層は、加工(エッチング)ばらつきを吸収し、かつ、CMP時にストップの役割を持たせるために、少なくとも200nmの厚さを確保する必要がある。

[0064] また、上述のような透明材料(酸化物)から構成される電極層は、W(タングステン)などのメタルに比べると、通常、抵抗率が1～2桁高い。このため、電極層とその周囲の酸化物(例えば、酸化シリコン)との抵抗差が小さく、CMP時に、その終了時点を判断し難くなる。

[0065] 即ち、ストップ層(電極層)の削り過ぎが生じるため、ストップ層としての電極層の厚さについては、200nmよりも、さらに若干増やしたい。従って、電極層の厚さの下限は、250nmとなる。

[0066] 一方で、ストップ層としての電極層があまりに厚いと、電極層の高さ(厚さ)と幅とのアスペクト比が大きくなり過ぎて、電極層の加工が難しくなる。このため、導電線(ワード線／ビット線)のハーフピッチが200nm以下の情報記録再生装置においては、電極層の厚さの上限は、 $5 \mu\text{m}$ となる。

[0067] また、ストップ層としての電極層の厚さが $5 \mu\text{m}$ を超えると、可視光の透過率が1%未満になることがあり、CCDによりアライメントマークを認識し難くなるという問題も発生する。

[0068] 以上の理由から、電極層の厚さは、250nm以上、 $5 \mu\text{m}$ 以下であるのが好ましい、ということができる。

[0069] 4. 実施例

(1) 構造

A. メモリセルアレイ構造

図1は、クロスポイント型抵抗変化メモリのメモリセルアレイを示している。

[0070] メモリセルアレイ11は、第一方向及び第二方向にアレイ状に配置された複数の抵抗変化素子REを有する。複数の抵抗変化素子REの一端には、第一方向に延びる複数の導電線(ワード線/ビット線)12が接続され、その他端には、第二方向に延びる複数の導電線(ビット線/ワード線)13が接続される。

[0071] 複数の導電線12の一端は、スイッチ回路14を経由して、電源15Aの正極及び電源15Bの負極に接続される。また、複数の導電線13の一端は、スイッチ回路16を経由して、電源15Aの負極及び電源15Bの正極に接続される。

[0072] このようなクロスポイント型抵抗変化メモリでは、制御信号RA, CAにより、スイッチ回路14, 16のオン/オフを制御することにより、選択された1つの抵抗変化素子REに所定の向きの電流又は電圧を与え、書き込み/消去/読み出しの基本動作を実行する。

[0073] B. デバイス構造の第一例

図2は、本発明のデバイス構造の第一例を示している。

[0074] 同図(a)は、第一例に係わるデバイス構造の平面図であり、同図(b)は、同図(a)のX-X線に沿う断面図である。

[0075] メモリセルアレイエリア内において、絶縁層(例えば、酸化シリコン)21には、第二方向(紙面に垂直な方向)に延びる溝が形成され、その溝内にダマシン構造を有する導電線(例えば、タングステン)22Aが形成される。

[0076] ここで、ダマシン構造とは、ダマシンプロセス(シングルダマシンプロセス及びデュアルダマシンプロセスを含む)により形成される配線構造のことである。

[0077] また、アライメントマークエリア内において、絶縁層21には、溝が形成され、その溝内に導電層(例えば、タングステン)から構成されるアライメントマーク22Bが形成される。

[0078] 導電線22A上には、バリアメタル層23、ポリシリコン層(ダイオード)24、記録層(E)25、及び、電極層26が形成される。また、アライメントマーク23上には、絶縁層(例えば、酸化シリコン)27が形成される。

[0079] メモリセルアレイエリア内において、電極層26上には、第一方向に延びる導電線(

例えば、タングステン) 28が形成される。導電線28は、絶縁層(例えば、酸化シリコン) 29の溝内に形成され、ダマシン構造を有する。

[0080] このデバイス構造の特徴は、アライメントマーク22Bが、絶縁層21の溝内に満たされた導電層から構成され、かつ、アライメントマーク22B上に、可視光を透過する透明材料からなる絶縁層27が形成されている点にある。

[0081] C. デバイス構造の第二例

図3は、本発明のデバイス構造の第二例を示している。

[0082] 同図(a)は、第二例に係わるデバイス構造の平面図であり、同図(b)は、同図(a)のY-Y線に沿う断面図である。

[0083] メモリセルアレイエリア内において、絶縁層(例えば、酸化シリコン) 21には、第二方向(紙面に垂直な方向)に延びる溝が形成され、その溝内にダマシン構造を有する導電線(例えば、タングステン) 22Aが形成される。

[0084] また、アライメントマークエリア内において、絶縁層21には、溝が形成され、その溝内に導電層(例えば、タングステン)から構成されるアライメントマーク22Bが形成される。

[0085] 導電線22A上には、バリアメタル層23、ポリシリコン層(ダイオード) 24、記録層(E) 25、及び、電極層26が形成される。同様に、アライメントマーク22B上にも、バリアメタル層23、ポリシリコン層24、記録層25、及び、電極層26が形成される。

[0086] メモリセルアレイエリア内において、電極層26上には、第一方向に延びる導電線(例えば、タングステン) 28が形成される。導電線28は、絶縁層(例えば、酸化シリコン) 29の溝内に形成され、ダマシン構造を有する。

[0087] このデバイス構造の特徴は、アライメントマーク22Bが、絶縁層21の溝内に満たされた導電層から構成され、かつ、アライメントマーク22B上に、可視光を透過する透明材料からなる積層構造が形成されている点にある。

[0088] D. デバイス構造の第三例

図4は、本発明のデバイス構造の第三例を示している。

[0089] このデバイス構造は、半導体基板31上に、複数のメモリセルアレイ層MAL1, MAL2, MAL3, MAL4が積み重ねられた三次元構造を有する

半導体基板31上には、第一内部接続層(Interconnect layer)ICA1が形成され、第一内部接続層ICA1上には、複数のメモリセルアレイ層MAL1, MAL2, MAL3, MAL4が形成され、複数のメモリセルアレイ層MAL1, MAL2, MAL3, MAL4上には、第二内部接続層ICA2が形成される。

[0090] 複数のメモリセルアレイ層MAL1, MAL2, MAL3, MAL4の各々は、図2又は図3のデバイス構造を有する。

[0091] 即ち、メモリセルアレイエリア内においては、絶縁層21、バリアメタル層23、ポリシリコン層24、記録層25、及び、電極層26からなる積層構造が形成される。絶縁層21は、ダマシン構造の導電線22Aを含み、絶縁層29は、ダマシン構造の導電線28を含む。

[0092] アライメントマークエリア内においては、導電層から構成されるアライメントマーク22Bが形成される。

[0093] 第三例では、四つのメモリセルアレイ層MAL1, MAL2, MAL3, MAL4について示しているが、メモリセルアレイ層は、一つでもよい。

[0094] E. デバイス構造の第四例

図5は、本発明のデバイス構造の第四例を示している。

[0095] このデバイス構造は、半導体基板31上に、複数のメモリセルアレイ層MAL1, MAL2, MAL3, MAL4が積み重ねられた三次元構造を有する

半導体基板31上には、第一内部接続層ICA1が形成され、第一内部接続層ICA1上には、複数のメモリセルアレイ層MAL1, MAL2, MAL3, MAL4が形成され、複数のメモリセルアレイ層MAL1, MAL2, MAL3, MAL4上には、第二内部接続層ICA2が形成される。

[0096] 複数のメモリセルアレイ層MAL1, MAL2, MAL3, MAL4の各々は、図2又は図3のデバイス構造を有する。

[0097] 即ち、メモリセルアレイエリア内においては、絶縁層21、バリアメタル層23、ポリシリコン層24、記録層25、及び、電極層26からなる積層構造が形成される。絶縁層21は、ダマシン構造の導電線22Aを含み、絶縁層29は、ダマシン構造の導電線28を含む。

[0098] アライメントマークエリア内においては、最下層のメモリセルアレイ層MAL1についてのみ、導電層から構成されるアライメントマーク22Bを有する。

[0099] 第四例では、四つのメモリセルアレイ層MAL1, MAL2, MAL3, MAL4について示しているが、最下層のメモリセルアレイ層は、一つでもよい。この場合、第四例は、第三例と同じになる。

[0100] (2) 製造方法

A. 第一例

第一例は、図2のデバイス構造の製造方法に関する。

[0101] まず、図6に示すように、PEPにより、絶縁層21内に、配線溝及びアライメントマークのための溝をそれぞれ形成する。配線溝は、第二方向（紙面に垂直な方向）に伸び、アライメントマークのための溝は、例えば、四角形、円形、楕円形、又は、これらの組み合わせにより構成される。

[0102] 次に、図7に示すように、スパッタ法により、絶縁層21上に、配線溝及びアライメントマークのための溝を完全に満たす導電層22'を形成する。この後、CMPにより、導電層22'を研磨すると、図8に示すように、メモリセルアレイエリア内においては、ダマシン構造の導電線（ワード線／ビット線）22Aが形成され、また、アライメントマークエリア内においては、アライメントマーク22Bが形成される。

[0103] ここで、図7のステップにおいて、導電層22'がタングステンから構成される場合、タングステンの抵抗率は、約 $6 \times 10^{-6} \Omega \cdot \text{cm}$ であるから、図8のステップにおいて、導電線22Aの厚さ（溝の深さ）は、約200nmとするのが好ましい。但し、タングステンは、可視光透過率が0%であり、不透明材料である。

[0104] ここで、本発明では、アライメントマーク22Bは、溝内の導電層から構成されるため、この後、溝内の導電層を除去する特別ステップは、不要である。即ち、本発明によれば、従来に比べて、PEPを1回減らすことができる。

[0105] 具体的には、従来の場合、図9及び図10に示すように、PEPにより、レジストパターン31を形成し、このレジストパターン31をマスクにして、アライメントマークエリア内の導電層22Bを除去する必要がある。これに対し、本発明では、図9及び図10に相当するステップは、不要である。

[0106] 次に、図11に示すように、絶縁層21上、導電線22A上及びアライメントマーク22B上に、バリアメタル層23、ポリシリコン層(ダイオード)24、記録層25、及び、電極層26を順次形成する。

[0107] 本例(同図(a))では、バリアメタル層23は、厚さ約10nmのTiNとし、記録層25は、厚さ約30nmの ZnMn_2O_4 又は Mn_3O_4 とする。ポリシリコン層24の厚さは、約150nmとする。また、電極層26は、厚さ約250nmの $\text{Sn}_{0.9}\text{Sb}_{0.1}\text{O}_2$ とする。

[0108] バリアメタル層23及び記録層25は、他の層に比べて薄いため、可視光の透過率が1%以上となる。また、記録層25については、上述の材料を使用すれば、さらに、可視光の透過率が向上する。

[0109] ポリシリコン層24は、元々、透明である。

[0110] 電極層26については、厚さ約250nmの $\text{Sn}_{0.9}\text{Sb}_{0.1}\text{O}_2$ の場合、可視光の透過率は、90%である。また、その抵抗率は、 $8 \times 10^{-5} \Omega \cdot \text{cm}$ であり、電極層26として問題なく使用可能である。

[0111] そして、電極層26上にレジスト層32'を形成し、アライメントを行った後に、図12に示すように、PEPにより、レジストパターン32を形成する。

[0112] ここで、図11のステップにおいて、本発明(同図(a))では、バリアメタル層23、ポリシリコン層24、記録層25、及び、電極層26が、全て透明材料から構成されるため、下層のアライメントマーク22BのエッジEgを検出することによりアライメントが行われる。

[0113] これに対し、従来(同図(b))では、最上層である電極層(アライメントマーク)26のエッジEgを検出することによりアライメントが行われる。

[0114] 次に、図13に示すように、レジストパターン32をマスクにして、RIEにより、電極層26、記録層25、ポリシリコン層24及びバリアメタル層23を、順次エッチングする。

[0115] このエッチングは、抵抗変化素子の平面形状を確定する。

即ち、メモリセルアレイエリア内において、このエッチングにより形成される溝は、第一方向に延びる直線と第二方向に延びる直線との組み合わせにより構成される格子状になり、その格子状の溝の間にアレイ状の複数の抵抗変化素子が形成される。

[0116] この時、本例では、アライメントマーク22B上の電極層26、記録層25、ポリシリコン

層24及びバリアメタル層23についてもエッチングする(同図(a))。

[0117] この後、レジストパターン32を除去する。

[0118] 次に、図14に示すように、CVDにより、絶縁層(例えば、酸化シリコン)27を形成し、図13のステップにより形成された溝を絶縁層27により満たす。アライメントマーク22B上の溝にも、この絶縁層27が満たされる。

[0119] また、CMPにより、絶縁層27の上面は、平坦化される。この時、電極層26は、絶縁層27のCMPのストップとして機能する。

[0120] 次に、図15に示すように、電極層26上及び絶縁層27上に、絶縁層29を形成する。また、絶縁層29の上面を平坦化した後、PEPにより、絶縁層29上にレジストパターン33を形成する。

[0121] この時のアライメントは、本発明(同図(a))では、アライメントマーク22BのエッジEgを検出することにより行われ、従来(同図(b))では、最上層である電極層(アライメントマーク)26のエッジEgを検出することにより行われる。

[0122] そして、レジストパターン33をマスクにして、RIEにより絶縁層29をエッチングし、メモリセルアレイエリア内においては、絶縁層29に第一方向に延びる複数の溝を形成する。

[0123] この後、レジストパターン33を除去する。

[0124] 次に、図16に示すように、スパッタにより、電極層26上及び絶縁層27、29上に、導電層(例えば、タングステン)28を形成する。

[0125] また、CMPにより、導電層28を研磨し、導電層28を、絶縁層29に形成された複数の溝内に残存させる。これにより、メモリセルアレイエリア内の導電層28は、ダマシン構造の導電線(ビット線/ワード線)になる。

[0126] ここで、導電層28が不透明な材料(例えば、タングステン)から構成される場合でも、アライメントマーク22B上の導電層28は、CMPにより除去されるため、この後のアライメントに影響を与えることはない。

[0127] 尚、本例では、アライメントマーク22B上の電極層26、記録層25、ポリシリコン層24及びバリアメタル層23については、図13のステップで除去しているが、これに代えて、図15のステップで、導電層28の除去と共に除去してもよい。

[0128] 以上のステップにより、図2のデバイス構造が完成する。

[0129] ここで、この製造方法は、1つのメモリセルアレイ層を形成する例である。三次元に積み重ねられた複数のメモリセルアレイ層を形成する場合には、上述の製造方法を繰り返し行えばよい。

[0130] また、複数のメモリセルアレイ層を形成する場合、図17に示すように、本発明(同図(a))では、最下層を除く、二層目以降のメモリセルアレイ層については、アライメントマーク22Bを省略することができる。

[0131] これに対し、従来(同図(b))では、全てのメモリセルアレイ層について、アライメントマークが必要になる。

[0132] 第一例に係わる製造方法によれば、図2のデバイス構造を容易に得ることができると共に、その製造プロセスにおいて、PEP数が少なくなることが分かる。しかも、アライメントは、従来よりも正確に行うことが可能である。

[0133] 即ち、アライメントマークを最上層の段差で認識する場合には、アライメントマーク上の積層数が多くなると、当然に段差がぼやけてくる。また、この段差を大きくすることは、絶縁層の厚さなどに起因して限界がある。

[0134] これに対し、本発明では、以上のような問題は全くなく、アライメントマークのエッジがぼやけることもない。

[0135] B. 第二例

第二例は、図3のデバイス構造の製造方法に関する。

[0136] まず、第一例(図6～図11)と同じプロセスにより、電極層26上にレジスト層32'を形成し、アライメントを行うまでのステップを行う。

[0137] 第二例では、第一例と同様に、導電線22Aは、厚さ(溝の深さ)約200nmのタンゲステンとし、バリアメタル層23は、厚さ約10nmのTiNとし、記録層25は、厚さ約30nmの ZnMn_2O_4 又は Mn_3O_4 とする。

[0138] また、ポリシリコン層24の厚さは、約150nmとする。さらに、電極層26は、厚さ約250nmの $\text{Sn}_{0.9}\text{Sb}_{0.1}\text{O}_2$ とする。

[0139] アライメントは、第一例と同様に、アライメントマーク22BのエッジEgを検出することにより行う。

- [0140] そして、アライメントを行った後に、図18に示すように、PEPにより、レジストパターン32を形成する。
- [0141] ここで、第一例(図12)では、アライメントマーク22B上のレジストパターン32が開口となっているのに対し、第二例では、アライメントマーク22Bの上部は、レジストパターン32により覆われる。
- [0142] 次に、図19に示すように、レジストパターン32をマスクにして、RIEにより、電極層26、記録層25、ポリシリコン層24及びバリアメタル層23を、順次エッチングする。
- [0143] このエッチングは、抵抗変化素子の平面形状を確定する。
即ち、メモリセルアレイエリア内において、このエッチングにより形成される溝は、第一方向に延びる直線と第二方向に延びる直線との組み合わせにより構成される格子状になり、その格子状の溝の間にアレイ状の複数の抵抗変化素子が形成される。
- [0144] この時、第二例では、アライメントマーク22B上の電極層26、記録層25、ポリシリコン層24及びバリアメタル層23については、エッチングしない(同図(a))。
- [0145] アライメントマーク22B上のこれら積層を残しておいても、これら積層は、全て透明材料から構成されるため、この後のアライメントに支障をきたすことはない。
- [0146] この後、レジストパターン32を除去する。
- [0147] 次に、図20に示すように、CVDにより、絶縁層(例えば、酸化シリコン)27を形成し、図19のステップにより形成された格子状の溝を絶縁層27により満たす。
- [0148] また、CMPにより、絶縁層27の上面は、平坦化される。この時、電極層26は、絶縁層27のCMPのストップとして機能する。
- [0149] 次に、図21に示すように、電極層26上及び絶縁層27上に、絶縁層29を形成する。また、絶縁層29の上面を平坦化した後、PEPにより、絶縁層29上にレジストパターン33を形成する。
- [0150] この時のアライメントは、第一例と同様に、アライメントマーク22BのエッジEgを検出することにより行われる(同図(a))。
- [0151] そして、レジストパターン33をマスクにして、RIEにより絶縁層29をエッチングし、メモリセルアレイエリア内においては、絶縁層29に第一方向に延びる複数の溝を形成する。

- [0152] この後、レジストパターン33を除去する。
- [0153] 次に、図22に示すように、スパッタにより、電極層26上及び絶縁層27, 29上に、導電層(例えば、タングステン)28を形成する。
- [0154] また、CMPにより、導電層28を研磨し、導電層28を、絶縁層29に形成された複数の溝内に残存させる。これにより、メモリセルアレイエリア内の導電層28は、ダマシン構造の導電線(ビット線/ワード線)になる。
- [0155] ここで、導電層28が不透明な材料(例えば、タングステン)から構成される場合でも、アライメントマーク22B上の導電層28は、CMPにより除去されるため、この後のアライメントに影響を与えることはない。
- [0156] 以上のステップにより、図3のデバイス構造が完成する。
- [0157] ここで、この製造方法は、1つのメモリセルアレイ層を形成する例である。三次元に積み重ねられた複数のメモリセルアレイ層を形成する場合には、上述の製造方法を繰り返し行えばよい。
- [0158] また、複数のメモリセルアレイ層を形成する場合、図23に示すように、本発明(同図(a))では、最下層を除く、二層目以降のメモリセルアレイ層については、アライメントマーク22Bを省略することができる。
- [0159] これに対し、従来(同図(b))では、全てのメモリセルアレイ層について、アライメントマークが必要になる。
- [0160] 第二例に係わる製造方法によれば、第一例と同様に、図3のデバイス構造を容易に得ることができると共に、その製造プロセスにおいて、PEP数が少なくなることが分かる。しかも、アライメントは、従来よりも正確に行うことが可能である。
- [0161] 即ち、アライメントマークを最上層の段差で認識する場合には、アライメントマーク上の積層数が多くなると、当然に段差がぼやけてくる。また、この段差を大きくすることは、絶縁層の厚さなどに起因して限界がある。
- [0162] これに対し、本発明では、以上のような問題は全くなく、アライメントマークのエッジがぼやけることもない。
- [0163] C. 第三例
- 第三例は、導電線22A及びアライメントマーク22Bを透明材料から構成する点に特

徴を有する。

[0164] 第三例は、上述の第一及び第二例において、導電線22Aを $\text{Zn}_{0.98}\text{Al}_{0.02}\text{O}$ としたものである。その他については、上述の第一及び第二例と同じである。従って、第三例では、図6～図17の製造プロセス、又は、図18～図23の製造プロセスがそのまま適用される。

[0165] $\text{Zn}_{0.98}\text{Al}_{0.02}\text{O}$ の抵抗率は、 $2 \times 10^{-4} \Omega \cdot \text{cm}$ であるから、導電線22Aの厚さ(溝の深さ)は、 $2 \mu\text{m}$ とするのが好ましい。この材料の可視光の透過率は、85%である。

[0166] 第一及び第二例では、導電線22Aが不透明材料であるのに対し、第三例では、導電線22Aが透明材料である。第三例では、導電線22Aが透明材料であるため、アライメントマーク22Bも透明材料となる。

[0167] ここで、第三例において、絶縁層(例えば、酸化シリコン)21とアライメントマーク($\text{Zn}_{0.98}\text{Al}_{0.02}\text{O}$)との境界を認識できるか、という懸念が生じるが、材料の違い(光透過率の違い)により、その境界を明暗で把握することは可能である。

[0168] 第三例に係わる製造方法によれば、導電線22A及びアライメントマーク22Bが透明材料から構成される。これは、クリーンルーム内で使用する不透明材料(例えば、タングステン)の堆積ステップを省略できることを意味する。

[0169] 但し、 $\text{Zn}_{0.98}\text{Al}_{0.02}\text{O}$ の抵抗率は、タングステンの抵抗率よりも高いため、第三例を適用するに当たっては、透明材料を使用することによる取り扱い上のメリットと、それを使用することによって導電線が厚くなるというデメリットとを勘案して、第三例を採用するか否かを決定する。

[0170] (3) その他

上述の実施例では、本発明をクロスポイント型抵抗変化メモリに適用した場合の例について説明した。しかし、本発明は、これ以外の情報記録再生装置にも適用可能である。即ち、本発明は、アライメントマークが形成された絶縁層上に記録層及び電極層が積み重ねられる構造を有する情報記録再生装置の全てに適用可能である。

[0171] 5. むすび

本発明によれば、新たなアライメント技術により情報記録再生装置の製造コストを低減できる。

[0172] 本発明の例は、上述の実施例に限定されるものではなく、その要旨を逸脱しない範囲で、各構成要素を変形して具体化できる。また、上述の実施例に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を構成できる。例えば、上述の実施例に開示される全構成要素から幾つかの構成要素を削除してもよいし、異なる実施例の構成要素を適宜組み合わせてもよい。

産業上の利用可能性

[0173] 本発明は、抵抗変化材料を記録媒体とする情報記録再生装置、特に、抵抗変化素子をメモリセルとする抵抗変化メモリに有効である。

請求の範囲

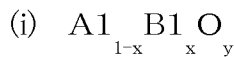
- [1] 半導体基板と、前記半導体基板上に形成される第一内部接続層と、前記内部接続層上に形成される第一メモリセルアレイ層と、前記第一メモリセルアレイ層上に形成される第二内部接続層とを具備し、
 前記第一メモリセルアレイ層は、アライメントマークを有する絶縁層と、前記絶縁層上に形成され、記録層及び電極層を含む積層構造とから構成され、
 前記積層構造内の全ての層は、可視光の透過率が1%以上の材料から構成されることを特徴とする情報記録再生装置。
- [2] 前記第一メモリセルアレイ層と前記第二内部接続層との間に形成される少なくとも一つの第二メモリセルアレイ層をさらに具備し、
 前記少なくとも一つの第二メモリセルアレイ層は、前記積層構造を有することを特徴とする請求項1に記載の情報記録再生装置。
- [3] 前記記録層は、
 (i) $L1 M1 X_{x y 4}$ ($0.1 \leq x \leq 2.2$, $1.8 \leq y \leq 2$)、
 (ii) $L1 M1 X_{x y 3}$ ($0.5 \leq x \leq 1.1$, $0.9 \leq y \leq 1$)、
 (iii) $L2 M2 X_{x y 4}$ ($0.5 \leq x \leq 1.1$, $0.9 \leq y \leq 1$)、
 (iv) $M3 O_{x y}$ ($0.5 \leq x \leq 1.1$, $0.9 \leq y \leq 1$)、
 但し、L1は、Na, K, Rb, Be, Mg, Ca, Sr, Ba, Al, Ga, Mn, Fe, Co, Ni, Cu, Zn, Ge, Ag, Au, Cd, Sn, Sb, Pt, Pd, Hg, Tl, Pb, Bi のグループから選択される少なくとも1つの元素、
 M1は、Al, Ga, Ti, Ge, Sn, V, Cr, Mn, Fe, Co, Ni, Nb, Ta, Mo, W, Ru, Rh のグループから選択される少なくとも1つの元素、
 L2は、Mg, Ca, Sr, Al, Ga, Sb, Ti, V, Cr, Mn, Fe, Co, Rh, In, Sb, Tl, Pb, Bi のグループから選択される少なくとも1つの元素、
 M2は、Al, Ga, Ti, Ge, Sn, V, Nb, Ta, Cr, Mn, Mo, W, Ir, Os のグループから選択される少なくとも1つの元素、
 M3は、Al及び遷移金属元素のグループから選択される少なくとも1つの元素である。

(i)及び(ii)に関しては、L1とM1とは、互いに異なる元素であり、(iii)に関しては、L2とM2とは、互いに異なる元素である。

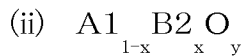
Xは、O、Nのグループから選択される少なくとも1つの元素である。

のグループから選択される材料から構成されることを特徴とする請求項1又は2に記載の情報記録再生装置。

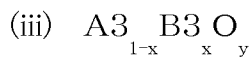
[4] 前記電極層は、



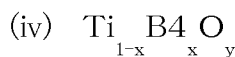
但し、A1は、Sn、Pbのグループから選択される少なくとも1つの元素、B1は、P、As、Sb、Biのグループから選択される少なくとも1つの元素、Oは、酸素元素であり、 $0.01 \leq x \leq 0.15$ 、 $1.5 \leq y \leq 2.8$ とする。



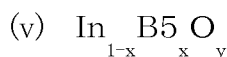
但し、A1は、Sn、Pbのグループから選択される少なくとも1つの元素、B2は、F、Cl、Brのグループから選択される少なくとも1つの元素、Oは、酸素元素であり、 $0.05 \leq x \leq 0.60$ 、 $1.5 \leq y \leq 2.8$ とする。



但し、A3は、Zn、Cdのグループから選択される少なくとも1つの元素、B3は、Al、Ga、Inのグループから選択される少なくとも1つの元素、Oは、酸素元素であり、 $0.01 \leq x \leq 0.20$ 、 $1.5 \leq y \leq 2.8$ とする。



但し、Tiは、チタン元素、B4は、V、Nb、Ta、Cr、Mo、Wのグループから選択される少なくとも1つの元素、Oは、酸素元素であり、 $0.01 \leq x \leq 0.20$ 、 $1.5 \leq y \leq 2.8$ とする。

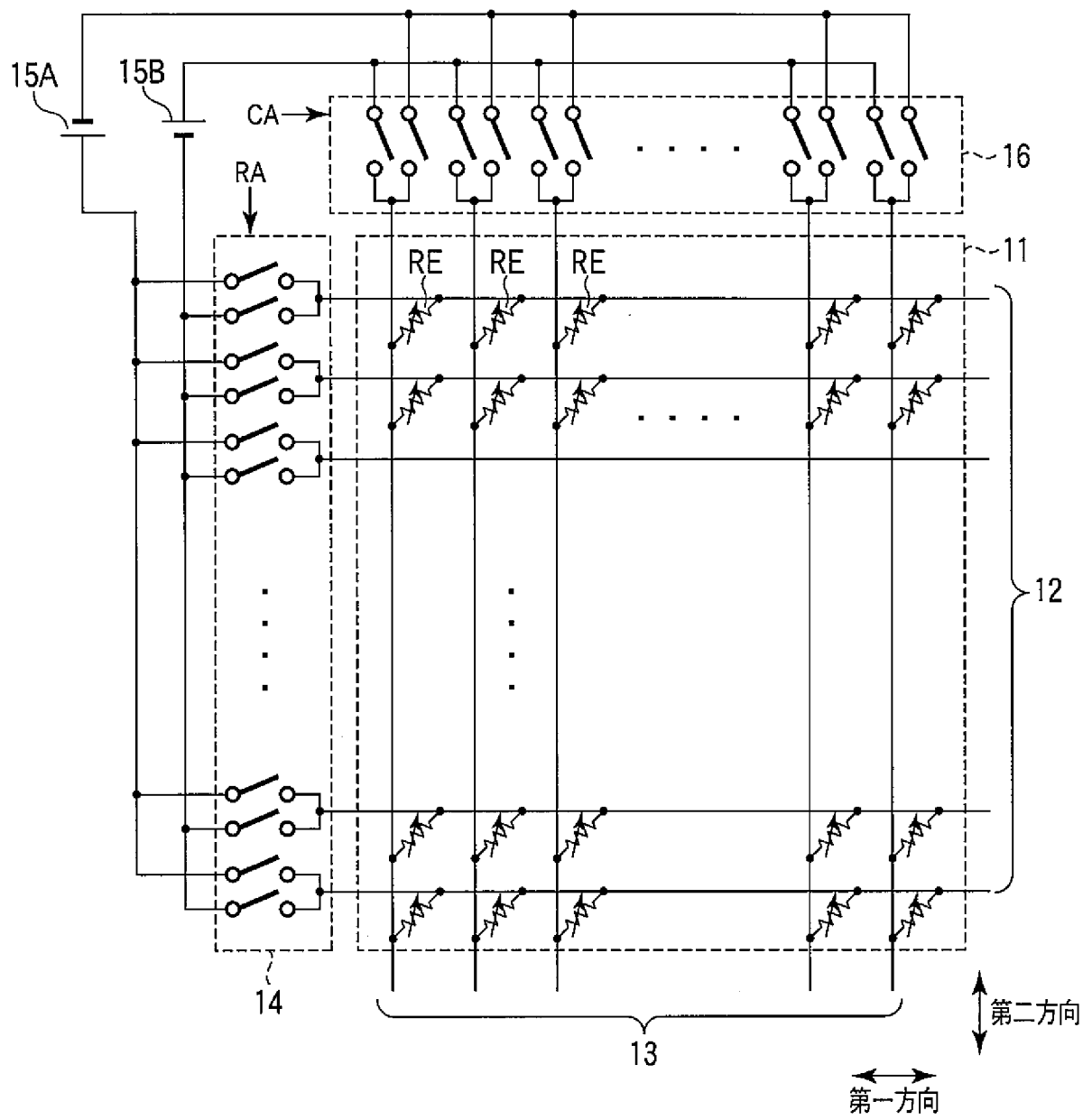


但し、Inは、インジウム元素、B5は、Zn、Cd、Ge、Snのグループから選択される少なくとも1つの元素、Oは、酸素元素であり、 $0.01 \leq x \leq 0.20$ 、 $1.5 \leq y \leq 2.8$ とする。

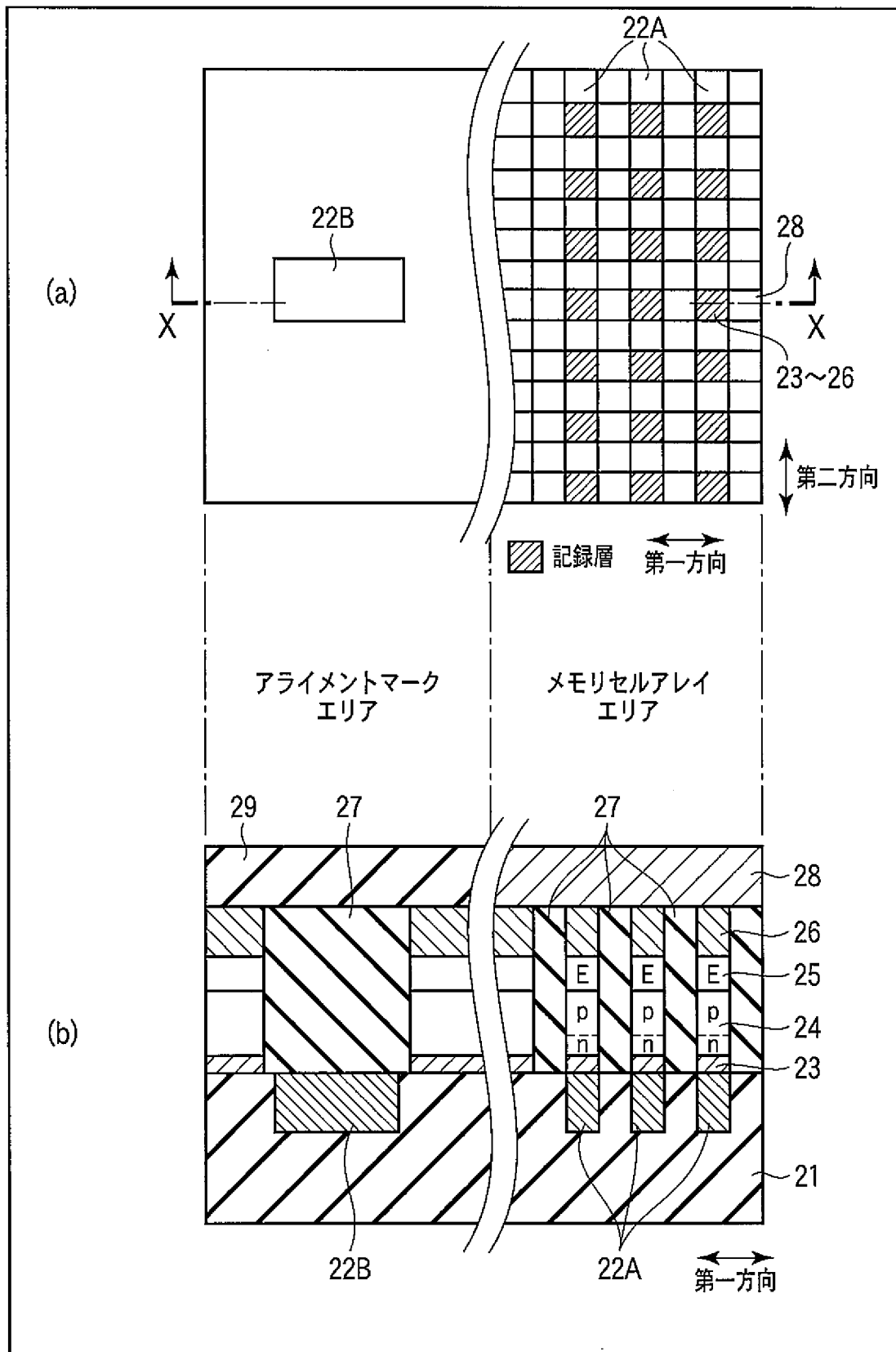
のグループから選択される材料から構成されることを特徴とする請求項1乃至3のいずれか1項に記載の情報記録再生装置。

- [5] 前記電極層の厚さは、250nm以上、5 μ m以下であることを特徴とする請求項1乃至4のいずれか1項に記載の情報記録再生装置。

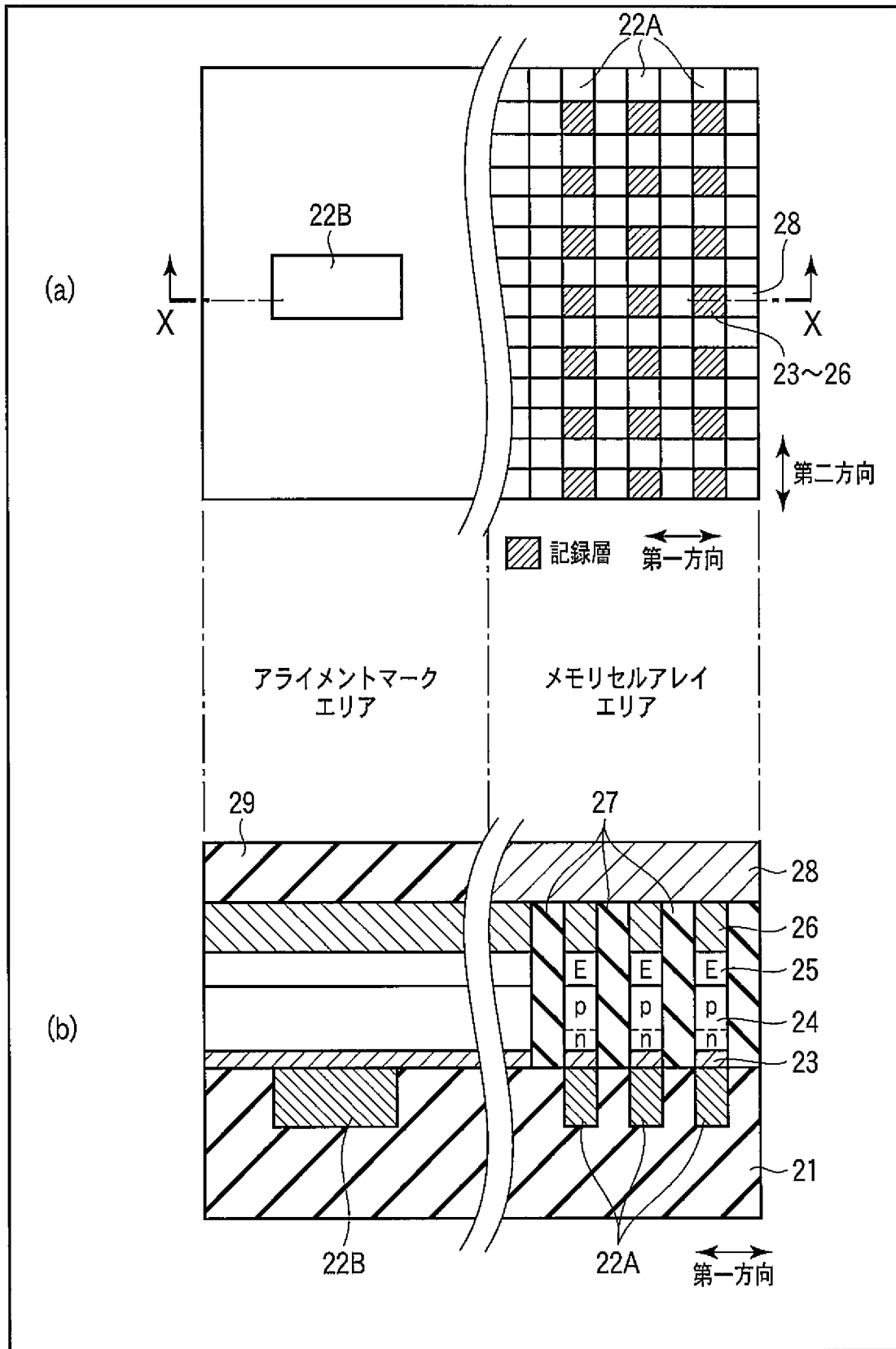
[図1]



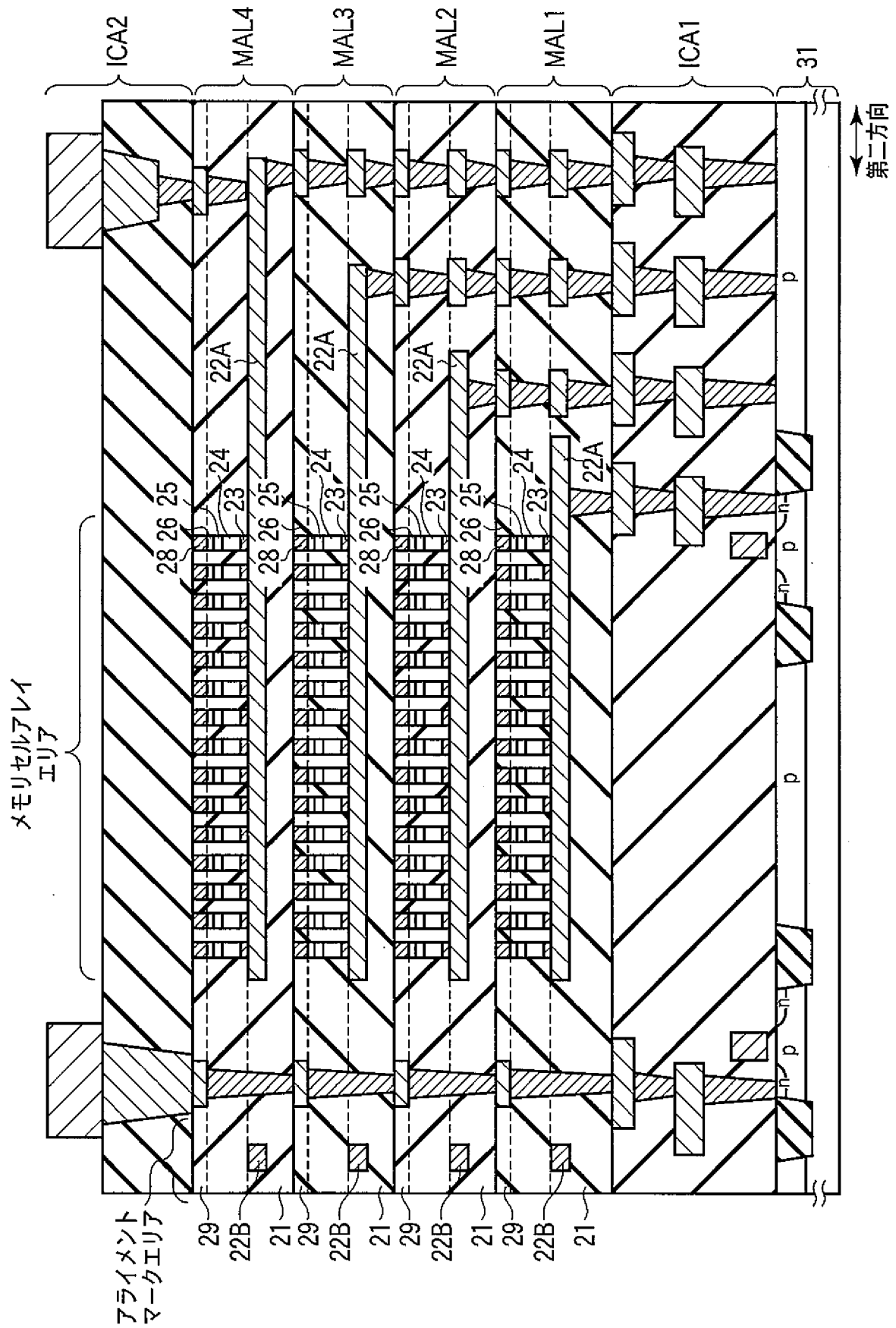
[図2]



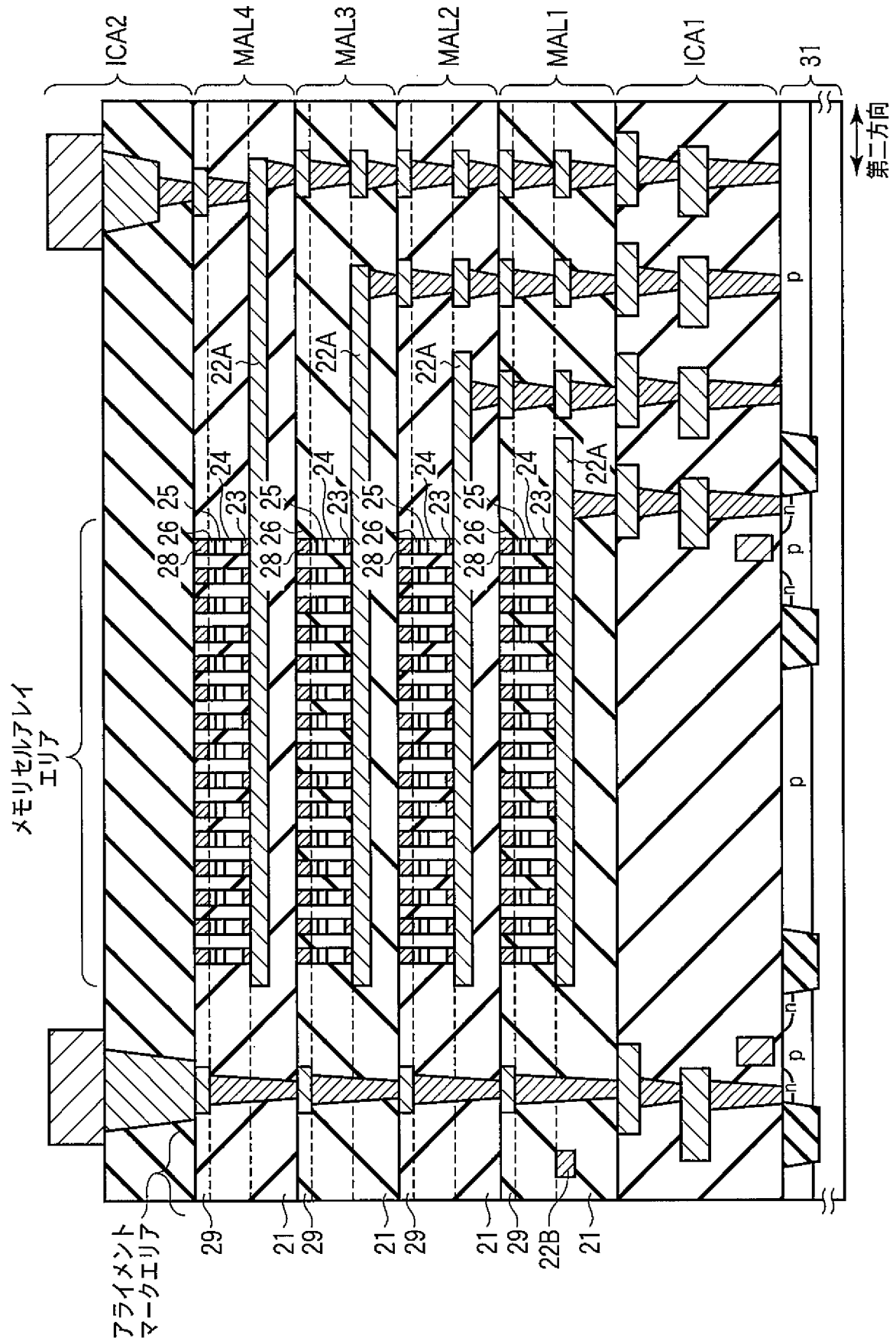
[図3]



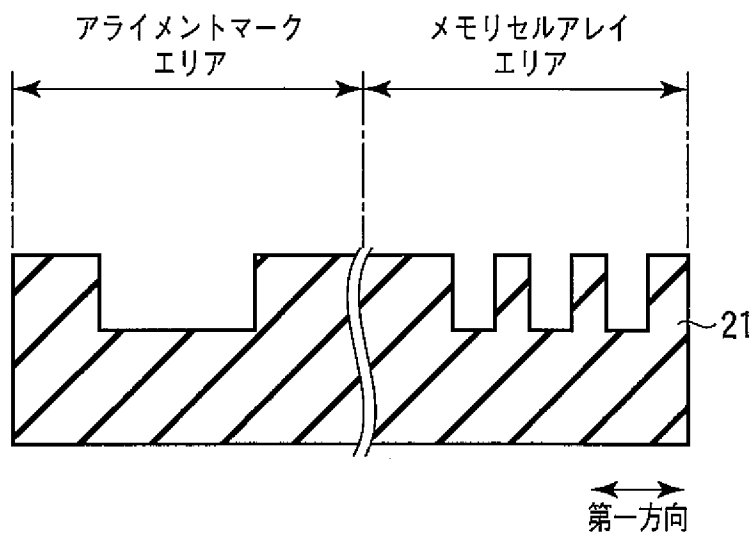
[図4]



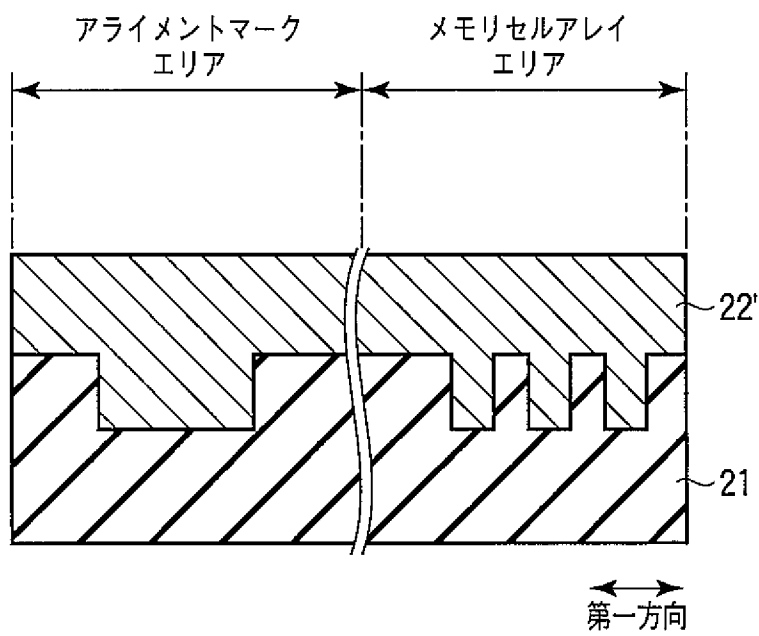
[図5]



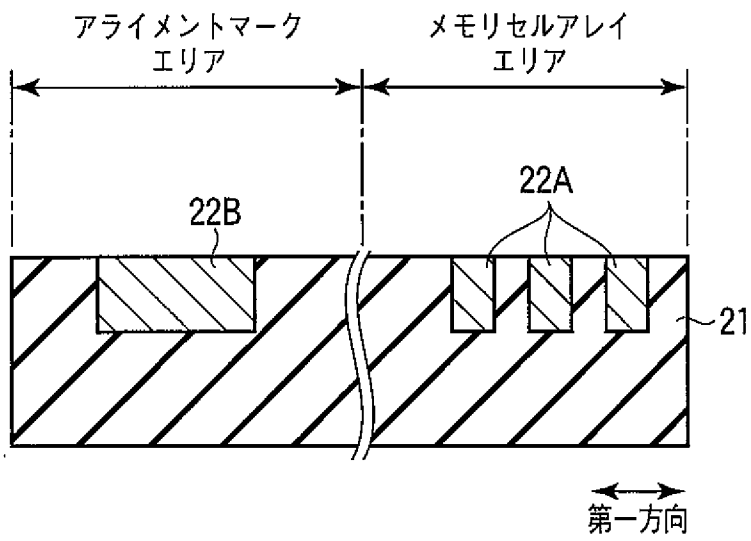
[図6]



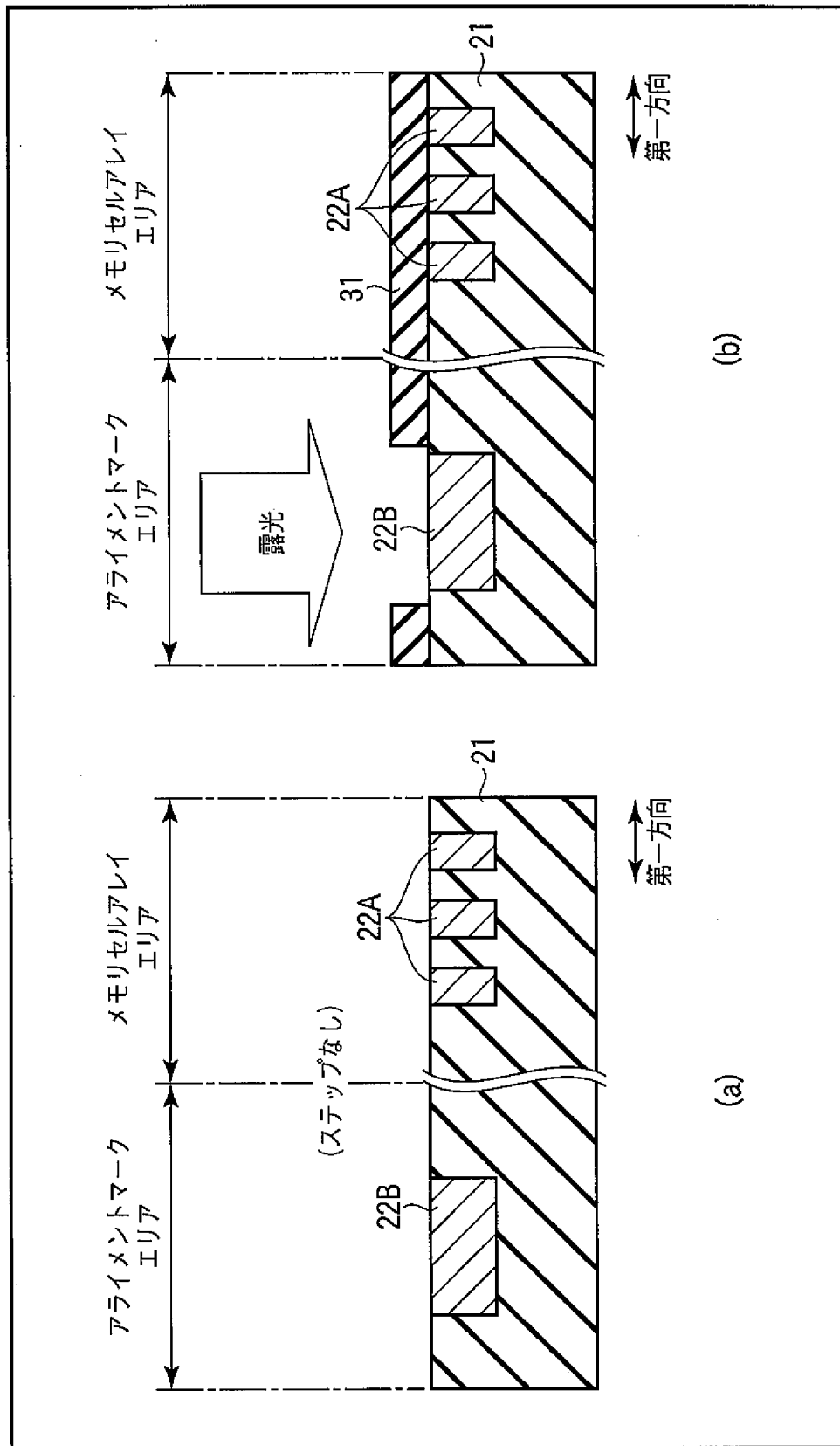
[図7]



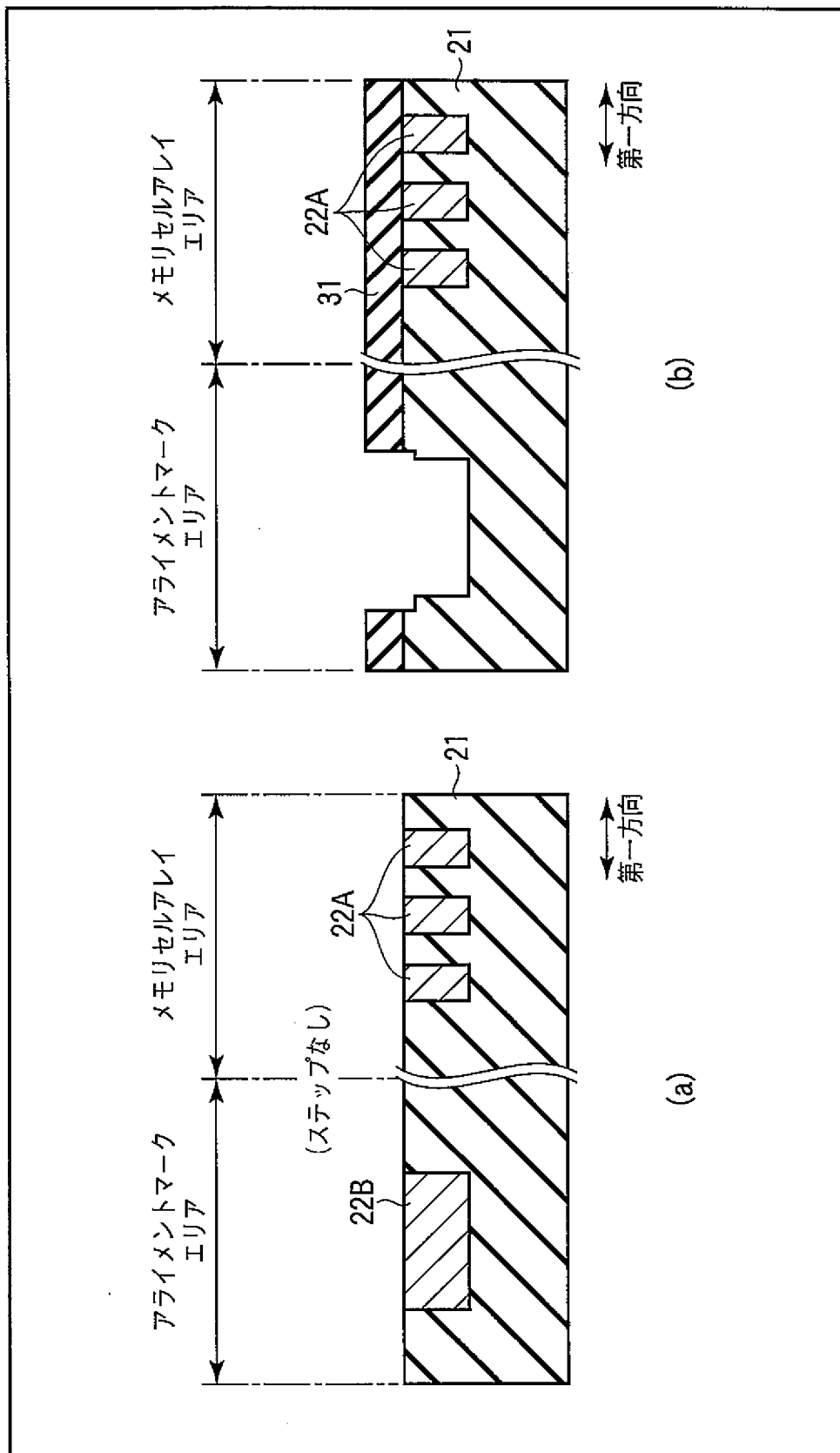
[図8]



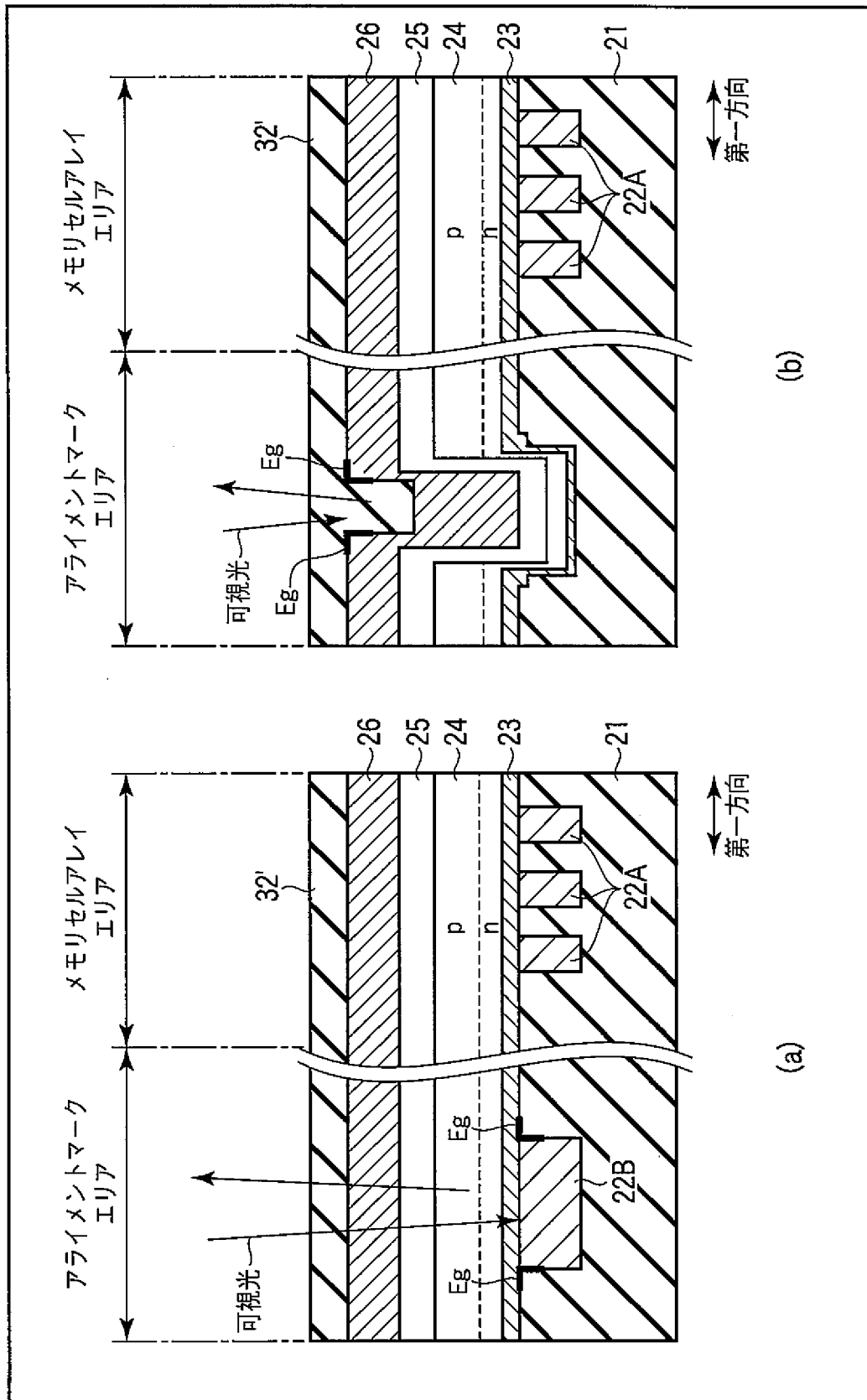
[図9]



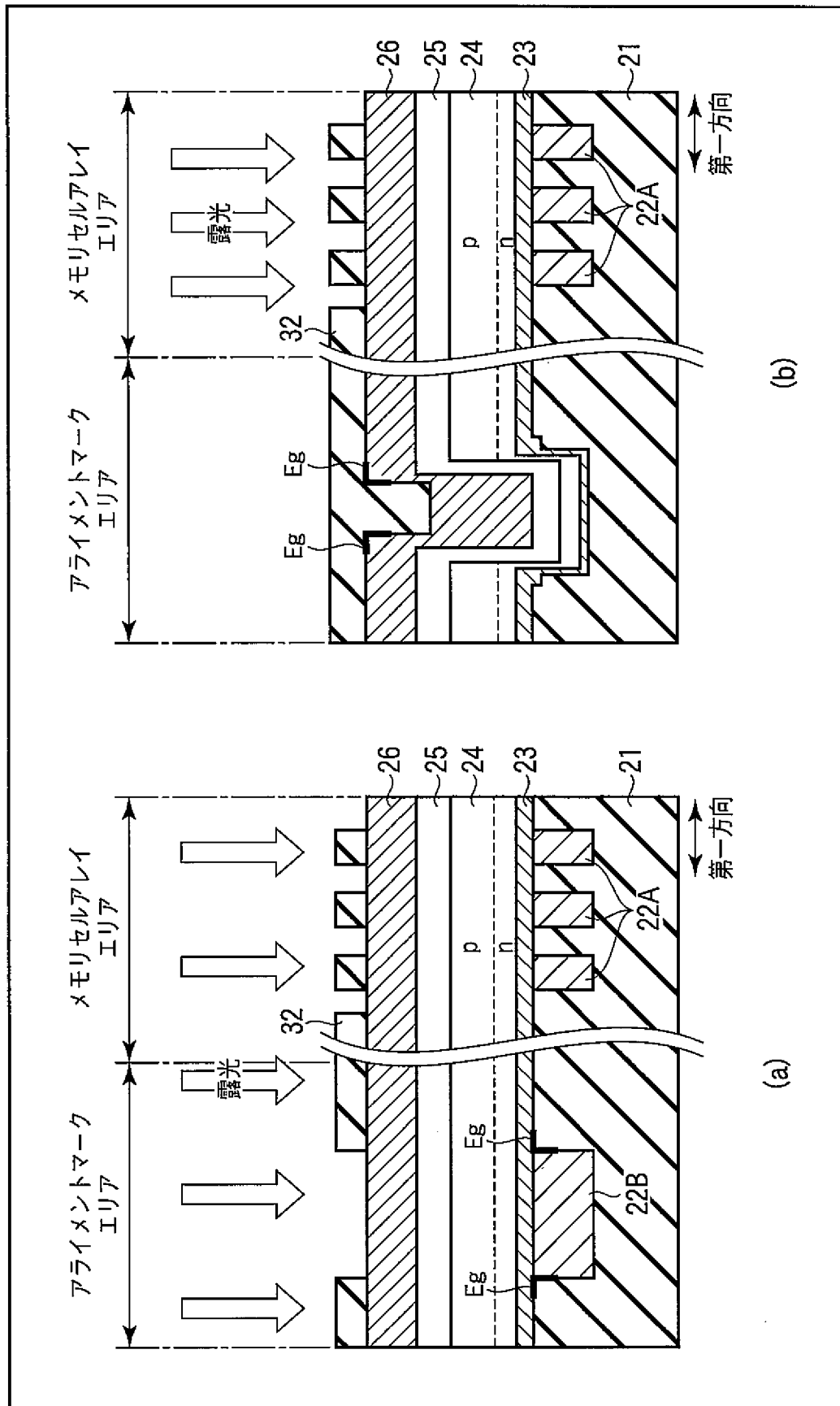
[図10]



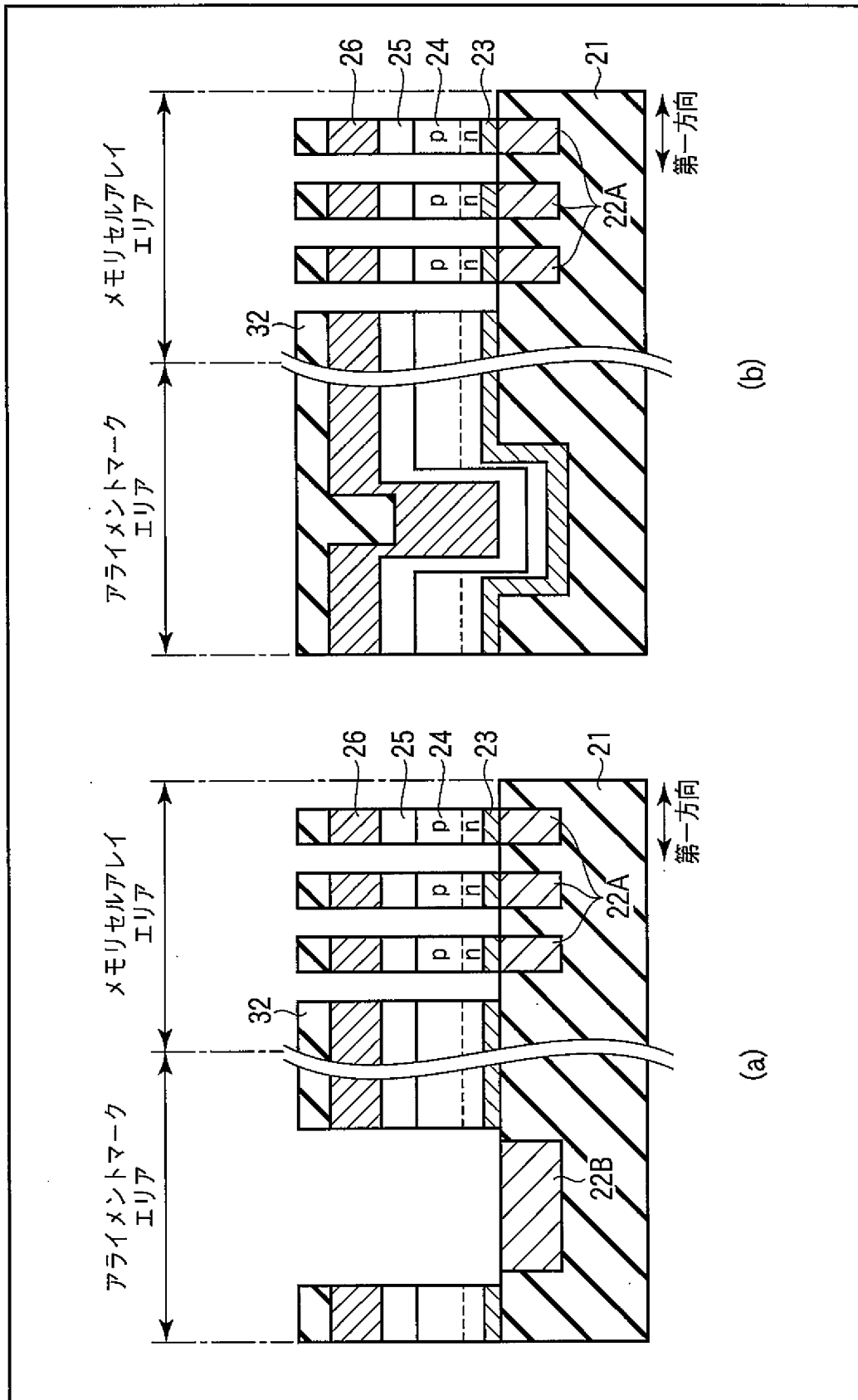
[図11]



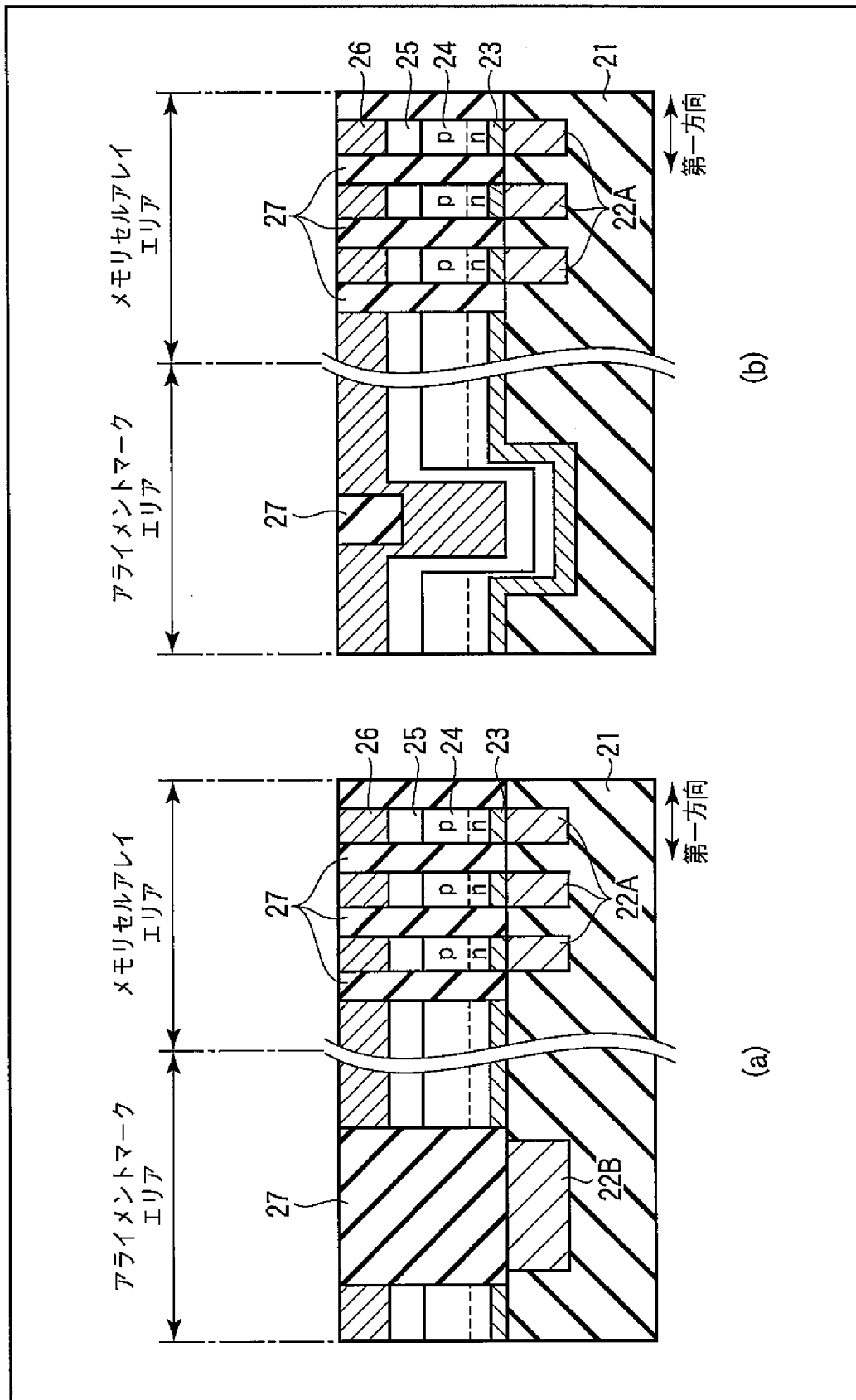
[図12]



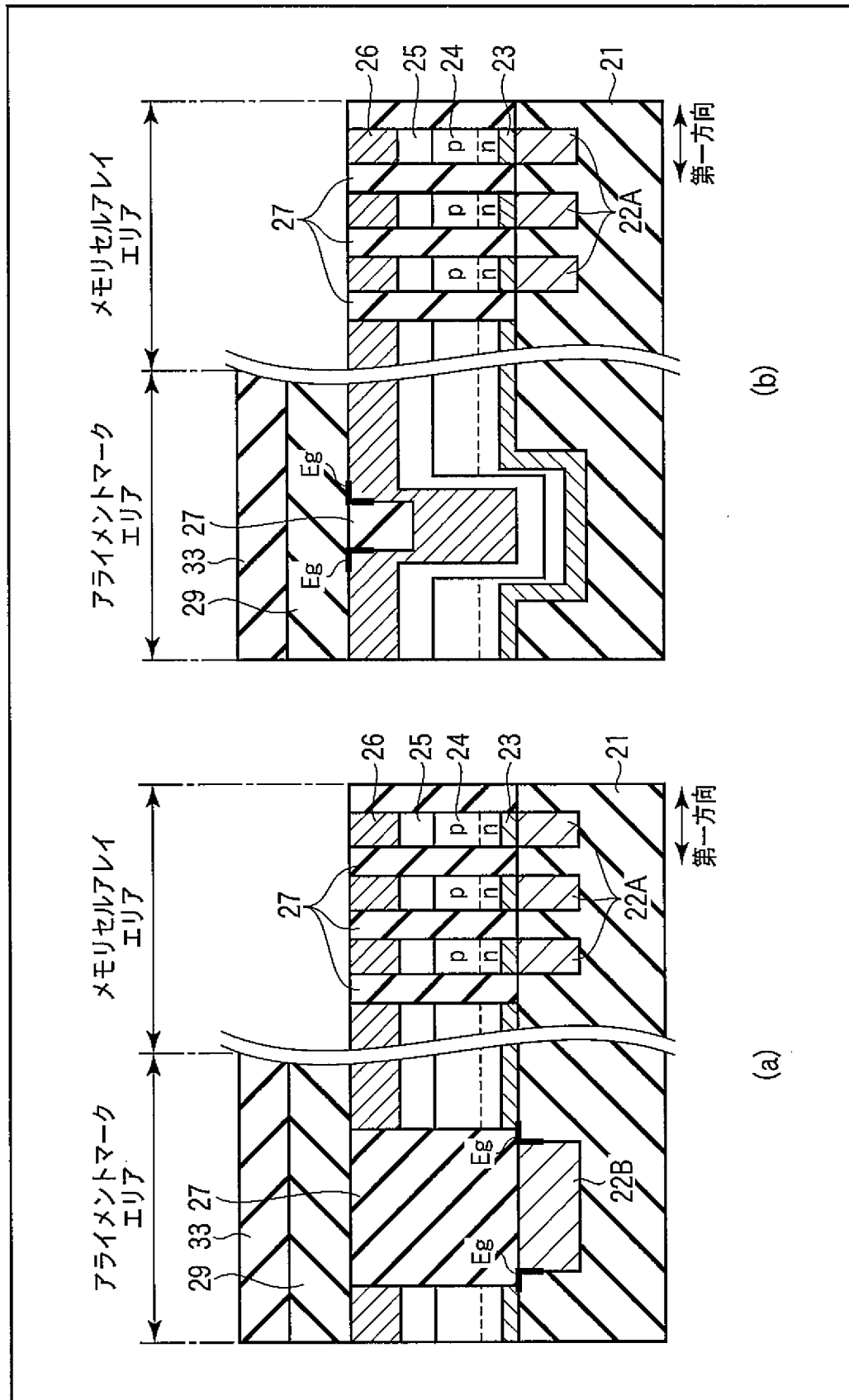
[図13]



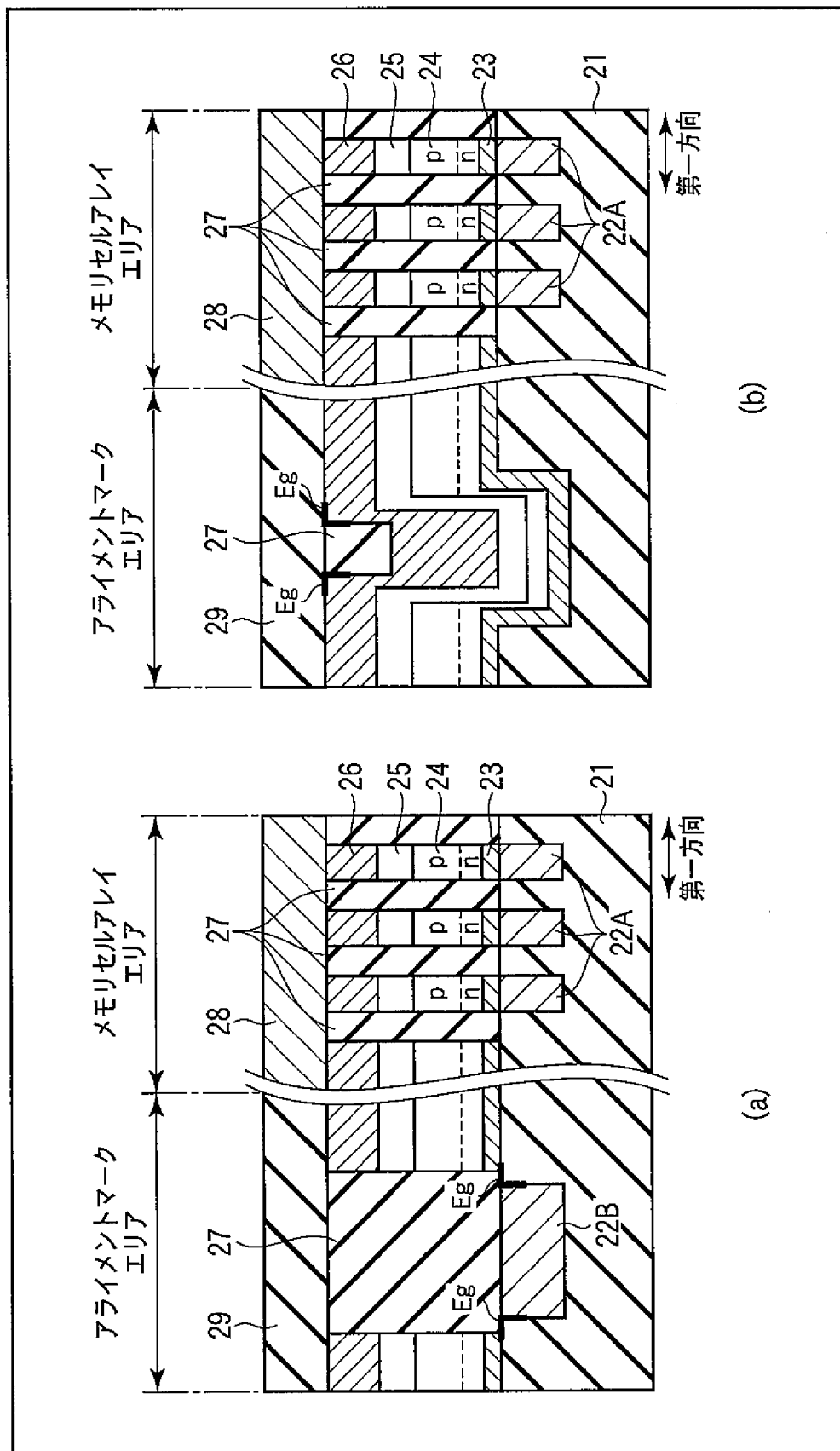
[図14]



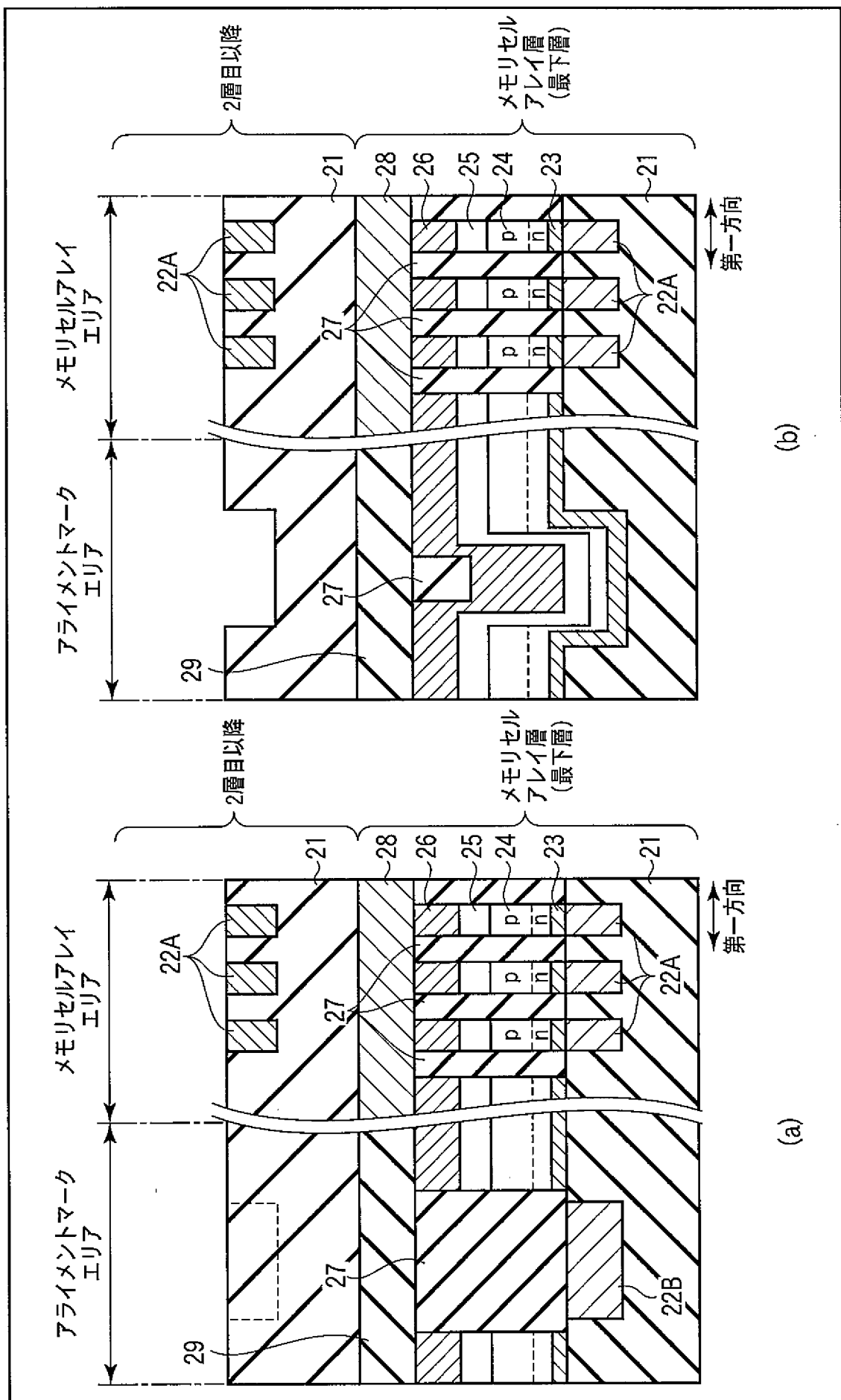
[図15]



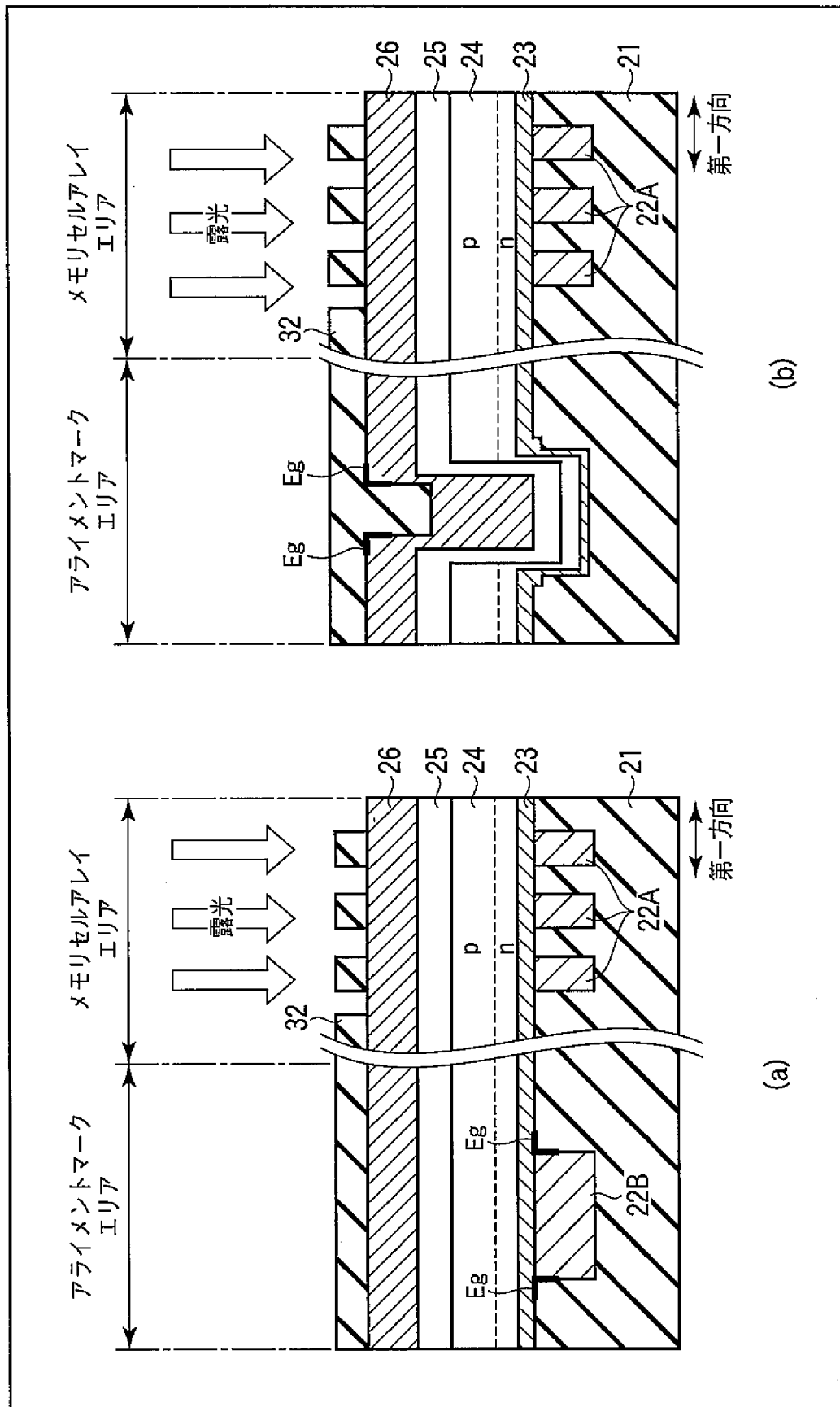
[図16]



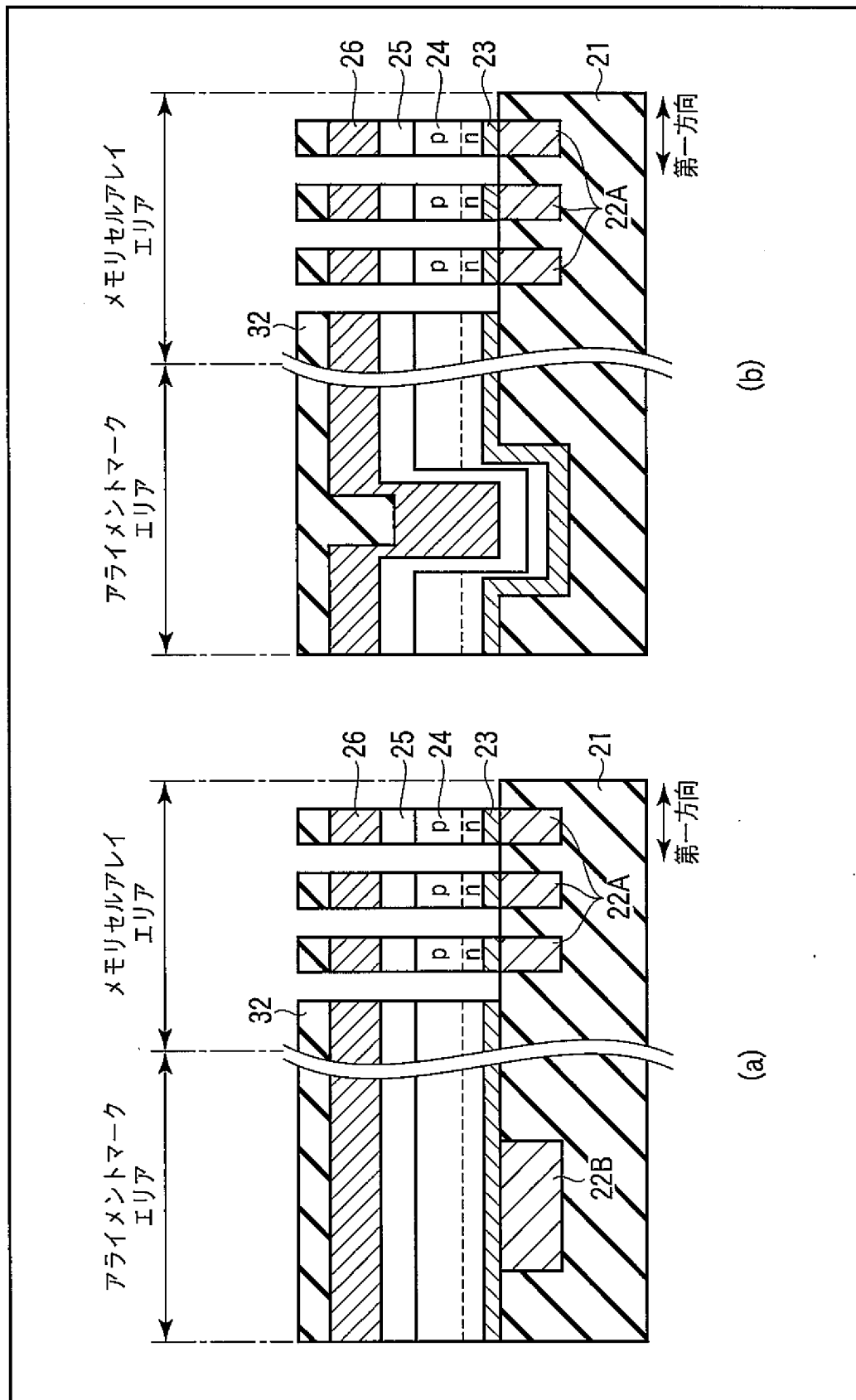
[図17]



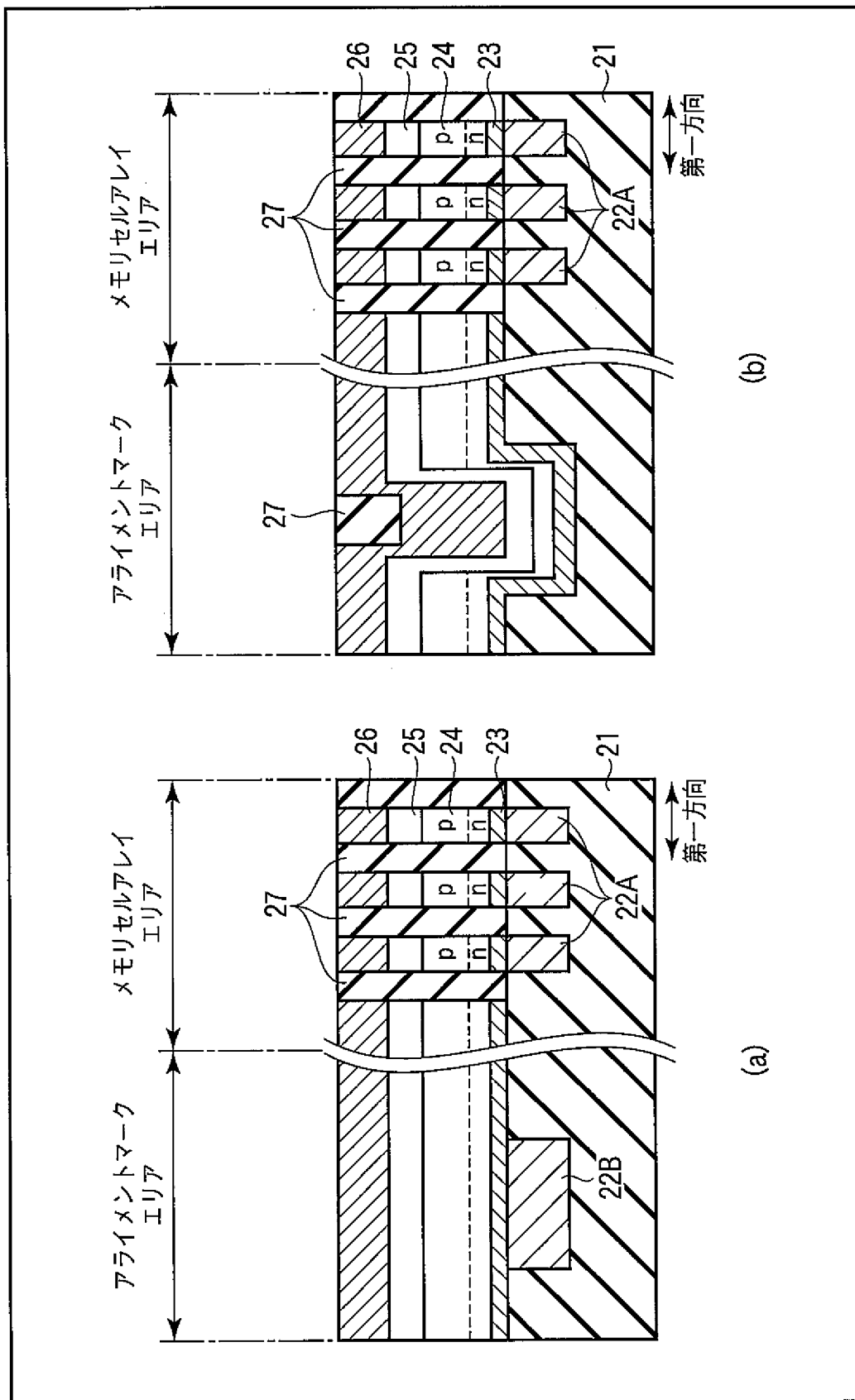
[図18]



[図19]

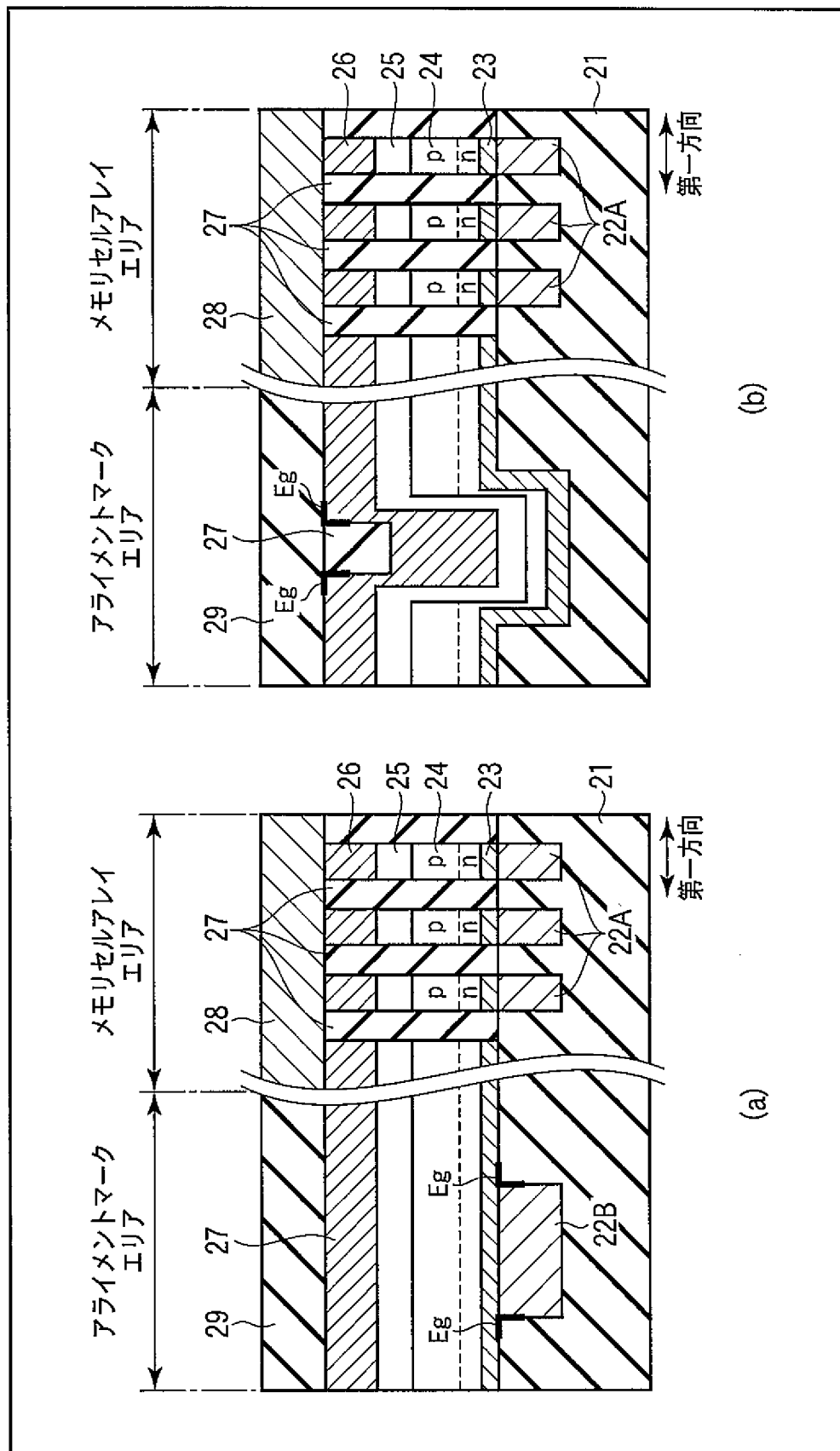


[図20]

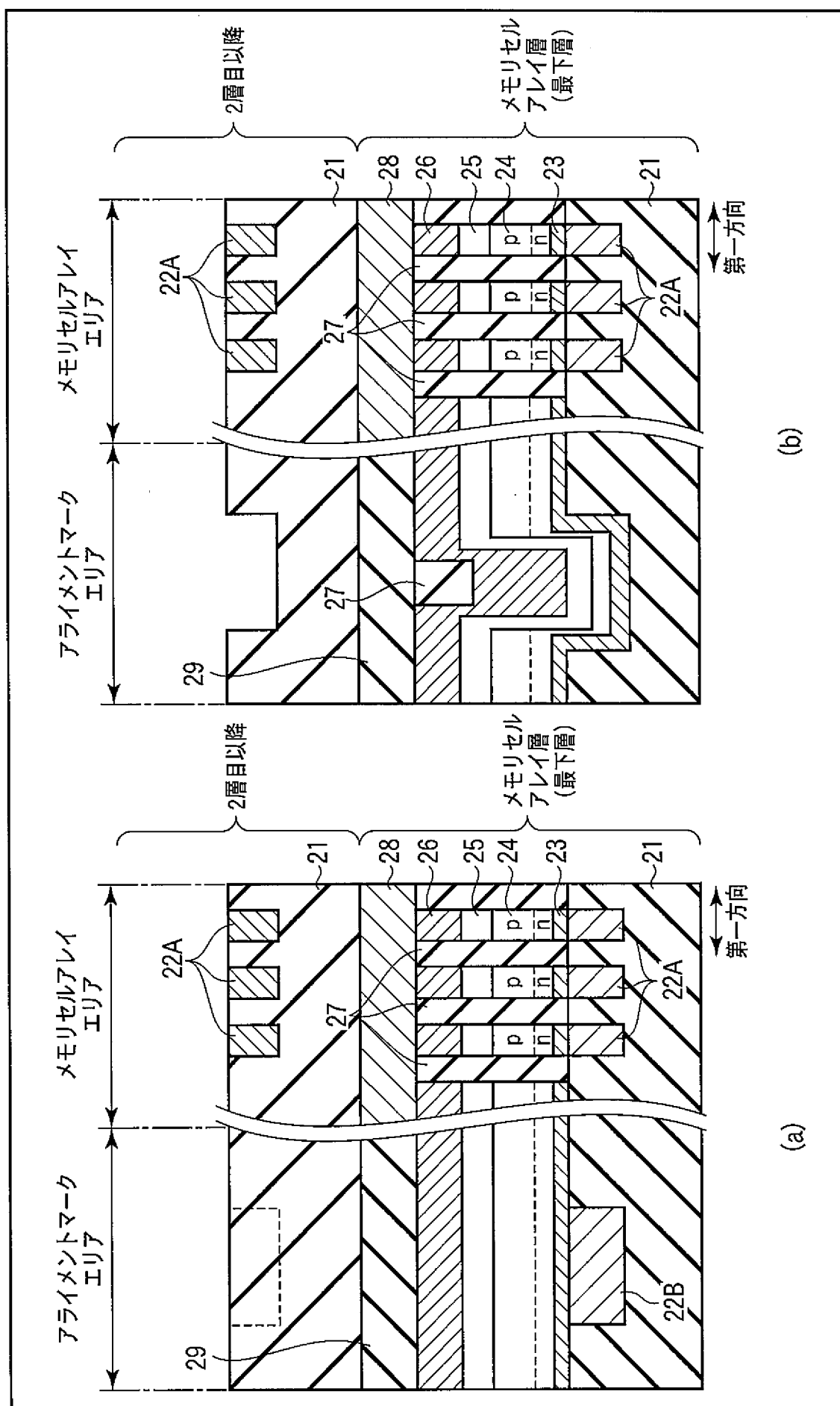


(a)

[図22]



[図23]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/054462

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/10(2006.01) i, H01L27/00(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/10, H01L27/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-197857 A (Sony Corp.), 12 July, 2002 (12.07.02), Par. Nos. [0115] to [0116], [0208] to [0214]; Fig. 10 & US 2002/0079520 A1 & US 2003/0119212 A1	1-5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 May, 2009 (28.05.09)

Date of mailing of the international search report
09 June, 2009 (09.06.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/054462

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-335333 A (Hitachi, Ltd.), 18 December, 1998 (18.12.98), Par. Nos. [0105] to [0112]; Figs. 12 to 15 & JP 2004-48025 A & JP 2004-128484 A & JP 2006-128709 A & US 6261883 B1 & US 2002/0074611 A1 & US 2001/0022399 A1 & US 2004/0012093 A1 & US 2005/0026405 A1 & US 2005/0040537 A1 & US 2005/0040538 A1 & US 2005/0179110 A1 & US 2007/0222001 A1 & US 2008/0017990 A1 & US 2008/0036091 A1 & US 2008/0173973 A1 & TW 415046 B & KR 10-0587250 B1 & KR 10-0605427 B1	1-5
Y	JP 7-093969 A (Olympus Optical Co., Ltd., Symetrix Corp.), 07 April, 1995 (07.04.95), Par. Nos. [0017] to [0024], [0039] to [0040]; Fig. 7 & US 5471363 A	4
Y	JP 9-162372 A (Ricoh Co., Ltd.), 20 June, 1997 (20.06.97), Par. Nos. [0030] to [0032]; Figs. 1 to 4 (Family: none)	4
A	JP 2007-099618 A (TDK Corp.), 19 April, 2007 (19.04.07), Par. Nos. [0042] to [0063], [0101] to [0112] (Family: none)	1-5

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L27/10(2006.01)i, H01L27/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L27/10, H01L27/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2002-197857 A（ソニー株式会社）2002.07.12, 段落【0115】～【0116】，【0208】～【0214】，図10 & US 2002/0079520 A1 & US 2003/0119212 A1	1-5
Y	JP 10-335333 A（株式会社日立製作所）1998.12.18, 段落【0105】～【0112】，図12～15 & JP 2004-48025 A & JP 2004-128484 A & JP 2006-128709 A & US 6261883 B1 & US 2002/0074611 A1 & US 2001/0022399 A1 & US 2004/0012093 A1 & US 2005/0026405 A1	1-5

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 8 . 0 5 . 2 0 0 9

国際調査報告の発送日

0 9 . 0 6 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小森 重樹

4 M

4 1 4 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	& US 2005/0040537 A1 & US 2005/0040538 A1 & US 2005/0179110 A1 & US 2007/0222001 A1 & US 2008/0017990 A1 & US 2008/0036091 A1 & US 2008/0173973 A1 & TW 415046 B & KR 10-0587250 B1 & KR 10-0605427 B1	
Y	JP 7-093969 A (オリンパス光学工業株式会社,シメトリックス・ コーポレーション) 1995. 04. 07, 段落【0017】～【0024】, 【0039】～【0040】, 図7 & US 5471363 A	4
Y	JP 9-162372 A (株式会社リコー) 1997. 06. 20, 段落【0030】～【0032】, 図1～4 (ファミリーなし)	4
A	JP 2007-099618 A (TDK株式会社) 2007. 04. 19, 段落【0042】～【0063】, 【0101】～【0112】 (ファミリーなし)	1-5