

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/04 (2006.01)

H01L 29/78 (2006.01)



[12] 发明专利说明书

专利号 ZL 200510004785.0

[45] 授权公告日 2008 年 5 月 14 日

[11] 授权公告号 CN 100388493C

[22] 申请日 2005.1.26

[21] 申请号 200510004785.0

[30] 优先权

[32] 2004. 3. 3 [33] JP [31] 2004 - 058883

[73] 专利权人 三菱电机株式会社

地址 日本东京

[72] 发明人 清水和宏

[56] 参考文献

US6376891B1 2002.4.23

US2002/0017683A1 2002.2.14

US6198139B1 2001.3.6

审查员 李晓明

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 王永刚

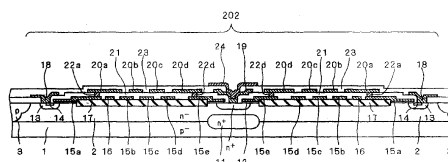
权利要求书 12 页 说明书 56 页 附图 24 页

[54] 发明名称

半导体器件

[57] 摘要

本发明的课题是提供能容易地得到所希望的耐压的半导体器件。在被 p 杂质区(3)划分了的高电位岛区(201)内的 n⁻半导体层(2)中形成了 n⁺杂质区(52)，在 n⁺杂质区(52)与 p 杂质区(3)之间的 n⁻半导体层(2)的上方以多层方式形成了第 1 场板(55a~55e)和多个第 2 场板。上层的第 2 场板位于下层的第 1 场板间的间隙的上方，在其上通过了布线(30)。第 2 场板中最接近于 p 杂质区(3)的第 2 场板在布线(30)的下方具有切断部位，在该切断部位的下方的第 1 场板间的间隙中与该第 1 场板分离地形成了电极(56)。



1. 一种半导体器件，其特征在于：

具备：

第 1 导电类型的半导体衬底；

在上述半导体衬底上设置的第 2 导电类型的半导体层；

在上述半导体层中划分预定区域的上述第 1 导电类型的第 1 杂质区，该第 1 杂质区从上述半导体层的上表面延伸到上述半导体层与上述半导体衬底的界面而设置于上述半导体层内部；

在上述预定区域外的上述半导体层中设置的半导体元件；以及

在上述预定区域内的上述半导体层中设置的 MOS 晶体管，

上述 MOS 晶体管包含：

上述第 2 导电类型的第 2 杂质区，该第 2 杂质区设置于上述预定区域内的上述半导体层的上表面内且杂质浓度比上述半导体层的杂质浓度高；以及

电连接到上述第 2 杂质区上的漏电极，

上述半导体器件还具备：

在上述第 1 杂质区与上述第 2 杂质区之间的上述半导体层上设置的第 1 绝缘膜；

在上述第 1 绝缘膜上，沿着从上述第 1 杂质区朝向上述第 2 杂质区的方向互相分离地设置的多个第 1 场板；

覆盖上述多个第 1 场板而设置于上述第 1 绝缘膜上的第 2 绝缘膜；

在上述第 2 绝缘膜上，沿着从上述第 1 杂质区朝向上述第 2 杂质区的方向互相分离地设置的多个第 2 场板；

覆盖上述多个第 2 场板而设置于上述第 2 绝缘膜上的第 3 绝缘膜；以及

设置于上述第 3 绝缘膜上的布线，该布线通过上述多个第 1 场板和上述多个第 2 场板的上方来电连接上述漏电极与上述半导体元件，

上述多个第 1 场板中最接近于上述第 1 杂质区的第 1 场板是上述

MOS 晶体管的栅电极，

上述多个第 2 场板分别设置于上述多个第 1 场板间的间隙的上方，

上述多个第 2 场板中最接近于上述栅电极的第 2 场板在上述布线的下方具有切断部位，

在上述多个第 1 场板间的间隙内，在位于上述切断部位的下方的间隙中与上述多个第 1 场板分离地设置了电极。

2. 如权利要求 1 中所述的半导体器件，其特征在于：

还具备：

电连接上述多个第 2 场板中最接近于上述栅电极的第 2 场板与上述栅电极而贯通上述第 2 绝缘膜设置的第 1 接触塞；以及

电连接最接近于上述栅电极的第 2 场板与上述电极而贯通上述第 2 绝缘膜设置的第 2 接触塞。

3. 一种半导体器件，其特征在于：

具备：

第 1 导电类型的半导体衬底；

在上述半导体衬底上设置的第 2 导电类型的半导体层；

在上述半导体层中划分预定区域的上述第 1 导电类型的第 1 杂质区，该第 1 杂质区从上述半导体层的上表面延伸到上述半导体层与上述半导体衬底的界面而设置于上述半导体层内部；

在上述预定区域内的上述半导体层中设置的第 1 半导体元件；

上述第 2 导电类型的第 2 杂质区，该第 2 杂质区设置于上述预定区域内的上述第 1 半导体元件与上述第 1 杂质区之间的上述半导体层的上表面内且杂质浓度比上述半导体层的杂质浓度高；

在上述预定区域外的上述半导体层中设置的第 2 半导体元件；

在上述第 1 杂质区与上述第 2 杂质区之间的上述半导体层上设置的第 1 绝缘膜；

在上述第 1 绝缘膜上，沿着从上述第 1 杂质区朝向上述第 2 杂质区的方向互相分离地设置的多个第 1 场板；

覆盖上述多个第1场板而设置于上述第1绝缘膜上的第2绝缘膜;

在上述第2绝缘膜上,沿着从上述第1杂质区朝向上述第2杂质区的方向互相分离地设置的多个第2场板;

覆盖上述多个第2场板而设置于上述第2绝缘膜上的第3绝缘膜;
以及

设置于上述第3绝缘膜上的布线,该布线通过上述多个第1场板和上述多个第2场板的上方来电连接上述第1半导体元件与上述第2半导体元件,

上述多个第2场板分别设置于上述多个第1场板间的间隙的上方,

上述多个第2场板中最接近于上述第1杂质区的第2场板在上述布线的下方具有切断部位,

在上述多个第1场板间的间隙内,在位于上述切断部位的下方的间隙中与上述多个第1场板分离地设置了电极。

4. 一种半导体器件,其特征在于:

具备:

第1导电类型的半导体衬底;

在上述半导体衬底上设置的第2导电类型的半导体层;

在上述半导体层中划分预定区域的上述第2导电类型的第1杂质区,该第1杂质区设置于上述半导体层的上表面内且杂质浓度比上述半导体层的杂质浓度高;

从上述预定区域内的上述半导体层的上表面延伸到上述半导体层与上述半导体衬底的界面而设置于上述半导体层内部的上述第1导电类型的第2杂质区;

在上述预定区域外的上述半导体层中设置的半导体元件; 以及

在上述预定区域内的上述半导体层中设置的 MOS 晶体管,

上述 MOS 晶体管包含:

上述第1导电类型的第3杂质区,该第3杂质区设置于上述预定区域内的上述第1杂质区与上述第2杂质区之间的上述半导体层的上

表面内；以及

电连接到上述第3杂质区上的漏电极，

上述半导体器件还具备：

在上述第1杂质区与上述第3杂质区之间的上述半导体层上设置
的第1绝缘膜；

在上述第1绝缘膜上，沿着从上述第1杂质区朝向上述第3杂质
区的方向互相分离地设置的多个第1场板；

覆盖上述多个第1场板而设置于上述第1绝缘膜上的第2绝缘膜；

在上述第2绝缘膜上，沿着从上述第1杂质区朝向上述第3杂质
区的方向互相分离地设置的多个第2场板；

覆盖上述多个第2场板而设置于上述第2绝缘膜上的第3绝缘膜；
以及

设置于上述第3绝缘膜上的布线，该布线通过上述多个第1场板
和上述多个第2场板的上方来电连接上述漏电极与上述半导体元件，

上述多个第1场板中最接近于上述第1杂质区的第1场板是上述
MOS晶体管的栅电极，

上述多个第2场板分别设置于上述多个第1场板间的间隙的上
方，

上述多个第2场板中最接近于上述栅电极的第2场板在上述布线的
下方具有切断部位，

在上述多个第1场板间的间隙内，在位于上述切断部位的下方的
间隙中与上述多个第1场板分离地设置了电极。

5. 如权利要求4中所述的半导体器件，其特征在于：

还具备：

电连接上述多个第2场板中最接近于上述栅电极的第2场板与上
述栅电极而贯通上述第2绝缘膜设置的第1接触塞；以及

电连接最接近于上述栅电极的第2场板与上述电极而贯通上述第
2绝缘膜设置的第2接触塞。

6. 一种半导体器件，其特征在于：

具备:

第 1 导电类型的半导体衬底;

在上述半导体衬底上设置的第 2 导电类型的半导体层;

在上述半导体层中划分预定区域的上述第 1 导电类型的第 1 杂质区, 该第 1 杂质区从上述半导体层的上表面延伸到上述半导体层与上述半导体衬底的界面而设置于上述半导体层内部;

在上述预定区域内的上述半导体层中设置的第 1 半导体元件;

上述第 2 导电类型的第 2 杂质区, 该第 2 杂质区设置于上述预定区域内的上述第 1 半导体元件与上述第 1 杂质区之间的上述半导体层的上表面内且杂质浓度比上述半导体层的杂质浓度高;

在上述预定区域外的上述半导体层中设置的第 2 半导体元件;

在上述第 1 杂质区与上述第 2 杂质区之间的上述半导体层上设置的第 1 绝缘膜;

在上述第 1 绝缘膜上, 沿着从上述第 1 杂质区朝向上述第 2 杂质区的方向互相分离地设置的多个第 1 场板;

覆盖上述多个第 1 场板而设置于上述第 1 绝缘膜上的第 2 绝缘膜;

在上述第 2 绝缘膜上, 沿着从上述第 1 杂质区朝向上述第 2 杂质区的方向互相分离地设置的多个第 2 场板;

覆盖上述多个第 2 场板而设置于上述第 2 绝缘膜上的第 3 绝缘膜;
以及

设置于上述第 3 绝缘膜上的布线, 该布线通过上述多个第 1 场板和上述多个第 2 场板的上方来电连接上述第 1 半导体元件与上述第 2 半导体元件,

上述多个第 2 场板分别设置于上述多个第 1 场板间的间隙的上方,

上述多个第 2 场板中最接近于上述第 2 杂质区的第 2 场板在上述布线的下方具有切断部位,

在上述多个第 1 场板间的间隙内, 在位于上述切断部位的下方的间隙中与上述多个第 1 场板分离地设置了电极。

7. 一种半导体器件，其特征在于：

具备：

第1导电类型的半导体衬底；

在上述半导体衬底上设置的第2导电类型的半导体层；

在上述半导体层中划分预定区域的上述第1导电类型的第1杂质区，该第1杂质区从上述半导体层的上表面延伸到上述半导体层与上述半导体衬底的界面而设置于上述半导体层内部；

在上述预定区域外的上述半导体层中设置的半导体元件；以及

在上述预定区域内的上述半导体层中设置的MOS晶体管，

上述MOS晶体管包含：

上述第2导电类型的第2杂质区，该第2杂质区设置于上述预定区域内的上述半导体层的上表面内且杂质浓度比上述半导体层的杂质浓度高；以及

电连接到上述第2杂质区上的漏电极，

上述半导体器件还具备：

在上述第1杂质区与上述第2杂质区之间的上述半导体层上设置的第1绝缘膜；

在上述第1绝缘膜上，沿着从上述第1杂质区朝向上述第2杂质区的方向互相分离地设置的多个第1场板；

覆盖上述多个第1场板而设置于上述第1绝缘膜上的第2绝缘膜；

在上述第2绝缘膜上，沿着从上述第1杂质区朝向上述第2杂质区的方向互相分离地设置的多个第2场板；

覆盖上述多个第2场板而设置于上述第2绝缘膜上的第3绝缘膜；以及

设置于上述第3绝缘膜上的布线，该布线通过上述多个第1场板和上述多个第2场板的上方来电连接上述漏电极与上述半导体元件，

上述多个第1场板中最接近于上述第1杂质区的第1场板是上述MOS晶体管的栅电极，

上述多个第2场板分别设置于上述多个第1场板间的间隙的上

方，

上述多个第2场板中最接近于上述栅电极的第2场板在上述布线的下方具有切断部位，

在除了上述栅电极和最接近于上述栅电极的第2场板外的上述多个第1场板和上述多个第2场板中，至少位于上述栅电极邻近的第1场板具有位于上述布线的下方的部分，该部分的至少上述栅电极一侧的端部与该部分以外的其它部分的该端部相比偏向上述栅电极一侧。

8. 一种半导体器件，其特征在于：

具备：

第1导电类型的半导体衬底；

在上述半导体衬底上设置的第2导电类型的半导体层；

在上述半导体层中划分预定区域的上述第1导电类型的第1杂质区，该第1杂质区从上述半导体层的上表面延伸到上述半导体层与上述半导体衬底的界面而设置于上述半导体层内部；

在上述预定区域内的上述半导体层中设置的第1半导体元件；

上述第2导电类型的第2杂质区，该第2杂质区设置于上述预定区域内的上述第1半导体元件与上述第1杂质区之间的上述半导体层的上表面内且杂质浓度比上述半导体层的杂质浓度高；

在上述预定区域外的上述半导体层中设置的第2半导体元件；

在上述第1杂质区与上述第2杂质区之间的上述半导体层上设置的第1绝缘膜；

在上述第1绝缘膜上，沿着从上述第1杂质区朝向上述第2杂质区的方向互相分离地设置的多个第1场板；

覆盖上述多个第1场板而设置于上述第1绝缘膜上的第2绝缘膜；

在上述第2绝缘膜上，沿着从上述第1杂质区朝向上述第2杂质区的方向互相分离地设置的多个第2场板；

覆盖上述多个第2场板而设置于上述第2绝缘膜上的第3绝缘膜；
以及

设置于上述第3绝缘膜上的布线，该布线通过上述多个第1场板

和上述多个第2场板的上方来电连接上述第1半导体元件与上述第2半导体元件，

上述多个第2场板分别设置于上述多个第1场板间的间隙的上方，

上述多个第2场板中最接近于上述第1杂质区的第2场板在上述布线的下方具有切断部位，

在除了最接近于上述第1杂质区的第1和第2场板外的上述多个第1场板和上述多个第2场板中，至少离上述第1杂质区第2近的第1场板具有位于上述布线的下方的部分，该部分的至少上述第1杂质区一侧的端部与该部分以外的其它部分的该端部相比偏向上述第1杂质区一侧。

9. 一种半导体器件，其特征在于：

具备：

第1导电类型的半导体衬底；

在上述半导体衬底上设置的第2导电类型的半导体层；

在上述半导体层中划分预定区域的上述第2导电类型的第1杂质区，该第1杂质区设置于上述半导体层的上表面内且杂质浓度比上述半导体层的杂质浓度高；

从上述预定区域内的上述半导体层的上表面延伸到上述半导体层与上述半导体衬底的界面而设置于上述半导体层内部的上述第1导电类型的第2杂质区；

在上述预定区域外的上述半导体层中设置的半导体元件；以及

在上述预定区域内的上述半导体层中设置的MOS晶体管，

上述MOS晶体管包含：

上述第1导电类型的第3杂质区，该第3杂质区设置于上述预定区域内的上述第1杂质区与上述第2杂质区之间的上述半导体层的上表面内；以及

电连接到上述第3杂质区上的漏电极，

上述半导体器件还具备：

在上述第1杂质区与上述第3杂质区之间的上述半导体层上设置的第1绝缘膜;

在上述第1绝缘膜上,沿着从上述第1杂质区朝向上述第3杂质区的方向互相分离地设置的多个第1场板;

覆盖上述多个第1场板而设置于上述第1绝缘膜上的第2绝缘膜;

在上述第2绝缘膜上,沿着从上述第1杂质区朝向上述第3杂质区的方向互相分离地设置的多个第2场板;

覆盖上述多个第2场板而设置于上述第2绝缘膜上的第3绝缘膜;
以及

设置于上述第3绝缘膜上的布线,该布线通过上述多个第1场板和上述多个第2场板的上方来电连接上述漏电极与上述半导体元件,

上述多个第1场板中最接近于上述第1杂质区的第1场板是上述MOS晶体管的栅电极,

上述多个第2场板分别设置于上述多个第1场板间的间隙的上方,

上述多个第2场板中最接近于上述栅电极的第2场板在上述布线的下方具有切断部位,

在除了上述栅电极和最接近于上述栅电极的第2场板外的上述多个第1场板和上述多个第2场板中,至少位于上述栅电极邻近的第1场板具有位于上述布线的下方的部分,该部分的至少上述栅电极一侧的端部与该部分以外的其它部分的该端部相比偏向上述栅电极一侧。

10. 一种半导体器件,其特征在于:

具备:

第1导电类型的半导体衬底;

在上述半导体衬底上设置的第2导电类型的半导体层;

在上述半导体层中划分预定区域的上述第1导电类型的第1杂质区,该第1杂质区从上述半导体层的上表面延伸到上述半导体层与上述半导体衬底的界面而设置于上述半导体层内部;

在上述预定区域内的上述半导体层中设置的第1半导体元件;

上述第2导电类型的第2杂质区,该第2杂质区设置于上述预定区域内的上述第1半导体元件与上述第1杂质区之间的上述半导体层的上表面内且杂质浓度比上述半导体层的杂质浓度高;

在上述预定区域外的上述半导体层中设置的第2半导体元件;

在上述第1杂质区与上述第2杂质区之间的上述半导体层上设置的第1绝缘膜;

在上述第1绝缘膜上,沿着从上述第1杂质区朝向上述第2杂质区的方向互相分离地设置的多个第1场板;

覆盖上述多个第1场板而设置于上述第1绝缘膜上的第2绝缘膜;

在上述第2绝缘膜上,沿着从上述第1杂质区朝向上述第2杂质区的方向互相分离地设置的多个第2场板;

覆盖上述多个第2场板而设置于上述第2绝缘膜上的第3绝缘膜;
以及

设置于上述第3绝缘膜上的布线,该布线通过上述多个第1场板和上述多个第2场板的上方来电连接上述第1半导体元件与上述第2半导体元件,

上述多个第2场板分别设置于上述多个第1场板间的间隙的上方,

上述多个第2场板中最接近于上述第2杂质区的第2场板在上述布线的下方具有切断部位,

在除了最接近于上述第2杂质区的第1和第2场板外的上述多个第1场板和上述多个第2场板中,至少离上述第2杂质区第2近的第1场板具有位于上述布线的下方的部分,该部分的至少上述第2杂质区一侧的端部与该部分以外的其它部分的该端部相比偏向上述第2杂质区一侧。

11. 一种半导体器件,其特征在于:

具备:

第1导电类型的半导体衬底;

在上述半导体衬底上设置的第2导电类型的外延层;

在上述外延层中划分预定区域的上述第 1 导电类型的第 1 杂质区，该第 1 杂质区从上述外延层的上表面延伸到上述外延层与上述半导体衬底的界面而设置于上述外延层内部；以及

在上述预定区域内的上述外延层中设置的 MOS 晶体管，
上述 MOS 晶体管包含：

上述第 2 导电类型的第 2 杂质区，该第 2 杂质区设置于上述预定区域内的上述外延层的上表面内且杂质浓度比上述外延层的杂质浓度高；以及

电连接到上述第 2 杂质区上的漏电极，

上述半导体器件在上述外延层中还具备上述第 2 导电类型的扩散区，该扩散区至少设置于上述第 1 杂质区与上述第 2 杂质区之间的上述外延层的上表面内且杂质浓度比上述外延层的杂质浓度高。

12. 如权利要求 11 中所述的半导体器件，其特征在于：

还具备：

在上述预定区域外的上述外延层中设置的半导体元件；以及

通过上述第 1 杂质区的上方来电连接上述漏电极与上述半导体元件的布线，

上述第 1 杂质区与上述第 2 杂质区之间的上述外延层在上述布线的下方具备从上述扩散区露出的露出部分。

13. 一种半导体器件，其特征在于：

具备：

第 1 导电类型的半导体衬底；

在上述半导体衬底上设置的第 2 导电类型的外延层；

在上述外延层中划分预定区域的上述第 1 导电类型的第 1 杂质区，该第 1 杂质区从上述外延层的上表面延伸到上述外延层与上述半导体衬底的界面而设置于上述外延层内部；

在上述预定区域内的上述外延层中设置的第 1 半导体元件；

上述第 2 导电类型的第 2 杂质区，该第 2 杂质区设置于上述预定区域内的上述第 1 半导体元件与上述第 1 杂质区之间的上述外延层的

上表面内且杂质浓度比上述外延层的杂质浓度高；以及

上述外延层中的上述第2导电类型的扩散区，该扩散区至少设置于上述第1杂质区与上述第2杂质区之间的上述外延层的上表面内且杂质浓度比上述外延层的杂质浓度高。

14. 如权利要求13中所述的半导体器件，其特征在于：

还具备：

在上述预定区域外的上述外延层中设置的第2半导体元件；以及通过上述第1杂质区的上方来电连接上述第1半导体元件与上述第2半导体元件的布线，

上述第1杂质区与上述第2杂质区之间的上述外延层在上述布线的下方具备从上述扩散区露出的露出部分。

半导体器件

技术领域

本发明涉及半导体器件，特别是涉及高耐压 IC（以后称为「HVIC」）。

背景技术

迄今为止提出了利用 RESURF（REduced SURface Field（减少的表面场））效应以实现 HVIC 的技术。例如在专利文献 1 中记载的技术中，利用 RESURF 效应实现了将低电位的信号电平变换为高电位的电平移动电路的高耐压化。

再有，关于 RESURF 效应，例如已在专利文献 2 中进行了记载，关于 HVIC，已在专利文献 3、4 中公开了。此外，在专利文献 5 中公开了以多重方式形成与周围绝缘的场板、利用这些场板之间的电容耦合使半导体衬底表面的电场稳定化的技术。

【专利文献 1】日本专利申请公开特开平 9-283716 号公报

【专利文献 2】美国专利第 4292642 号说明书

【专利文献 3】日本专利申请公开特开平 9-55498 号公报

【专利文献 4】日本专利申请公开特开平 2-248078 号公报

【专利文献 5】日本专利申请公开特开平 5-190693 号公报

在现有的 HVIC 中，由于在半导体衬底的上方配置被施加几百 V 的高电位的布线，故因这样的布线的电位的影响，有时发生电场部分地集中、半导体器件的耐压下降的现象。因此，有时不能得到具有所希望的耐压的半导体器件。

此外，在利用 RESURF 效应使耐压提高时，在通常使用的外延层中杂质浓度和厚度容易发生离散，不能满足 RESURF 条件，有时不能得到所希望的耐压的半导体器件。

发明内容

本发明是鉴于上述的问题而进行的，其目的在于提供能容易地得到所希望的耐压的半导体器件。

本发明的第1半导体器件具备：第1导电类型的半导体衬底；在上述半导体衬底上设置的第2导电类型的半导体层；在上述半导体层中划分预定区域的上述第1导电类型的第1杂质区，该第1杂质区从上述半导体层的上表面延伸到上述半导体层与上述半导体衬底的界面而设置于上述半导体层内部；在上述预定区域外的上述半导体层中设置的半导体元件；以及在上述预定区域内的上述半导体层中设置的MOS晶体管，上述MOS晶体管包含：上述第2导电类型的第2杂质区，该第2杂质区设置于上述预定区域内的上述半导体层的上表面内且杂质浓度比上述半导体层的杂质浓度高；以及电连接到上述第2杂质区上的漏电极，上述半导体器件还具备：在上述第1杂质区与上述第2杂质区之间的上述半导体层上设置的第1绝缘膜；在上述第1绝缘膜上，沿着从上述第1杂质区朝向上述第2杂质区的方向互相分离地设置的多个第1场板；覆盖上述多个第1场板而设置于上述第1绝缘膜上的第2绝缘膜；在上述第2绝缘膜上，沿着从上述第1杂质区朝向上述第2杂质区的方向互相分离地设置的多个第2场板；覆盖上述多个第2场板而设置于上述第2绝缘膜上的第3绝缘膜；以及设置于上述第3绝缘膜上的布线，该布线通过上述多个第1场板和上述多个第2场板的上方来电连接上述漏电极与上述半导体元件，上述多个第1场板中最接近于上述第1杂质区的第1场板是上述MOS晶体管的栅电极，上述多个第2场板分别设置于上述多个第1场板间的间隙的上方，上述多个第2场板中最接近于上述栅电极的第2场板在上述布线的下方具有切断部位，在上述多个第1场板间的间隙内，在位于上述切断部位的下方的间隙中与上述多个第1场板分离地设置了电极。

本发明的第2半导体器件具备：第1导电类型的半导体衬底；在

上述半导体衬底上设置的第2导电类型的半导体层；在上述半导体层中划分预定区域的上述第1导电类型的第1杂质区，该第1杂质区从上述半导体层的上表面延伸到上述半导体层与上述半导体衬底的界面而设置于上述半导体层内部；在上述预定区域内的上述半导体层中设置的第1半导体元件；上述第2导电类型的第2杂质区，该第2杂质区设置于上述预定区域内的上述第1半导体元件与上述第1杂质区之间的上述半导体层的上表面内且杂质浓度比上述半导体层的杂质浓度高；在上述预定区域外的上述半导体层中设置的第2半导体元件；在上述第1杂质区与上述第2杂质区之间的上述半导体层上设置的第1绝缘膜；在上述第1绝缘膜上，沿着从上述第1杂质区朝向上述第2杂质区的方向互相分离地设置的多个第1场板；覆盖上述多个第1场板而设置于上述第1绝缘膜上的第2绝缘膜；在上述第2绝缘膜上，沿着从上述第1杂质区朝向上述第2杂质区的方向互相分离地设置的多个第2场板；覆盖上述多个第2场板而设置于上述第2绝缘膜上的第3绝缘膜；以及设置于上述第3绝缘膜上的布线，该布线通过上述多个第1场板和上述多个第2场板的上方来电连接上述第1半导体元件与上述第2半导体元件，上述多个第2场板分别设置于上述多个第1场板间的间隙的上方，上述多个第2场板中最接近于上述第1杂质区的第2场板在上述布线的下方具有切断部位，在上述多个第1场板间的间隙内，在位于上述切断部位的下方的间隙中与上述多个第1场板分离地设置了电极。

本发明的第3半导体器件具备：第1导电类型的半导体衬底；在上述半导体衬底上设置的第2导电类型的半导体层；在上述半导体层中划分预定区域的上述第2导电类型的第1杂质区，该第1杂质区设置于上述半导体层的上表面内且杂质浓度比上述半导体层的杂质浓度高；从上述预定区域内的上述半导体层的上表面延伸到上述半导体层与上述半导体衬底的界面而设置于上述半导体层内部的上述第1导电类型的第2杂质区；在上述预定区域外的上述半导体层中设置的半导体元件；以及在上述预定区域内的上述半导体层中设置的 MOS 晶体

管,上述 MOS 晶体管包含:上述第 1 导电类型的第 3 杂质区,该第 3 杂质区设置于上述预定区域内的上述第 1 杂质区与上述第 2 杂质区之间的上述半导体层的上表面内;以及电连接到上述第 3 杂质区上的漏电极,上述半导体器件还具备:在上述第 1 杂质区与上述第 3 杂质区之间的上述半导体层上设置的第 1 绝缘膜;在上述第 1 绝缘膜上,沿着从上述第 1 杂质区朝向上述第 3 杂质区的方向互相分离地设置的多个第 1 场板;覆盖上述多个第 1 场板而设置于上述第 1 绝缘膜上的第 2 绝缘膜;在上述第 2 绝缘膜上,沿着从上述第 1 杂质区朝向上述第 3 杂质区的方向互相分离地设置的多个第 2 场板;覆盖上述多个第 2 场板而设置于上述第 2 绝缘膜上的第 3 绝缘膜;以及设置于上述第 3 绝缘膜上的布线,该布线通过上述多个第 1 场板和上述多个第 2 场板的上方来电连接上述漏电极与上述半导体元件,上述多个第 1 场板中最接近于上述第 1 杂质区的第 1 场板是上述 MOS 晶体管的栅电极,上述多个第 2 场板分别设置于上述多个第 1 场板间的间隙的上方,上述多个第 2 场板中最接近于上述栅电极的第 2 场板在上述布线的下方具有切断部位,在上述多个第 1 场板间的间隙内,在位于上述切断部位的下方的间隙中与上述多个第 1 场板分离地设置了电极。

本发明的第 4 半导体器件具备:第 1 导电类型的半导体衬底;在上述半导体衬底上设置的第 2 导电类型的半导体层;在上述半导体层中划分预定区域的上述第 1 导电类型的第 1 杂质区,该第 1 杂质区从上述半导体层的上表面延伸到上述半导体层与上述半导体衬底的界面而设置于上述半导体层内部;在上述预定区域内的上述半导体层中设置的第 1 半导体元件;上述第 2 导电类型的第 2 杂质区,该第 2 杂质区设置于上述预定区域内的上述第 1 半导体元件与上述第 1 杂质区之间的上述半导体层的上表面内且杂质浓度比上述半导体层的杂质浓度高;在上述预定区域外的上述半导体层中设置的第 2 半导体元件;在上述第 1 杂质区与上述第 2 杂质区之间的上述半导体层上设置的第 1 绝缘膜;在上述第 1 绝缘膜上,沿着从上述第 1 杂质区朝向上述第 2 杂质区的方向互相分离地设置的多个第 1 场板;覆盖上述多个第 1 场

板而设置于上述第1绝缘膜上的第2绝缘膜；在上述第2绝缘膜上，沿着从上述第1杂质区朝向上述第2杂质区的方向互相分离地设置的多个第2场板；覆盖上述多个第2场板而设置于上述第2绝缘膜上的第3绝缘膜；以及设置于上述第3绝缘膜上的布线，该布线通过上述多个第1场板和上述多个第2场板的上方来电连接上述第1半导体元件与上述第2半导体元件，上述多个第2场板分别设置于上述多个第1场板间的间隙的上方，上述多个第2场板中最接近于上述第2杂质区的第2场板在上述布线的下方具有切断部位，在上述多个第1场板间的间隙内，在位于上述切断部位的下方的间隙中与上述多个第1场板分离地设置了电极。

本发明的第5半导体器件具备：第1导电类型的半导体衬底；在上述半导体衬底上设置的第2导电类型的半导体层；在上述半导体层中划分预定区域的上述第1导电类型的第1杂质区，该第1杂质区从上述半导体层的上表面延伸到上述半导体层与上述半导体衬底的界面而设置于上述半导体层内部；在上述预定区域外的上述半导体层中设置的半导体元件；以及在上述预定区域内的上述半导体层中设置的MOS晶体管，上述MOS晶体管包含：上述第2导电类型的第2杂质区，该第2杂质区设置于上述预定区域内的上述半导体层的上表面内且杂质浓度比上述半导体层的杂质浓度高；以及电连接到上述第2杂质区上的漏电极，上述半导体器件还具备：在上述第1杂质区与上述第2杂质区之间的上述半导体层上设置的第1绝缘膜；在上述第1绝缘膜上，沿着从上述第1杂质区朝向上述第2杂质区的方向互相分离地设置的多个第1场板；覆盖上述多个第1场板而设置于上述第1绝缘膜上的第2绝缘膜；在上述第2绝缘膜上，沿着从上述第1杂质区朝向上述第2杂质区的方向互相分离地设置的多个第2场板；覆盖上述多个第2场板而设置于上述第2绝缘膜上的第3绝缘膜；以及设置于上述第3绝缘膜上的布线，该布线通过上述多个第1场板和上述多个第2场板的上方来电连接上述漏电极与上述半导体元件，上述多个第1场板中最接近于上述第1杂质区的第1场板是上述MOS晶体管

的栅电极，上述多个第2场板分别设置于上述多个第1场板间的间隙的上方，上述多个第2场板中最接近于上述栅电极的第2场板在上述布线的下方具有切断部位，在除了上述栅电极和最接近于上述栅电极的第2场板外的上述多个第1场板和上述多个第2场板中，至少位于上述栅电极邻近的第1场板具有位于上述布线的下方的部分，该部分的至少上述栅电极一侧的端部与该部分以外的其它部分的该端部相比偏向上述栅电极一侧。

本发明的第6半导体器件具备：第1导电类型的半导体衬底；在上述半导体衬底上设置的第2导电类型的半导体层；在上述半导体层中划分预定区域的上述第1导电类型的第1杂质区，该第1杂质区从上述半导体层的上表面延伸到上述半导体层与上述半导体衬底的界面而设置于上述半导体层内部；在上述预定区域内的上述半导体层中设置的第1半导体元件；上述第2导电类型的第2杂质区，该第2杂质区设置于上述预定区域内的上述第1半导体元件与上述第1杂质区之间的上述半导体层的上表面内且杂质浓度比上述半导体层的杂质浓度高；在上述预定区域外的上述半导体层中设置的第2半导体元件；在上述第1杂质区与上述第2杂质区之间的上述半导体层上设置的第1绝缘膜；在上述第1绝缘膜上，沿着从上述第1杂质区朝向上述第2杂质区的方向互相分离地设置的多个第1场板；覆盖上述多个第1场板而设置于上述第1绝缘膜上的第2绝缘膜；在上述第2绝缘膜上，沿着从上述第1杂质区朝向上述第2杂质区的方向互相分离地设置的多个第2场板；覆盖上述多个第2场板而设置于上述第2绝缘膜上的第3绝缘膜；以及设置于上述第3绝缘膜上的布线，该布线通过上述多个第1场板和上述多个第2场板的上方来电连接上述第1半导体元件与上述第2半导体元件，上述多个第2场板分别设置于上述多个第1场板间的间隙的上方，上述多个第2场板中最接近于上述第1杂质区的第2场板在上述布线的下方具有切断部位，在除了最接近于上述第1杂质区的第1和第2场板外的上述多个第1场板和上述多个第2场板中，至少离上述第1杂质区第2近的第1场板具有位于上述布线

的下方的部分，该部分的至少上述第1杂质区一侧的端部与该部分以外的其它部分的该端部相比偏向上述第1杂质区一侧。

本发明的第7半导体器件具备：第1导电类型的半导体衬底；在上述半导体衬底上设置的第2导电类型的半导体层；在上述半导体层中划分预定区域的上述第2导电类型的第1杂质区，该第1杂质区设置于上述半导体层的上表面内且杂质浓度比上述半导体层的杂质浓度高；从上述预定区域内的上述半导体层的上表面延伸到上述半导体层与上述半导体衬底的界面而设置于上述半导体层内部的上述第1导电类型的第2杂质区；在上述预定区域外的上述半导体层中设置的半导体元件；以及在上述预定区域内的上述半导体层中设置的MOS晶体管，上述MOS晶体管包含：上述第1导电类型的第3杂质区，该第3杂质区设置于上述预定区域内的上述第1杂质区与上述第2杂质区之间的上述半导体层的上表面内；以及电连接到上述第3杂质区上的漏电极，上述半导体器件还具备：在上述第1杂质区与上述第3杂质区之间的上述半导体层上设置的第1绝缘膜；在上述第1绝缘膜上，沿着从上述第1杂质区朝向上述第3杂质区的方向互相分离地设置的多个第1场板；覆盖上述多个第1场板而设置于上述第1绝缘膜上的第2绝缘膜；在上述第2绝缘膜上，沿着从上述第1杂质区朝向上述第3杂质区的方向互相分离地设置的多个第2场板；覆盖上述多个第2场板而设置于上述第2绝缘膜上的第3绝缘膜；以及设置于上述第3绝缘膜上的布线，该布线通过上述多个第1场板和上述多个第2场板的上方来电连接上述漏电极与上述半导体元件，上述多个第1场板中最接近于上述第1杂质区的第1场板是上述MOS晶体管的栅电极，上述多个第2场板分别设置于上述多个第1场板间的间隙的上方，上述多个第2场板中最接近于上述栅电极的第2场板在上述布线的下方具有切断部位，在除了上述栅电极和最接近于上述栅电极的第2场板外的上述多个第1场板和上述多个第2场板中，至少位于上述栅电极邻近的第1场板具有位于上述布线的下方的部分，该部分的至少上述栅电极一侧的端部与该部分以外的其它部分的该端部相比偏向上述栅电

极一侧。

本发明的第8半导体器件具备：第1导电类型的半导体衬底；在上述半导体衬底上设置的第2导电类型的半导体层；在上述半导体层中划分预定区域的上述第1导电类型的第1杂质区，该第1杂质区从上述半导体层的上表面延伸到上述半导体层与上述半导体衬底的界面而设置于上述半导体层内部；在上述预定区域内的上述半导体层中设置的第1半导体元件；上述第2导电类型的第2杂质区，该第2杂质区设置于上述预定区域内的上述第1半导体元件与上述第1杂质区之间的上述半导体层的上表面内且杂质浓度比上述半导体层的杂质浓度高；在上述预定区域外的上述半导体层中设置的第2半导体元件；在上述第1杂质区与上述第2杂质区之间的上述半导体层上设置的第1绝缘膜；在上述第1绝缘膜上，沿着从上述第1杂质区朝向上述第2杂质区的方向互相分离地设置的多个第1场板；覆盖上述多个第1场板而设置于上述第1绝缘膜上的第2绝缘膜；在上述第2绝缘膜上，沿着从上述第1杂质区朝向上述第2杂质区的方向互相分离地设置的多个第2场板；覆盖上述多个第2场板而设置于上述第2绝缘膜上的第3绝缘膜；以及设置于上述第3绝缘膜上的布线，该布线通过上述多个第1场板和上述多个第2场板的上方来电连接上述第1半导体元件与上述第2半导体元件，上述多个第2场板分别设置于上述多个第1场板间的间隙的上方，上述多个第2场板中最接近于上述第2杂质区的第2场板在上述布线的下方具有切断部位，在除了最接近于上述第2杂质区的第1和第2场板外的上述多个第1场板和上述多个第2场板中，至少离上述第2杂质区第2近的第1场板具有位于上述布线的下方的部分，该部分的至少上述第2杂质区一侧的端部与该部分以外的其它部分的该端部相比偏向上述第2杂质区一侧。

本发明的第9半导体器件具备：第1导电类型的半导体衬底；在上述半导体衬底上设置的第2导电类型的外延层；在上述外延层中划分预定区域的上述第1导电类型的第1杂质区，该第1杂质区从上述外延层的上表面延伸到上述外延层与上述半导体衬底的界面而设置于

上述外延层内部;以及在上述预定区域内的上述外延层中设置的 MOS 晶体管,上述 MOS 晶体管包含:上述第 2 导电类型的第 2 杂质区,该第 2 杂质区设置于上述预定区域内的上述外延层的上表面内且杂质浓度比上述外延层的杂质浓度高;以及电连接到上述第 2 杂质区上的漏电极,上述半导体器件在上述外延层中还具备上述第 2 导电类型的扩散区,该扩散区至少设置于上述第 1 杂质区与上述第 2 杂质区之间的上述外延层的上表面内且杂质浓度比上述外延层的杂质浓度高。

本发明的第 10 半导体器件具备:第 1 导电类型的半导体衬底;在上述半导体衬底上设置的第 2 导电类型的外延层;在上述外延层中划分预定区域的上述第 1 导电类型的第 1 杂质区,该第 1 杂质区从上述外延层的上表面延伸到上述外延层与上述半导体衬底的界面而设置于上述外延层内部;在上述预定区域内的上述外延层中设置的第 1 半导体元件;上述第 2 导电类型的第 2 杂质区,该第 2 杂质区设置于上述预定区域内的上述第 1 半导体元件与上述第 1 杂质区之间的上述外延层的上表面内且杂质浓度比上述外延层的杂质浓度高;以及上述外延层中的上述第 2 导电类型的扩散区,该扩散区至少设置于上述第 1 杂质区与上述第 2 杂质区之间的上述外延层的上表面内且杂质浓度比上述外延层的杂质浓度高。

按照本发明的第 1 半导体器件,如果对预定区域内的半导体层施加比第 1 杂质区高的电位,则对用第 1 杂质区和该半导体层形成的 pn 结施加反电压,用耗尽层覆盖被形成了 MOS 晶体管的半导体层。其结果,器件的耐压提高了。

此外,如果对第 2 杂质区和布线施加比栅电极高的电位,则利用静电耦合在最接近于栅电极的第 2 场板与布线之间产生电位差。在本发明中,由于最接近于栅电极的第 2 场板在布线的下方具备切断部位,故可防止基于该第 2 场板与布线的电位差的第 3 绝缘膜的绝缘破坏。

再者,在本发明中,在最接近于栅电极的第 2 场板具有的切断部位的下方在第 1 场板间的间隙中与其分离地配置了电极。因此,即使在最接近于栅电极的第 2 场板中设置了切断部位,因利用该电极的第

1 场板与半导体层的静电耦合在该电极与第 1 场板之间能形成等电位面和该电极的静电屏蔽效应的缘故,也可缓和基于布线电位的半导体层上表面附近的电场集中。其结果,可容易地得到具有所希望的耐压的半导体器件。

此外,按照本发明的第 2 半导体器件,如果对预定区域内的半导体层施加比第 1 杂质区高的电位,则对用第 1 杂质区和该半导体层形成的 pn 结施加反电压,在半导体层中形成耗尽层。其结果,第 1 半导体元件被耗尽层包围,器件的耐压提高了。

此外,如果对第 2 杂质区和布线施加比第 1 杂质区高的电位,则利用静电耦合在最接近于第 1 杂质区的第 2 场板与布线之间产生电位差。在本发明中,由于最接近于第 1 杂质区的第 2 场板在布线的下方具备切断部位,故可防止基于该第 2 场板与布线的电位差的第 3 绝缘膜的绝缘破坏。

再者,在本发明中,在最接近于第 1 杂质区的第 2 场板具有的切断部位的下方在第 1 场板间的间隙中与其分离地配置了电极。因此,即使在最接近于第 1 杂质区的第 2 场板中设置了切断部位,因利用该电极的第 1 场板与半导体层的静电耦合在该电极与第 1 场板之间能形成等电位面和该电极的静电屏蔽效应的缘故,也可缓和基于布线电位的半导体层上表面附近的电场集中。其结果,可容易地得到具有所希望的耐压的半导体器件。

此外,按照本发明的第 3 半导体器件,如果对预定区域内的半导体层施加比第 2 杂质区高的电位,则对用第 2 杂质区和该半导体层形成的 pn 结施加反电压,在半导体层中形成耗尽层。其结果,用耗尽层覆盖被形成了 MOS 晶体管的半导体层。器件的耐压提高了。

此外,如果对栅电极施加比第 3 杂质区和布线高的电位,则利用静电耦合在最接近于栅电极的第 2 场板与布线之间产生电位差。在本发明中,由于最接近于栅电极的第 2 场板在布线的下方具备切断部位,故可防止基于该第 2 场板与布线的电位差的第 3 绝缘膜的绝缘破坏。

再者,在本发明中,在最接近于栅电极的第 2 场板具有的切断部

位的下方在第1场板间的间隙中与其分离地配置了电极。因此,即使在最接近于栅电极的第2场板中设置了切断部位,因利用该电极的第1场板与半导体层的静电耦合在该电极与第1场板之间能形成等电位面和该电极的静电屏蔽效应的缘故,也可缓和基于布线电位的半导体层上表面附近的电场集中。其结果,可容易地得到具有所希望的耐压的半导体器件。

此外,按照本发明的第4半导体器件,如果对预定区域内的半导体层施加比第1杂质区高的电位,则对用第1杂质区和该半导体层形成的pn结施加反电压,在半导体层中形成耗尽层。其结果,第1半导体元件被耗尽层包围,器件的耐压提高了。

此外,如果对第2杂质区施加比第1杂质区和布线高的电位,则利用静电耦合在最接近于第2杂质区的第2场板与布线之间产生电位差。在本发明中,由于最接近于第2杂质区的第2场板在布线的下方具备切断部位,故可防止基于该第2场板与布线的电位差的第3绝缘膜的绝缘破坏。

再者,在本发明中,在最接近于第2杂质区的第2场板具有的切断部位的下方在第1场板间的间隙中与其分离地配置了电极。因此,即使在最接近于第2杂质区的第2场板中设置了切断部位,因利用该电极的第1场板与半导体层的静电耦合在该电极与第1场板之间能形成等电位面和该电极的静电屏蔽效应的缘故,也可缓和基于布线电位的半导体层上表面附近的电场集中。其结果,可容易地得到具有所希望的耐压的半导体器件。

此外,按照本发明的第5半导体器件,如果对预定区域内的半导体层施加比第1杂质区高的电位,则对用第1杂质区和该半导体层形成的pn结施加反电压,用耗尽层覆盖被形成了MOS晶体管的半导体层。器件的耐压提高了。

此外,如果对第2杂质区和布线施加比栅电极高的电位,则利用静电耦合在最接近于栅电极的第2场板与布线之间产生电位差。在本发明中,由于最接近于栅电极的第2场板在布线的下方具备切断部位,

故可防止基于该第2场板与布线的电位差的第3绝缘膜的绝缘破坏。

此外，在本发明中，在至少位于栅电极的邻近的第1场板中，位于布线的下方的部分的至少栅电极一侧的端部与位于除此以外的部分的该端部相比偏向栅电极一侧。因此，在布线的下方，栅电极与位于其邻近的第1场板之间的间隙变小。其结果，如果对第2杂质区和布线施加比栅电极高的电位，则栅电极与位于其邻近的第1场板之间的间隙的下方的半导体层的上表面容易受到位于栅电极的邻近的比较低电位的第1场板的电位的影响，减少了比较高的电位的布线的电位的影响，在该半导体层中耗尽层容易扩展。因而，缓和了因在最接近于栅电极的第2场板中设置了切断部位导致的电场集中，其结果，可容易地得到具有所希望的耐压的半导体器件。

此外，按照本发明的第6半导体器件，如果对预定区域内的半导体层施加比第1杂质区高的电位，则对用第1杂质区和该半导体层形成的pn结施加反电压，在半导体层中形成耗尽层。其结果，第1半导体元件被耗尽层包围，器件的耐压提高了。

此外，如果对第2杂质区和布线施加比第1杂质区高的电位，则利用静电耦合在最接近于第1杂质区的第2场板与布线之间产生电位差。在本发明中，由于最接近于第1杂质区的第2场板在布线的下方具备切断部位，故可防止基于该第2场板与布线的电位差的第3绝缘膜的绝缘破坏。

再者，在本发明中，至少在第1杂质区中接近于第2个的第1场板中，位于布线的下方的部分的至少第1杂质区一侧的端部与位于除此以外的部分的该端部相比偏向第1杂质区一侧。因此，在布线的下方，最接近于第1杂质区的第1场板与接近于第2个的第1场板之间的间隙变小。其结果，如果对第2杂质区和布线施加比第1杂质区高的电位，则最接近于第1杂质区的第1场板与接近于第2个的第1场板之间的间隙的下方的半导体层的上表面容易受到比较低电位的该接近于第2个的第1场板的电位的影响，减少了比较高的电位的布线的电位的影响，在该半导体层中耗尽层容易扩展。因而，缓和了因在

最接近于第1杂质区的第2场板中设置了切断部位导致的电场集中，其结果，可容易地得到具有所希望的耐压的半导体器件。

此外，按照本发明的第7半导体器件，如果对预定区域内的半导体层施加比第2杂质区高的电位，则对用第2杂质区和该半导体层形成的pn结施加反电压，用耗尽层覆盖被形成了MOS晶体管的半导体层。器件的耐压提高了。

此外，如果对栅电极施加比第3杂质区和布线高的电位，则利用静电耦合在最接近于栅电极的第2场板与布线之间产生电位差。在本发明中，由于最接近于栅电极的第2场板在布线的下方具备切断部位，故可防止基于该第2场板与布线的电位差的第3绝缘膜的绝缘破坏。

再者，在本发明中，在至少位于栅电极的邻近的第1场板中，位于布线的下方的部分的至少栅电极一侧的端部与位于除此以外的部分的该端部相比偏向栅电极一侧。因此，在布线的下方，栅电极与位于其邻近的第1场板之间的间隙变小。其结果，如果对栅电极施加比第3杂质区和布线高的电位，则栅电极与位于其邻近的第1场板之间的间隙的下方的半导体层的上表面容易受到位于栅电极的邻近的比较高的电位的第1场板的电位的影响，减少了比较低的电位的布线的电位的影响，在该半导体层中耗尽层的扩展被抑制。因而，缓和了因在最接近于栅电极的第2场板中设置了切断部位导致的电场集中，其结果，可容易地得到具有所希望的耐压的半导体器件。

此外，按照本发明的第8半导体器件，如果对预定区域内的半导体层施加比第1杂质区高的电位，则对用第1杂质区和该半导体层形成的pn结施加反电压，在半导体层中形成耗尽层。其结果，第1半导体元件被耗尽层包围，器件的耐压提高了。

此外，如果对第2杂质区施加比第1杂质区和布线高的电位，则利用静电耦合在最接近于第2杂质区的第2场板与布线之间产生电位差。在本发明中，由于最接近于第2杂质区的第2场板在布线的下方具备切断部位，故可防止基于该第2场板与布线的电位差的第3绝缘膜的绝缘破坏。

再者,在本发明中,至少在第2杂质区中接近于第2个的第1场板中,位于布线的下方的部分的至少第2杂质区一侧的端部与位于除此以外的部分的该端部相比偏向第2杂质区一侧。因而,在布线的下方,最接近于第2杂质区的第1场板与接近于第2个的第1场板之间的间隙变小。其结果,如果对第2杂质区施加比第1杂质区和布线高的电位,则最接近于第2杂质区的第1场板与接近于第2个的第1场板之间的间隙的下方的半导体层的上表面容易受到比较高的电位的该接近于第2个的第1场板的电位的影响,减少了比较低的电位的布线的电位的影响,在该半导体层中耗尽层的扩展被抑制。因而,缓和了因在最接近于第2杂质区的第2场板中设置了切断部位导致的电场集中,其结果,可容易地得到具有所希望的耐压的半导体器件。

此外,按照本发明的第9和第10半导体器件,在预定区域内的外延层的上表面内形成了其杂质浓度比外延层的杂质浓度高的扩散区。通常,由于与外延层相比可高精度地控制扩散区的杂质浓度和厚度,故该杂质浓度(单位: cm^{-3})和厚度(单位: cm)的积容易满足 RESURF 条件 ($\cong 1.0 \times 10^{12} \text{cm}^{-2}$)。因而,能在预定区域内可靠地形成耗尽层,可容易地得到所希望的耐压的半导体器件。

附图说明

图1是示出与本发明的实施例1有关的半导体器件的结构的框图。

图2是示出与本发明的实施例1有关的半导体器件的结构的平面图。

图3是示出与本发明的实施例1有关的半导体器件的结构的剖面图。

图4是示出与本发明的实施例1有关的半导体器件的结构的剖面图。

图5是示出与本发明的实施例1有关的半导体器件的结构的剖面图。

图 6 是示出与本发明的实施例 1 有关的半导体器件中的电位分布的图。

图 7 是示出与本发明的实施例 1 有关的半导体器件中的电位分布的图。

图 8 是示出现有的半导体器件中的电位分布的图。

图 9 是示出现有的半导体器件中的电位分布的图。

图 10 是示出现有的半导体器件中的电位分布的图。

图 11 是示出与本发明的实施例 1 有关的半导体器件的绝缘耐压的实测值的图。

图 12 是示出与本发明的实施例 2 有关的半导体器件的结构的平面图。

图 13 是示出与本发明的实施例 2 有关的半导体器件的结构的剖面图。

图 14 是示出与本发明的实施例 2 有关的半导体器件的结构的剖面图。

图 15 是示出与本发明的实施例 2 有关的半导体器件的结构的剖面图。

图 16 是示出与本发明的实施例 3 有关的半导体器件的结构的框图。

图 17 是示出与本发明的实施例 3 有关的半导体器件的结构的平面图。

图 18 是示出与本发明的实施例 3 有关的半导体器件的结构的剖面图。

图 19 是示出与本发明的实施例 3 有关的半导体器件的结构的剖面图。

图 20 是示出与本发明的实施例 3 有关的半导体器件的结构的剖面图。

图 21 是示出与本发明的实施例 3 有关的半导体器件中的电位分布的图。

图 22 是示出与本发明的实施例 3 有关的半导体器件中的电位分布的图。

图 23 是示出现有的半导体器件中的电位分布的图。

图 24 是示出与本发明的实施例 3 有关的半导体器件的结构的剖面图。

图 25 是示出与本发明的实施例 4 有关的半导体器件的结构的平面图。

图 26 是示出与本发明的实施例 4 有关的半导体器件的结构的剖面图。

图 27 是示出与本发明的实施例 4 有关的半导体器件的结构的剖面图。

图 28 是示出与本发明的实施例 4 有关的半导体器件中的电位分布的图。

图 29 是示出与本发明的实施例 4 有关的半导体器件中的电位分布的图。

图 30 是示出与本发明的实施例 4 有关的半导体器件的结构的剖面图。

图 31 是示出与本发明的实施例 4 有关的半导体器件的结构的剖面图。

图 32 是示出与本发明的实施例 5 有关的半导体器件的结构的剖面图。

图 33 是示出与本发明的实施例 5 有关的半导体器件的结构的剖面图。

图 34 是示出与本发明的实施例 5 有关的半导体器件的结构的剖面图。

图 35 是示出与本发明的实施例 5 有关的半导体器件的结构的剖面图。

图 36 是示出与本发明的实施例 6 有关的半导体器件的结构的剖面图。

图 37 是按工序顺序示出与本发明的实施例 6 有关的半导体器件的制造方法的剖面图。

图 38 是按工序顺序示出与本发明的实施例 6 有关的半导体器件的制造方法的剖面图。

图 39 是按工序顺序示出与本发明的实施例 6 有关的半导体器件的制造方法的剖面图。

图 40 是按工序顺序示出与本发明的实施例 6 有关的半导体器件的制造方法的剖面图。

图 41 是按工序顺序示出与本发明的实施例 6 有关的半导体器件的制造方法的剖面图。

图 42 是按工序顺序示出与本发明的实施例 6 有关的半导体器件的制造方法的剖面图。

图 43 是示出与本发明的实施例 7 有关的半导体器件的结构的面图。

图 44 是示出与本发明的实施例 8 有关的半导体器件的结构的面图。

图 45 是示出与本发明的实施例 9 有关的半导体器件的结构的面图。

图 46 是示出与本发明的实施例 10 有关的半导体器件的结构的面图。

具体实施方式

实施例 1

图 1 是示出与本发明的实施例 1 有关的半导体器件的结构框图。与本实施例 1 有关的半导体器件是利用 RESURF 效应实现了高耐压的 HVIC，如图 1 中所示，具备低电位逻辑电路 100、高电位逻辑电路 101、n 沟道型的 MOS 晶体管 102 和电阻 103。

低电位逻辑电路 100 是将几十 V 的比较低电位的电位 VL 作为正电源工作的逻辑电路，被施加接地电位作为负电源。此外，高电位

逻辑电路 101 是将几百 V 的比较高的电位的电位 V_H 作为正电源工作的逻辑电路，也被施加几百 V 作为负电源，高电位逻辑电路 101 的正电源与负电源的电位差为几十 V。

MOS 晶体管 102 和电阻 103 对从低电位逻辑电路 100 输出的低电位的信号进行电平移动使之成为高电位输入到高电位逻辑电路 101 中。将 MOS 晶体管 102 的栅连接到低电位逻辑电路 100 上，对其源施加接地电位。此外，在 MOS 晶体管 102 的漏上连接了电阻 103 的一端和高电位逻辑电路 101。而且，对电阻 103 的另一端施加电位 V_H 。

在构成以上那样的结构的与本实施例 1 有关的半导体器件中，在 MOS 晶体管 102 为截止状态时，对高电位逻辑电路 101 输入电位 V_H 的高电平信号。而且，如果从低电位逻辑电路 100 输出脉冲状的高电平信号，则 MOS 晶体管 102 成为导通状态，在电阻 103 中流过电流。如果这样的话，则在电阻 103 中产生电压降，MOS 晶体管 102 的漏电位下降，对高电位逻辑电路 101 输入的信号的电平变化。由此，从低电位逻辑电路 100 输出的脉冲信号被变换为与其极性不同的高电位的脉冲信号，被输入到高电位逻辑电路 101 中。因而，高电位逻辑电路 101 可根据从低电位逻辑电路 100 输出的信号工作。

其次，说明与本实施例 1 有关的半导体器件的结构。图 2 是示意性地示出与本实施例 1 有关的半导体器件的结构平面图，图 3~5 分别示出了图 2 中的箭头线 A-A~C-C 中的剖面图。再有，在图 2 中，为了避免图面的繁琐，省略图 3~5 中的绝缘膜 23 的记载，进而只记载了在绝缘膜 21 上形成的场板中的场板 20a、60a。

此外，在以下的说明中，「p」、「p⁺」、「p⁻」、「n」、「n⁺」、「n⁻」这样的记号表示半导体中的杂质的导电类型和杂质浓度。具体地说，这些记号中的「p」、「n」分别表示 p 型的杂质和 n 型的杂质。此外，这些记号中的负符号、无符号、正符号表示杂质浓度，按上述顺序意味着杂质浓度从低到高。

如图 2~5 中所示，在与本实施例 1 有关的半导体器件中，在 p⁻ 半导体衬底 1 上形成了作为 n 型的外延层的 n⁻ 半导体层 2。在 n⁻ 半导

体层2中从其上表面起到与p⁻半导体衬底1的界面形成了p杂质区3。将p杂质区3形成为包围n⁻半导体层2的一部分，在n⁻半导体层2内划分了被配置高电位逻辑电路101和电阻103的高电位岛区201。再者，将p杂质区3形成为包围n⁻半导体层2的另一部分，在n⁻半导体层2内划分了被配置MOS晶体管102的nMOS区202。而且，高电位岛区201和nMOS区202经p杂质区3而邻接。

在高电位岛区201内的n⁻半导体层2中的除了其周边端部外的区域与p⁻半导体衬底1的界面上有选择地形成了n⁺埋入杂质区51。而且，在n⁺埋入杂质区51的上方，在n⁻半导体层2中形成了高电位逻辑电路101。再者，在n⁺埋入杂质区51的上方，在n⁻半导体层2的上表面内形成了起到电阻103的功能的未图示的p⁺杂质区。再有，在高电位逻辑电路101中包含p沟道型的MOS晶体管或n沟道型的MOS晶体管或二极管等的半导体元件。

在高电位岛区201中的n⁻半导体层2的上表面内，避开形成了高电位逻辑电路101的部分在n⁺埋入杂质区51的上方形成了n⁺杂质区52，将该n⁺杂质区52形成为包围高电位逻辑电路101。因而，在p杂质区3与高电位逻辑电路101之间的n⁻半导体层2中形成了n⁺杂质区52。在n⁺杂质区52与p杂质区3之间的n⁻半导体层2的上表面上形成了隔离绝缘膜17，在该隔离绝缘膜17上形成了第1场板55a~55e。沿从p杂质区3朝向n⁺杂质区52的方向互相分离地按顺序配置了第1场板55a~55e，在平面视图上形成为包围高电位逻辑电路101。

第1场板55a也从隔离绝缘膜17朝向p杂质区3延伸，覆盖了该p杂质区3的端部而不与其接触。此外，第1场板55e也从隔离绝缘膜17朝向n⁺杂质区52延伸，覆盖了该n⁺杂质区52的端部而不与其接触。

在第1场板55a~55e中最接近于p杂质区3的第1场板55a与位于其邻近的第1场板55b之间的间隙中配置了与周围绝缘的电极56。在隔离绝缘膜17上与第1场板55a、55b分离地设置了电极56，在平面视图上包围高电位逻辑电路101。

第1场板55a与p杂质区3的上表面静电耦合,第1场板55e与 n^+ 杂质区52的上表面静电耦合。而且,电极56起到场板的功能,通过第1场板55a~55e与电极56相互静电耦合的同时也与 n^- 半导体层2的上表面静电耦合,起到缓和基于p杂质区3与 n^+ 杂质区52之间的电位差的 n^- 半导体层2的上表面的电场的功能。再有,如后述那样,对p杂质区3施加接地电位,对 n^+ 杂质区52施加电位 V_H 。

在nMOS区202的大致中央部分的 n^- 半导体层2的上表面内与p杂质区3分离地设置了与MOS晶体管102的漏电极24电连接的 n^+ 杂质区12。而且,在 n^+ 杂质区12的下方,在 n^- 半导体层2与p半导体衬底1的界面上形成了 n^+ 埋入杂质区11。

在p杂质区3与 n^+ 杂质区12之间的 n^- 半导体层2的上表面内形成了 p^+ 杂质区13,使其包围该 n^+ 杂质区12。而且,在 p^+ 杂质区13的上表面内形成了MOS晶体管102的源区14,将该源区14也设置成包围 n^+ 杂质区12。再有,源区14是 n^+ 杂质区。

在 p^+ 杂质区13与 n^+ 杂质区12之间的 n^- 半导体层2的上表面上形成了隔离绝缘膜17,在该隔离绝缘膜17上形成了MOS晶体管102的栅电极15a和第1场板15b~15e。沿从 p^+ 杂质区13朝向 n^+ 杂质区12的方向互相分离地按顺序配置了栅电极15a和第1场板15b~15e,被形成为在平面视图上包围 n^+ 杂质区12的中央部。

在此,因为在p杂质区3与 n^+ 杂质区12之间的 n^- 半导体层2中设置了 p^+ 杂质区13,故可以说在p杂质区3与 n^+ 杂质区12之间的 n^- 半导体层2的上表面上部分地设置了隔离绝缘膜17。而且,可以说沿从p杂质区3朝向 n^+ 杂质区12的方向互相分离地按顺序配置了该p杂质区3上的栅电极15a和第1场板15b~15e。

栅电极15a也从隔离绝缘膜17朝向 p^+ 杂质区13一方延伸,覆盖了用源区14和 n^- 半导体层2夹住的 p^+ 杂质区13的端部而不与其接触。此外,第1场板15e也从隔离绝缘膜17朝向 n^+ 杂质区12一方延伸,覆盖了 n^+ 杂质区12的端部而不与其接触。再有,栅电极15a覆盖了的、用源区14和 n^- 半导体层2夹住的 p^+ 杂质区13的端部上也存在栅

绝缘膜,但在图面上将该栅绝缘膜包含在后述的绝缘膜 21 中进行了记载。

在栅电极 15a 和第 1 场板 15b ~ 15e 中最接近于 p^+ 杂质区 13 的栅电极 15a、换言之最接近于 p 杂质区 3 的栅电极 15a 与位于其邻近的第 1 场板 15b 之间的间隙中设置了与周围绝缘的电极 16。在隔离绝缘膜 17 上与栅电极 15a 和第 1 场板 15b 分离地设置了电极 16,在平面视图上包围 n^+ 杂质区 12。

第 1 场板 15e 与 n^+ 杂质区 12 的上表面静电耦合。而且,栅电极 15a 和电极 16 起到场板的功能,通过栅电极 15a、第 1 场板 15b ~ 15e 与电极 16 相互静电耦合的同时也与 n^- 半导体层 2 的上表面静电耦合,起到缓和基于电连接到漏电极 24 上的 n^+ 杂质区 12 与源区 14 之间的电位差的 n^- 半导体层 2 的上表面的电场的功能。再有,因为栅电极 15a 也起到场板的功能,故以后将该栅电极 15a 称为「第 1 场板 15a」。

在高电位岛区 201 和 nMOS 区 202 以外的 n^- 半导体层 2 中形成了低电位逻辑电路 100,用 p 杂质区 3 划分了形成了低电位逻辑电路 100 的 n^- 半导体层 2 和高电位岛区 201 以及 nMOS 区 202 中的 n^- 半导体层 2。

在 n^- 半导体层 2 和隔离绝缘膜 17 上覆盖第 1 场板 15a ~ 15e、55a ~ 55e 和电极 16、56 形成了绝缘膜 21。而且,在绝缘膜 21 内贯通地设置了电极 19 和 MOS 晶体管 102 的源电极 18,源电极 18 与 p^+ 杂质区 13 和源区 14 接触,电极 19 与 n^+ 杂质区 12 接触。

在绝缘膜 21 上形成了第 2 场板 20a ~ 20d、60a ~ 60d。在第 1 场板 55a ~ 55e 的上方设置了第 2 场板 60a ~ 60d,沿从 p 杂质区 3 朝向 n^+ 杂质区 52 的方向互相分离地按顺序进行了配置。而且,分别在第 1 场板 55a ~ 55e 之间的间隙的上方配置了第 2 场板 60a ~ 60d。即,在第 1 场板 55a ~ 55e 中的任意的互相邻接的 2 个第 1 场板间的间隙的上方配置了第 2 场板 60a ~ 60d 的某一个。而且,将各第 2 场板 60a ~ 60d 形成为在平面视图上与位于其下方的互相邻接的 2 个第 1 场板的端部重叠。

第2场板60a~60d中的第2场板60b~60d在平面视图上完全包围了高电位逻辑电路101。而且,剩下的第2场板60a在后述的布线30的下方具有切断部位69a,除了该切断部位69a以外在平面视图上大致包围了高电位逻辑电路101。

在第1场板15a~15e的上方设置了第2场板20a~20d,沿从 p^+ 杂质区13朝向 n^+ 杂质区12的方向、换言之从p杂质区3朝向 n^+ 杂质区12的方向互相分离地按顺序进行了配置。而且,分别在第1场板15a~15e之间的间隙的上方配置了第2场板20a~20d。即,在第1场板15a~15e中的任意的互相邻接的2个第1场板间的间隙的上方配置了第2场板20a~20d的某一个。而且,将各第2场板20a~20d形成在平面视图上与位于其下方的互相邻接的2个第1场板的端部重叠。

第2场板20a~20d中的第2场板20b~20d在平面视图上完全包围了 n^+ 杂质区12。而且,剩下的第2场板20a在后述的布线30的下方具有切断部位29a,除了该切断部位29a以外在平面视图上大致包围了 n^+ 杂质区12。

用在绝缘膜21内贯通绝缘膜21设置的接触塞22a电连接了栅电极15a与第2场板20a,用在绝缘膜21内贯通绝缘膜21设置的接触塞22d电连接了第1场板15e与第2场板20d。此外,用在绝缘膜21内贯通绝缘膜21设置的接触塞62a电连接了第1场板55a与第2场板60a,用在绝缘膜21内贯通绝缘膜21设置的接触塞62d电连接了第1场板55e与第2场板60d。

接触塞22a、22d分别沿第2场板20a、20d延伸,在布线30的下方不存在。因而,接触塞22a、22d与第2场板20a同样大致包围 n^+ 杂质区12。此外,接触塞62a、62d分别沿第2场板60a、60d延伸,在布线30的下方不存在。因而,接触塞62a、62d与第2场板60a同样大致包围高电位逻辑电路101。

再有,第1场板15b~15d、55b~55d和第2场板20b、20c、60b、60c是与周围绝缘的浮置电极。此外,第1场板15e和第2场板20d

除了互相被连接了这样的状况以外，是与周围绝缘的浮置电极。同样，第1场板15a和第2场板60a或第1场板55e和第2场板60d除了互相被连接了这样的状况以外，是与周围绝缘的浮置电极。

在绝缘膜21上覆盖源电极18、电极19和第2场板20a~20d、60a~60d形成了绝缘膜23。而且，将MOS晶体管102的漏电极24设置成在绝缘膜23内贯通该绝缘膜23与电极19接触。这样来电连接 n^+ 杂质区12与MOS晶体管102的漏电极24。

在绝缘膜23上形成了电连接漏电极24与高电位逻辑电路101的布线30，由此如图1中所示电连接MOS晶体管102的漏与高电位逻辑电路101。从漏电极24出发的布线30通过第1场板15a~15e和第2场板20a~20d的上方，然后通过处于nMOS区202与高电位岛区201的边界的p杂质区3的上方，通过第1场板55a~55e和第2场板60a~60d的上方到达了高电位逻辑电路101。

第2场板20a~20d中最接近于栅电极15a的第2场板20a，如图2中所示，在布线30的下方具有切断部位29。而且，因为将电极16形成包围 n^+ 杂质区12，故在本实施例1中，在第1场板15a~15e间的间隙中位于该切断部位29的下方的间隙、即布线30的下方中的栅电极15a与第1场板15b之间的间隙中形成了电极16。

此外，第2场板60a~60d中最接近于p杂质区3的第2场板60a，如图2中所示，在布线30的下方具有切断部位69a。而且，因为将电极56形成包围高电位逻辑电路101，故在本实施例1中，在第1场板55a~55e间的间隙中位于该切断部位69a的下方的间隙、即布线30的下方中的第1场板55a、55b之间的间隙中形成了电极56。

在绝缘膜23上也设置了电连接与栅电极15a的电连接的第2场板20a与低电位逻辑电路100的布线31。用贯通绝缘膜23的未图示的接触塞电连接了布线31与第2场板20a。由此，对MOS晶体管102的栅电极15a输入来自低电位逻辑电路100的信号。此外，在绝缘膜23上也设置了电连接在高电位岛区201内的 n^- 半导体层2中形成的起到电阻103的功能的 p^+ 杂质区（未图示）与布线30的未图示的布线，

该布线与贯通绝缘膜 21、23 的、与电阻 103 的功能的 p^+ 杂质区接触而设置的电极（未图示）连接。

再有，例如由多晶硅构成栅电极 15a、第 1 场板 15b ~ 15e、55a ~ 55e 和电极 16、56，例如由铝构成第 2 场板 20a ~ 20d、60a ~ 60d 和布线 30、31。

在与形成以上那样的结构的本实施例 1 有关的半导体器件中，如果对起到电阻 103 的功能的 p^+ 杂质区施加电位 V_H ，则经该 p^+ 杂质区对布线 30 施加几百 V 的电位 V_H 。而且，如果对源电极 18 施加接地电位，从低电位逻辑电路 100 输出几十 V 的高电平的信号，则经布线 31、第 2 场板 20a 和接触塞 22a 对栅电极 15a 供给该信号。由此，MOS 晶体管 102 成为导通状态，在电阻 103 的功能的 p^+ 杂质区中流过电流，在该 p^+ 杂质区中产生电压降。其结果，布线 30 和漏电极 24 的电位也变化，对从低电位逻辑电路 100 输出的低电位的信号进行电平移动使之成为高电位输入到高电位逻辑电路 101 中。

再有，在导通状态的 MOS 晶体管 102 中，电流从漏电极 24 按顺序通过电极 19、 n^+ 杂质区 12、 n^- 半导体层 2、 p^+ 杂质区 13 和源区 14 流到源电极 18。此外，在 MOS 晶体管 102 中，由于在 p^+ 杂质区 13 与 n^+ 杂质区 12 之间的 n^- 半导体层 2 起到电阻的功能，故漏电极 24 的电位只从电位 V_H 减少到几十 V。

此外，在与本实施例 1 有关的半导体器件中，对 p 杂质区 3 和 p^- 半导体衬底 1 施加接地电位，对高电位岛区 201 中的 n^- 半导体层 2、 n^+ 埋入杂质区 51 和 n^+ 杂质区 52 施加电位 V_H 。由此，对用高电位岛区 201 中的 n^- 半导体层 2 和包围该 n^- 半导体层 2 的 p 杂质区 3 构成的 pn 结施加几百 V 的反电压，利用 RESURF 效应在高电位岛区 201 中的 n^- 半导体层 2 的周边端部中形成耗尽层。具体地说，在 p 杂质区 3 与 n^+ 杂质区 52 之间的 n^- 半导体层 2 中到其上表面为止形成耗尽层。其结果，用耗尽层包围高电位逻辑电路 101，可得到高耐压的高电位逻辑电路 101。

此外，如上所述，因为对漏电极 24 施加电位 V_H ，故也对 n^+ 杂

质区 12 施加电位 V_H ，其结果，对 nMOS 区 202 中的 n^- 半导体层 2 施加电位 V_H 。由此，对用 nMOS 区 202 中的 n^- 半导体层 2 和包围该 n^- 半导体层 2 的 p 杂质区 3 构成的 pn 结施加几百 V 的反电压，利用 RESURF 效应在 p 杂质区 3 与 n^+ 杂质区 12 之间的 n^- 半导体层 2 中到其上表面为止形成耗尽层。其结果，在 nMOS 区 202 中的 n^- 半导体层 2 的大致全部区域中形成耗尽层，可得到高耐压的 MOS 晶体管 102。再有，在图 2 中用斜线示出的 RESURF 隔离区 300、301 分别示出了在高电位岛区 201 和 nMOS 区 202 中形成耗尽层的区域的概略。

在与本实施例 1 有关的半导体器件中，如上所述，对布线 30 施加高电位。因而，如果与本实施例 1 不同，不存在第 1 场板 55a~55e 和第 2 场板 60a~60d，则因布线 30 的电位的缘故，在 p 杂质区 3 与 n^+ 杂质区 52 之间的 n^- 半导体层 2 中耗尽层的扩展被抑制，在 p 杂质区 3 附近的 n^- 半导体层 2 的上表面上存在产生电场集中的可能性。

但是，在本实施例 1 中，通过第 2 场板 60a~60d 与位于其下方的第 1 场板 55a~55e 进行静电耦合，可缓和基于布线 30 的电位的 n^- 半导体层 2 的上表面上的电场集中。即，通过第 2 场板 60a~60d 的每一个与第 1 场板 55a~55e 中位于其下方的互相邻接的 2 个第 1 场板进行静电耦合，可缓和电位岛区 201 内的 n^- 半导体层 2 的上表面上的电场集中。

同样，在本实施例 1 中，通过第 2 场板 20a~20d 与位于其下方的第 1 场板 15a~15e 进行静电耦合，可缓和基于布线 30 的电位的 nMOS 区 202 的上表面上的电场集中。

此外，在本实施例 1 中，由于分别对 p 杂质区 3 和 n^+ 杂质区 52 施加接地电位和电位 V_H ，故最接近于 p 杂质区 3 的第 1 场板 55a 和与其电连接的第 2 场板 60a 的电位受到 p 杂质区 3 的电位的影响而成为接近于接地电位的值。此外，最接近于 n^+ 杂质区 52 的第 1 场板 55e 和与其电连接的第 2 场板 60d 的电位受到 n^+ 杂质区 52 的电位的影响而成为接近于电位 V_H 的值。因而，第 1 场板 55a~55e 和第 2 场板 60a~60d 的电位由于其间的静电耦合的缘故，随着从 p 杂质区 3 接近

于 n^+ 杂质区 52，从接地电位附近的低电位变化到几百 V 的高电位。

此外，在本实施例 1 中，由于对 n^+ 杂质区 12 施加电位 V_H ，故最接近于 n^+ 杂质区 12 的第 1 场板 15e 和与其电连接的第 2 场板 20d 的电位受到 n^+ 杂质区 52 的电位的影响而成为接近于电位 V_H 的值。此外，由于对栅电极 15a 施加几十 V 的低电位，故与其电连接的第 2 场板 20a 的电位也成为几十 V 的低电位。因而，第 1 场板 15a ~ 15e 和第 2 场板 20a ~ 20d 的电位由于其间的静电耦合的缘故，随着从 p 杂质区 3 接近于 n^+ 杂质区 52，从几十 V 的低电位变化到几百 V 的高电位。

再有，即使是第 2 场板 20a 与本实施例 1 不同没有与栅电极 15a 电连接的情况，由于其间的静电耦合的缘故，第 2 场板 20a 的电位也成为低电位。同样，即使是第 2 场板 20d 没有与第 1 场板 15e 电连接的情况，由于其间的静电耦合的缘故，第 2 场板 20a 的电位也成为高电位。此外，即使是第 2 场板 60a 没有与第 1 场板 55a 电连接的情况，第 2 场板 60a 的电位也成为低电位，即使是第 2 场板 60d 没有与第 1 场板 55e 电连接的情况，第 2 场板 60d 的电位也成为高电位。

这样，在本实施例 1 中，由于第 2 场板 20a、60a 的电位成为低电位，故在被施加几百 V 的高电位的布线 30 与第 2 场板 20a、60a 之间产生大的电位差。因而，与本实施例 1 不同，在第 2 场板 20a、60a 没有切断部位 29、69a 的情况下，被布线 30 和第 2 场板 20a、60a 夹住的绝缘膜 23 有时发生绝缘破坏。在本实施例 1 中，由于通过设置切断部位 29、69a，在布线 30 的下方设置了未形成第 2 场板 20a、60a 的部分，故可防止起因于布线 30 与第 2 场板 20a、60a 之间的电位差的绝缘膜 23 的绝缘破坏。

此外，在与本实施例 1 有关的半导体器件中，如上所述，在为了防止绝缘膜 23 的绝缘破坏而设置的第 2 场板 20a 的切断部位 29 的下方，在第 1 场板 15a、15b 之间的间隙中与其分离地设置了电极 16。由此，与未设置该电极 16 的情况相比，缓和了基于被施加高电位的布线 30 的电位的 n^- 半导体层 2 上表面附近的电场集中，可提高与本实施

例1有关的半导体器件的耐压。

同样,由于在第2场板60a的切断部位69a的下方,在第1场板55a、55b之间的间隙中与其分离地设置了电极56,故与未设置该电极56的情况相比,缓和了基于被施加高电位的布线30的电位的n⁻半导体层2上表面附近的电场集中,可提高与本实施例1有关的半导体器件的耐压。以下详细地说明这一点。

图6、7是示出与本实施例1有关的半导体器件中电位分布的图,图8、9是示出在与本实施例1有关的半导体器件中未设置电极16的情况的电位分布的图,图6、8示出了第2场板20a被切断了的部分中的电位分布,图7、9示出了第2场板20a未被切断的部分中的电位分布。

如图8中所示,在未设置电极16的情况下,由于在布线30的下方切断了第2场板20a,故栅电极15a与第1场板15b之间的n⁻半导体层2上表面附近的电位分布受到布线30的电位的影响,在栅电极15a的第1场板15b一侧的端部附近,等电位线90密集。因而,如图8中所示,在栅电极15a的第1场板15b一侧的端部附近的n⁻半导体层2上表面附近形成电场集中部分95a。由此,半导体器件的耐压下降。

另一方面,如图6中所示,在设置了电极16的情况下,利用电极16的静电屏蔽效应,可减少布线30的电位对n⁻半导体层2上表面附近的电位分布给予的影响,可促进n⁻半导体层2上表面附近的耗尽层的扩展。再者,因为电极16与栅电极15a、第1场板15b和n⁻半导体层2上表面进行静电耦合,故可在栅电极15a与电极16之间和电极16与第1场板15b之间形成等电位面。因而在栅电极15a与第1场板15b之间的等电位线90变得稀疏。因此,可缓和栅电极15a与第1场板15b之间的n⁻半导体层2上表面附近的电场集中,可抑制因在第2场板20a中设置切断部位29引起的半导体器件的耐压下降。其结果,可容易地实现具有所希望的耐压的半导体器件。

此外,如上所述,由于电极16与栅电极15a、第1场板15b和

n^- 半导体层 2 上表面进行静电耦合,故该电极 16 的电位被偏置为栅电极 15a 的电位与第 1 场板 15b 的电位的中间电位。因而,如从比较图 7 与图 9 可理解的那样,在第 2 场板 20a 未被切断的部分中,即使设置了电极 16,电位分布也不会变形,不产生电场集中。

再有,在高电位岛区 201 中的 n^- 半导体层 2 中,通过形成电极 56,根据同样的原因,与不设置电极 56 的情况相比,也可缓和电场集中,可抑制半导体器件的耐压下降。

此外,如图 10 中所示,在不形成电极 16、将第 1 场板 15b 一侧的栅电极 15a 的端部在第 1 场板 15b 一侧延长了的情况下,可认为利用该延长部分的静电屏蔽效应可缓和基于布线 30 的电位的电场集中。但是,即使是这样的情况,如图 10 中所示,在栅电极 15a 的第 1 场板 15b 一侧的端部附近,等电位线 90 密集,在 n^- 半导体层 2 上表面附近形成电场集中部分 95b。在本实施例 1 中,由于在栅电极 15a 与第 1 场板 15b 之间与其分离地设置了电极 16,故如上所述,因为可在栅电极 15a 与电极 16 之间和电极 16 与第 1 场板 15b 之间形成等电位面,故与该情况不同,可缓和电场集中。

图 11 是示出形成了电极 16 的情况、未形成电极 16 的情况和延长了图 15a 的端部的情况的半导体器件中的绝缘耐压的实测值的图。图中的圆标记表示设置了电极 16 的情况、即与本实施例 1 有关的半导体器件的耐压,菱形标记表示未设置电极 16 的情况的耐压。而且,图中的四角标记表示在该第 1 场板 15b 一侧延伸了栅电极 15a 的第 1 场板 15b 一侧的端部的情况的耐压。再有,横轴中示出的场板的长度 L 意味着图 10 中示出的长度 L。此外,用四角标记示出的、延长了栅电极 15a 的第 1 场板 15b 一侧的端部的情况的耐压结果是未设置布线 30 的情况的值。

如图 11 中所示,根据实测值,可理解通过设置电极 16 而使耐压提高了的情况。此外,可理解,随着使栅电极 15a 的第 1 场板 15b 一侧的端部接近于第 1 场板 15b 而使耐压下降了的情况。

实施例 2.

图 12 是示意性地示出与本发明的实施例 2 有关的半导体器件的结构平面图，图 13~15 分别示出了图 12 中的箭头线 D-D~F-F 中的剖面图。与本发明实施例 2 有关的半导体器件是在与上述的实施例 1 有关的半导体器件中将电极 16 电连接到 MOS 晶体管 102 的栅电极 15a 上的半导体器件。

再有，在图 12 中，放大地示出了第 2 场板 20a 的切断部位 29 附近，为了避免图面的繁琐，省略了图 13~15 中的绝缘膜 21、23 的记载。此外，在图 12 中，用虚线示出了在平面视图上未表示的结构。

如图 12~15 中所示，电极 16 利用在绝缘膜 21 内以贯通该绝缘膜 21 的方式设置的多个接触塞 26 与第 2 场板 20a 进行了电连接。而且，第 2 场板 20a 利用接触塞 22a 与栅电极 15a 进行了电连接。因而，电极 16 与栅电极 15a 电连接。

多个接触塞 26 互相分离地被配置，沿第 2 场板 20a 延伸。而且，在布线 30 的下方未配置接触塞 26。因而，与第 2 场板 20a 同样，将接触塞 26 配置成大致包围 n^+ 杂质区 12。由于关于其它的结构与实施例 1 是同样的，故省略其说明。

这样，在与本发明实施例 2 有关的半导体器件中，电极 16 与栅电极 15a 进行了电连接。而且，因为通常对栅电极 15a 施加接地电位或几十 V 的低电位，故该电极 16 的电位变得稳定。

由于与上述的实施例 1 有关的电极 16 是与周围绝缘的浮置电极，故其电位不稳定，有时因半导体器件的工作状态在 n^- 半导体层 2 上表面附近引起电场集中。

但是，在与本发明实施例 2 有关的半导体器件中，由于电极 16 的电位是稳定的，故可抑制基于半导体器件的工作状态的电场集中的发生。

再有，如图 13 中的等电位线 90 所示那样，通过将电极 16 电连接到栅电极 15a 上，在第 2 场板 20a 被切断了的部分中的电位分布与实施例 1 不同。但是，因为与栅电极 15a 和第 1 场板 15b 分离地配置电极 16，由于可在栅电极 15a 与电极 16 之间和电极 16 与第 1 场板 15b 之间形成等电位面，故与没有电极 16 的现有的半导体器件相比，可缓

和第2场板20a被切断了的的部分中的电场集中。

同样，在形成了第2场板20a的部分中，有选择地形成了图14、15中的等电位线90所示那样，通过将电极16电连接到栅电极15a上，电位分布与实施例1不同。但是，因为互相分离地设置连接第2场板20a与电极16的接触塞26，由于可在接触塞26间形成等电位面，故即使将电极16电连接到栅电极15a上，也不发生形成了第2场板20a的部分的电场集中。

实施例3.

图16是示出与本发明的实施例3有关的半导体器件的结构框图。与上述的实施例1有关的半导体器件具备将低电位的信号移动为高电位的电平移动电路，而与本实施例3有关的半导体器件具备将高电位的信号移动为低电位的电平移动电路。

与本实施例3有关的半导体器件与与本实施例3有关的半导体器件同样，是利用RESURF效应实现了高耐压的HVIC，如图16中所示，具备上述的低电位逻辑电路100、高电位逻辑电路101、p沟道型的MOS晶体管105和电阻106。

MOS晶体管105和电阻106对从高电位逻辑电路101输出的高电位的信号进行电平移动使之成为低电位输入到低电位逻辑电路100中。将电阻106的栅连接到高电位逻辑电路101上，对其源施加电位VH。此外，在MOS晶体管105的漏上连接了低电位逻辑电路100和电阻106的另一端，对电阻106的另一端施加接地电位。

在在构成以上那样的结构的与本实施例3有关的半导体器件中，在高电位逻辑电路101输出了高电平信号的情况下，MOS晶体管105为截止状态，对低电位逻辑电路100输入接地电位的低电平信号。而且，如果从高电位逻辑电路101输出脉冲状的低电平信号，则MOS晶体管105成为导通状态，在电阻106中流过电流。如果这样的话，则在电阻106的两端发生电位差，对低电位逻辑电路100输入的信号的电平变化。由此，从高电位逻辑电路101输出的高电位的脉冲信号被换为与其极性不同的低电位的脉冲信号，被输入到低电位逻辑电路

100 中。因而，低电位逻辑电路 100 可根据从高电位逻辑电路 101 输出的信号工作。

其次，说明与本实施例 3 有关的半导体器件的结构。图 17 是示意性地示出与本实施例 3 有关的半导体器件的结构平面图，图 18~20 分别示出了图 17 中的箭头线 G-G~I-I 中的剖面图。再有，在图 17 中，为了避免图面的繁琐，省略图 18~20 种的绝缘膜 23 的记载，进而只记载了在绝缘膜 21 上形成的场板中的场板 120a、60d。

如图 17~20 中所示，在与本实施例 3 有关的半导体器件中，与本实施例 1 有关的半导体器件同样，在 p 半导体衬底 1 上形成了 n 半导体层 2。在 n 半导体层 2 中从其上表面起到与 p 半导体衬底 1 的界面形成了 p 杂质区 3。与实施例 1 同样，将 p 杂质区 3 形成为包围 n 半导体层 2 的一部分，在 n 半导体层 2 内划分了被配置高电位逻辑电路 101 的高电位岛区 201。

在高电位岛区 201 内的 n 半导体层 2 与 p 半导体衬底 1 的界面上有选择地形成了 n⁺埋入杂质区 51。与本实施例 3 有关的 n⁺埋入杂质区 51 没有在高电位岛区 201 内的 n 半导体层 2 的周边端部和与 p 半导体衬底 1 的界面上被形成，再者，如图 19 中所示，被形成为包围高电位岛区 201 内的 n 半导体层 2 与 p 半导体衬底 1 的界面的一部分 180。而且，在 n⁺埋入杂质区 51 的上方，在 n 半导体层 2 中形成了高电位逻辑电路 101。

在高电位岛区 201 内的 n 半导体层 2 的上表面内形成了 n⁺杂质区 52。与本实施例 3 有关的 n⁺杂质区 52 在 n⁺埋入杂质区 51 的上方避开形成了高电位逻辑电路 101 的部分被形成，在平面视图上包围高电位逻辑电路 101。因而，在 p 杂质区 3 与高电位逻辑电路 101 之间的 n 半导体层 2 中部分地形成了 n⁺杂质区 52。

此外，将 n⁺杂质区 52 形成为在平面视图上包围由 n⁺埋入杂质区 51 包围的上述界面的一部分 180，由此，在高电位岛区 201 内的 n 半导体层 2 中划分了形成 MOS 晶体管 105 的 pMOS 区 205。

如图 18、20 中所示，在 n⁺杂质区 52 与 p 杂质区 3 之间的 n 半导

体层 2 的上表面上形成了隔离绝缘膜 17, 在该隔离绝缘膜 17 上形成了第 1 场板 55a ~ 55e。再有, 由于关于第 1 场板 55a ~ 55e 的结构与实施例 1 是同样的, 故省略其说明。

在第 1 场板 55a ~ 55e 中最接近于 n^+ 杂质区 52 的第 1 场板 55e 与位于其邻近的第 1 场板 55d 之间的间隙中配置了电极 156。在隔离绝缘膜 17 上与第 1 场板 55d、55e 分离地设置了电极 156, 在平面视图上电极 156 包围高电位逻辑电路 101。

电极 156 起到场板的功能, 通过第 1 场板 55a ~ 55e 与电极 156 互相进行静电耦合的同时也与 n^- 半导体层 2 的上表面进行静电耦合, 具有缓和 n^- 半导体层 2 的上表面的电场集中的功能。

如图 19 中所示, 从 pMOS 区 205 内的 n^- 半导体层 2 的上表面起到被 n^+ 埋入杂质区 51 包围的上述界面的一部分 180 的中央部, 在 n^- 半导体层 2 的内部形成了 p 杂质区 133。在 p 杂质区 133 与 n^+ 杂质区 52 之间的 n^- 半导体层 2 的上表面内与 p 杂质区 133 分离地形成了与 MOS 晶体管 105 的漏电极 124 电连接的 p^+ 杂质区 112。而且, 将 p^+ 杂质区 112 形成为在平面视图上包围 p 杂质区 133。

在 p^+ 杂质区 112 与 n^+ 杂质区 52 之间的 n^- 半导体层 2 的上表面内与 p^+ 杂质区 112 连接形成了 p^- 杂质区 113, 在平面视图上该 p^- 杂质区 113 包围 p 杂质区 133。而且, 在 n^+ 埋入杂质区 51 的上方且在 p^- 杂质区 113 与 n^+ 杂质区 52 之间的 n^- 半导体层 2 的上表面内与 p^- 杂质区 113 构成预定距离地形成了 MOS 晶体管 105 的源区 114。源区 114 与 n^+ 杂质区 52 连接, 在平面视图上包围 p 杂质区 133。再有, 源区 114 是 p^+ 杂质区。

在与漏电极 124 电连接的 p^+ 杂质区 112 与源区 114 之间的 n^- 半导体层 2 的上表面上形成了隔离绝缘膜 17。具体地说, 在 n^- 半导体层 2 的上表面内形成的 p^- 杂质区 113 的上表面上形成了隔离绝缘膜 17。在该隔离绝缘膜 17 上形成了 MOS 晶体管 105 的栅电极 115a 和第 1 场板 115b ~ 115e。

沿从 n^+ 杂质区 52 朝向 p^+ 杂质区 112 的方向互相分离地按顺序配

置了栅电极 115a 和第 1 场板 115b ~ 115e, 将其形成为在平面视图上包围 p 杂质区 133。

栅电极 115a 从隔离绝缘膜 17 朝向源区 114 一方延伸, 覆盖了用源区 114 和 p 杂质区 113 夹住的 n⁻半导体层 2 的上表面而不与其接触。再有, 栅电极 115a 覆盖了的、用源区 114 和 p 杂质区 113 夹住的 n⁻半导体层 2 的上表面上也存在栅绝缘膜, 但在图面上将该栅绝缘膜包含在后述的绝缘膜 21 中进行了记载。

在栅电极 115a 和第 1 场板 115b ~ 115e 中最接近于 n⁺杂质区 52 的栅电极 115a 与位于其邻近的第 1 场板 115b 之间的间隙中设置了电极 116。在隔离绝缘膜 17 上与栅电极 115a 和第 1 场板 115b 分离地设置了电极 116, 在平面视图上包围 p 杂质区 133。

栅电极 115a 和电极 116 起到场板的功能, 通过栅电极 115a、第 1 场板 115b ~ 115e 与电极 116 相互静电耦合的同时也与 n⁻半导体层 2 的上表面静电耦合, 起到缓和基于电连接到漏电极 124 上的 p⁺杂质区 112 与源区 114 之间的电位差的 n⁻半导体层 2 的上表面的电场的功能。再有, 因为栅电极 115a 也起到场板的功能, 故以后有时将该栅电极 115a 称为「第 1 场板 115a」。

在高电位岛区 201 以外的 n⁻半导体层 2 中形成了低电位逻辑电路 100 和起到电阻 106 的功能的 p⁺杂质区 (未图示), 用 p 杂质区 3 划分了形成了该低电位逻辑电路 100 等的 n⁻半导体层 2 和高电位岛区 201 中的 n⁻半导体层 2。

在 n⁻半导体层 2 和隔离绝缘膜 17 上覆盖第 1 场板 55a ~ 55e、115a ~ 115e 和电极 116、156 形成了绝缘膜 21。而且, 在绝缘膜 21 内贯通该绝缘膜 21 设置了电极 119 和 MOS 晶体管 105 的源电极 118, 源电极 118 与 n⁺杂质区 52 和与源区 114 接触, 电极 119 与 p⁺杂质区 112 接触。将源电极 118 和电极 119 形成为在平面视图上包围 p 杂质区 133。

在绝缘膜 21 上形成了第 2 场板 60a ~ 60d、120a ~ 120d。在第 1 场板 55a ~ 55e 的上方设置了第 2 场板 60a ~ 60d, 沿从 p 杂质区 3 朝

向 n^+ 杂质区 52 的方向互相分离地按顺序进行了配置。而且, 与实施例 1 同样, 分别在第 1 场板 55a ~ 55e 间的间隙的上方配置了第 2 场板 60a ~ 60d。而且, 将各第 2 场板 60a ~ 60d 形成为与位于其下方的互相邻接的 2 个第 1 场板的端部在平面视图上重叠。

第 2 场板 60a ~ 60d 中的第 2 场板 60a ~ 60c 在平面视图上完全包围了高电位逻辑电路 101。而且, 剩下的第 2 场板 60d, 如图 17 中所示, 在布线 130 的下方具有切断部位 69d, 除了该切断部位 69d 以外在平面视图上大致包围了高电位逻辑电路 101。

在第 1 场板 115a ~ 115e 的上方设置了第 2 场板 120a ~ 120d, 沿从 n^+ 杂质区 52 朝向 p^+ 杂质区 112 的方向互相分离地按顺序进行了配置。而且, 分别在第 1 场板 115a ~ 115e 之间的间隙的上方配置了第 2 场板 120a ~ 120d。即, 在第 1 场板 115a ~ 115e 中的任意的互相邻接的 2 个第 1 场板间的间隙的上方配置了第 2 场板 120a ~ 120d 的某一个。而且, 将各第 2 场板 120a ~ 120d 形成为在平面视图上与位于其下方的互相邻接的 2 个第 1 场板的端部重叠。

第 2 场板 120a ~ 120d 中的第 2 场板 120b ~ 120d 在平面视图上完全包围了 p 杂质区 133。而且, 剩下的第 2 场板 120a, 如图 17 中所示, 在布线 130 的下方具有切断部位 129, 除了该切断部位 129 以外在平面视图上大致包围了 p 杂质区 133。此外, 第 2 场板 120d 与电极 119 连接。

用在绝缘膜 21 内贯通绝缘膜 21 设置的接触塞 122a 电连接了栅电极 115a 与第 2 场板 120a, 用在绝缘膜 21 内贯通绝缘膜 21 设置的接触塞 122d 电连接了第 1 场板 115e 与第 2 场板 120d。此外, 用在绝缘膜 21 内贯通绝缘膜 21 设置的接触塞 62a 电连接了第 1 场板 55a 与第 2 场板 60a, 用在绝缘膜 21 内贯通绝缘膜 21 设置的接触塞 62d 电连接了第 1 场板 55e 与第 2 场板 60d。

接触塞 122a、122d 分别沿第 2 场板 120a、120d 延伸, 在布线 130 的下方不存在。因而, 接触塞 122a、122d 与第 2 场板 120a 同样大致包围 p 杂质区 133。此外, 接触塞 62a、62d 与实施例 1 同样, 分

别沿第2场板60a、60d延伸，在布线130的下方不存在。

再有，第1场板55b~55d、115b~115d和第2场板60b、60c、120b、120c是与周围绝缘的浮置电极。此外，第1场板15e和第2场板120d除了互相被连接了这样的状况以外，与周围绝缘，是浮置电极。同样，第1场板115a和第2场板60a或第1场板55e和第2场板60d与实施例1同样，除了互相被连接了这样的状况以外，与周围绝缘，是浮置电极。

在绝缘膜21上覆盖源电极118、电极119和第2场板60a~60d、120a~120d形成了绝缘膜23。而且，将MOS晶体管105的漏电极124设置成在绝缘膜23内贯通该绝缘膜23与电极119接触。这样来电连接 p^+ 杂质区112与MOS晶体管105的漏电极124。

在绝缘膜23上形成了电连接漏电极124与低电位逻辑电路100的布线130，由此如图16中所示电连接MOS晶体管105的漏与低电位逻辑电路100。从漏电极124出发的布线130通过第1场板115a~115e和第2场板120a~120d的上方，然后通过通过第1场板55a~55e和第2场板60a~60c的上方，通过划分高电位岛区201的 p 杂质区3的上方，到达了低电位逻辑电路100。

在绝缘膜23上也设置了电连接第2场板120a与高电位逻辑电路101的布线131。用贯通绝缘膜23的未图示的接触塞电连接了布线131与第2场板120a。由此，从高电位逻辑电路101经第2场板120a对MOS晶体管105的栅电极115a供给信号。此外，在绝缘膜23上也设置了电连接起到电阻106的功能的 p^+ 杂质区与布线130的未图示的布线，该布线与贯通绝缘膜21、23的、与电阻106的功能的 p^+ 杂质区接触而设置的电极（未图示）连接。

再有，例如由多晶硅构成栅电极115a、第1场板115b~115e和电极116、156，例如由铝构成第2场板120a~120d和布线130、131。

在与形成以上那样的结构的本实施例3有关的半导体器件中，如果对MOS晶体管105的源电极118施加电位 V_H ，则对起到电阻106的功能的 p^+ 杂质区的端部施加接地电位。因而，如果从高电位逻辑电

路 101 输出几百 V 的高电平信号, 则 MOS 晶体管 105 成为截止状态, 因为在起到电阻 106 的功能的 p^+ 杂质区中不流过电流, 故对布线 130 施加接地电位。

然后, 如果从高电位逻辑电路 101 输出脉冲状的低电平信号, 则经布线 131、第 2 场板 120a 和接触塞 122a 对栅电极 115a 施加该信号。由此, MOS 晶体管 105 成为导通状态, 在起到电阻 106 的功能的 p^+ 杂质区中流过电流, 该 p^+ 杂质区的低电位逻辑电路 100 一侧的端部电位上升到几十 V。其结果, 对从高电位逻辑电路 101 输出的高电位的信号进行电平移动使之成为低电位输入到高电位逻辑电路 101 中。

再有, 在导通状态的 MOS 晶体管 105 中, 电流从漏电极 124 按顺序通过源区 114、 n^- 半导体层 2、 p^+ 杂质区 112 和电极 119 流到漏电极 124。此外, 在 MOS 晶体管 105 中, 由于 p^- 杂质区 113 起到电阻的功能, 故漏电极 124 的电位只上升到几十 V。因而, 布线 130 的电位成为几十 V 的低电位。

此外, 在与本实施例 3 有关的半导体器件中, 对 p 杂质区 3、133、 p^- 杂质区 113 和 p^- 半导体衬底 1 施加接地电位, 对高电位岛区 201 中的 n^- 半导体层 2、 n^+ 埋入杂质区 51 和 n^+ 杂质区 52 施加电位 V_H 。由此, 与实施例 1 同样, 利用 RESURF 效应在 p 杂质区 3 与 n^+ 杂质区 52 之间的 n^- 半导体层 2 中到其上表面为止形成耗尽层。其结果, 用耗尽层包围高电位逻辑电路 101, 可得到高耐压的高电位逻辑电路 101。

此外, 如上所述, 因为对 p 杂质区 133 和 p^- 杂质区 113 施加接地电位、对 n^- 半导体层 2 施加电位 V_H , 故利用 RESURF 效应在 p 杂质区 133 与 n^+ 杂质区 52 之间的 n^- 半导体层 2 和 p^- 杂质区 113 中到其上表面为止形成耗尽层。其结果, 在 n^- 半导体层 2 中的形成了 MOS 晶体管 105 的 pMOS 区 205 的大部分中形成耗尽层。其结果, 可得到高耐压的 MOS 晶体管 105。再有, 在图 17 中用斜线示出的 RESURF 隔离区 300、302 分别示出了在本半导体器件中形成耗尽层的区域的概略。

在与本实施例 3 有关的半导体器件中, 如上所述, 对布线 130 施

加低电位。因而，如果与本实施例3不同，不存在第1场板55a~55e和第2场板60a~60d，则因布线130的电位的缘故，在p杂质区3与 n^+ 杂质区52之间的 n^- 半导体层2中耗尽层的扩展被促进，在 n^+ 杂质区52附近的 n^- 半导体层2的上表面上存在产生电场集中的可能性。

但是，在本实施例3中，通过第2场板60a~60d与位于其下方的第1场板55a~55e进行静电耦合，可缓和基于布线130的电位的 n^- 半导体层2的上表面附近的电场集中。

同样，在本实施例3中，通过第2场板120a~120d与位于其下方的第1场板115a~115e进行静电耦合，可缓和基于布线130的电位的 n^- 半导体层2的上表面附近的电场集中。

此外，在本实施例3中，由于分别对p杂质区3和 n^+ 杂质区52施加接地电位和电位VH，故如在实施例1中已说明的那样，第1场板55a和第2场板60a的电位成为接近于接地电位的值。此外，第1场板55e和第2场板60d的电位成为接近于电位VH的值。因而，第1场板55a~55e和第2场板60a~60d的电位由于其间的静电耦合的缘故，随着从p杂质区3接近于 n^+ 杂质区52，从接地电位附近的低电位变化到几百V的高电位。

此外，在本实施例3中，由于对 p^+ 杂质区112施加几十V的低电位，故与该 p^+ 杂质区112电连接的第1场板115e和第2场板120d的电位成为几十V的低电位。此外，由于对栅电极115a施加几百V的高电位，故与其电连接的第2场板120a的电位也成为几百V的高电位。因而，第1场板115a~115e和第2场板120a~120d的电位由于其间的静电耦合的缘故，随着从 n^+ 杂质区52接近于 p^+ 杂质区112，从几百V的高电位变化为几十V的低电位。

再有，即使是第2场板120a与本实施例3不同、没有与栅电极115a电连接的情况，由于其间的静电耦合的缘故，第2场板120a的电位也成为高电位。此外，即使是第2场板120d没有与电极119电连接的情况，最接近于 p^+ 杂质区112的第1场板115e受到 p^+ 杂质区112的影响而成为低电位，第2场板120d通过与该第1场板115e进行静

电耦合而成为低电位。

这样,在本实施例3中,由于第2场板60d、120a的电位成为高电位,故在被施加几十V的低电位的布线130与第2场板60d、120a之间产生大的电位差。因而,与本实施例3不同,在第2场板60d、120a没有切断部位69d、129的情况下,被布线130和第2场板60d、120a夹住的绝缘膜23有时发生绝缘破坏。在本实施例3中,由于通过设置切断部位69d、129,在布线130的下方未设置第2场板60d、120a,故可防止起因于布线130与第2场板60d、120a之间的电位差的绝缘膜23的绝缘破坏。

此外,在与本实施例3有关的半导体器件中,如上所述,在为了防止绝缘膜23的绝缘破坏而设置的第2场板120a的切断部位129的下方,在第1场板115a、115b之间的间隙中与其分离地设置了电极116。由此,与未设置该电极116的情况相比,缓和了基于被施加低电位的布线130的电位的 n^- 半导体层2上表面附近的电场集中,可提高与本实施例3有关的半导体器件的耐压。

同样,由于在第2场板60d的切断部位69d的下方,在第1场板55d、55e之间的间隙中与其分离地设置了电极156,故与未设置该电极156的情况相比,缓和了基于布线130的电位的 n^- 半导体层2上表面附近的电场集中,可提高与本实施例3有关的半导体器件的耐压。

图21、22是示出与本实施例3有关的半导体器件中电位分布的图,图23是示出在与本实施例3有关的半导体器件中未设置电极156的情况的电位分布的图,图21、23示出了第2场板60d被切断了的部分中的电位分布,图22示出了第2场板60d未被切断的部分中的电位分布。

如图23中所示,在未设置电极156的情况下,由于在布线130的下方切断了第2场板60d,故第1场板55d、55e之间的 n^- 半导体层2上表面附近的电位分布受到布线130的电位的影响,在第1场板55e的第1场板55d一侧的端部附近,等电位线90密集。因而,如图23中所示,在第1场板55e的第1场板55d一侧的端部附近的 n^- 半导体

层 2 上表面附近形成电场集中部分 95c。由此，半导体器件的耐压下降。

另一方面，如图 21 中所示，在设置了电极 156 的情况下，利用电极 156 的静电屏蔽效应，可减少布线 130 的电位对 n⁻半导体层 2 上表面附近的电位分布给予的影响，可抑制耗尽层的扩展。再者，因为电极 156 与第 1 场板 55d、e 和 n⁻半导体层 2 上表面进行静电耦合，故可在栅电极 115a 与电极 156 之间和电极 156 与第 1 场板 15b 之间形成等电位面。因而在第 1 场板 55d 与电极 156 之间和电极 156 与第 1 场板 55e 之间可形成等电位面。因而，第 1 场板 55d、55e 间的等电位线 90 变得稀疏。因此，可缓和第 1 场板 55d、55e 间的 n⁻半导体层 2 上表面附近的电场集中，可抑制因在第 2 场板 60d 中设置切断部位 69d 引起的半导体器件的耐压下降。其结果，可容易地实现具有所希望的耐压的半导体器件。

此外，如上所述，由于电极 156 与第 1 场板 55d、55e 和 n⁻半导体层 2 上表面进行静电耦合，故该电极 156 的电位被偏置为第 1 场板 55d 的电位与第 1 场板 55e 的电位的中间电位。因而，如图 22 所示那样，在第 2 场板 60d 未被切断的部分中，即使设置了电极 156，电位分布也不会变形，不产生电场集中。

再有，在 pMOS 区 205 中的 n⁻半导体层 2 中，通过形成电极 116，根据同样的原因，与不设置电极 116 的情况相比，也可缓和电场集中，可抑制半导体器件的耐压下降。

在本实施例 3 中，采用了与周围绝缘的浮置电极作为电极 116，但与上升到实施例 2 同样，也可将电极 116 与栅电极 115a 电连接。图 24 示出了此时的与本实施例 3 有关的半导体器件的剖面图，放大地示出了配置了电极 116 的部分。

如图 24 中所示，用在绝缘膜 21 内贯通绝缘膜 21 设置的接触塞 126 电连接了电极 116 与第 2 场板 120a。由此，电连接了电极 116 与栅电极 115a。因而，电极 116 的电位变得稳定，与实施例 2 同样，可抑制基于半导体器件的工作状态的电场集中的发生。

再有，设置了多个接触塞 126，该多个接触塞 126 互相分离地被配置。而且，与实施例 2 的接触塞 26 同样，多个接触塞 126 沿第 2 场板 120a 延伸，在布线 130 的下方未配置接触塞 126。

实施例 4.

图 25 是示意性地示出与本实施例 4 有关的半导体器件的结构的平面图，图 26 (a)、26 (b) 分别示出了图 25 中的箭头线 J-J ~ K-K 中的剖面图。图 26 (a) 是未形成布线 30 的部分的剖面图，图 26 (b) 是形成了布线 30 的部分的剖面图。与本实施例 4 有关的半导体器件是在与本实施例 1 有关的半导体器件中不设置电极 16、56，通过对第 1 场板 15b ~ 15e、55b ~ 55e 和第 2 场板 20b ~ 20d、60b ~ 60d 的形状进行变形来实现高耐压化。

再有，在图 25 中，放大地示出了第 2 场板 60a 的切断部位 69a，为了避免图面的繁琐，省略了图 26 中的绝缘膜 21、23 的记载。

如图 25、26 中所示，在与本实施例 4 有关的第 1 场板 55b ~ 55d 中，使位于布线 30 的下方的部分与位于除此以外的部分相比，将板宽大致维持为恒定并使其偏向 p 杂质区 3 一侧。因而，在第 1 场板 55b ~ 55d 中，位于布线 30 的下方的部分的两端部与位于除此以外的部分的两端部相比偏向 p 杂质区 3 一侧。换言之，在第 1 场板 55b ~ 55d 中，将位于布线 30 的下方的部分的两端的每一端与第 1 场板 55a 的第 1 场板 55b 一侧的距离设定为比位于除此以外的部分中的该距离小。

在与本实施例 4 有关的第 1 场板 55e 中，位于布线 30 的下方的部分的 p 杂质区 3 一侧的端部与位于除此以外的部分中的该端部相比偏向 p 杂质区 3 一侧。换言之，在第 1 场板 55e 中，将位于布线 30 的下方的部分的 p 杂质区 3 一侧的一端与第 1 场板 55a 的第 1 场板 55b 一侧的一端的距离设定为比位于除此以外的部分中的该距离小。

在与本实施例 4 有关的第 2 场板 60b、60c 中，使位于布线 30 的下方的部分与位于除此以外的部分相比，将板宽大致维持为恒定并使其偏向 p 杂质区 3 一侧。因而，在第 2 场板 60b、60c 中，位于布线 30 的下方的部分的两端部与位于除此以外的部分的两端部相比偏向 p

杂质区 3 一侧。换言之，在第 2 场板 60b、60c 中，将位于布线 30 的下方的部分的两端的每一端与第 1 场板 55a 的第 1 场板 55b 一侧的距离设定为比位于除此以外的部分中的该距离小。

在与本实施例 4 有关的第 2 场板 60d 中，位于布线 30 的下方的部分的 p 杂质区 3 一侧的端部与位于除此以外的部分中的该端部相比偏向 p 杂质区 3 一侧。换言之，在第 2 场板 60d 中，将位于布线 30 的下方的部分的 p 杂质区 3 一侧的一端与第 1 场板 55a 的第 1 场板 55b 一侧的一端的距离设定为比位于除此以外的部分中的该距离小。

如图 27 中所示，在与本实施例 4 有关的第 1 场板 15b~15d 中，使位于布线 30 的下方的部分与位于除此以外的部分相比，将板宽大致维持为恒定并使其偏向栅电极 15a 一侧。因而，在第 1 场板 15b~15d 中，位于布线 30 的下方的部分的两端部与位于除此以外的部分的两端部相比偏向栅电极 15a 一侧。而且，在与本实施例 4 有关的第 1 场板 15e 中，使位于布线 30 的下方的栅电极 15a 一侧的端部与位于除此以外的该端部相比，偏向栅电极 15a 一侧。

在与本实施例 4 有关的第 2 场板 20b、20c 中，使位于布线 30 的下方的部分与位于除此以外的部分相比，将板宽大致维持为恒定并使其偏向栅电极 15a 一侧。因而，在第 2 场板 20b、20c 中，位于布线 30 的下方的部分的两端部与位于除此以外的部分的两端部相比偏向栅电极 15a 一侧。而且，在与本实施例 4 有关的第 2 场板 20d 中，使位于布线 30 的下方的栅电极 15a 一侧的端部与位于除此以外的该端部相比，偏向栅电极 15a 一侧。由于关于其它的结构与实施例 1 是同样的，故省略其说明。

再有，图 27 (a) 示出了与图 2 中的箭头线 B-B 相当的位置上的剖面图的约左半部分的结构。此外，图 27 (b) 示出了关于位置是与图 2 中的箭头线 A-A 相当的位置、关于看剖面的方向是从与箭头线 A-A 相反一侧看时的剖面图的 nMOS 区 202 中的剖面结构。

在本实施例 4 中，在布线 30 的下方，栅电极 15a 的 n^+ 杂质区 12 一侧的一端与第 1 场板 15b~15d 和第 2 场板 20b、20c 的两端之间的

距离与除此以外的该距离的差彼此是相同的。而且，这些距离的差与布线30的下方的栅电极15a的 n^+ 杂质区12一侧的一端与第1场板15e和第2场板20d的栅电极15a一侧的一端之间的距离与除此以外的该距离的差彼此是相同的。

此外，在布线30的下方，第1场板55a的 n^+ 杂质区52一侧的一端与第1场板55b~55d和第2场板60b、60c的两端之间的距离与除此以外的该距离的差彼此是相同的。而且，这些距离的差与布线30的下方的第1场板55a的 n^+ 杂质区52一侧的一端与第1场板55e和第2场板60d的p杂质区3一侧的一端之间的距离与除此以外的该距离的差彼此是相同的。

这样，在本实施例4中，第1场板15b~15e、55b~55e和第2场板20b~20d、60b~60d中的位于布线30的下方的部分的端部的偏移量是均匀的。

如上所述，在与本实施例4有关的半导体器件中，第1场板55b中的p杂质区3一侧的端部在布线30的下方移动到p杂质区3一侧。因而，在布线30的下方，第1场板55a、55b间的间隙变小。其结果，第1场板55a、55b间的间隙的下方的 n^- 半导体层2的上表面容易受到低电位的第1场板55b的电位的影响，减少了高电位的布线30的电位的影响，在该 n^- 半导体层2中，耗尽层容易扩展。因而，缓和了因在第2场板60a中设置切断部位69a引起的电场集中，其结果，可容易地得到具有所希望的耐压的半导体器件。

图28、29是示出与本实施例4有关的半导体器件中的电位分布的图，图28示出了第2场板60a未被切断的部分中的电位分布，图29示出了第2场板60a被切断了的部分中的电位分布。如图29中所示，在与本实施例4有关的半导体器件中，在第1场板55a的第1场板55b一侧的端部附近的 n^- 半导体层2上表面附近未形成电场集中部分，耐压提高了。

此外，在本实施例4中，第1场板15b中的栅电极15a一侧的端部在布线30的下方移动到栅电极15a一侧。因而，在布线30的下方，

栅电极 15a 与第 1 场板 15b 间的间隙变小。其结果, 栅电极 15a 与第 1 场板 15b 间的间隙的下方的 n^- 半导体层 2 的上表面容易受到低电位的第 1 场板 15b 的电位的影响, 减少了高电位的布线 30 的电位的影响, 在该 n^- 半导体层 2 中, 耗尽层容易扩展。因而, 缓和了因在第 2 场板 20a 中设置切断部位 29 引起的电场集中, 其结果, 可容易地得到具有所希望的耐压的半导体器件。

此外, 在与本实施例 4 有关的半导体器件中, 在第 1 场板 55b ~ 55d 和第 2 场板 60b、60c 中, 位于布线 30 的下方的部分的两端部与位于除此以外的部分的两端部相比偏向 p 杂质区 3 一侧。因而, 在布线 30 的下方, 既可抑制第 1 场板 55b ~ 55d 和第 2 场板 60b、60c 的板宽和其间的位置关系的变化, 又可使第 1 场板 55b 的 p 杂质区 3 一侧的端部接近于第 1 场板 55a。布线 30 的电位不仅对第 1 场板 55a、55b 间的间隙的下方的 n^- 半导体层 2 的上表面有不小的影响, 而且对第 1 场板 55b、55c 间的间隙的下方或第 1 场板 55c、55d 间的间隙的下方的 n^- 半导体层 2 的上表面也有不小的影响, 因此, 通过抑制第 1 场板 55b ~ 55d 和第 2 场板 60b、60c 的板宽和其间的位置关系的变化, 可抑制上述间隙的下方的 n^- 半导体层 2 的上表面附近的电场集中。

同样, 在与本实施例 4 有关的半导体器件中, 在第 1 场板 15b ~ 15d 和第 2 场板 20b、20c 中, 位于布线 30 的下方的部分的两端部与位于除此以外的部分的两端部相比偏向栅电极 15a 一侧。因而, 在布线 30 的下方, 可抑制第 1 场板 15b ~ 15d 和第 2 场板 20b、20c 的板宽和其间的位置关系的变化, 由此, 可抑制第 1 场板 15b、15c 间的间隙的下方或第 1 场板 15c、15d 间的间隙的下方的 n^- 半导体层 2 的上表面附近的电场集中。

再有, 如图 30 中所示, 即使在与上述的实施例 3 有关的半导体器件中, 也可在第 1 场板 55b ~ 55d 和第 2 场板 60b、60c 中使位于布线 130 的下方的部分的两端部与位于除此以外的部分的两端部相比偏向 n^+ 杂质区 52 一侧。而且, 也可在第 1 场板 55a 和第 2 场板 60a 中使位于布线 130 的下方的部分的 n^+ 杂质区 52 一侧的端部与位于除此

以外的部分的该端部相比偏向 n^+ 杂质区 52 一侧。

这样,即使在与上述的实施例 3 有关的半导体器件中,通过在布线 130 的下方使第 1 场板 55d 的 n^+ 杂质区 52 一侧的端部移动到 n^+ 杂质区 52 一侧,在布线 130 的下方,第 1 场板 55d、55e 间的间隙变小。其结果,第 1 场板 55d、55e 间的间隙的下方的 n^- 半导体层 2 的上表面容易受到高电位的第 1 场板 55b 的电位的影响,减少了低电位的布线 130 的电位的影响,在该 n^- 半导体层 2 中,抑制耗尽层的扩展。因而,缓和了因在第 2 场板 60d 中设置切断部位 69d 引起的电场集中,其结果,可容易地得到具有所希望的耐压的半导体器件。

此外,在第 1 场板 55b ~ 55d 和第 2 场板 60b、60c 中,由于使位于布线 130 的下方的部分的两端部与位于除此以外的部分的两端部相比偏向 n^+ 杂质区 52 一侧,故在布线 30 的下方可抑制第 1 场板 55b ~ 55d 和第 2 场板 60b、60c 的板宽或其间的位置关系的变化,由此,可抑制基于第 1 场板 55b、55c 间的间隙的下方或第 1 场板 55c、55d 间的间隙的下方的布线 130 的电位的 n^- 半导体层 2 的上表面的电场集中的发生。

此外,如图 31 中所示,即使在与上述的实施例 3 有关的半导体器件中,也可在第 1 场板 115b ~ 115d 和第 2 场板 120b、120c 中使位于布线 130 的下方的部分的两端部与位于除此以外的部分的两端部相比偏向栅电极 115a 一侧。而且,也可在第 1 场板 115e 和第 2 场板 120d 中使位于布线 130 的下方的部分的栅电极 115a 一侧的端部与位于除此以外的部分的该端部相比偏向栅电极 115a 一侧。

这样,在与上述的实施例 3 有关的半导体器件中,通过在布线 130 的下方使第 1 场板 115b 的栅电极 115a 一侧的端部移动到栅电极 115a 一侧,在布线 130 的下方,栅电极 115a 与第 1 场板 115b 间的间隙变小。其结果,栅电极 115a 与第 1 场板 115b 间的间隙的下方的 n^- 半导体层 2 的上表面容易受到高电位的第 1 场板 115b 的电位的影响,减少了低电位的布线 130 的电位的影响,在该 n^- 半导体层 2 中,抑制耗尽层的扩展。因而,缓和了因在第 2 场板 120a 中设置切断部位 129 引起

的电场集中,其结果,可容易地得到具有所希望的耐压的半导体器件。

此外,在第1场板115b~115d和第2场板120b、120c中,由于使位于布线130的下方的部分的两端部与位于除此以外的部分的两端部相比偏向栅电极115a一侧,故在布线30的下方可抑制第1场板115b~115d和第2场板120b、120c的板宽或其间的位置关系的变化,由此,可抑制基于第1场板115b、115c间的间隙的下方或第1场板115c、115d间的间隙的下方的布线130的电位的n⁻半导体层2的上表面的电场集中的发生。

再有,图30(a)示出了与图17中的箭头线I-I相当的位置上的剖面图,图30(b)示出了与图17中的箭头线G-G相当的位置上的剖面图的约左半部分的结构。此外,图31(a)示出了与图17中的箭头线H-H相当的位置上的剖面图的约右半部分的结构,图31(b)示出了关于位置是与图17中的箭头线G-G相当的位置、关于看剖面的方向是从与箭头线G-G相反一侧看时的剖面图的pMOS区205中的剖面结构。

实施例5.

图32、33是示意性地示出与本实施例5有关的半导体器件的结构平面图。与本实施例5有关的半导体器件是在与上述的本实施例4有关的半导体器件中使第1场板15b~15d、55b~55d和第2场板20b~20d、60b~60d中的位于布线30的下方的部分的端部的偏移量变化的半导体器件的实施例。

图32(a)、32(b)分别是与图25中的箭头线J-J、K-K相当的位置上的剖面图。图33(a)与图27(a)同样,示出了与图2中的箭头线B-B相当的位置上的剖面图的约左半部分的结构,图33(b)与图27(b)同样,示出了关于位置是与图2中的箭头线A-A相当的位置、关于看剖面的方向是从与箭头线A-A相反一侧看时的剖面图的nMOS区202中的剖面结构。

再有,图32中的角度 α_1 是按同一比例使图32(a)的剖面结构与图32(b)的剖面结构上下并排、在两者之间使第1场板55a的n⁺

杂质区 52 一侧的位置在上下方向上对齐而图示了的情况下从图 32(a) 的剖面结构中的第 2 场板 60c 的 n^+ 杂质区 52 一侧的一端起俯视图 32 (b) 的剖面结构中的该一端时的视线方向 $s1$ 与从图 32(a) 的剖面结构中的该一端俯视正下方时的视线方向 $s2$ 构成的角度。同样, $a2$ 、 $a4$ 、 $a6$ 、 $a8$ 、 $a9$ 分别是图 32(a) 的第 1 场板 55d、第 2 场板 60c、第 1 场板 55c、第 2 场板 60b 和第 1 场板 55b 的 p 杂质区 3 一侧的一端的视线方向 $s1$ 与视线方向 $s2$ 构成的角度。此外, $a3$ 、 $a5$ 、 $a7$ 分别是图 32(a) 的第 1 场板 55c、第 2 场板 60b 和第 1 场板 55b 的 n^+ 杂质区 52 一侧的一端的视线方向 $s1$ 与视线方向 $s2$ 构成的角度。

此外, 图 33 中的角度 $b1$ 是按同一比例使图 33(a) 的剖面结构与图 33(b) 的剖面结构上下并排、在两者之间使栅电极 15a 的 n^+ 杂质区 12 一侧的位置在上下方向上对齐而图示了的情况下从图 33(a) 的剖面结构中的第 2 场板 20c 的 n^+ 杂质区 12 一侧的一端起俯视图 33 (b) 的剖面结构中的该一端时的视线方向 $s1$ 与从图 32(a) 的剖面结构中的该一端俯视正下方时的视线方向 $s2$ 构成的角度。同样, $b2$ 、 $b4$ 、 $b6$ 、 $b8$ 、 $b9$ 分别是图 33(a) 的第 1 场板 15d、第 2 场板 20c、第 1 场板 15c、第 2 场板 20b 和第 1 场板 15b 的栅电极 15a 一侧的一端的视线方向 $s1$ 与视线方向 $s2$ 构成的角度。此外, $b3$ 、 $b5$ 、 $b7$ 分别是图 33(a) 的第 1 场板 15c、第 2 场板 20b 和第 1 场板 15b 的 n^+ 杂质区 12 一侧的一端的视线方向 $s1$ 与视线方向 $s2$ 构成的角度。

如从以上的说明可理解的那样, 角度 $a1 \sim a9$ 、 $b1 \sim b9$ 成为作为这些角度的基点的场板的一端的布线 30 下方的偏移量的标准。因而, 例如可以说角度 $a1$ 表示在布线 30 的下方的第 2 场板 60c 的 n^+ 杂质区 52 一侧的端部的偏移量。

如图 32 中所示, 在与本实施例 5 有关的半导体器件中, 将角度 $a1 \sim a9$ 设定为按上述顺序变大。因而, 按第 2 场板 60c 的 n^+ 杂质区 52 一侧的端部、第 1 场板 55d 的 p 杂质区 3 一侧的端部、第 1 场板 55c 的 n^+ 杂质区 52 一侧的端部、第 2 场板 60c 的 p 杂质区 3 一侧的端部、第 2 场板 60b 的 n^+ 杂质区 52 一侧的端部、第 1 场板 55c 的 p 杂

质区 3 一侧的端部、第 1 场板 55b 的 n^+ 杂质区 52 一侧的端部、第 2 场板 60b 的 p 杂质区 3 一侧的端部、第 1 场板 55b 的 p 杂质区 3 一侧的端部的顺序, 在布线 30 的下方偏移量越来越大。再有, 在上述的实施例 4 中, 在布线 30 的下方使第 1 场板 55e 和第 2 场板 60d 的 p 杂质区 3 一侧的端部偏移了, 但在本实施例 5 中, 由于将该偏移量设定为零, 故不偏移。此外, 在与实施例 4 有关的第 1 场板 55d 中使两端部偏移了, 但在与本实施例 5 有关的第 1 场板 55d 中, 只使 p 杂质区 3 一侧的端部偏移了。

此外, 如图 33 中所示, 在本实施例 5 中, 将角度 b1 ~ b9 设定为按上述顺序变大。因而, 按第 2 场板 20c 的 n^+ 杂质区 12 一侧的端部、第 1 场板 15d 的栅电极 15a 一侧的端部、第 1 场板 15c 的 n^+ 杂质区 12 一侧的端部、第 2 场板 20c 的栅电极 15a 一侧的端部、第 2 场板 20b 的 n^+ 杂质区 12 一侧的端部、第 1 场板 15c 的栅电极 15a 一侧的端部、第 1 场板 15b 的 n^+ 杂质区 12 一侧的端部、第 2 场板 20b 的栅电极 15a 一侧的端部、第 1 场板 15b 的栅电极 15a 一侧的端部的顺序, 在布线 30 的下方偏移量越来越大。再有, 在上述的实施例 4 中, 在布线 30 的下方使第 1 场板 15e 和第 2 场板 20d 的栅电极 15a 一侧的端部偏移了, 但在本实施例 5 中, 由于将该偏移量设定为零, 故不偏移。此外, 在与实施例 4 有关的第 1 场板 15d 中使两端部偏移了, 但在与本实施例 5 有关的第 1 场板 15d 中, 只使栅电极 15a 一侧的端部偏移了。

如上所述, 在本实施例 5 中, 在第 1 场板 55b ~ 55d 和第 2 场板 60b、60c 中, 位于布线 30 的下方的部分的端部的偏移量越接近于 p 杂质区 3 越大。即, 在布线 30 的下方, 在进行了朝向 p 杂质区 3 一侧的偏移的第 1 场板 55b ~ 55d 和第 2 场板 60b、60c 的端部中, 从最接近于 n^+ 杂质区 52 的第 2 场板 60c 的 n^+ 杂质区 12 一侧的端部起随着朝向最接近于 p 杂质区 3 的第 1 场板 55b 的 p 杂质区 3 一侧的端部, 偏移量按顺序变大。因为被施加高电位的布线 30 的电位对 p 杂质区 3 与 n^+ 杂质区 52 之间的 n^- 半导体层 2 的上表面附近的电位分布给予的影响从高电位的 n^+ 杂质区 52 起越朝向低电位的 p 杂质区 3 越变大,

故如上所述,通过对场板端部的偏移量进行加权,可更有效地缓和 p 杂质区 3 与 n^+ 杂质区 52 之间的 n^- 半导体层 2 中的电场集中。

此外,在本实施例 5 中,在第 1 场板 15b~15d 和第 2 场板 20b、20c 中,位于布线 30 的下方的部分的端部的偏移量越接近于栅电极 15a 越大。因而,根据上述原因,可更有效地缓和 p 杂质区 3 与 n^+ 杂质区 12 之间的 n^- 半导体层 2 中的电场集中。

再有,在上述实施例 4 中已说明的与实施例 3 有关的半导体器件的变形例中,通过使布线 130 的下方的第 1 场板 55b~55d 和第 2 场板 60b、60c 的端部的偏移量越接近于高电位的 n^+ 杂质区 52 越变大,可更有效地缓和 p 杂质区 3 与 n^+ 杂质区 52 之间的 n^- 半导体层 2 中的电场集中。此外,通过使布线 130 的下方的第 1 场板 115b~115d 和第 2 场板 120b、120c 的端部的偏移量越接近于高电位的栅电极 115a 越变大,可更有效地缓和 p^+ 杂质区 112 与 n^+ 杂质区 52 之间的 n^- 半导体层 2 中的电场集中。

再有,图 34、35 是示出与此时的实施例 3 有关的半导体器件的结构的剖面图。图 34(a)与图 30(a)同样,示出了与图 17 中的箭头线 I-I 相当的位置上的剖面图,图 34(b)与图 30(b)同样,示出了与图 17 中的箭头线 G-G 相当的位置上的剖面图的约左半部分的结构。此外,图 35(a)与图 31(a)同样,示出了与图 17 中的箭头线 H-H 相当的位置上的剖面图的约右半部分的结构,图 35(b)与图 31(b)同样,示出了关于位置是与图 17 中的箭头线 G-G 相当的位置、关于看剖面的方向是从与箭头线 G-G 相反一侧看时的剖面图的 pMOS 区 205 中的剖面结构。

图 34 中的角度 $c1$ 是按同一比例使图 34(a)的剖面结构与图 34(b)的剖面结构上下并排、在两者之间使第 1 场板 55e 的 p 杂质区 3 一侧的位置在上下方向上对齐而图示了的情况下从图 34(a)的剖面结构中的第 2 场板 60b 的 p 杂质区 3 一侧的一端起俯视图 34(b)的剖面结构中的该一端时的视线方向 $s1$ 与从图 34(a)的剖面结构中的该一端俯视正下方时的视线方向 $s2$ 构成的角度。同样, $c2$ 、 $c4$ 、 $c6$ 、

c8、c9 分别是图 34 (a) 的第 1 场板 55b、第 2 场板 60b、第 1 场板 55c、第 2 场板 60c 和第 1 场板 55d 的 n^+ 杂质区 52 一侧的一端的视线方向 s1 与视线方向 s2 构成的角度。此外, c3、c5、c7 分别是图 34 (a) 的第 1 场板 55c、第 2 场板 60c 和第 1 场板 55d 的 p 杂质区 3 一侧的一端的视线方向 s1 与视线方向 s2 构成的角度。

此外, 图 35 中的角度 d1 是按同一比例使图 35 (a) 的剖面结构与图 35 (b) 的剖面结构上下并排、在两者之间使栅电极 115a 的 p^+ 杂质区 112 一侧的位置在上下方向上对齐而图示了的情况下从图 35 (a) 的剖面结构中的第 2 场板 120c 的 p^+ 杂质区 112 一侧的一端起俯视图 35 (b) 的剖面结构中的该一端时的视线方向 s1 与从图 35 (a) 的剖面结构中的该一端俯视正下方时的视线方向 s2 构成的角度。同样, d2、d4、d6、d8、d9 分别是图 35 (a) 的第 1 场板 115d、第 2 场板 120c、第 1 场板 115c、第 2 场板 120b 和第 1 场板 115b 的栅电极 115a 一侧的一端的视线方向 s1 与视线方向 s2 构成的角度。此外, d3、d5、d7 分别是图 35 (a) 的第 1 场板 115c、第 2 场板 120b 和第 1 场板 115b 的 p^+ 杂质区 112 一侧的一端的视线方向 s1 与视线方向 s2 构成的角度。

如从以上的说明可理解的那样, 角度 c1 ~ c9、d1 ~ d9 成为作为这些角度的基点的场板的一端的布线 130 下方的偏移量的标准。因而, 例如可以说角度 c1 表示在布线 130 的下方的第 2 场板 60b 的 p 杂质区 3 一侧的端部的偏移量。

在图 34、35 中示出的与本实施例 3 有关的半导体器件的变形例中, 将角度 c1 ~ c9 设定为按上述顺序变大, 将角度 d1 ~ d9 设定为也按上述顺序变大。因而, 在第 1 场板 55b ~ 55d 和第 2 场板 60b、60c 中, 位于布线 130 的下方的部分的端部的偏移量越接近于 n^+ 杂质区 52 越大。即, 在布线 130 的下方, 在进行了朝向 n^+ 杂质区 52 一侧的偏移的第 1 场板 55b ~ 55d 和第 2 场板 60b、60c 的端部中, 从最接近于 p 杂质区 3 的第 2 场板 60b 的 p 杂质区 3 一侧的端部起随着朝向最接近于 n^+ 杂质区 52 的第 1 场板 55d 的 n^+ 杂质区 52 一侧的端部, 偏移量

按顺序变大。因为被施加低电位的布线 130 的电位对 p 杂质区 3 与 n^+ 杂质区 52 之间的 n^- 半导体层 2 的上表面附近的电位分布给予的影响从低电位的 p 杂质区 3 起越朝向高电位的 n^+ 杂质区 52 越变大, 故如上所述, 通过对场板端部的偏移量进行加权, 可更有效地缓和 p 杂质区 3 与 n^+ 杂质区 52 之间的 n^- 半导体层 2 中的电场集中。

此外, 因为将角度 $d1 \sim d9$ 设定为按上述顺序变大, 故在第 1 场板 115b ~ 115d 和第 2 场板 120b、120c 中, 位于布线 130 的下方的部分的端部的偏移量越接近于栅电极 115a 越大。因而, 根据上述原因, 可更有效地缓和低电位的 p^+ 杂质区 112 与高电位 n^+ 杂质区 52 之间的 n^- 半导体层 2 中的电场集中。

实施例 6.

图 36 是示出与本发明的实施例 6 有关的半导体器件的结构的面图。与本实施例 6 有关的半导体器件是在与上述的本实施例 1 有关的半导体器件中不形成电极 16、56、在作为外延层的 n^- 半导体层 2 的上表面内设置了 n 扩散区 70 的实施例。再有, 图 36 是图 2 中的与箭头线 A-A 相当的位置上的剖面图。

如图 36 中所示, 在高电位岛区 201 内的 n^- 半导体层 2 和 nMOS 区 202 的 n^- 半导体层 2 的上表面内与 p 杂质区 3 接触地形成了其杂质浓度比 n^- 半导体层 2 的杂质浓度高的 n 扩散区 70。在平面视图上在高电位岛区 201 和 nMOS 区 202 的 n^- 半导体层 2 的全部区域中形成了与本实施例 6 有关的 n 扩散区 70。

在本实施例 6 中, 在 n 扩散区 70 的上表面内形成了 n^+ 杂质区 12、52 和 p^+ 杂质区 13。此外, 在 n 扩散区 70 中也形成了高电位逻辑电路 101, 在 n 扩散区 70 上也形成了隔离绝缘膜 17。而且, 与本实施例 6 有关的半导体器件与实施例 1 不同, 不具备电极 16、56。

再有, 在形成了低电位逻辑电路 100 等的高电位岛区 201 和 nMOS 区 202 外的 n^- 半导体层 2 的上表面内也形成了 n 扩散区 70, 在该 n 扩散区 70 中形成了低电位逻辑电路 100 等。由于关于其它的结构与实施例 1 的半导体器件是相同的, 故省略其说明。

这样,在与本实施例6有关的半导体器件中,由于在n⁻半导体层2的上表面内形成了n扩散区70,故容易满足上述的RESURF隔离区300、301中的RESURF条件。

在与上述的实施例1~5有关的半导体器件中,为了实现高耐压化,将n⁻半导体层2设计成n⁻半导体层2的杂质浓度Nd及其厚度t满足以下的式(1)表示的RESURF条件。

【式1】

$$Nd(\text{cm}^{-3}) \times t(\text{cm}) \approx 1.0 \times 10^{12} (\text{cm}^{-2}) \quad \dots(1)$$

在外延层中,通常由于其杂质浓度Nd和厚度t的误差分别按±10%的程度发生,故其积的误差范围约±20%,满足RESURF条件是不容易的。因此,有时不能得到所希望的耐压的半导体器件。

但是,在例如利用离子注入法导入杂质并经过其后的热处理工序形成的扩散区中,由于能高精度地控制杂质浓度和厚度(扩散深度),故可将其杂质浓度与厚度的积抑制为小于等于1%。因而,通过如与本实施例6有关的半导体器件那样在n⁻半导体层2的上表面内设置n扩散区70,容易满足RESURF条件,能更可靠地在RESURF隔离区300、301中形成耗尽层。其结果,可容易地得到所希望的耐压的半导体器件。

再有,在RESURF条件中的容许误差范围假定为±20%的情况下,希望将n⁻半导体层2形成成为n⁻半导体层2的杂质浓度与厚度的积不到 $0.2 \times 10^{12} (\text{cm}^{-2})$ 。

其次,说明在n⁻半导体层2的上表面内形成n扩散区70的方法的一例。首先,如图37中所示,p⁻半导体衬底1上形成了作为外延层的n⁻半导体层2,再形成n⁺埋入杂质区51。其次,如图38中所示,在n⁻半导体层2上形成具有预定的开口图形的抗蚀剂72a,使用该抗蚀剂72a作为掩模,以离子方式注入作为n型杂质的磷(P)离子71。然后,除去抗蚀剂72a。

其次,如图39中所示,在n⁻半导体层2上形成具有预定的开口图形的抗蚀剂72b,使用该抗蚀剂72b作为掩模,以离子方式注入作

为 p 型杂质的硼 (B) 离子 73。然后, 除去抗蚀剂 72b。然后, 在约 1000℃ 下进行大于等于 1 小时的热处理。由此, 如图 40 中所示, 在 n⁻半导体层 2 的上表面内形成 n 扩散区 70, 同时从 n⁻半导体层 2 的上表面起到与 p⁻半导体衬底 1 的界面在 n⁻半导体层 2 的内部形成 p 杂质区 3a 其后, 如图 41 中所示, 形成隔离绝缘膜 17 和 n⁺杂质区 52, 然后, 如图 42 中所示, 通过形成作为 p 杂质区 3 的一部分的 p 杂质区 3b 或第 1 场板 55a~55e, 完成与本实施例 6 有关的半导体器件。

再有, 在本实施例 6 中, 在高电位岛区 201 和 nMOS 区 202 内的 n⁻半导体层 2 的上表面的全部区域中形成了 n 扩散区 70, 但通过至少在被耗尽层覆盖的 RESURF 隔离区 300、301 中形成 n 扩散区 70, 可得到同样的效果。即, 通过在高电位岛区 201 中至少在 p 杂质区 3 与 n⁺杂质区 52 之间的 n⁻半导体层 2 的上表面内形成 n 扩散区 70, 通过在 nMOS 区 202 中至少在 p 杂质区 3 与 n⁺杂质区 12 之间的 n⁻半导体层 2 的上表面内形成 n 扩散区 70, 可容易地得到具备所希望的耐压的半导体器件。

实施例 7.

图 43 是示出与本发明的实施例 7 有关的半导体器件的结构的面图。与本实施例 7 有关的半导体器件是在与上述的本实施例 6 有关的半导体器件中在布线 30 的下方 n⁻半导体层 2 从 n 扩散区 70 露出的实施例。图 43 放大地示出了高电位岛区 201 内的 n⁻半导体层 2 和 nMOS 区 202 内的 n⁻半导体层 2 的边界附近, 为了说明的方便起见, 省略除布线 30 外的 n⁻半导体层 2 上方的结构的记载, 进而, 省略了 p⁺杂质区 13 和源区 14 的记载。再有, 关于后述的图 44、45 也是同样的。

如图 43 中所示, 在与本实施例 7 有关的高电位岛区 201 中, 在布线 30 的下方的 p 杂质区 3 与 n⁺杂质区 52 之间的 n⁻半导体层 2 中部分地未形成 n 扩散区 70, n⁻半导体层 2 具有从 n 扩散区 70 露出的部分 2a。n⁻半导体层 2 的露出部分 2a 从 p 杂质区 3 与 n⁺杂质区 52 之间的 n⁻半导体层 2 的 p 杂质区 3 一侧的一端起沿朝向 n⁺杂质区 52 的方

向延伸。

此外,在与本实施例7有关的nMOS区202中,在布线30的下方的p杂质区3与 n^+ 杂质区12之间的 n^- 半导体层2中部分地未形成n扩散区70, n^- 半导体层2具有从n扩散区70露出的部分2b。 n^- 半导体层2的露出部分2b从p杂质区3与 n^+ 杂质区12之间的 n^- 半导体层2的p杂质区3一侧的一端起沿朝向 n^+ 杂质区12的方向延伸。由于关于其它的结构与实施例6的半导体器件是相同的,故省略其说明。

如上述那样,在被施加几百V的高电位的布线30的下方的 n^- 半导体层2中,利用该布线30的影响来抑制耗尽层的扩展。因而,有时在 n^- 半导体层2的上表面附近发生电场集中。

在本实施例7中,由于 n^- 半导体层2在布线30的下方具备从n扩散区70露出的部分2a、2b,故在该露出部分2a、2b中促进耗尽层的扩展。这是因为 n^- 半导体层2的杂质浓度比n扩散区70的杂质浓度低。因而,可缓和基于布线30的电位的电场集中,以提高耐压。

实施例8.

图44是示出与本发明的实施例8有关的半导体器件的结构的平面图。与本实施例8有关的半导体器件是在与上述的本实施例7有关的半导体器件中使 n^- 半导体层2的露出部分2a、2b的形状变化的实施例。

如图44中所示,与本实施例8有关的 n^- 半导体层2的露出部分2a在平面视图上为梯形,在平面视图上在与从p杂质区3朝向 n^+ 杂质区52的方向垂直的方向的宽度W1随着从p杂质区3朝向 n^+ 杂质区52而变窄。此外,与本实施例8有关的露出部分2b在平面视图上大致为梯形,在平面视图上在与从p杂质区3朝向 n^+ 杂质区12的方向垂直的方向的宽度W2随着从p杂质区3朝向 n^+ 杂质区12而变窄。由于关于其它的结构与实施例7的半导体器件是同样的,故省略其说明。

在此,在p杂质区3与 n^+ 杂质区52之间的 n^- 半导体层2中,随着从低电位的p杂质区3朝向高电位的 n^+ 杂质区52,耗尽层容易扩展。

此外,在 p 杂质区 3 与 n^+ 杂质区 12 之间的 n^- 半导体层 2 中,随着从低电位的 p 杂质区 3 朝向高电位的 n^+ 杂质区 12,耗尽层容易扩展。因而,如果如与上述的实施例 7 有关的半导体器件那样均匀地设定露出部分 2a、2b 的宽度 W1、W2,则在露出部分 2a、2b 中发生电场比较集中的部位。

在本实施例 8 中,由于使露出部分 2a 的宽度 W1 随着朝向 n^+ 杂质区 52 而变窄,故该露出部分 2a 中的耗尽层的扩展受到杂质浓度高的 n 扩散区 70 的干扰,随着朝向 n^+ 杂质区 52 被抑制。因而,如即使比较图 43 中示出的等电位线 90 与图 44 中示出的等电位线 90 也可理解的那样,露出部分 2a 中的等电位线 90 变得稀疏,可缓和该露出部分 2a 中的电场集中。

此外,由于使露出部分 2b 的宽度 W2 随着朝向 n^+ 杂质区 12 而变窄,故该露出部分 2a 中的耗尽层的扩展受到杂质浓度高的 n 扩散区 70 的干扰,随着朝向 n^+ 杂质区 12 被抑制。因而,可缓和该露出部分 2b 中的电场集中。

实施例 9.

图 45 是示出与本发明的实施例 9 有关的半导体器件的结构的平面图。与本实施例 9 有关的半导体器件是在与上述的本实施例 7 有关的半导体器件中将 n^- 半导体层 2 的露出部分 2a、2b 分割为多个部分的实施例。

如图 45 中所示,与本实施例 9 有关的 n^- 半导体层 2 的露出部分 2a 被分割为多个部分,具备多个分割部分 2aa。在布线 30 的下方,沿从 p 杂质区 3 朝向 n^+ 杂质区 52 的方向互相分离地排列了多个分割部分 2aa。而且,多个分割部分 2aa 在平面视图上沿从 p 杂质区 3 朝向 n^+ 杂质区 52 的方向的宽度 W11 随着从 p 杂质区 3 朝向 n^+ 杂质区 52 而变窄。

此外,与本实施例 9 有关的 n^- 半导体层 2 的露出部分 2b 被分割为多个部分,具备多个分割部分 2bb。在布线 30 的下方,沿从 p 杂质区 3 朝向 n^+ 杂质区 12 的方向互相分离地排列了多个分割部分 2bb。而

且,多个分割部分 2bb 在平面视图上沿从 p 杂质区 3 朝向 n^+ 杂质区 12 的方向的宽度 W12 随着从 p 杂质区 3 朝向 n^+ 杂质区 12 而变窄。由于其它的结构与实施例 7 的半导体器件是同样的,故省略其说明。

这样,在与本实施例 9 有关的半导体器件中,由于作为 n^- 半导体层 2 的从 n 扩散区 70 露出的部分的多个分割部分 2aa 的宽度 W11 随着朝向 n^+ 杂质区 52 而变窄,故多个分割部分 2aa 中的耗尽层的扩展随着朝向 n^+ 杂质区 52 而被抑制。因而,可缓和 p 杂质区 3 与 n^+ 杂质区 52 之间的电场集中。

此外,由于作为 n^- 半导体层 2 的从 n 扩散区 70 露出的部分的多个分割部分 2bb 的宽度 W12 随着朝向 n^+ 杂质区 12 而变窄,故多个分割部分 2bb 中的耗尽层的扩展随着朝向 n^+ 杂质区 12 而被抑制。因而,可缓和 p 杂质区 3 与 n^+ 杂质区 12 之间的电场集中。

实施例 10.

图 46 是示出与本发明的实施例 10 有关的半导体器件的结构的剖面图。与本实施例 10 有关的半导体器件是在与上述的本实施例 9 有关的半导体器件中基本上将露出部分 2a 的分割部分 2aa 分别配置在第 1 场板 55a~55e 间的间隙的下方、进而将露出部分 2b 的分割部分 2bb 分别配置在第 1 场板 15a~15e 间的间隙的下方的实施例。再有,图 46 是图 2 中的与箭头线 A-A 相当的位置上的剖面图。

如图 46 中所示,在本实施例 10 中,在第 1 场板 55a、55b 间的间隙的下方、第 1 场板 55b、55c 间的间隙的下方、第 1 场板 55c、55d 间的间隙的下方、第 1 场板 55d、55e 间的间隙的下方设置了分割部分 2aa。

此外,在本实施例 10 中,在第 1 场板 15a、15b 间的间隙的下方、第 1 场板 15b、15c 间的间隙的下方、第 1 场板 15c、15d 间的间隙的下方、第 1 场板 15d、15e 间的间隙的下方设置了分割部分 2bb。

再有,将与上述的实施例 9 有关的分割部分 2aa、2bb 的宽度 W11、W12 设定为随着从 p 杂质区 3 朝向 n^+ 杂质区 52 或随着从 p 杂质区 3 朝向 n^+ 杂质区 12 而变窄,但在本实施例 10 中,将各分割部分

2aa、2bb 的宽度 W11、W12 设定为与对应的第 1 场板间的间隙的距离大体一致。

这样，在与本实施例 10 有关的半导体器件中，将作为 n⁻半导体层 2 的从 n 扩散区 70 露出的部分的多个分割部分 2aa 分别配置在第 1 场板 55a~55e 间的间隙的下方。因为在 p 杂质区 3 与 n⁺杂质区 52 之间比较强地受到布线 30 的电位的影响的部分是第 1 场板 15a~15e 间的间隙的下方，故通过将耗尽层容易扩展的分割部分 2aa 配置在这里，可缓和电场集中。其结果，耐压提高了。

此外，在本实施例 10 中，将作为 n⁻半导体层 2 的从 n 扩散区 70 露出的部分的多个分割部分 2bb 分别配置在第 1 场板 15a~15e 间的间隙的下方。因为在 p 杂质区 3 与 n⁺杂质区 12 之间比较强地受到布线 30 的电位的影响的部分是第 1 场板 15a~15e 间的间隙的下方，故通过将耗尽层容易扩展的分割部分 2bb 配置在这里，可缓和电场集中。其结果，耐压提高了。

图1

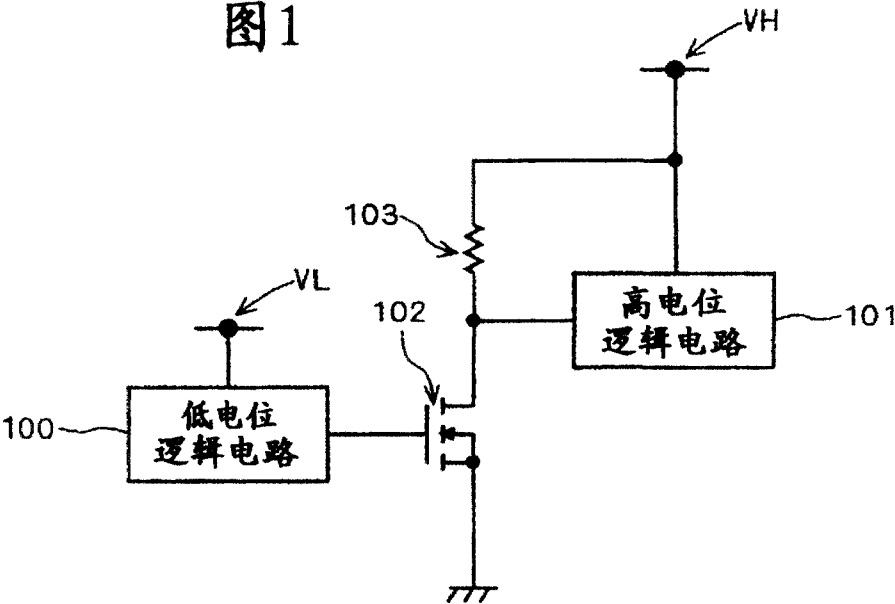


图2

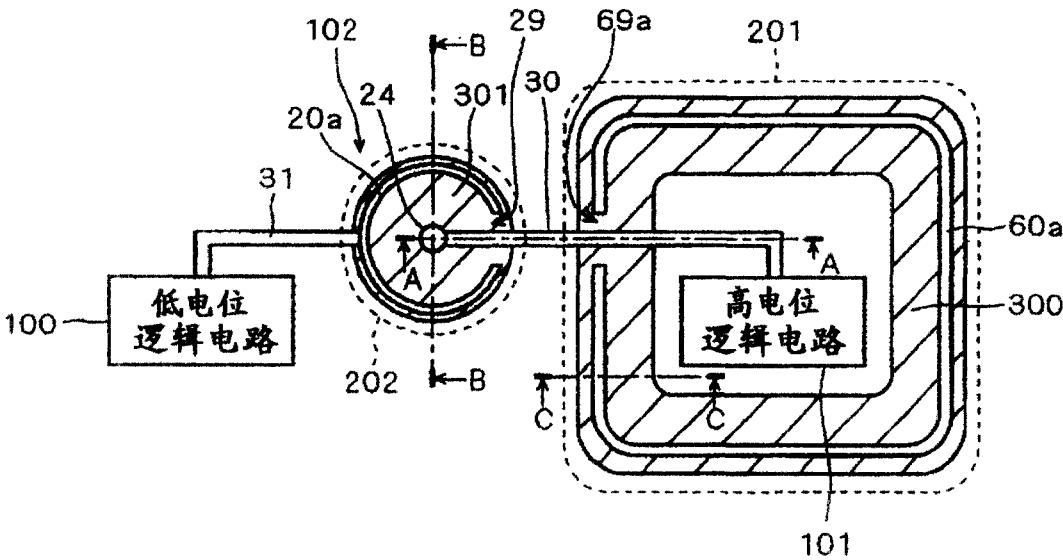
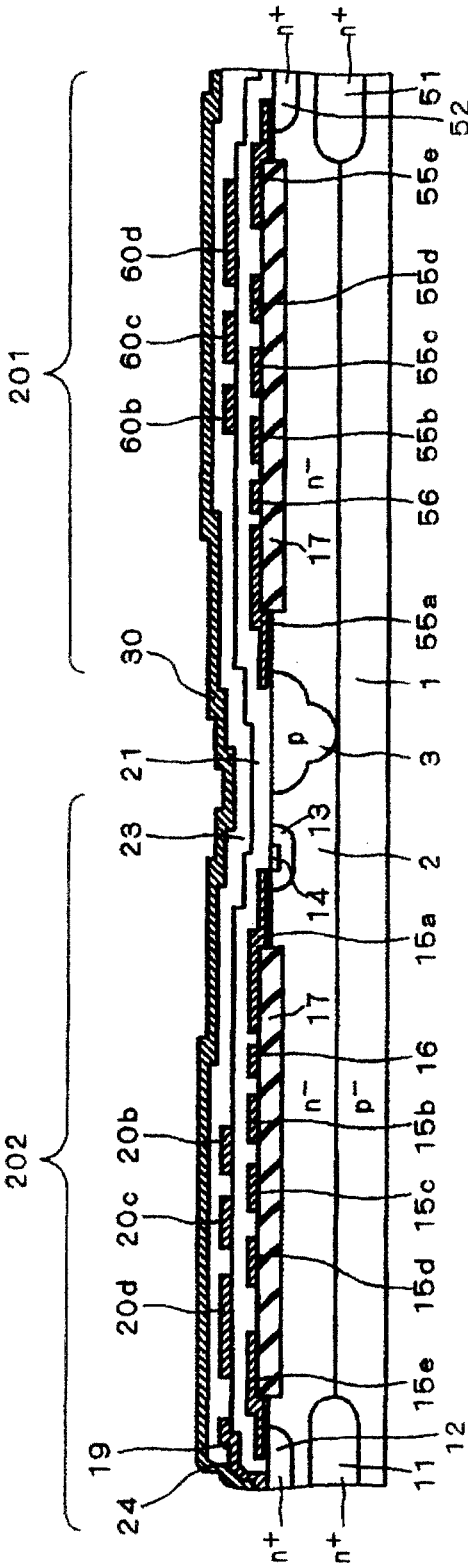


图 3



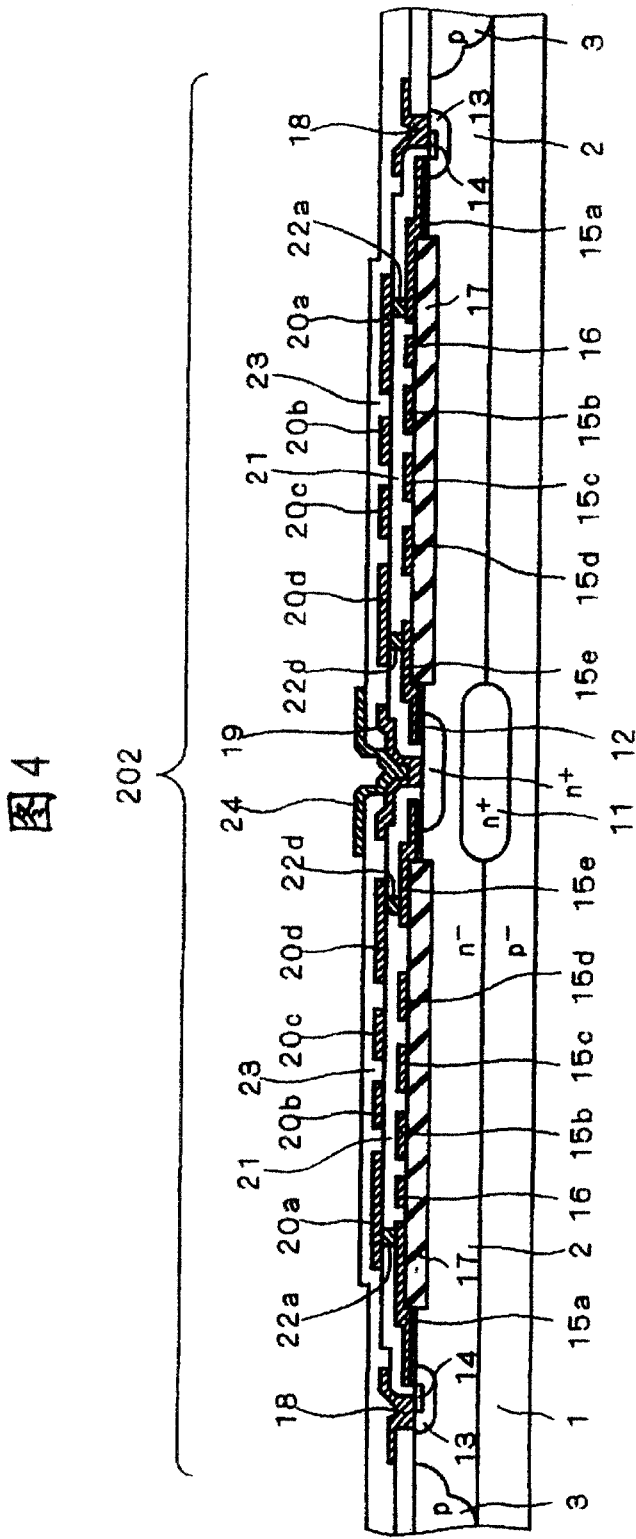


图5

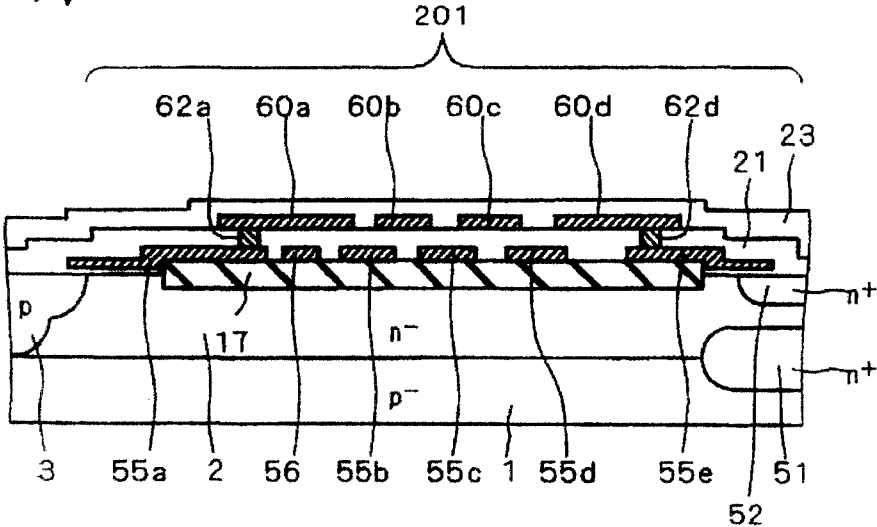


图6

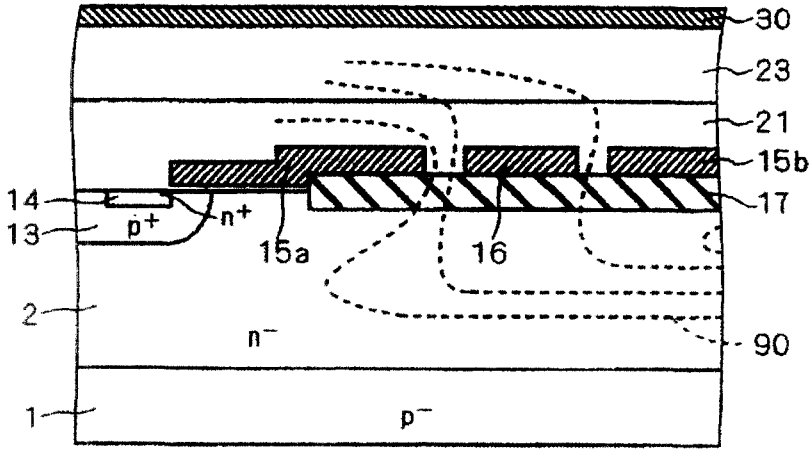


图7

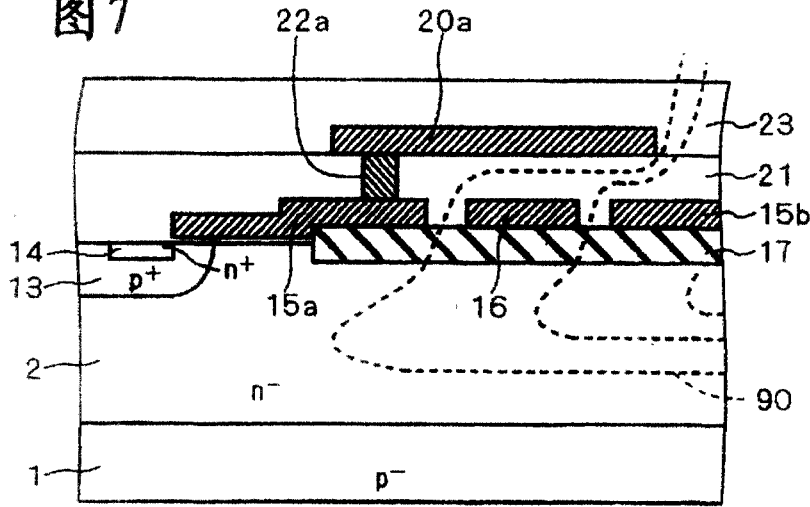


图 8

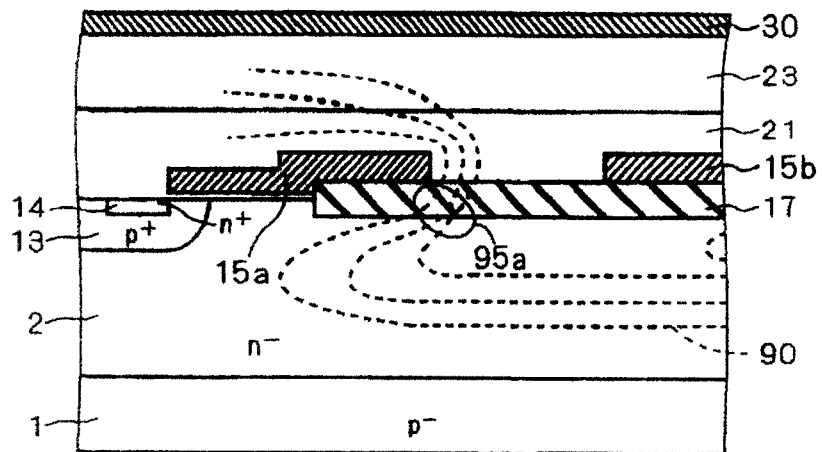


图9

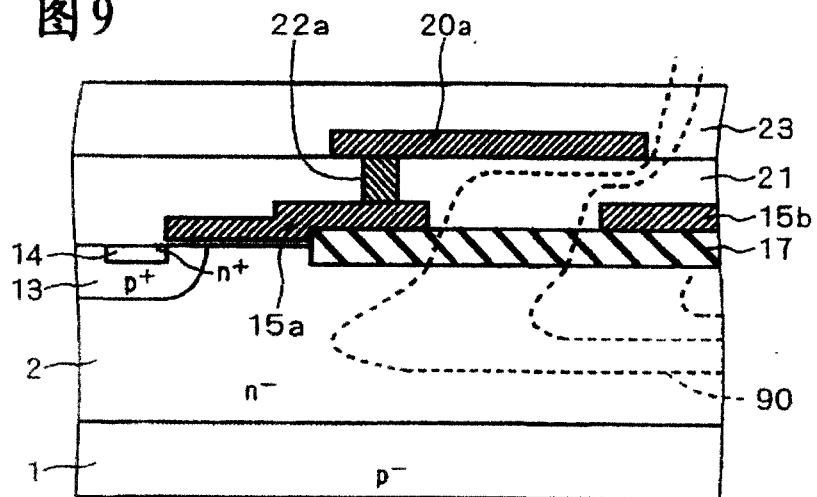


图 10

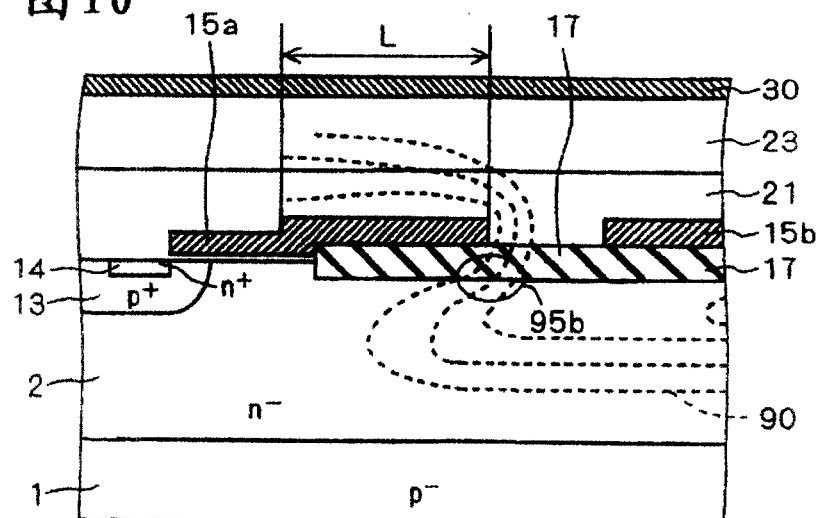


图11

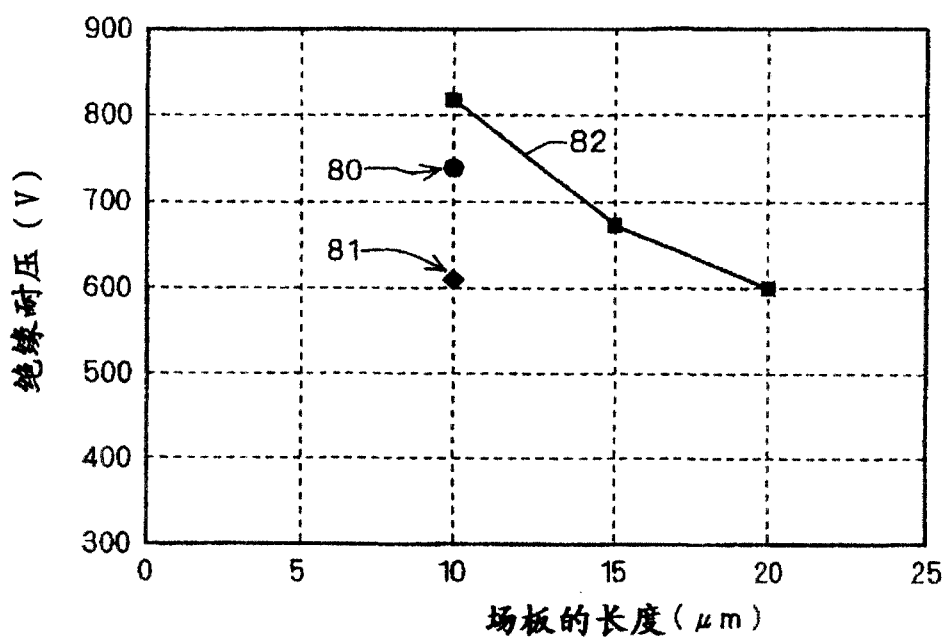


图12

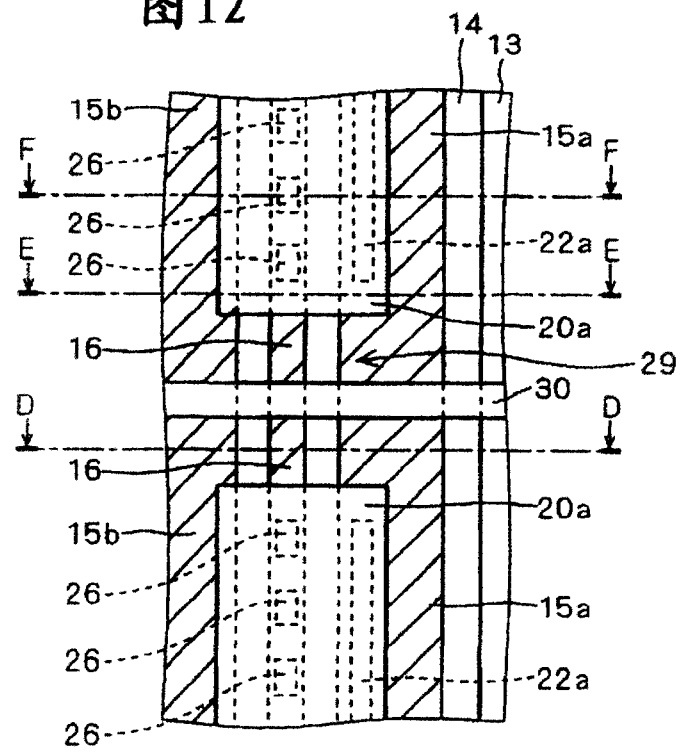


图 13

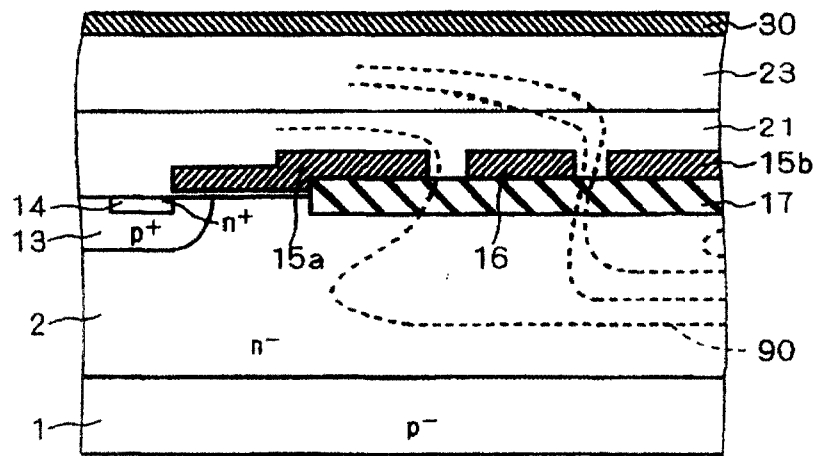


图 14

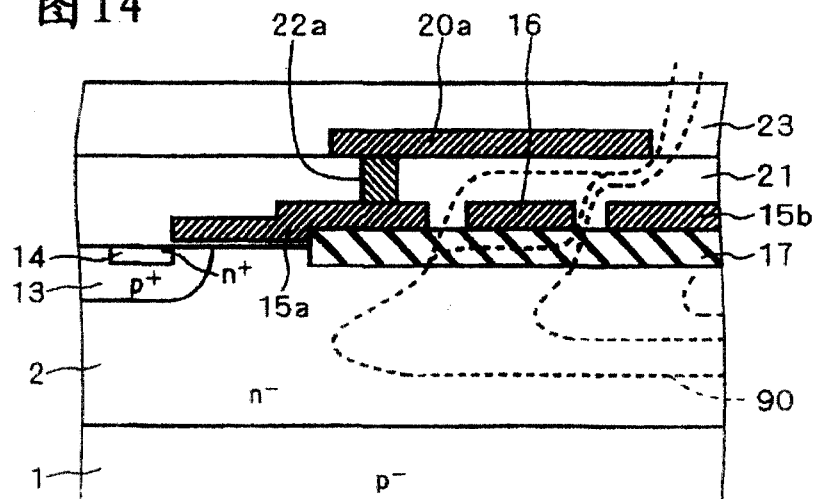


图 15

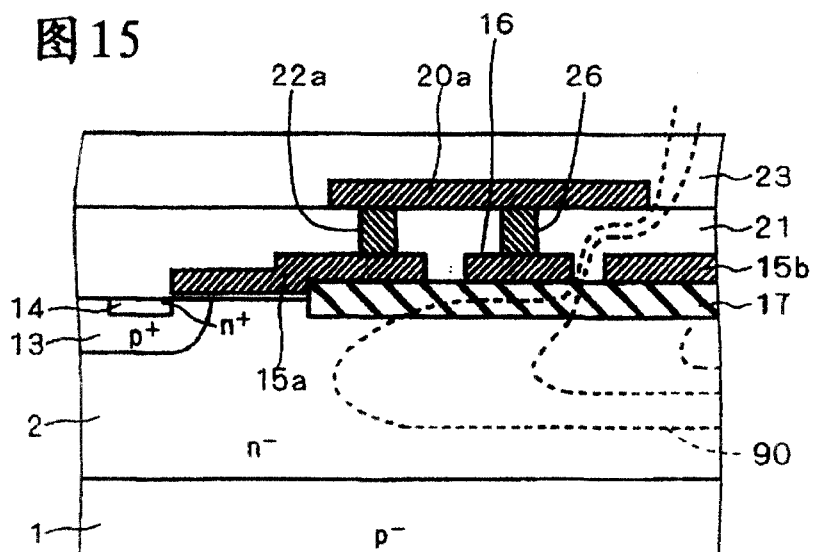


图18

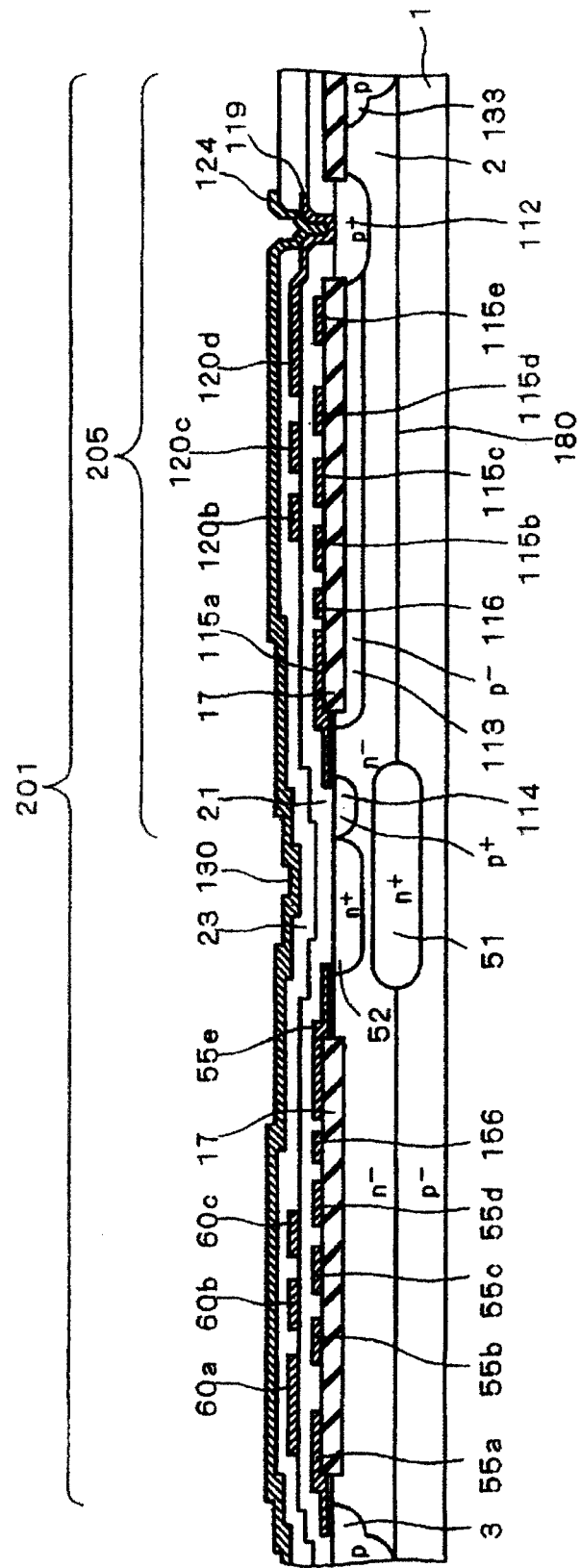


图19

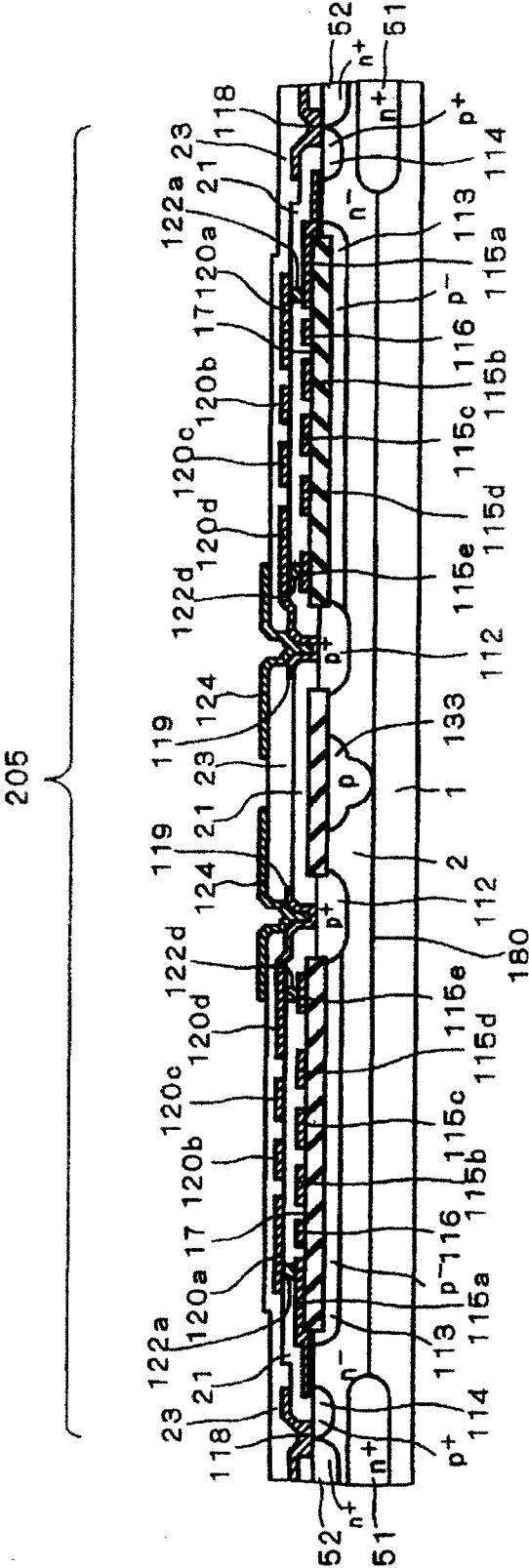


图 20

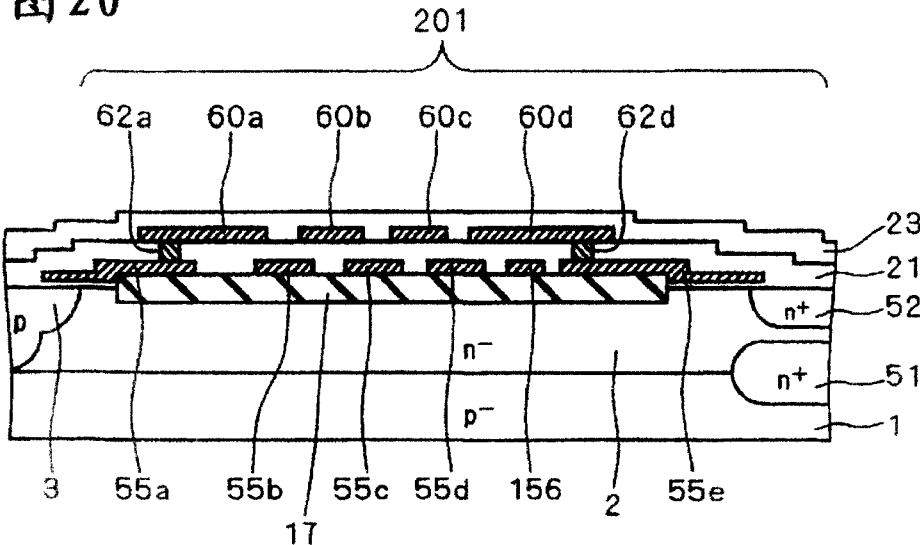


图 21

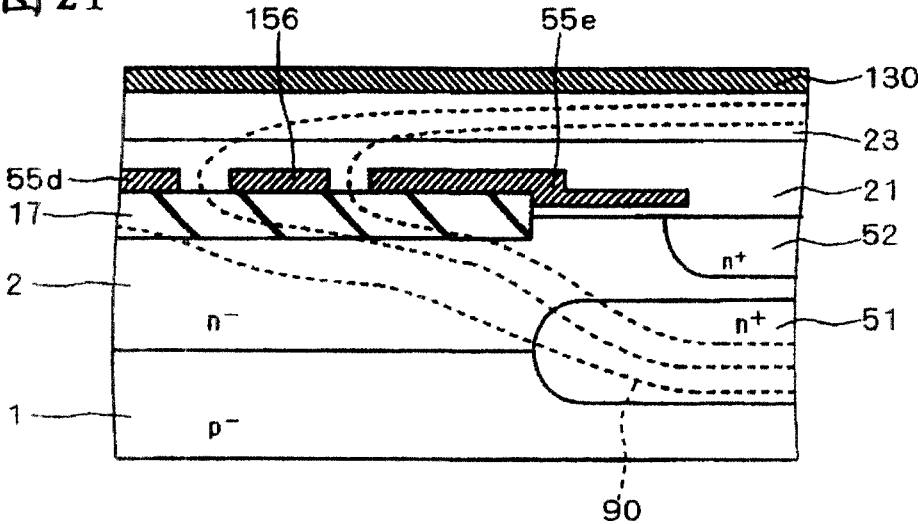


图 22

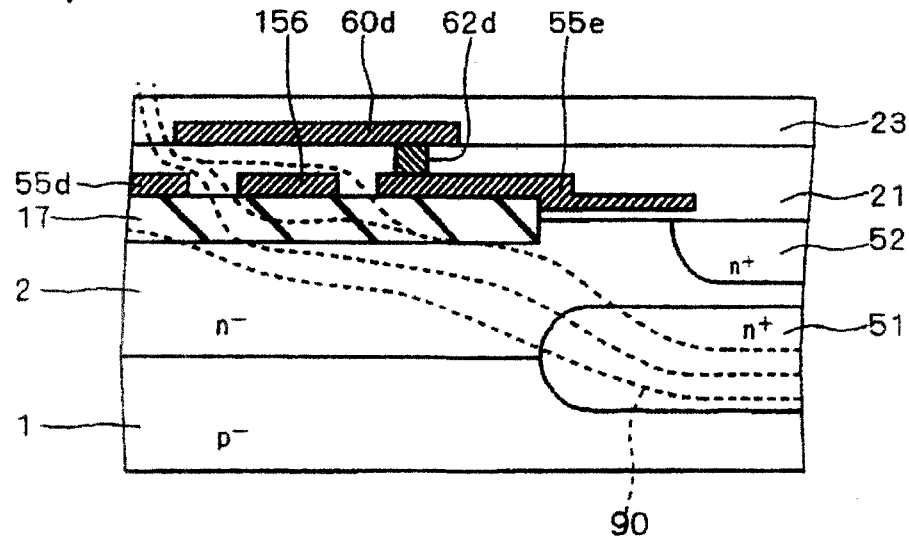


图25

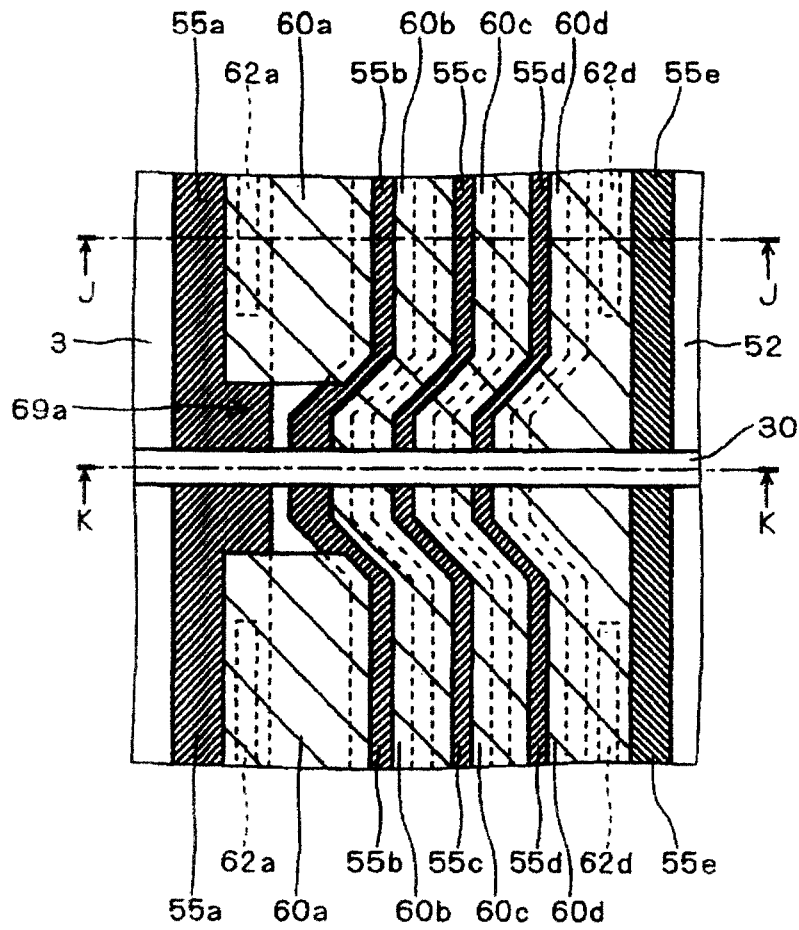


图26

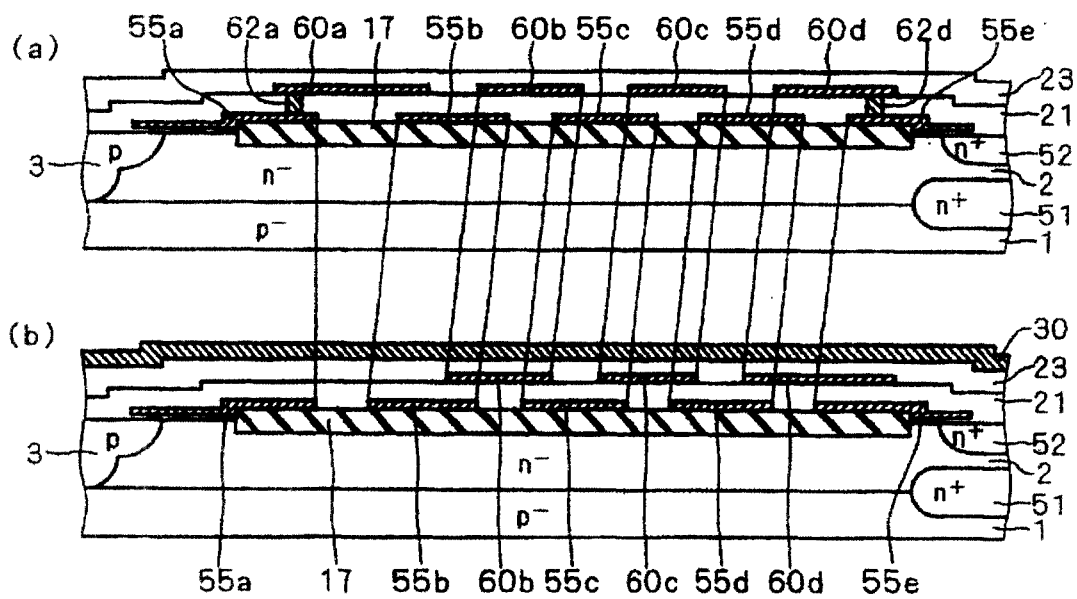


图 27

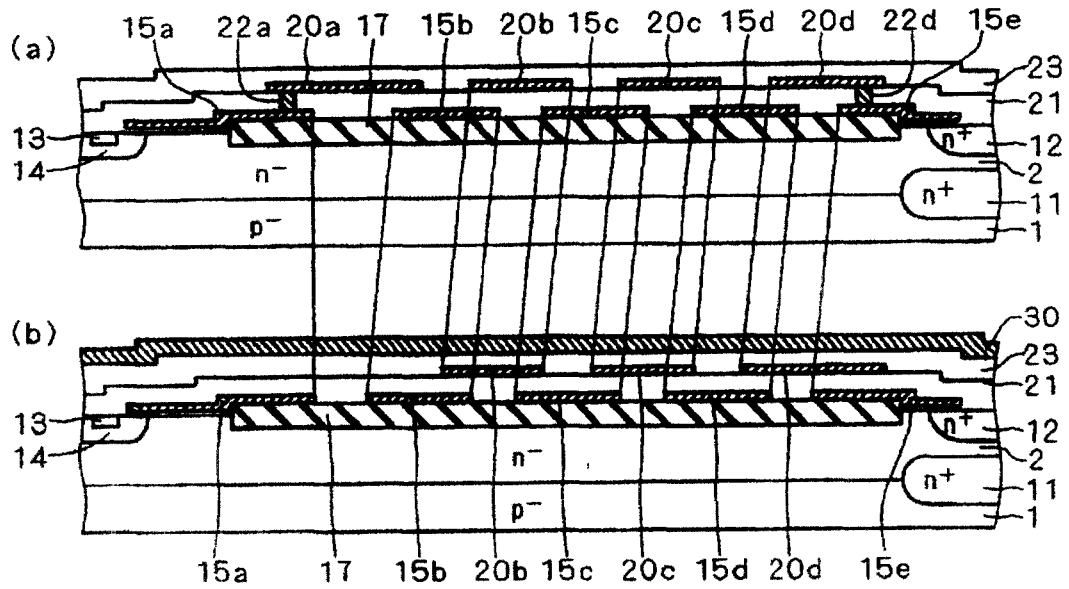


图 28

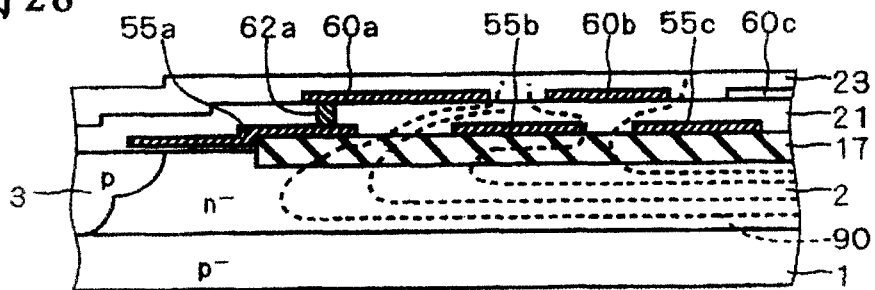


图 29

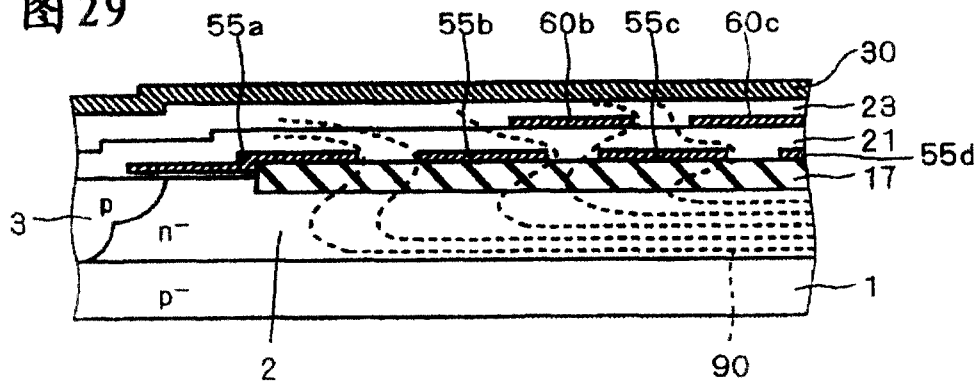


图 30

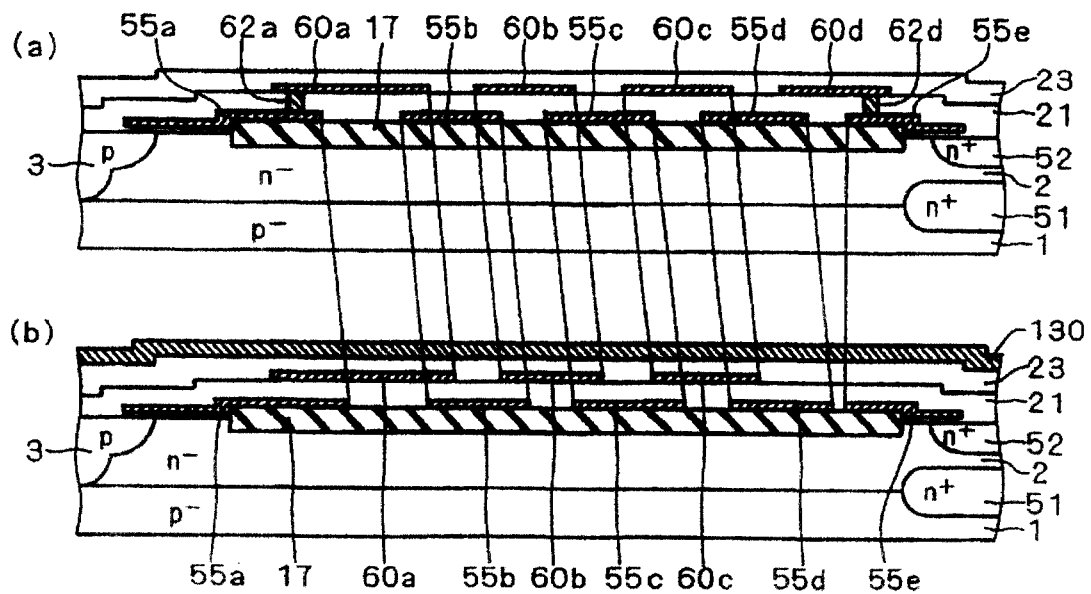


图 31

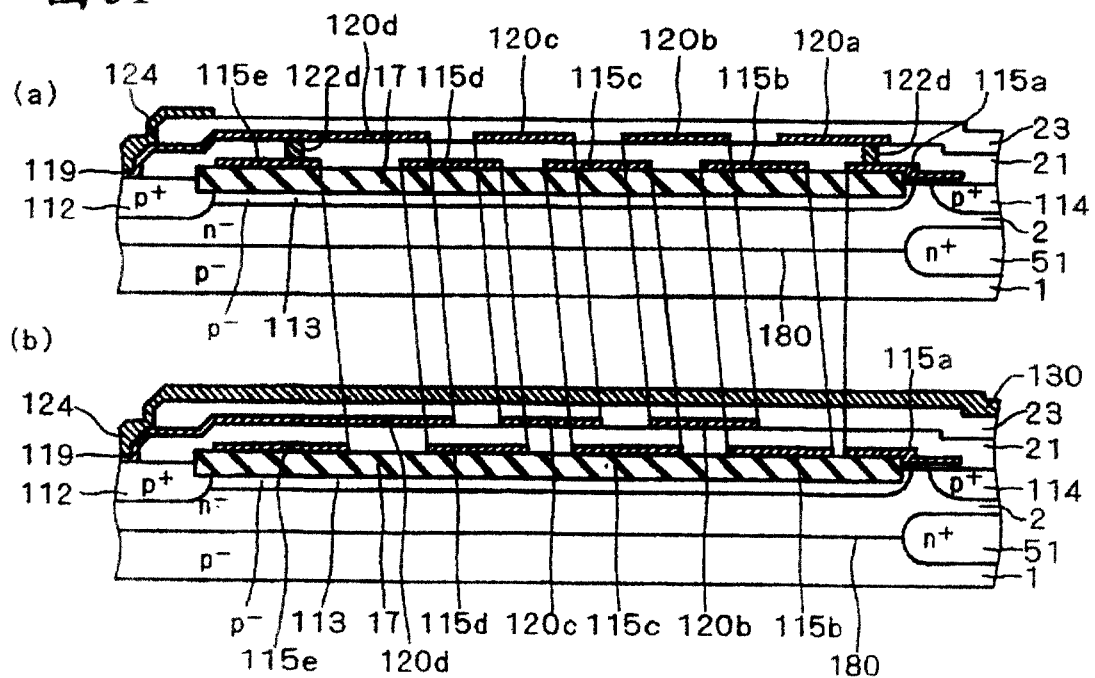


图 32

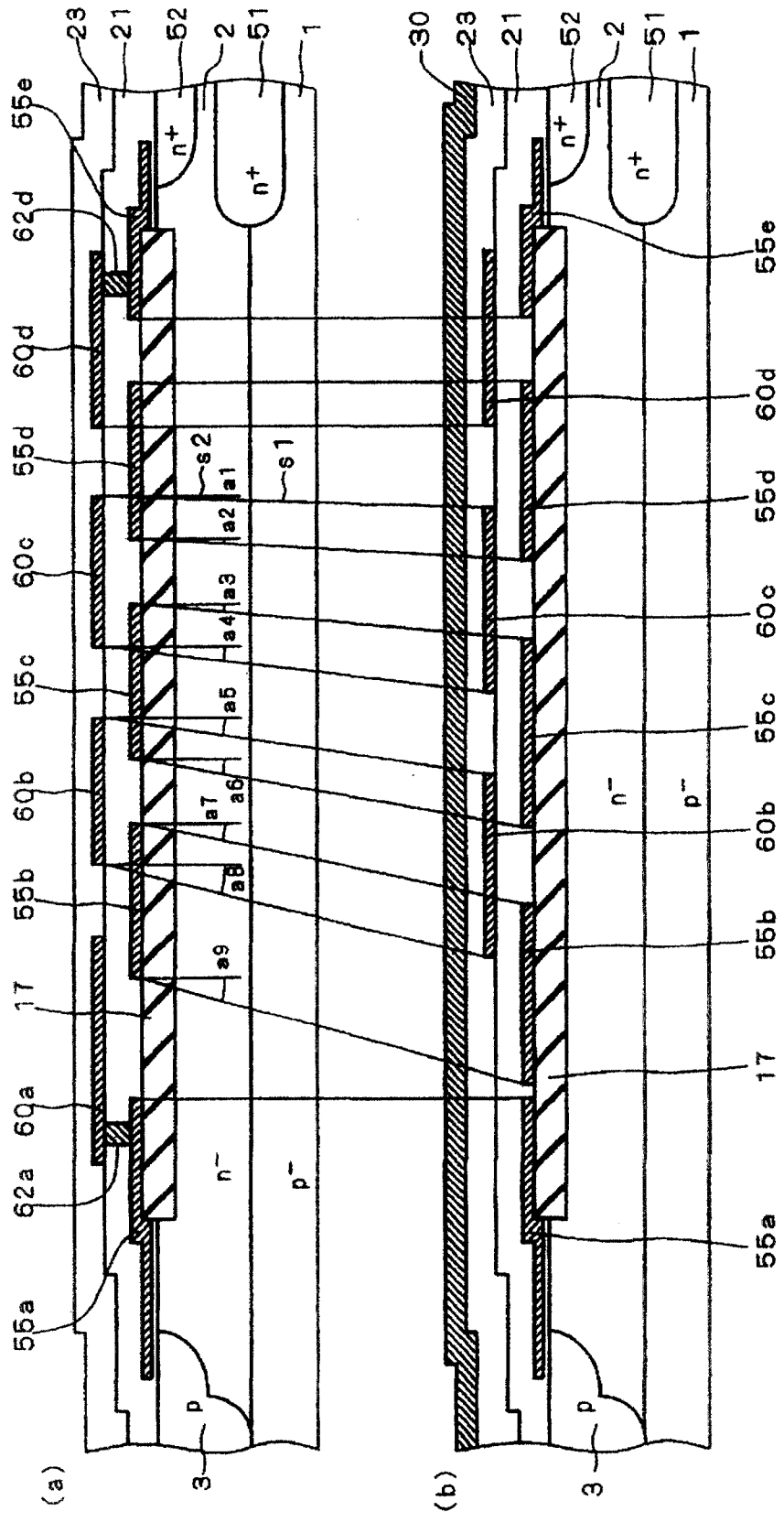


图 33

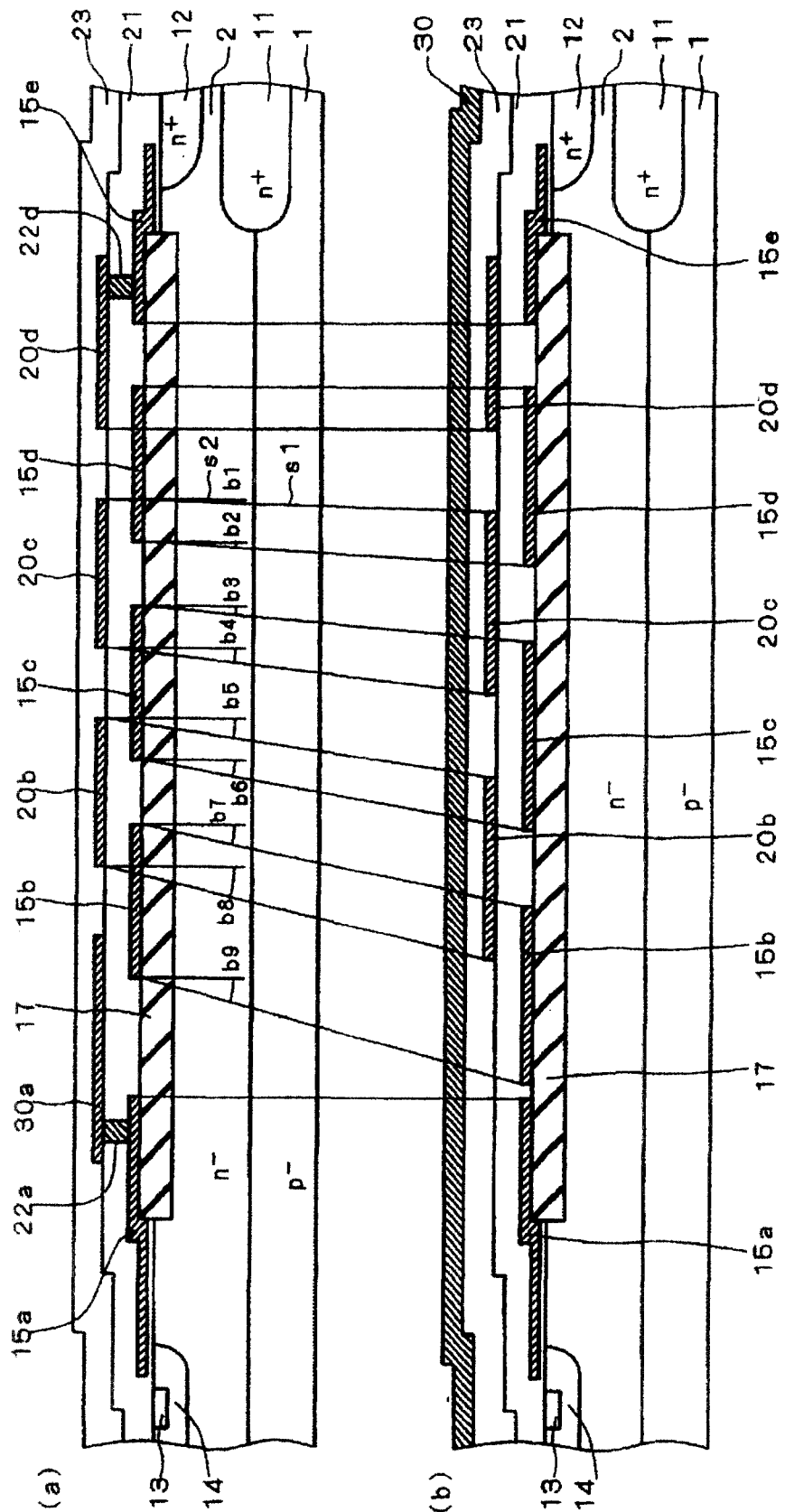


图 34

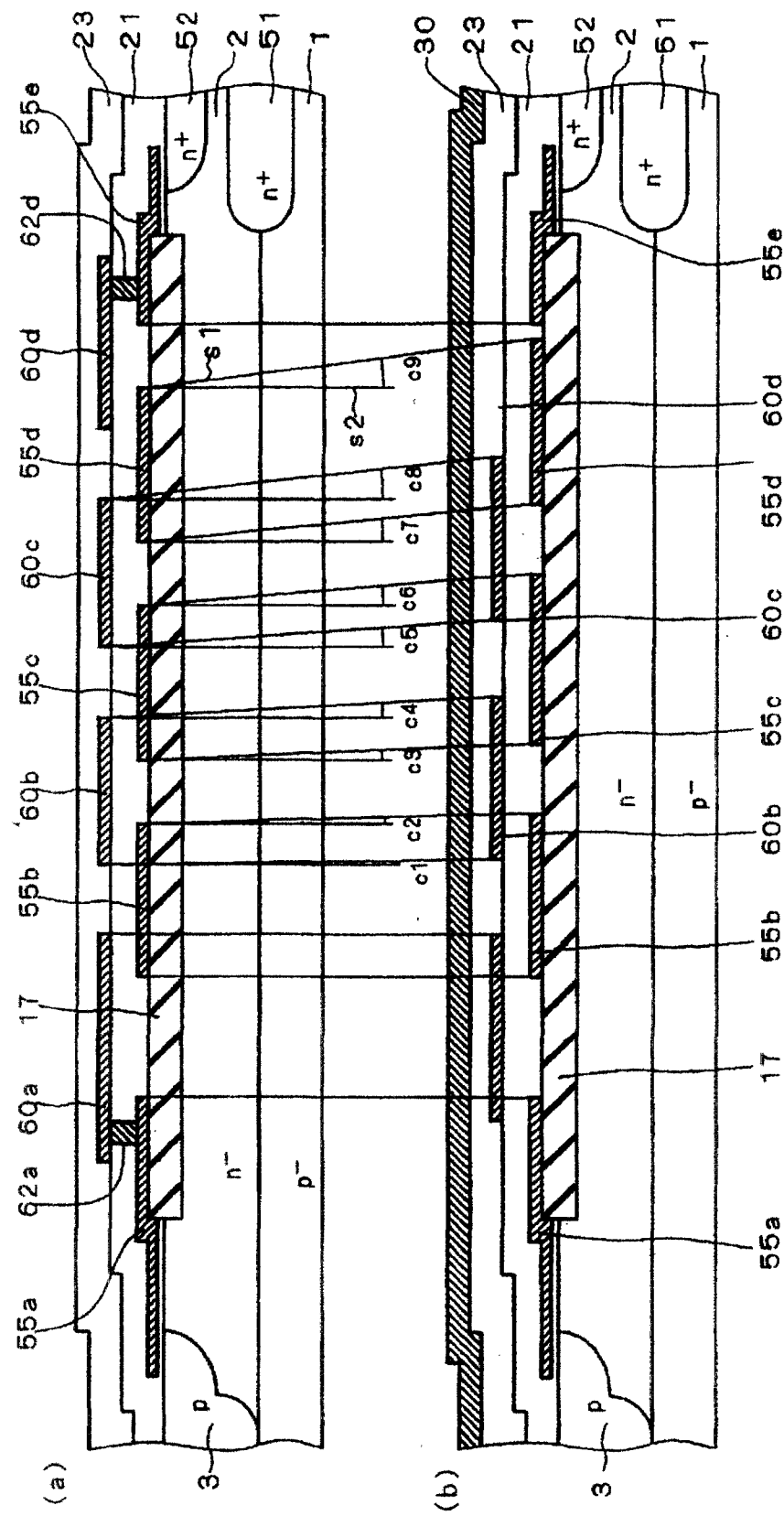


图 35

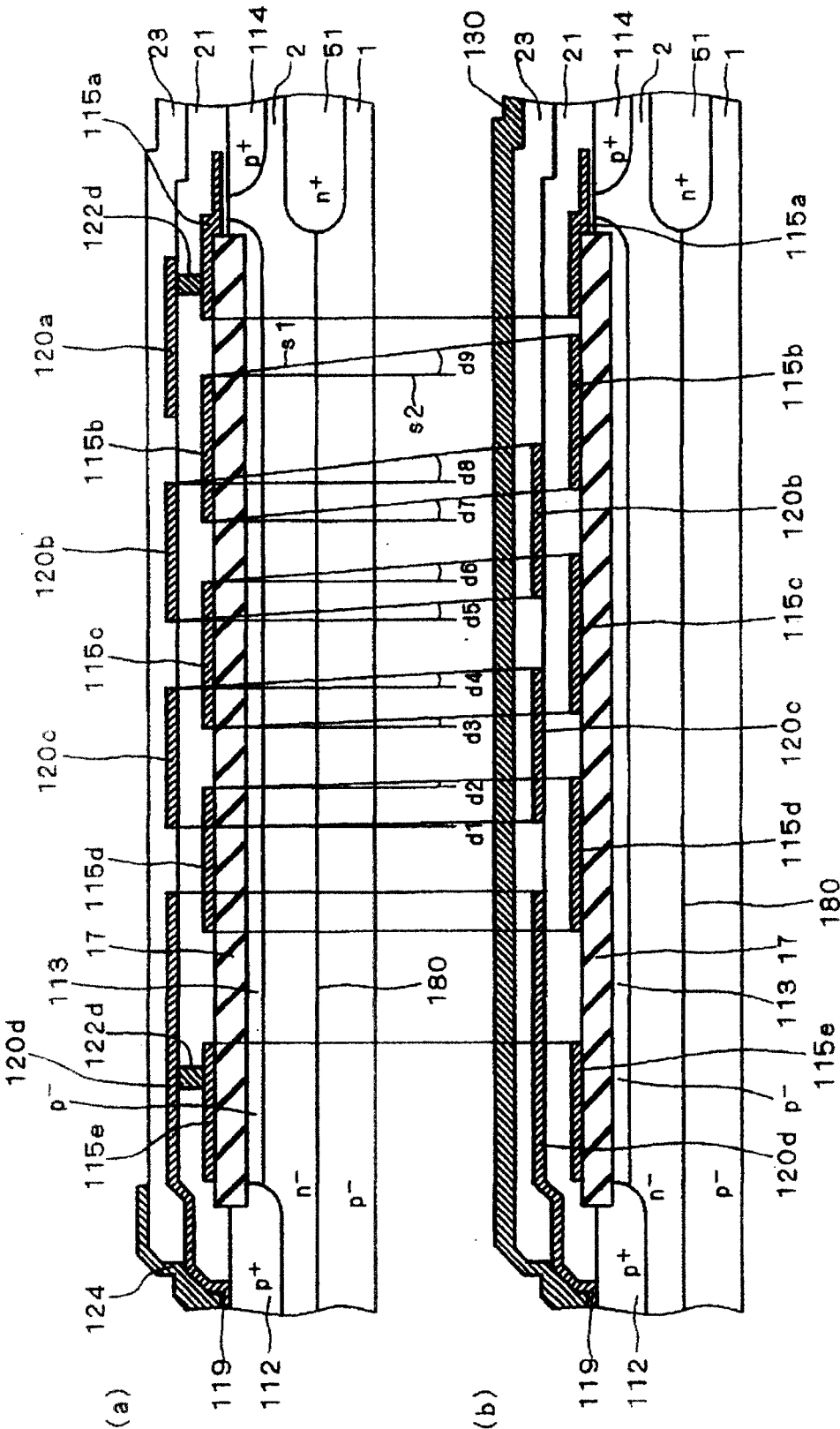


图 36

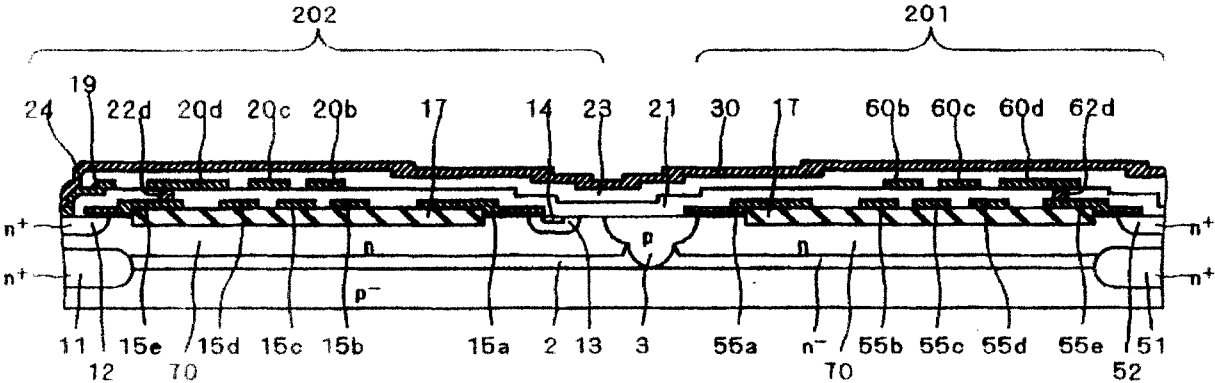


图 37

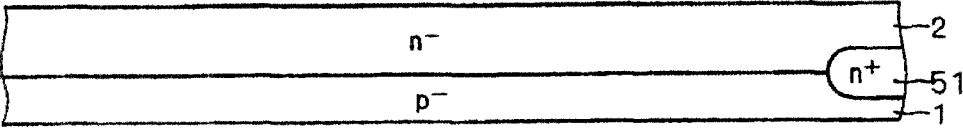


图 38

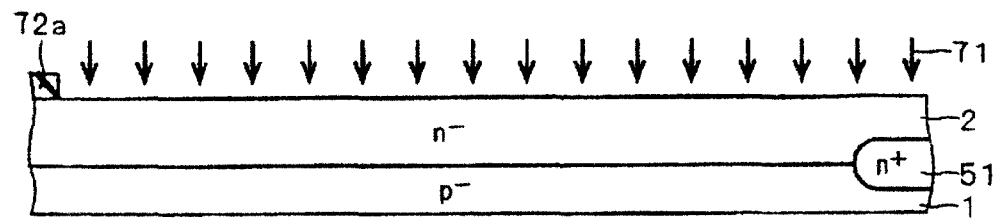


图 39

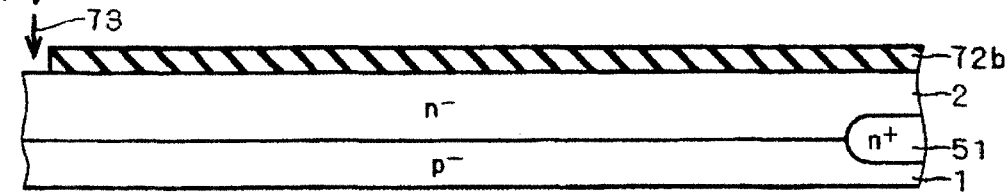


图 40

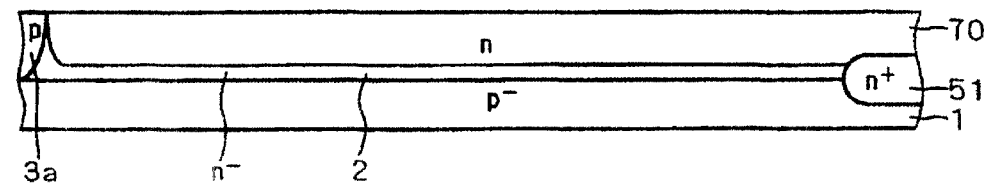


图 41

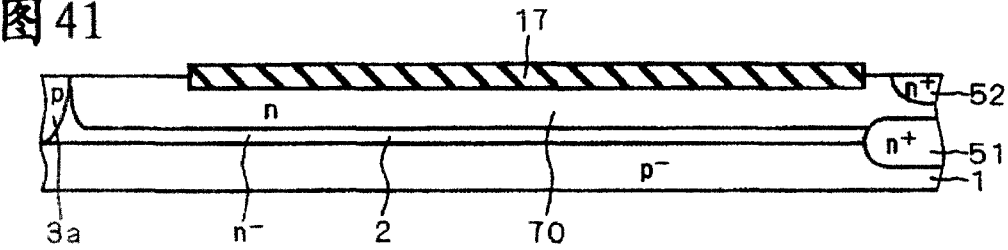


图 42

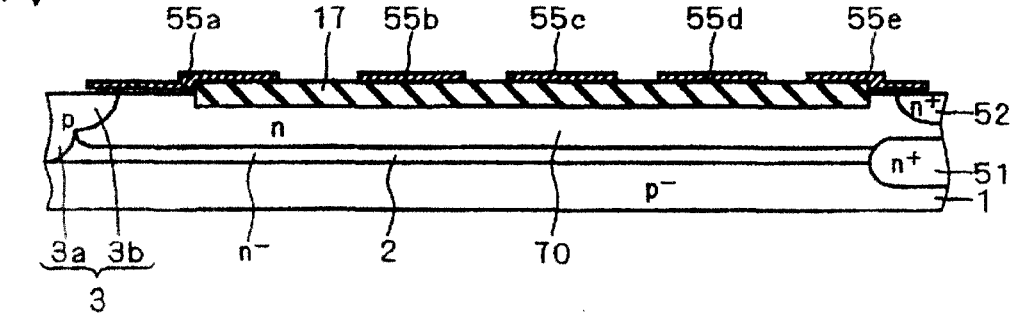


图 43

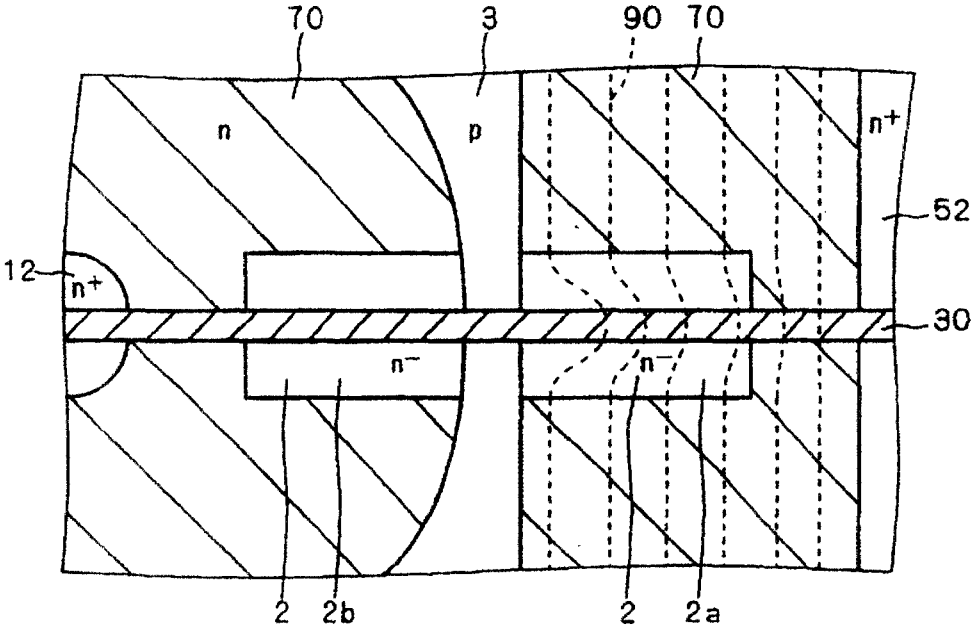


图 44

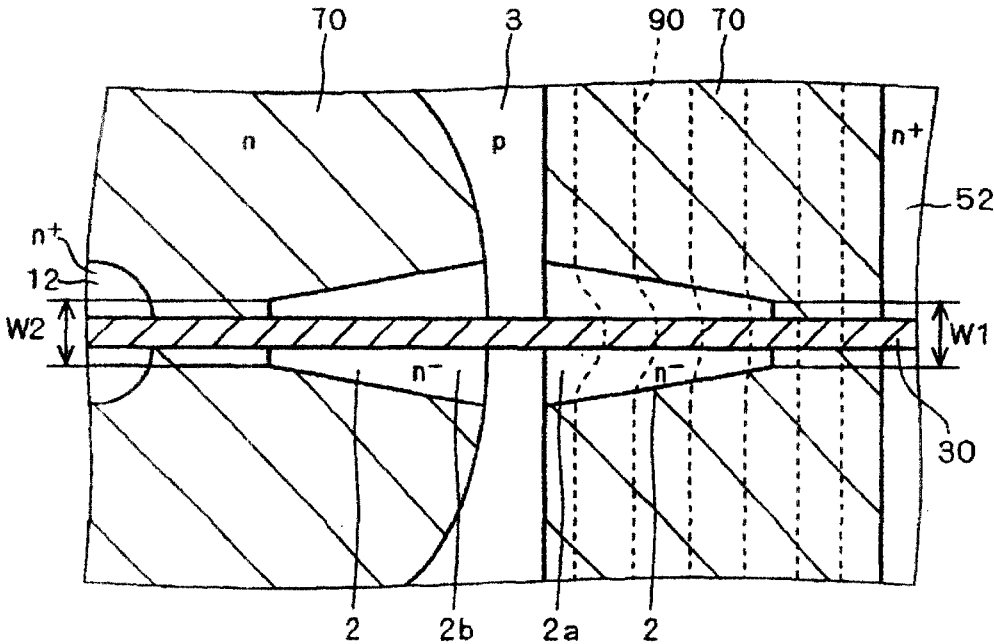


图45

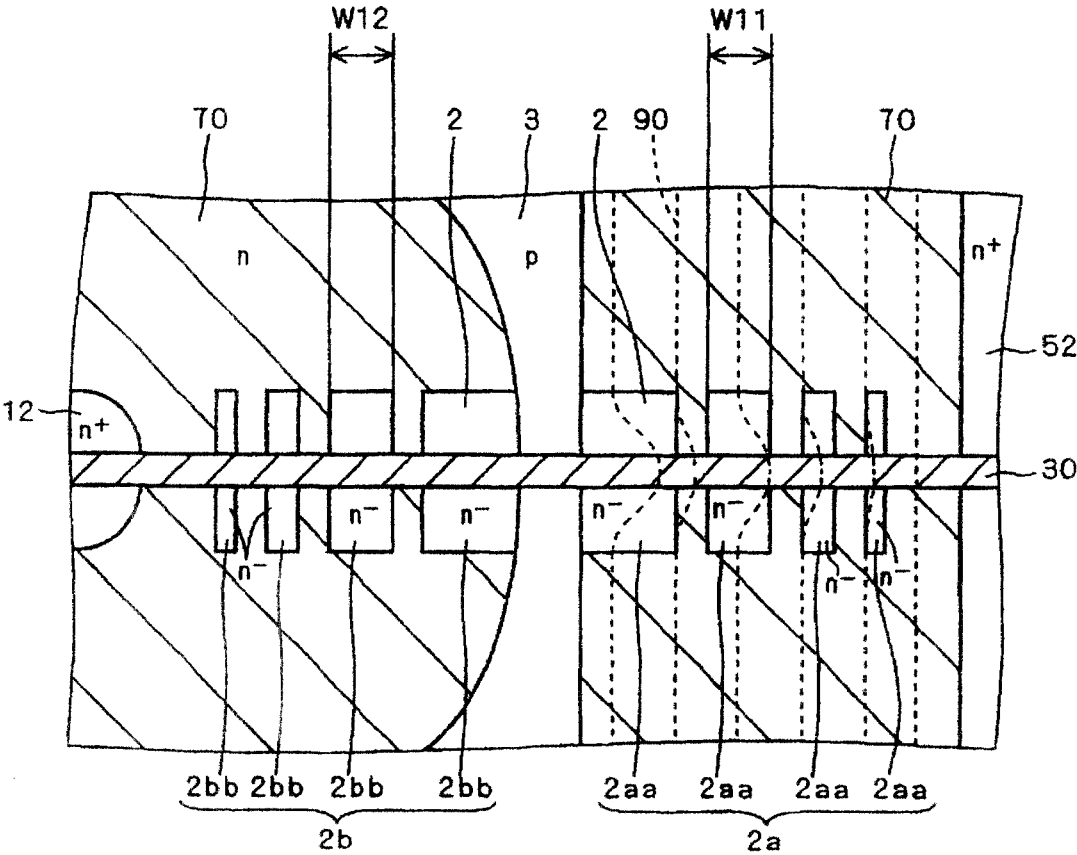


图 46

