

公告本

FP11516C

申請日期	90.3.5
案號	90102466
類別	H01L 21/82

A4
C4

538503

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	半導體元件用之改良式熔絲
	英文	IMPROVED ELECTRICAL FUSES FOR SEMICONDUCTOR DEVICES
二、發明人創作	姓名	1.依耶桑達 K(IYER, Sundar K) 2.那拉洋桑德喇瑟卡(MARAYAN, Chandrasekhar) 3.布森特金格艾瑟爾(Brintzinger, Axel) 4.依耶蘇布拉瑪尼安(IYER, Subramanian)
	國籍 住、居所	1.印度 2.美國 3.德國 4.印度 1.美國紐約州 12508 貝肯#2 公寓大街 329 號 2.美國紐約州 12533 霍普威車站肯辛頓道 62 號 3.美國紐約州 12524 費雪爾亞斯本廣場 20 號 4.美國紐約州 10549 基斯可山印地安坡路 73 號
三、申請人	姓名 (名稱)	1.印芬龍科技北美股份有限公司 (Infineon Technologies North America Corporation) 2.國際商業機器股份有限公司 (International Business Machines Corporation)
	國籍 住、居所 (事務所) 代表人姓名	1.美國 2.美國 1.美國加州 95112-6000 聖荷西北一街 1730 號 2.美國紐約州 10504 艾蒙克新橡樹路 1.馬利 C.加芬(Mary C. Garfein) 2.傑佛瑞 L.霍曼(Jeffrey L. Forman)

經濟部智慧財產局員工消費合作社印製

裝訂線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

美國 國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權

2000年02月07日申請案號第09/499,495號

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

發明背景：

發明領域：

本揭示係關於半導體裝置用之熔絲，更特別的是關於具有強化熔絲程式化之效率之熔絲。

相關技術說明

在半導體裝置中，熔絲係用於各種應用中。例如，熔絲係用於使允餘熔絲被用於半導體裝置故障之情況下。一種熔絲係可電氣程式化熔絲。這些熔絲可包含多晶矽化合物。多晶矽化合物包括多晶矽及矽化合物之覆蓋層，例如金屬矽化合物。可電氣程式化之熔絲通常包括一具有適當形狀之多晶矽層，其被矽化以得到多晶矽/金屬矽化合物埋疊結構。

參考第 1 圖，顯示熔絲 10 之形狀。熔絲 10 包括一熔絲鏈結 12，一陽極 14 及一陰極 16。當施加一偏壓以設定或程式化熔絲時，電流聚集在熔絲鏈結 12 與陰極 16 相鄰之位置 18 附近發生。電流聚集在熔絲鏈結 12 處引發電子移位效應，造成更多的電流聚集，最後在適當的偏壓情況下，多晶矽化合物線熔化或矽化合物聚集成塊而在位置 18 處造成一開路或高電阻狀態（即熔絲被程式化）。由電子移位引起之材料移位效應可藉由增加 $L_{cathode}$ 對 L_{fuse} 之比例而在陰極熔絲鏈結接合處增加，因為激勵了電流聚集。在典型的形狀中，熔絲鏈結 12，陽極 14 及陰極 16 之厚度相同，因為他們係在相同的位準上形成。因此， $L_{cathode}$ 及 L_{fuse} 之長度對熔絲

五、發明說明(2)

鏈結/陽極交會之直效橫切面面積有決定性。示於第 2 圖之多晶矽層 20 及矽化物層 22 係以均勻厚度提給熔絲鏈結 12,陽極 14 及陰極 16。氮化物帽層 24 亦提供於層 20 及 22 之上。

典型的電氣可程式化熔絲需要電流及電壓位準在一適當位準,維持一所需時間以程式化熔絲。因此,需要一設備及方法以在熔絲鏈結/陰極交會處附近引發及幫助大量運輸程序而減少程式化電流,電壓及時間。這些縮減對熔絲技術是適當的,以最小化能量消耗及程式化熔絲之費用。

發明概述:

一種半導體裝置用之熔絲,根據本發明,包括以第一材料形成之陰極,以第二材料形成之陽極,及以第二材料形成,連接陰極及陽極之熔絲鏈結。當熔絲為電氣活性時,第二材料較第一材料更傾向於材料移位,使得材料移位在第二材料中被強化。

在另一實施例中,第一材料包括多晶矽,而第二材料可包括矽化合物。第二材料亦可包括矽化合之多晶矽。陰極最好有大於熔絲鏈結之橫切面。在陰極及熔絲鏈結之間之第一材料及第二材料可提供一介面,其經由熔絲鏈結垂直於電流方向。第二材料最好包括電子移位性質,其大於第一材料之電子移位性質。第二材料可包括 Al,Cu 及 Au 之中的一個。第一材料可包括 W,Mo 及 TiN 之中的一個。第二材料/第一材料最好成

五、發明說明 (3)

對,其包括 Al/W, Cu/TiN 及 Cu/W 之中之一。

根據本發明之半導體裝置用之另一熔絲,包括形成於基片上之導電圖案,導電圖案在第一端點部分上形成一陰極。熔絲鏈結連接至陰極及陽極。陽極係形成於導電圖案之第二端點部分。其大量傳輸速率高於用於形成導電圖案之材料之材料係形成於陽極及熔絲鏈結以提供給熔絲鏈結一材料移位感受性,其大於陰極之材料移位感受性,使得當熔絲為電氣活性時,材料為位在熔絲鏈結中被強化。

在其他的實施例中,導電圖案之材料包以包括多晶矽。具有較高大量傳輸之材料可包括一矽化合物。陰極及熔絲鏈結可提供一介面,垂直於通過熔絲鏈結之電流方向。陰極最好有較熔絲鏈結大之橫切面。

根據本發明之半導體裝置用之熔絲,包括一形成於基片上之多晶矽圖案。多晶矽圖案在第一端點部分上形成一陰極。熔絲鏈結係連接到陰極及陽極。陽極係形成於多晶矽圖案之第二端點部分。一矽化合物材料係形成於陽極及熔絲鏈結上,以提供給熔絲鏈結一電子移位感受性,大於陰極之電子移位感受性,使得當熔絲為電氣活性時,電子移位位在熔絲鏈結中強化。

在其他實施例中,陰極最好有較熔絲鏈結大之橫切面。陰極之多晶矽及熔絲鏈結之矽化合物可提供一介面,垂直於通過熔絲鏈結之電流方向。

本發明之上述及其他目的及特徵和益處將從下列實

五、發明說明(4)

施例之詳細說明及伴隨圖式而更顯清楚。

圖式之簡單描述：

第 1 圖係根據習知技術之熔絲結構之俯視圖；

第 2 圖係第 1 圖之熔絲結構之熔絲鏈結之橫切面；

第 3 圖係根據本發明用於強化大量移位(及/或電子移位)之熔絲結構之俯視圖；

第 4 圖為根據本發明沿第 3 圖之線 4-4 取得之陰極之橫切面圖；

第 5 圖為根據本發明沿第 3 圖之線 5-5 取得之熔絲鏈結之橫切面圖；

第 6 圖為根據本發明沿第 3 圖之線 6-6 取得之熔絲鏈結至陰極接面之橫切面圖；

第 7 圖為根據本發明沿第 3 圖之線 6-6 取得之熔絲鏈結至陰極面之另一實施例之橫切面圖。

較佳實施例之詳細描述：

本發明提供一裝置及一方法,以在熔絲鏈結/陰極交接處激發及幫助材料移位,以執行一熔絲作業。在一實施例中,交接處包括一陰極材料,與陽極/熔絲鏈結材料不同,使得材料移位被強化,以在較短時間內及較少之電流及/或電壓位準之下在熔絲鏈結中提供一斷裂或增加之電阻。在一實施例中,矽化合物部分係用於陽極及熔絲鏈結,而多晶矽部分係用於陰極。這個結構有益的減少程式化電流,電壓及時間。

本發明之一實施例提供一選擇性的矽化合物結構,能

五、發明說明 (5)

藉由切斷自陰極之矽化合物供應而加劇材料移位程序，因而以較快之速率激發在陰極-熔絲鏈結界面中之空洞。較高的矽化合物導電性亦在熔絲鏈結及陰極界面處之垂直方向上提供電流聚集，進一步幫助電子移位。這個由選擇性矽化合物促進之材料移位程序有利地允許較低之程式化電壓/電流及更短的程式化時間。在一實施例中，電壓及/或電流減少至少一半，而程式化時間減少至百分之一。雖然以矽化合物及多晶矽材料描述，但是這些材料不能用來限制本發明。這些材料係用來說明本發明之一應用。

首先參考第 3 圖，顯示根據本發明之熔絲結構或熔絲 100。熔絲 100 包括一陽極 102 及一陰極 104，用於提供電流橫跨連接陽極 102 至陰極 104 之熔絲鏈結 106。陽極 102，陰極 104 及熔絲鏈結 106 最好置放於一基片 101 上（參見第 4 至 7 圖），其包括一半導體基片，擴散區，金屬線，介電層及其他組件。當熔絲 100 被程式化時，陰極 104 被負偏壓化而陽極 102 被正偏壓化。橫切面之減少（其與本實施例之寬度成正比），自 $L_{cathode}$ 至 L_{fuse} ，造成電流聚集在區 110。這個增加之電流密度會造成材料在區 110 中移位（或電子移位）。材料移位使得空洞在熔絲鏈結及陰極 104 之角落處形成，進一步增加電流密度。這個最後會造成熔絲鏈結 106 熔化，而引起熔絲電路之開路或材料分離，因而引起熔絲中之電阻增加。

五、發明說明(6)

第 3 圖係熔絲結構 100 之俯視圖。根據本發明,熔絲結構 100 之陰極 104 包括材料,其較陽極 102 及熔絲鏈結 106 對材料移位之感受性較佳。最好,在陰極 104 及熔絲鏈結 106 之間之交叉處,提供完整界定之材料輪廓。以此方式,材料移位效應被有利地強化,且集中於較小之區域,例如陰極 104 及熔絲鏈結 106 之交接處。

假如熔絲 100 使用多晶矽化合物結構,則陰極 104 不被矽化合物,例如陰極 104 祇由重摻雜多晶矽形成。陽極 102 及熔絲鏈結 106 最好是多晶矽,並有一矽化合物層形成於其上。

參考第 4 圖,熔絲 100 在線 4-4 上之橫切面顯示自單一材料形成之陰極 104,例如未矽化合物之多晶矽。參考第 5 圖,熔絲 100 在線 5-5 之橫切面顯示自一層多晶矽材料 112 形成之熔絲鏈結 106,例如未矽化合物之多晶矽,並在其上形成一矽化合物層 114(例如矽化合物之多晶矽)。應了解的是,本發明之熔絲鏈結 106 可使用單一材料,而陰極 104 可使用不同材料(見第 7 圖)。

參考第 6 圖,熔絲 100 在線 6-6 之橫切面顯示自區 110 之陰極至熔絲鏈結介面。熔絲結構 100 之選擇性矽化合物可由在多晶矽之矽化合物程序期間使用一單層而達成。以此方式,陰極 104 並不受到矽化合物程序。矽化合物形成程序消耗在熔絲鏈結 106 中之某些多晶矽。因此,多晶矽層 112 較陰極 104 之多晶矽薄。

當此結構藉由施加負電壓至陰極 104 及正電壓至陽

五、發明說明(7)

極 102 而偏壓化時, Aelectron Wind@ (由箭頭指示) 會推擠在熔絲鏈結 106 中之矽化合物分子, 在該處電流密度較高。因為陰極 104 並未被矽化合物化且包括多晶矽, 由電子風 (electron wind) 移向陽極之熔絲鏈結 106 中之矽化合物在熔絲鏈結一陰極接面並不被置換並產生空洞。在此, 多晶矽較矽化合物不被電子移位影響。其他力, 例如表面張力, 亦可在由矽化合物之聚集而增加熔絲鏈結 106 之電阻中扮演一角色。

因為矽化合物之電阻率較多晶矽者為低, 大部分負載電流之電子會在矽化合物及非矽化合物之接面處聚集在熔絲鏈結 106 中之矽化合物中。有益的是, 在垂直介電 107 上之垂直方向中之電流聚集由於連接至薄熔絲鏈結之大陰極之形狀而加入至聚集, 且進一步放大在此接面之材料移位效應。因此, 熔絲程式化以較快且較低之電壓/電流發生。

本發明可延伸至由一高材料移位物質及低材料移位物質形成之接面。高移位材料最好連接到陽極而低移位材料連接至陰極。此種結構, 藉由在接面處產生高電流密度, 可做為電氣熔絲。高移位材料可能包含 Al, Cu, 及 Au 而低移位材料可能包含 W, Mo 及 TiN。高/低移位材料可能包括下列高/低移位對 Al/W, Cu/TiN 及 Cu/W。亦可使用其他材料。數種材料之組合或材料層亦可由本發明使用。

現在參考第 7 圖, 熔絲 100' 在線 6-6 之橫切面顯示本

四、中文發明摘要(發明之名稱:半導體元件用之改良式熔絲)

一種半導體裝置用之熔絲,根據本發明,包括自第一材料形成之陰極(104),一自第二材料形成之陽極(102)及自第二材料形成,連接陰極及陽極之熔絲鏈結(106),當熔絲為電氣活性時,第二材料較第一材料對材料移位更具感受性,使得材料移位在第二材料中強化。

英文發明摘要(發明之名稱:

**IMPROVED ELECTRICAL FUSES
FOR SEMICONDUCTOR DEVICES**)

A fuse for semiconductor devices, in accordance with the present invention, includes a cathode (104) formed from a first material, an anode (102) formed from a second material and a fuse link (106) connecting the cathode and the anode and formed from the second material. The second material is more susceptible to material migration than the first material when the fuse is electrically active such that material migration is enhanced in the second material.

六、申請專利範圍

1. 一種用於半導體裝置之熔絲，包含：
 - 一陰極，其包括第一材料；
 - 一陽極，其包括第二材料；
 - 一熔絲鏈結，連接陰極及陽極並包括第二材料；及當熔絲為電氣活性時，第二材料較第一材料對材料移位更具感受性，使得材料移位在第一材料中強化。
2. 如申請專利範圍第 1 項之熔絲，其中第一材料包括多晶矽。
3. 如申請專利範圍第 2 項之熔絲，其中第二材料包括矽化合物。
4. 如申請專利範圍第 3 項之熔絲，其中第二材料包括矽化合之多晶矽。
5. 如申請專利範圍第 1 項之熔絲，其中陰極較熔絲鏈結具有更大的橫切面面積。
6. 如申請專利範圍第 1 項之熔絲，其中在陰極及熔絲鏈結之間之第一材料及第二材料提供一介面，垂直於通過熔絲鏈結之電流方向。
7. 如申請專利範圍第 1 項之熔絲，其中第二材料之電子移位性質較第一材料之電子移位性質為大。
8. 如申請專利範圍第 1 項之熔絲，其中第二材料包括 Al, Cu, 及 Au 之中之一。
9. 如申請專利範圍第 1 項之熔絲，其中第一材料包括 W, Mo 及 TiN 之中之一。

六、申請專利範圍

- 10.如申請專利範圍第 1 項之熔絲,其中第二材料/第一材料包括 Al/W,Cu/TiN 及 Cu/W 之中之一。
- 11.一種用於半導體裝置之熔絲,包括:
- 一導電圖案,形成於基片之上,導電圖案形成一陰極於第一端點部分;
 - 一熔絲鏈結,連接陰極及陽極,陽極係形成於導電圖案之第二端點部分上;
 - 一材料,具有較形成導電圖案之材料之大量傳輸速率為高之大量傳輸速率,形成於陽極及熔絲鏈結之上,以提供給熔絲鏈結一材料移位感受性,大於陰極之材料移位感受性,使得當熔絲為電氣活性時,強化熔絲鏈結中之材料移位。
- 12.如申請專利範圍第 11 項之熔絲,其中導電圖案之材料包括多晶矽。
- 13.如申請專利範圍第 12 項之熔絲,其中具有較高之大量傳輸之材料包括一矽化合物。
- 14.如申請專利範圍第 11 項之熔絲,其中陰極及熔絲鏈結提供一介面,垂直於通過熔絲鏈結之電流方向。
- 15.如申請專利範圍第 11 項之熔絲,其中陰極具有較熔絲鏈結為大之橫切面。
- 16.一種用於半導體裝置之熔絲,包括:
- 一多晶矽圖案,形成於一基片上,多晶矽圖案形成一陰極於第一端點部分之上;
 - 一熔絲鏈結,連接陰極及陽極,陽極係形成於多晶

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

矽圖案之第二端點部分；

一矽化合物材料，形成於陽極及熔絲鏈結之上，以提供給熔絲鏈結一電子移位感受性，較陰極之電子移位感受性為大，使得當熔絲為電氣活性時，強化熔絲鏈結中之電子移位。

17.如申請專利範圍第 16 項之熔絲，其中陰極之橫切面較熔絲鏈結為大。

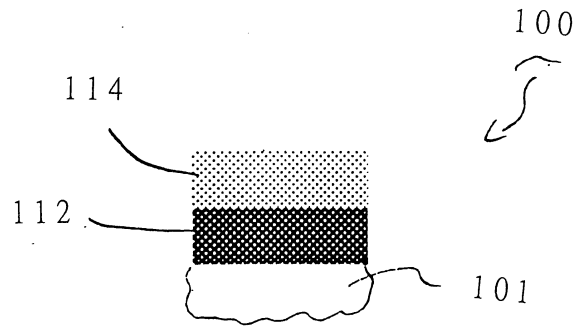
18.如申請專利範圍第 16 項之熔絲，其中陰極之多晶矽及熔絲鏈結之矽化合物提供一介面，垂直於經過熔絲鏈結之電流方向。

(請先閱讀背面之注意事項再填寫本頁)

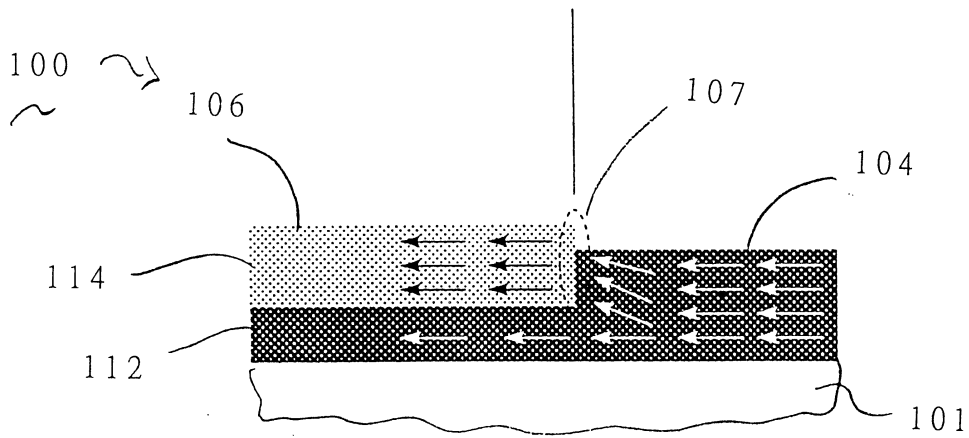
裝

訂

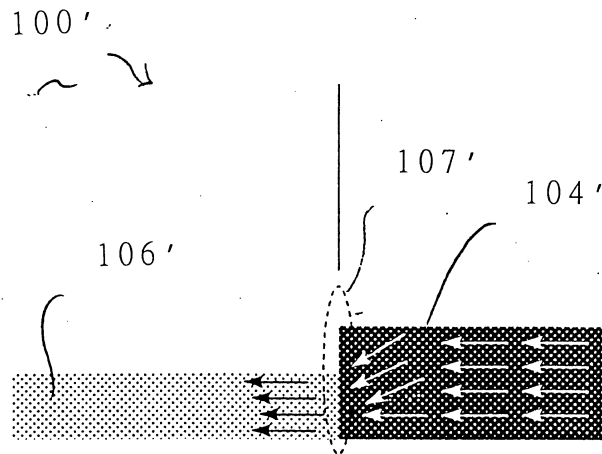
線



第5圖



第6圖



第 7 圖

五、發明說明(8)

發明之另一實施例。陰極 104' 包括具有低材料移位感受性之第一材料,而熔絲鏈結 106' 包括不同的材料,具有高材料移位感受性,以在陰極熔絲鏈結介面提供強化之材料移位。不同厚度之陰極 104' 及 106' 亦可用來進一步增加在區 107' 中之電子聚集。

在描述半導體裝置用之增進之電氣熔絲之較佳實施例後,應了解的是,熟悉此技藝之人士可根據上述教導來對實施例做改變及變化,而不超過本發明之精神及範圍。

符號說明

10... 熔絲

12/106... 熔絲鏈結

14/102... 陽極

16/104... 陰極

20... 多晶矽層

22... 矽化合物層

24... 氮化物帽層

100... 熔絲 100'.. 熔絲

101... 基片

104'.. 陰極

106.. 熔絲鏈結 106'.. 陰極

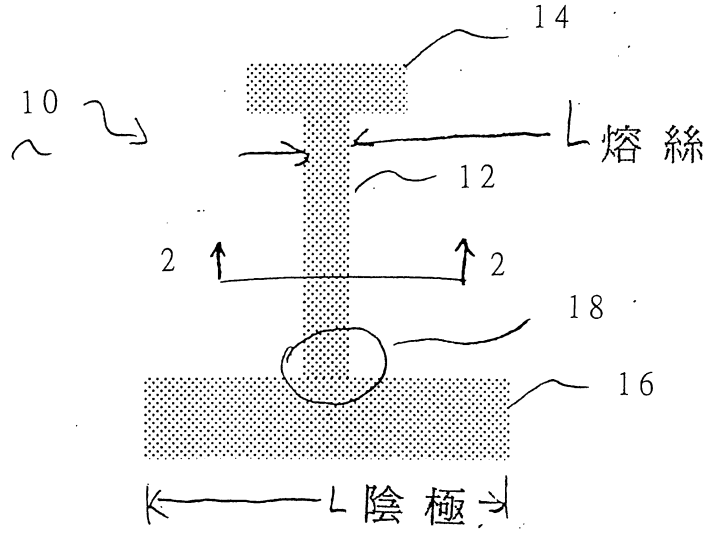
107'... 區

110... 區

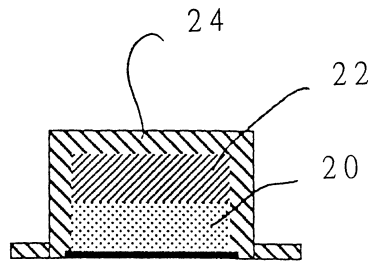
112... 多晶矽材料

114... 矽化合物層

修正
補充
日 4 月 8 日



第 1 圖



第 2 圖